



등록특허 10-2295014



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년08월27일
(11) 등록번호 10-2295014
(24) 등록일자 2021년08월23일

- (51) 국제특허분류(Int. Cl.)
H01L 33/02 (2010.01) *H01L 33/22* (2010.01)
H01L 33/62 (2010.01)
- (52) CPC특허분류
H01L 33/02 (2013.01)
H01L 33/22 (2013.01)
- (21) 출원번호 10-2016-0150606
(22) 출원일자 2016년11월11일
심사청구일자 2019년11월08일
- (65) 공개번호 10-2017-0056465
(43) 공개일자 2017년05월23일
- (30) 우선권주장
104137443 2015년11월13일 대만(TW)
105120263 2016년06월28일 대만(TW)

(56) 선행기술조사문헌

KR1020150014353 A

KR1020150007119 A

JP2014207267 A*

JP2014093480 A*

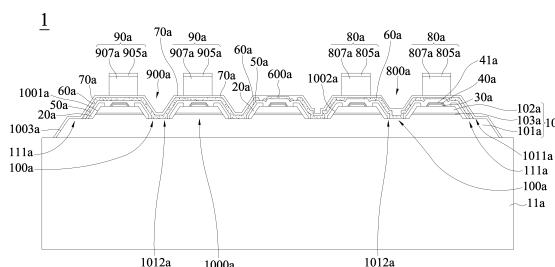
*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 8 항

심사관 : 배성주

(54) 발명의 명칭 **발광소자****(57) 요 약**

발광소자는 제1 반도체층, 제2 반도체층 및 제1 반도체층과 제2 반도체층 사이에 위치하는 활성층을 포함하는 반도체적층; 반도체적층 상에 위치하는 제1 본딩패드; 반도체적층 상에 위치하며, 제1 본딩패드와 거리를 두고 이격되며, 반도체적층 상에 제1 본딩패드와 제2 본딩패드 사이에 위치하는 영역을 정의하는 제2 본딩패드; 및 제1 반도체층을 노출시키도록 활성층을 관통하는 복수 개의 홀부를 포함하고, 발광소자의 평면도 상에서, 제1 본딩패드 및 제2 본딩패드는 복수 개의 홀부 이외의 영역에 형성된다.

대 표 도 - 도9a

(52) CPC특허분류

H01L 33/62 (2013.01)

H01L 2924/12041 (2013.01)

(72) 발명자

황 원-홍

대만 300 신츄 사이언스-베이스드 인더스트리얼 파크 리-신 피프쓰 로드 5

청 츠-야오

대만 300 신츄 사이언스-베이스드 인더스트리얼 파크 리-신 피프쓰 로드 5

루 정-린

대만 300 신츄 사이언스-베이스드 인더스트리얼 파크 리-신 피프쓰 로드 5

쉬 치-상

대만 300 신츄 사이언스-베이스드 인더스트리얼 파크 리-신 피프쓰 로드 5

장 충-선

대만 300 신츄 사이언스-베이스드 인더스트리얼 파크 리-신 피프쓰 로드 5

후 보-준

대만 300 신츄 사이언스-베이스드 인더스트리얼 파크 리-신 피프쓰 로드 5

리 판-이

대만 300 신츄 사이언스-베이스드 인더스트리얼 파크 리-신 피프쓰 로드 5

린 위-링

대만 300 신츄 사이언스-베이스드 인더스트리얼 파크 리-신 피프쓰 로드 5

센 치엔-후

대만 300 신츄 사이언스-베이스드 인더스트리얼 파크 리-신 피프쓰 로드 5

고 춘-카이

대만 300 신츄 사이언스-베이스드 인더스트리얼 파크, 리-신 피프쓰 로드 5

명세서

청구범위

청구항 1

반도체적층, 제1 본딩패드, 제2 본딩패드 및 한 개 또는 복수 개의 홀부를 포함하고,

상기 반도체적층은 제1 반도체층, 제2 반도체층 및 상기 제1 반도체층과 상기 제2 반도체층 사이에 위치하는 활성층을 포함하고;

상기 제1 본딩패드는 상기 반도체적층 상에 위치하고;

상기 제2 본딩패드는 상기 반도체적층 상에 위치하며, 상기 제1 본딩패드와 거리를 두고 이격되며, 상기 반도체적층 상에 상기 제1 본딩패드와 상기 제2 본딩패드 사이에 위치하는 영역을 정의하고;

상기 한 개 또는 복수 개의 홀부는 상기 제1 반도체층을 노출시키도록 상기 활성층을 관통하고,

평면도 상에서, 상기 제1 본딩패드 및 상기 제2 본딩패드는 상기 한 개 또는 복수 개의 홀부 위치 이외의 영역에 형성되고,

상기 제1 본딩패드는 평면도 상에서 제1 측면 및 상기 제1 측면으로부터 상기 제2 본딩패드와 멀어지는 방향으로 연장되는 복수 개의 제1 오목부를 포함하고, 및/또는 상기 제2 본딩패드는 평면도 상에서 제2 측면 및 상기 제2 측면으로부터 상기 제1 본딩패드와 멀어지는 방향으로 연장되는 복수 개의 제2 오목부를 포함하고,

상기 한 개 또는 복수 개의 홀부는 상기 제1 본딩패드의 상기 복수 개의 제1 오목부 및/또는 상기 제2 본딩패드의 상기 복수 개의 제2 오목부 내에 위치하는, 발광소자.

청구항 2

제1항에 있어서,

상기 복수 개의 제1 오목부는 평면도 상에서 상기 복수 개의 제2 오목부와 대응되는, 발광소자.

청구항 3

제1항에 있어서,

상기 활성층의 측벽을 피복하는 제1 절연층을 더 포함하되, 상기 제1 절연층은 상기 제2 반도체층을 노출시키도록 제1 절연층개구를 포함하는, 발광소자.

청구항 4

제3항에 있어서,

상기 제1 절연층개구 내에 위치하는 투명 도전층을 더 포함하되, 상기 투명 도전층의 외연은 상기 제1 절연층과 거리를 두고 이격되는, 발광소자.

청구항 5

제1항에 있어서,

반사층 및 상기 반사층 상에 위치하는 배리어층을 더 포함하되, 상기 배리어층의 외연은 상기 반사층의 외연보다 더 외측에 설치되거나 상기 반사층의 외연과 겹치도록 설치되는, 발광소자.

청구항 6

제5항에 있어서,

상기 배리어층 상에 위치하는 제2 절연층을 더 포함하되, 상기 제2 절연층은 상기 배리어층을 노출시키도록 제2 절연층개구를 포함하는, 발광소자.

청구항 7

제1항에 있어서,

상기 제1 반도체층 상에 위치하는 제1 접촉층 및 상기 제2 반도체층 상에 위치하는 제2 접촉층을 더 포함하되, 상기 제1 접촉층은 상기 제2 접촉층을 에워싸는, 발광소자.

청구항 8

제1항에 있어서,

상기 한 개 또는 복수 개의 홀부를 커버하는 제1 접촉층을 더 포함하고, 상기 제1 접촉층은 금 이외의 금속재료를 포함하는, 발광소자.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001]

본 발명은 발광소자에 관한 것으로, 특히 반도체적층 및 반도체적층 상에 위치하는 본딩패드를 포함하는 발광소자에 관한 것이다.

배경 기술

[0002]

발광 다이오드(Light-Emitting Diode, LED)는 고체상태 반도체 발광소자이고, 그 장점은 소비전력이 낮고, 발생되는 열에너지가 낮고, 작동 수명이 길고, 내진동성을 가지며, 체적이 작고, 반응속도가 빠르고 양호한 광전 특성(예를 들어 안정적인 발광 파장)을 가지는 것이다. 따라서, 발광 다이오드는 가전제품, 설비 표시등 및 광전제품 등에 광범위하게 이용된다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0003]

발광소자는, 제1 반도체층, 제2 반도체층 및 제1 반도체층과 제2 반도체층 사이에 위치하는 활성층을 포함하는 반도체적층; 반도체적층 상에 위치하는 제1 본딩패드; 반도체적층 상에 위치하는 제2 본딩패드; 제1 반도체층을 노출시키도록 활성층을 관통하는 복수 개의 홀부;를 포함하되, 제1 본딩패드와 제2 본딩패드는 서로 거리를 두고 이격되면서 반도체적층 상에 제1 본딩패드와 제2 본딩패드 사이에 위치하는 영역을 정의하고, 발광소자의 평면도 상에서, 제1 본딩패드 및 제2 본딩패드는 복수 개의 홀부 위치 이외의 영역에 형성된다.

[0004]

발광소자는 반도체적층, 제1 접촉층, 제2 접촉층, 제1 본딩패드, 제2 본딩패드를 포함하고, 상기 반도체적층은 제1 반도체층, 제2 반도체층 및 제1 반도체층과 제2 반도체층 사이에 위치하는 활성층을 포함하고, 상기 제1 접촉층은 제2 반도체층 상에 위치하고 상기 제2 반도체층의 측벽을 에워싸면서 제1 반도체층과 연결되고, 상기 제2 접촉층은 제2 반도체층 상에 위치하고 제2 반도체층과 연결되고, 상기 제1 본딩패드는 반도체적층 상에 위치하고 제1 접촉층과 연결되고, 제2 본딩패드는 반도체적층 상에 위치하고 제2 접촉층과 연결되고, 제1 본딩패드와 제2 본딩패드는 서로 거리를 두고 이격되면서 반도체적층 상에 제1 본딩패드와 제2 본딩패드 사이에 위치하는 영역을 정의하고, 발광소자의 평면도 상에서, 제2 반도체층 상에 위치하는 제1 접촉층은 제2 접촉층을 에워싼다.

[0005]

발광소자는 제1 반도체층, 제2 반도체층 및 제1 반도체층과 제2 반도체층 사이에 위치하는 활성층을 포함하는 반도체적층; 제1 반도체층과 전기적으로 연결되는 제1 본딩패드; 제2 반도체층과 전기적으로 연결되는 제2 본딩패드; 및 반도체적층 상에 위치하되, 제2 본딩패드의 복수 개의 측벽을 에워싸고, 제2 본딩패드와 거리를 두고 이격되는 금속층;을 포함한다.

[0006]

발광소자는 제1 반도체층, 제2 반도체층 및 제1 반도체층과 제2 반도체층 사이에 위치하는 활성층을 포함하는 반도체적층; 반도체적층 상에 위치하는 제1 접촉층; 제1 접촉층 상에 위치하고, 측변을 포함하는 제1 본딩패드; 반도체적층 상에 위치하는 제2 본딩패드; 제1 본딩패드에 의해 커버되는 제1 부분 및 제1 본딩패드의 측변에 인접한 연결부분을 포함하는 절연층;을 포함하되, 상기 절연층은 제1 접촉층을 노출시키도록 제1 부분과 연결부분 사이에 위치하는 개구를 포함하고, 개구는 제1 부분의 제1 변과 연결부분의 측변으로 이루어지고, 제1 본딩패드의 측변은 제1 부분의 제1 변 또는 연결부분의 측변과 100 μm 보다 작은 거리를 두고 이격된다.

도면의 간단한 설명

[0007]

도 1a 내지 도 7c는 본 발명의 일실시예에서 공개한 발광소자(1) 또는 발광소자(2)의 제조방법을 나타낸 도면이다.

도 8은 본 발명의 일실시예에서 공개한 발광소자(1)의 평면도이다.

도 9a는 본 발명의 일실시예에서 공개한 발광소자(1)의 단면도이다.

도 9b은 본 발명의 일실시예에서 공개한 발광소자(1)의 단면도이다.

도 10은 본 발명의 일실시예에서 공개한 발광소자(2)의 평면도이다.

도 11a는 본 발명의 일실시예에서 공개한 발광소자(2)의 단면도이다.

도 11b은 본 발명의 일실시예에서 공개한 발광소자(2)의 단면도이다.

도 12a 내지 도 18b는 본 발명의 일실시예에서 공개한 발광소자(3) 또는 발광소자(4)의 제조방법을 나타낸 도면이다.

도 19는 본 발명의 일실시예에서 공개한 발광소자(3)의 평면도이다.

도 20은 본 발명의 일실시예에서 공개한 발광소자(3)의 단면도이다.

도 21은 본 발명의 일실시예에서 공개한 발광소자(4)의 평면도이다.

도 22는 본 발명의 일실시예에서 공개한 발광소자(4)의 단면도이다.

도 23은 본 발명의 일실시예에서 공개한 발광소자(5)의 단면도이다.

도 24는 본 발명의 일실시예에서 공개한 발광소자(6)의 단면도이다.

도 25 내지 도 33b는 본 발명의 일실시예에서 공개한 발광소자(7)의 제조방법 및 발광소자(7)의 구조를 나타낸 도면이다.

도 34a는 본 발명의 일실시예에서 공개한 발광소자(8)의 평면도이다.

도 34b는 본 발명의 일실시예에서 공개한 발광소자(8)의 단면도이다.

도 35는 본 발명의 일실시예에 따른 발광장치의 구조 개략도이다.

도 36은 본 발명의 일실시예에 따른 발광장치의 구조 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0008]

본 발명에 대한 설명이 더 상세하고 완벽하도록, 아래 실시예의 설명을 참조하면서 관련 도면을 결합하기 바란다. 다만, 아래의 실시예는 본 발명의 발광소자를 예시하기 위한 것일 뿐, 본 발명을 한정하기 위한 것은 아니다. 또한, 본 명세서의 실시예에 기재된 구성 부품의 크기, 재질, 형상, 상대적인 배치 등은 특별히 한정된 기재가 없는 한, 본 발명의 범위를 한정하는 것이 아니라, 단순한 설명에 불과하다. 또한 각 도면에서 도시한 부재의 크기나 위치관계 등은, 설명이 더 명확해지도록 과장되는 경우가 있을 것이다. 또한, 아래 설명에서는, 동일 또는 동일한 성질의 부품에 대해 상세한 설명을 적절하게 생략하기 위하여, 동일한 명칭, 부호를 사용하여 나타냈다.

[0009]

도 1a 내지 도 11b는 본 발명의 일실시예에서 공개한 발광소자(1) 또는 발광소자(2)의 제조방법을 나타낸 도면이다.

[0010]

도 1a의 평면도 및 도 1a의 A-A'선에 따른 단면도인 도 1b에 도시된 바와 같이, 발광소자(1) 또는 발광소자(2)의 제조방법은 플랫폼 형성단계를 포함하고, 상기 플랫폼 형성단계는 기판(11a)를 제공하는 단계; 및 기판(11a) 상에 반도체적층(10a)을 형성하는 단계를 포함하고, 상기 반도체적층(10a)은 제1 반도체층(101a), 제2 반도체층(102a) 및 제1 반도체층(101a)과 제2 반도체층(102a) 사이에 위치하는 활성층(103a)을 포함한다. 반도체적층(10a)은 리소그래피, 식각 방식으로 패턴화하여 제2 반도체층(102a) 및 활성층(103a)을 부분적으로 제거하여 하나 이상의 반도체 구조(1000a); 및 하나 이상의 반도체 구조(1000a)를 에워싸는 서라운딩부(111a)를 형성할 수 있다. 서라운딩부(111a)는 제1 반도체층(101a)의 제1 표면(1011a)을 노출시킨다. 하나 이상의 반도체 구조(1000a)는 각각 하나의 제1 외측벽(1003a), 제2 외측벽(1001a) 및 하나의 내측벽(1002a)을 포함하고, 제1 외측벽(1003a)은 제1 반도체층(101a)의 측벽이고, 제2 외측벽(1001a)은 활성층(103a) 및/또는 제2 반도체층(102a)의 측벽이고, 제2 외측벽(1001a)의 일단은 제2 반도체층(102a)의 표면(102s)과 연결되고, 제2 외측벽(1001a)의 타단은 제1 반도체층(101a)의 제1 표면(1011a)과 연결되고, 내측벽(1002a)의 일단은 제2 반도체층(102a)의 표면(102s)과 연결되고, 내측벽(1002a)의 타단은 제1 반도체층(101a)의 제2 표면(1012a)과 연결되고, 복수 개의 반도체 구조(1000a)는 제1 반도체층(101a)에 의해 서로 연결된다. 도 1b에서 보여주듯이, 반도체 구조(1000a)의 내측벽(1002a)과 제1 반도체층(101a)의 제2 표면(1012a)은 둔각을 이루고, 반도체 구조(1000a)의 제1 외측벽(1003a)과 기판(11a)의 표면(11s)은 둔각 또는 직각을 이루고, 반도체 구조(1000a)의 제2 외측벽(1001a)과 제1 반도체층(101a)의 제1 표면(1011a)은 둔각을 이룬다. 서라운딩부(111a)는 반도체 구조(1000a)의 주변을 에워싸

고, 서라운딩부(111a)는 발광소자(1) 또는 발광소자(2)의 평면도 상에서 직사각형 또는 다각형이다.

[0011] 본 발명의 일실시예에서, 발광소자(1) 또는 발광소자(2)는 30 mil보다 작은 면의 길이를 가진다. 외부전류가 발광소자(1) 또는 발광소자(2)에 주입되면, 서라운딩부(111a)가 반도체 구조(1000a)의 주변을 에워싸는 구조에 의해, 발광소자(1) 또는 발광소자(2)의 라이트 필드 분포를 균일하게 할 수 있고, 발광소자의 순방향 전압을 감소시킬 수 있다.

[0012] 본 발명의 일실시예에서, 발광소자(1) 또는 발광소자(2)는 30 mil보다 큰 면의 길이를 가진다. 반도체적층(10a)은 리소그래피, 식각 방식으로 패턴화하여 제2 반도체층(102a) 및 활성층(103a)을 부분적으로 제거하여, 제2 반도체층(102a) 및 활성층(103a)을 관통하는 하나 이상의 홀부(100a)를 형성하고, 하나 이상의 홀부(100a)는 제1 반도체층(101a)의 하나 이상의 제2 표면(1012a)을 노출시킨다. 외부전류가 발광소자(1) 또는 발광소자(2)에 주입되면, 서라운딩부(111a) 및 복수 개의 홀부(100a)의 분산배치에 의해, 발광소자(1) 또는 발광소자(2)의 라이트 필드 분포를 균일하게 할 수 있고, 발광소자의 순방향 전압을 감소시킬 수 있다.

[0013] 본 발명의 일실시예에서, 발광소자(1) 또는 발광소자(2)는 30 mil보다 작은 면의 길이를 가지고, 발광소자(1) 또는 발광소자(2)는 활성층의 발광면적을 증가시키기 위해 하나 이상의 홀부(100a)를 포함하지 않을 수 있다.

[0014] 본 발명의 일실시예에서, 하나 이상의 홀부(100a)의 개구 형상은 원형, 타원형, 직사각형, 다각형 또는 임의의 형상을 포함한다. 복수 개의 홀부(100a)는 복수의 열로 배열될 수 있고, 인접한 두 열 상의 홀부(100a)는 서로 나란히 배열되거나 어긋나게 배열될 수 있다.

[0015] 본 발명의 일실시예에서, 기판(11a)은 알루미늄갈륨인듐인(AlGaNp)을 성장시키는 갈륨비소(GaAs) 웨이퍼이거나, 인듐갈륨질소(InGaN)를 성장시키는 사파이어(Al2O3) 웨이퍼, 질화갈륨(GaN) 웨이퍼 또는 탄화규소(SiC) 웨이퍼를 포함하는 성장기판일 수 있다. 여기서, 기판(11a) 상에 유기 금속 화학 기상 증착법(MOCVD), 분자선 에피택셜법(MBE), 수소화물 기상 증착법(HVPE), 증발법 또는 이온 도금법을 이용하여, 발광(light-emitting)적층 등 광전 특성을 가지는 반도체적층(10a)을 형성할 수 있다.

[0016] 본 발명의 일실시예에서, 제1 반도체층(101a) 및 제2 반도체층(102a)은, 예컨대 클래딩층(cladding layer) 또는 구속층(confinement layer)이며, 양자는 모두 상이한 도전 형태, 전기적 특성질, 극성을 가지거나 도핑된 원소에 따라 전자 또는 정공을 제공할 수 있고, 예컨대 제1 반도체층(101a)은 전기적 특성이 n형인 반도체이고, 제2 반도체층(102a)은 전기적 특성이 p형인 반도체이다. 활성층(103a)은 제1 반도체층(101a)과 제2 반도체층(102a) 사이에 형성되고, 전자와 정공은 전류의 구동하에 활성층(103a)에서 재결합되어, 전기 에너지를 빛 에너지로 전환하여 광선을 방출한다. 반도체적층(10a) 중 단층 또는 다층의 물리적 및 화학적 조성을 변경하는 것에 의하여 발광소자(1) 또는 발광소자(2)가 방출하는 광선의 파장을 조절한다. 반도체적층(10a)의 재질은 III-V족 반도체 재질을 포함하고, 예컨대 $Al_xIn_yGa(1-x-y)N$ 또는 $Al_xIn_yGa(1-x-y)P$ 이고, 여기서 $0 < x, y < 1$ 이다. 활성층(103a)의 재질에 따라, 반도체적층(10a)의 재질이 $AlInGaP$ 계 재질인 경우, 파장이 610 nm 내지 650 nm인 적색광, 파장이 530 nm 내지 570 nm인 녹색광을 방출할 수 있고, 반도체적층(10a)의 재질이 $InGaN$ 계 재질인 경우, 파장이 450 nm 내지 490 nm인 청색광을 방출할 수 있고, 반도체적층(10a)의 재질이 $AlGaN$ 계 재질인 경우, 파장이 400 nm 내지 250 nm인 자외광을 방출할 수 있다. 활성층(103a)은 단일 혜테로구조(single heterostructure, SH), 이중 혜테로구조(double heterostructure, DH), 양면 이중 혜테로구조(double-side double heterostructure, DDH), 다층양자 우물구조(multi-quantum well, MQW)일 수 있다. 활성층(103a)의 재질은 전기적 특성이 중성, p형 또는 n형인 반도체일 수 있다.

[0017] 플랫폼 형성 단계에 이어서 발광소자(1) 또는 발광소자(2)의 제조방법은, 도 2a의 평면도 및 도 2a의 A-A'선에 따른 단면도인 도 2b에 도시된 바와 같이, 제1 절연층 형성단계를 포함한다. 제1 절연층(20a)은 증발(evaporation) 또는 증착(deposition) 등 방식으로 반도체 구조(1000a) 상에 형성될 수 있고, 또 상기 서라운딩부(111a)의 제1 표면(1011a) 및 홀부(100a)의 제2 표면(1012a)을 커버하고, 반도체 구조(1000a)의 제2 반도체층(102a), 활성층(103a)의 제2 외측벽(1001a) 및 내측벽(1002a)을 피복하도록, 리소그래피, 식각의 방식에 의해 패턴화되고, 제1 절연층(20a)은 서라운딩부(111a)에 위치하는 제1 반도체층(101a)의 제1 표면(1011a)을 커버하도록 상기 서라운딩부(111a)를 커버하는 제1 절연층서라운딩영역(200a); 홀부(100a)에 위치하는 제1 반도체층(101a)의 제2 표면(1012a)을 커버하도록 홀부(100a)를 커버하는 제1 그룹의 제1 절연층커버영역(201a); 및 제2 반도체층(102a)의 표면(102s)을 노출시키는 제2 그룹의 제1 절연층개구(202);를 포함한다. 제1 그룹의 제1 절연층커버영역(201a)은 서로 분리되며 각각 복수 개의 홀부(100a)에 대응한다. 제1 절연층(20a)은 단층 또는 다층 구조일 수 있다. 제1 절연층(20a)이 단층 막인 경우, 제1 절연층(20a)은 반도체 구조(1000a)의 측벽을 보호하여 활성층(103a)이 후속 제조공정에서 훼손되는 것을 방지할 수 있다. 제1 절연층(20a)이 다층 막인 경우, 제1 절

연층(20a)은 굴절율이 상이한 2종 이상의 재질이 교대로 적층되어 브래그 반사경(DBR) 구조를 형성하여, 특정 파장의 광선을 선택적으로 반사할 수 있다. 제1 절연층(20a)은 비도전성 재질로 형성되고, Su8, 벤조사이클로부텐(BCB), 퍼플루오로시클로부탄(PFCB), 에폭시 수지(Epoxy), 아크릴 수지(Acrylic Resin), 환상 올레핀 고분자(COC), 폴리메틸 메타크릴산(PMMA), 폴리에틸렌테레프탈레이트(PET), 폴리카보네이트(PC), 폴리에테리미드(Polyether imide), 불화탄소 폴리머(Fluorocarbon Polymer) 등 유기재질, 또는 실리콘(Silicone), 유리(Glass) 등 무기재질, 또는 알루미나(Al_2O_3), 질화규소(SiN_x), 산화규소(SiO_x), 티타늄옥사이드(TiO_x) 또는 플루오르화마그네슘(MgF_x) 등 유전재질을 포함한다.

[0018] 본 발명의 일실시예에서, 제1 절연층 형성단계에 이어서 발광소자(1) 또는 발광소자(2)의 제조방법은, 도 3a의 평면도 및 도 3a의 A-A'선에 따른 단면도인 도 3b에 도시된 바와 같이, 투명 도전층 형성단계를 포함한다. 투명 도전층(30a)은 중발 또는 중착 등 방식으로 제2 그룹의 제1 절연층개구(202a) 내에 형성될 수 있고, 투명 도전층(30a)의 외연(301a)과 제1 절연층(20a)은 서로 거리를 두고 이격되어 제2 반도체층(102a)의 표면(102s)을 노출시킨다. 투명 도전층(30a)이 제2 반도체층(102a)의 거의 전체 표면에 형성되면서 제2 반도체층(102a)과 접촉하므로, 투명 도전층(30a)은 전류가 제2 반도체층(102a)의 전체에 균일하게 확산되도록 할 수 있다. 투명 도전층(30a)의 재질은 활성층(103a)이 방출하는 광선에 대해 투명한 재질을 포함하고, 투명한 재질은 예컨대 인듐주석 산화물(ITO) 또는 인듐 아연 옥사이드(IZO)이다.

[0019] 본 발명의 다른 실시예에서, 플랫폼 형성단계 이후, 먼저 투명 도전층 형성단계를 진행한 다음, 제1 절연층 형성단계를 진행할 수 있다.

[0020] 본 발명의 다른 실시예에서, 플랫폼 형성단계 이후, 제1 절연층의 형성단계를 생략하고, 직접 투명 도전층 형성단계를 진행할 수 있다.

[0021] 본 발명의 일실시예에서, 투명 도전층 형성단계에 이어서 발광소자(1) 또는 발광소자(2)의 제조방법은, 도 4a의 평면도 및 도 4a의 A-A'선에 따른 단면도인 도 4b에 도시된 바와 같이, 반사구조 형성단계를 포함한다. 반사구조는 반사층(40a) 및/또는 배리어층(41a)을 포함하고, 중발 또는 중착 등 방식으로 투명 도전층(30a) 상에 직접 형성될 수 있고, 반사층(40a)은 투명 도전층(30a)과 배리어층(41a) 사이에 위치한다. 발광소자(1) 또는 발광소자(2)의 평면도 상에서, 반사층(40a)의 외연(401a)은 투명 도전층(30a)의 외연(301a)의 내측, 외측에 설치되거나, 또는 투명 도전층(30a)의 외연(301a)과 접치면서 정렬되게 설치될 수 있고, 배리어층(41a)의 외연(411a)은 반사층(40a)의 외연(401a)의 내측, 외측에 설치되거나, 또는 반사층(40a)의 외연(401a)과 접치면서 정렬되게 설치될 수 있다.

[0022] 본 발명의 다른 실시예에서, 투명 도전층의 형성단계를 생략할 수 있고, 플랫폼 형성단계 또는 제1 절연층 형성단계 이후, 반사구조 형성단계를 직접 진행할 수 있다. 예컨대 반사층(40a) 및/또는 배리어층(41a)은 제2 반도체층(102a) 상에 직접 형성되고, 반사층(40a)은 제2 반도체층(102a) 및 배리어층(41a) 사이에 위치한다.

[0023] 반사층(40a)은 단층 또는 다층 구조일 수 있고, 다층 구조는 예컨대 브래그 반사구조이다. 반사층(40a)의 재질은 반사율이 비교적 높은 금속 재질을 포함하며, 금속 재질은 예컨대 은(Ag), 알루미늄(Al) 또는 로듐(Rh) 등 금속 또는 이들의 합금이다. 여기서 비교적 높은 반사율을 가진다는 것은 발광소자(1) 또는 발광소자(2)가 방출하는 광선의 파장에 대해 80% 이상의 반사율을 가지는 것을 의미한다. 본 발명의 일실시예에서, 배리어층(41a)은 반사층(40a)을 피복하여 반사층(40a) 표면이 산화되어 반사층(40a)의 반사율이 악화되는 것을 방지한다. 배리어층(41a)의 재질은 금속 재질을 포함하며, 금속 재질은 예컨대 티타늄(Ti), 볼프람(W), 알루미늄(Al), 인듐(In), 주석(Sn), 니켈(Ni), 백금(Pt) 등 금속 또는 이들의 합금이다. 배리어층(41a)은 단층 또는 다층 구조일 수 있으며, 다층 구조는 예컨대 티타늄(Ti)/알루미늄(Al) 및/또는 티타늄(Ti)/볼프람(W)이다. 본 발명의 일실시예에서, 배리어층(41a)은 반사층(40a)과 떨어져 있는 일측에 티타늄(Ti)/알루미늄(Al)의 적층구조를 포함하고 반사층(40a)과 가까이 있는 일측에 티타늄(Ti)/볼프람(W)의 적층구조를 포함한다. 본 발명의 일실시예에서, 반사층(40a) 및 배리어층(41a)의 재질은 금 또는 구리(Cu) 이외의 금속 재질을 포함하는 것이 바람직하다.

[0024] 본 발명의 일실시예에서, 반사구조 형성단계에 이어서 발광소자(1) 또는 발광소자(2)의 제조방법은, 도 5a의 평면도, 도 5a의 A-A' 선에 따른 단면도인 도 5b 및 도 5a의 B-B'선에 따른 단면도인 도 5c에 도시된 바와 같이, 제2 절연층 형성단계를 포함한다. 제2 절연층(50a)은 중발 또는 중착 등 방식으로 반도체 구조(1000a) 상에 형성되고, 또 제1 반도체층(101a)을 노출시키도록 제1 그룹의 제2 절연층개구(501a)를 형성하고, 반사층(40a) 또는 배리어층(41a)을 노출시키도록 제2 그룹의 제2 절연층개구(502a)를 형성하도록, 리소그래피, 식각 방식에 의해 패턴화되고, 제2 절연층(50a)의 패턴화 과정에서는, 상술한 제1 절연층 형성단계에서 서라운딩부(111a)에 커

버된 제1 절연층서라운딩영역(200a) 및 홀부(100a) 내의 제1 그룹의 제1 절연층커버영역(201a)을 부분적으로 식각 및 제거하여 제1 반도체층(101a)을 노출시키고, 홀부(100a) 내에 제1 그룹의 제1 절연층개구(203a)를 형성하여 제1 반도체층(101a)을 노출시킨다. 본 실시예에서, 발광소자(1) 또는 발광소자(2)의 단면도 상에서, 도 5b에 도시된 바와 같이, 제1 그룹의 제2 절연층개구(501a) 및 제2 그룹의 제2 절연층개구(502a)는 상이한 폭, 개수를 가진다. 제1 그룹의 제2 절연층개구(501a) 및 제2 그룹의 제2 절연층개구(502a)의 개구 형상은 원형, 타원형, 직사각형, 다각형 또는 임의의 형상을 포함한다. 본 실시예에서, 도 5a에 도시된 바와 같이, 제1 그룹의 제2 절연층개구(501a)는 서로 분리되고, 복수의 열로 배열되면서 각각 복수 개의 홀부(100a) 및 제1 그룹의 제1 절연층개구(203a)에 대응되고, 제2 그룹의 제2 절연층개구(502a)는 모두 기판(11a)의 일측, 예컨대 기판(11a) 중심선의 좌측 또는 우측에 근접하며, 제2 그룹의 제2 절연층개구(502a)는 서로 분리되면서 서로 인접한 두 열의 제1 그룹의 제2 절연층개구(501a) 사이에 위치한다. 제2 절연층(50a)은 단층 또는 다층 구조일 수 있다. 제2 절연층(50a)이 단층 막인 경우, 제2 절연층(50a)은 반도체 구조(1000a)의 측벽을 보호하여 활성층(103a)이 후속 제조공정에서 훼손되는 것을 방지할 수 있다. 제2 절연층(50a)이 다층 막인 경우, 제2 절연층(50a)은 굴절률이 상이한 2종 이상의 재질이 교대로 적층되어 브레그 반사경(DBR) 구조를 형성하여, 특정 파장의 광선을 선택적으로 반사할 수 있다. 제2 절연층(50a)은 비도전성 재질로 형성되고, Su8, 벤조사이클로부텐(PCB), 퍼플루오로시클로부탄(PFCB), 에폭시수지(Epoxy), 아크릴 수지(Acrylic Resin), 환상 올레핀 고분자(COC), 폴리메틸 메타크릴산(PMMA), 폴리에틸렌테프탈레이트(PET), 폴리카보네이트(PC), 폴리에테리이미드(Polyetherimide), 불화탄소 폴리머(Fluorocarbon Polymer) 등 유기재질, 또는 실리콘(Silicone), 유리(Glass) 등 무기재질, 또는 알루미나(Al_2O_3), 질화규소(SiN_x), 산화규소(SiO_x), 티타늄옥사이드(TiO_x) 또는 플루오르화마그네슘(MgF_x) 등 유전재질을 포함한다.

[0025] 본 발명의 일실시예에서 제2 절연층 형성단계에 이어서 발광소자(1) 또는 발광소자(2)의 제조방법은, 도 6a의 평면도, 도 6a의 A-A'선에 따른 단면도인 도 6b 및 도 6a의 B-B'선에 따른 단면도인 도 6c에 도시된 바와 같이, 접촉층 형성단계를 포함한다. 접촉층(60a)은 증발 또는 증착 등 방식으로 제1 반도체층(101a) 및 제2 반도체층(102a) 상에 형성될 수 있고, 또 제2 그룹의 제2 절연층개구(502a) 상에 하나 이상의 접촉층개구(602a)를 형성하여 반사층(40a) 또는 배리어층(41a)을 노출시키고 발광소자(1) 또는 발광소자(2)의 기하학적 중심부에 핀영역(600a)이 정의되도록, 리소그래피, 식각의 방법에 의해 패턴화된다. 발광소자(1) 또는 발광소자(2)의 단면도 상에서, 접촉층개구(602a)의 폭은 제2 그룹의 제2 절연층개구(502a) 중 어느 하나의 폭보다 크다. 발광소자(1) 또는 발광소자(2)의 평면도 상에서, 복수 개의 접촉층개구(602a)는 모두 기판(11a)의 일측, 예컨대 기판(11a) 중심선의 좌측 또는 우측에 근접한다. 접촉층(60a)은 단층 또는 다층 구조일 수 있다. 제1 반도체층(101a)과 서로 접촉하는 전기 저항을 저감시키기 위해, 접촉층(60a)의 재질은 금속 재질을 포함하며, 금속 재질은 예컨대 크롬(Cr), 티타늄(Ti), 볼프람(W), 금(Au), 알루미늄(Al), 인듐(Indium), 주석(Sn), 니켈(Ni), 백금(Pt) 등 금속 또는 이들의 합금이다. 본 발명의 일실시예에서, 접촉층(60a)의 재질은 금(Au), 구리(Cu) 이외의 금속 재질인 것이 바람직하다. 본 발명의 일실시예에서, 접촉층(60a)의 재질은 알루미늄(Al), 백금(Pt) 등의 높은 반사율을 가지는 금속을 포함하는 것이 바람직하다. 본 발명의 일실시예에서, 접촉층(60a)의 제1 반도체층(101a)과 접촉하는 일측은 제1 반도체층(101a)과의 접합 강도를 증가시키도록 크롬(Cr) 또는 티타늄(Ti)을 포함하는 것이 바람직하다.

[0026] 본 발명의 일실시예에서, 접촉층(60a)은 모든 홀부(100a)를 커버하고 또한 확장되어 제2 반도체층(102a) 위를 커버하고, 접촉층(60a)은 제2 절연층(50a)을 통해 제2 반도체층(102a)과 접촉되고, 접촉층(60a)은 홀부(100a)를 통해 제1 반도체층(101a)과 접촉한다. 외부전류가 발광소자(1) 또는 발광소자(2)에 주입되면, 전류는 복수 개의 홀부(100a)에 의해 제1 반도체층(101a)까지 전도된다. 본 실시예에서, 동일한 열 상에 위치하는 두 개의 서로 인접한 홀부(100a) 사이는 제1 최단거리를 가지고, 발광소자 가장자리에 인접한 임의의 홀부(100a)와 제1 반도체층(101a)의 제1 외측벽(1003a) 사이는 제2 최단거리를 가지고, 제1 최단거리는 제2 최단거리보다 크다.

[0027] 본 발명의 다른 실시예에서, 접촉층(60a)은 서라운딩부(111a) 및 홀부(100a)를 커버하고, 또한 확장되어 제2 반도체층(102a) 위를 커버하고, 접촉층(60a)은 제2 절연층(50a)을 통해 제2 반도체층(102a)과 접촉되고, 접촉층(60a)은 서라운딩부(111a) 및 홀부(100a)를 통해 제1 반도체층(101a)과 접촉한다. 외부전류가 발광소자(1) 또는 발광소자(2)에 주입되면, 일부 전류는 서라운딩부(111a)에 의해 제1 반도체층(101a)까지 전도되고, 다른 일부 전류는 복수 개의 홀부(100a)에 의해 제1 반도체층(101a)까지 전도된다. 본 실시예에서, 동일한 열 상에 위치하는 두 개의 서로 인접한 홀부(100a) 사이는 제1 최단거리를 가지고, 발광소자 가장자리에 인접한 임의의 홀부(100a)와 제1 반도체층(101a)의 제1 외측벽(1003a) 사이는 제2 최단거리를 가지고, 제1 최단거리는 제2 최단거리와 같거나 작다.

- [0028] 본 발명의 다른 실시예에서, 복수 개의 홀부(100a)는 제1 열 및 제2 열로 배열될 수 있고, 동일한 열 상에 위치하는 두 개의 인접한 홀부(100a) 사이는 제1 최단거리를 가지고, 제1 열상의 홀부(100a)와 제2 열상에 위치하는 홀부(100a) 사이는 제2 최단거리를 가지며, 제1 최단거리는 제2 최단거리보다 크거나 작다.
- [0029] 본 발명의 일실시예에서, 복수 개의 홀부(100a)는 제1 열, 제2 열 및 제3 열로 배열될 수 있고, 제1 열 상의 홀부(100a)와 제2 열 상의 홀부(100a) 사이는 제1 최단거리를 가지고, 제2 열 상에 위치하는 홀부(100a)와 제3 열 상에 위치하는 홀부(100a) 사이는 제2 최단거리를 가지며, 제1 최단거리는 제2 최단거리보다 작다.
- [0030] 본 발명의 일실시예에서, 도 6a, 도 6b 및 도 6c에 도시된 바와 같은 접촉층 형성단계에 이어서 발광소자(1) 또는 발광소자(2)의 제조방법은 제3 절연층 형성단계를 포함하고, 도 7a의 평면도, 도 7a의 A-A'선에 따른 단면도인 도 7b 및 도 7a의 B-B'선에 따른 단면도인 도 7c에 도시된 바와 같이, 제3 절연층(70a)은 중발 또는 증착 등 방식으로 반도체 구조(1000a) 상에 형성될 수 있고, 또 도 6a에 도시된 접촉층(60a)을 노출시키도록 접촉층(60a) 상에 제1 그룹의 제3 절연층개구(701a)를 형성하고, 도 6a에 도시된 반사층(40a) 또는 배리어층(41a)을 노출시키도록 하나 이상의 접촉층개구(602a) 상에 제2 그룹의 제3 절연층개구(702a)를 형성하도록, 리소그래피, 식각의 방법에 의해 패턴화되고, 제2 반도체층(102a) 상에 위치하는 접촉층(60a)은 제2 절연층(50a)과 제3 절연층(70a) 사이에 개재되고, 제1 그룹의 제3 절연층개구(701a)와 제1 그룹의 제2 절연층개구(501a)는 어긋나며 서로 중첩되지 않는다. 상술한 편영역(600a)은 제3 절연층에 의해 에워싸여 피복된다. 본 실시예에서, 도 7a에 도시된 바와 같이, 제1 그룹의 제3 절연층개구(701a)는 서로 분리되며 복수 개의 홀부(100a)와 어긋난다. 제2 그룹의 제3 절연층개구(702a)는 서로 분리되며 각각 복수 개의 접촉층개구(602a)에 대응한다. 도 7a의 평면도 상에서, 제1 그룹의 제3 절연층개구(701a)는 기판(11a)의 일측, 예컨대 우측에 근접하고, 제2 그룹의 제3 절연층개구(702a)는 기판(11a)의 타측, 예컨대 기판(11a) 중심선의 좌측에 근접한다. 발광소자(1) 또는 발광소자(2)의 단면도 상에서, 임의의 하나의 제2 그룹의 제3 절연층개구(702a)의 폭은 임의의 하나의 접촉층개구(602a)의 폭 보다 작고, 제3 절연층(70a)은 접촉층개구(602a)에 따라 충진되어 접촉층개구(602a)의 측벽에 피복되면서 반사층(40a) 또는 배리어층(41a)을 노출시켜, 제2 그룹의 제3 절연층 개구(702a)를 구성한다. 제3 절연층(70a)은 단층 또는 다층 구조일 수 있다. 제3 절연층(70a)이 다층 막인 경우, 제3 절연층(70a)은 굴절율이 상이한 2종 이상의 재질이 교대로 적층되어 브레그 반사경(DBR) 구조를 형성하여, 특정 파장의 광선을 선택적으로 반사할 수 있다. 제3 절연층(70a)은 비도전성 재질로 형성되고, Su8, 벤조사이클로부텐(PCB), 퍼플루오로시클로부탄(PFCB), 에폭시수지(Epoxy), 아크릴 수지(Acrylic Resin), 환상 올레핀 고분자(COC), 폴리메틸 메타크릴산(PMMA), 폴리에틸렌테레프탈레이트(PET), 폴리카보네이트(PC), 폴리에테리미드(Polyetherimide), 불화탄소 폴리머(Fluorocarbon Polymer) 등 유기재질, 또는 실리콘(Silicone), 유리(Glass) 등 무기재, 또는 알루미나(Al_2O_3), 질화규소(SiN_x), 산화규소(SiO_x), 티타늄옥사이드(TiO_x) 또는 플루오르화마그네슘(MgF_x) 등 유전재질을 포함한다.
- [0031] 제3 절연층 형성단계에 이어서 발광소자(1) 또는 발광소자(2)의 제조방법은 본딩패드 형성단계를 포함한다. 도 8의 평면도에 도시된 바와 같이, 제1 본딩패드(80a) 및 제2 본딩패드(90a)는 전기 도금, 중발 또는 증착 등 방식으로 하나 이상의 반도체 구조(1000a) 상에 형성될 수 있고, 또 리소그래피, 식각 방식에 의해 패턴화된다. 도 8의 평면도 상에서, 제1 본딩패드(80a)는 기판(11a) 중심선의 일측, 예컨대 우측에 근접하고, 제2 본딩패드(90a)는 기판(11a) 중심선의 타측, 예컨대 좌측에 근접한다. 제1 본딩패드(80a)는 접촉층(60a)과 접촉하도록 제1 그룹의 제3 절연층개구(701a)를 모두 커버하고, 또한 접촉층(60a) 및 홀부(100a)를 통해 제1 반도체층(101a)과 전기적 연결을 형성한다. 제2 본딩패드(90a)는 모든 제2 그룹의 제3 절연층개구(702a)를 커버하고 반사층(40a) 또는 배리어층(41a)과 접촉하고, 또한 반사층(40a) 또는 배리어층(41a)을 통해 제2 반도체층(102a)과 전기적 연결을 형성한다. 제1 본딩패드(80a)는 하나 이상의 제1 본딩패드개구(800a), 및 제1 측변(802a)과, 제1 측변(802a)으로부터 제2 본딩패드(90a)에서 멀어지는 방향으로 연장 형성된 복수 개의 제1 오목부(804a)를 포함한다. 제2 본딩패드(90a)는 하나 이상의 제2 본딩패드개구(900a), 및 제2 측변(902a)과, 제2 측변(902a)으로부터 제1 본딩패드(80a)에서 멀어지는 방향으로 연장 형성된 복수 개의 제2 오목부(904a)를 포함한다. 제1 본딩패드개구(800a)의 위치 및 제2 본딩패드개구(900a)의 위치는 홀부(100a)의 위치와 거의 대응하고, 제1 오목부(804a)의 위치 및 제2 오목부(904a)의 위치는 홀부(100a)의 위치와 거의 대응한다. 다시 말하면, 제1 본딩패드(80a) 및 제2 본딩패드(90a)는 어느 홀부(100a)도 커버하지 않으며, 제1 본딩패드(80a) 및 제2 본딩패드(90a)는 홀부(100a)를 피해가면서 홀부(100a) 주변에 형성됨으로써, 제1 본딩패드개구(800a) 또는 제2 본딩패드개구(900a)는 어느 홀부(100a)의 직경보다도 큰 직경을 가지고, 제1 오목부(804a) 또는 제2 오목부(904a)는 어느 홀부(100a)의 직경보다도 큰 폭을 가진다. 본 발명의 일실시예에서, 복수 개의 제1 오목부(804a)는 평면도 상에서 복수 개의 제2 오목부(904a)와 거의 나란히 있다. 본 발명의 다른 실시예에서, 복수 개의 제1 오목부(804a)는

평면도 상에서 복수 개의 제2 오목부(904a)와 어긋나게 배치된다. 본 발명의 일실시예에서, 발광소자(1) 또는 발광소자(2)의 평면도 상에서, 제1 본딩패드(80a)의 형상은 제2 본딩패드(90a)의 형상과 동일하거나 상이하다.

[0032] 도 9a는 도 8의 A-A'선에 따른 단면도이고, 도 9b는 도 8의 B-B'선에 따른 단면도이다. 본 실시예에 공개된 발광소자(1)는 플립칩형 발광 다이오드 소자이다. 발광소자(1)는 기판(11a); 기판(11a) 상에 위치하는 하나 이상의 반도체 구조(1000a); 하나 이상의 반도체 구조(1000a)를 에워싸는 서라운딩부(111a); 및 반도체적층(10a) 상에 위치하는 제1 본딩패드(80a) 및 제2 본딩패드(90a);를 포함한다. 하나 이상의 반도체 구조(1000a)는 각각 반도체적층(10a)을 포함하고, 반도체적층(10a)은 제1 반도체층(101a), 제2 반도체층(102a) 및 제1 반도체층(101a)과 제2 반도체층(102a) 사이에 위치하는 활성층(103a)을 포함한다. 복수 개의 반도체 구조(1000a)는 제1 반도체층(101a)에 의해 서로 연결된다. 도 8, 도 9a 및 도 9b에 도시된 바와 같이, 하나 이상의 반도체 구조(1000a) 주변의 제2 반도체층(102a) 및 활성층(103a)은 제거되어 제1 반도체층(101a)의 제1 표면(1011a)을 노출시킨다. 다시 말하면, 서라운딩부(111a)는 반도체 구조(1000a)의 주변을 에워싸도록 제1 반도체층(101a)의 제1 표면(1011a)을 포함한다.

[0033] 발광소자(1)는 제1 반도체층(101a)의 하나 이상의 제2 표면(1012a)을 노출시키도록 제2 반도체층(102a) 및 활성층(103a)을 관통하는 하나 이상의 홀부(100a); 및 제1 반도체층(101a)의 제1 표면(1011a) 상에 형성되어 반도체 구조(1000a)의 주변을 에워싸면서 제1 반도체층(101a)과 접촉하여 전기적 연결을 형성하고, 또한 제1 반도체층(101a)의 하나 이상의 제2 표면(1012a) 상에 형성되어 하나 이상의 홀부(100a)를 커버하면서 제1 반도체층(101a)과 접촉하여 전기적 연결을 형성하는 접촉층(60a);을 더 포함한다. 본 실시예에서, 발광소자(1)의 평면도 상에서, 접촉층(60a)은 활성층(103a)의 전체 표면적보다 큰 전체 표면적을 가지거나, 접촉층(60a)은 활성층(103a)의 외변의 길이보다 큰 외변의 길이를 가진다.

[0034] 본 발명의 일실시예에서, 제1 본딩패드(80a) 및/또는 제2 본딩패드(90a)는 복수 개의 반도체 구조(1000a)를 커버한다.

[0035] 본 발명의 일실시예에서, 제1 본딩패드(80a)는 하나 이상의 제1 본딩패드개구(800a)를 포함하고, 제2 본딩패드(90a)는 하나 이상의 제2 본딩패드개구(900a)를 포함한다. 제1 본딩패드(80a) 및 제2 본딩패드(90a)의 형성위치는 홀부(100a)의 형성위치를 피해가므로써, 제1 본딩패드개구(800a) 및 제2 본딩패드개구(900a)의 형성위치가 홀부(100a)의 형성위치와 중첩되도록 한다.

[0036] 본 발명의 일실시예에서, 발광소자(1)의 평면도 상에서, 제1 본딩패드(80a)의 형상은 제2 본딩패드(90a)의 형상과 동일하고, 예컨대 제1 본딩패드(80a) 및 제2 본딩패드(90a)의 형상은 빗 형상이고, 도 8에 도시된 바와 같이, 제1 본딩패드(80a)가 복수 개의 홀부(100a) 위치 이외의 영역에 형성되도록 제1 본딩패드(80a)의 제1 본딩패드개구(800a)의 곡률반경 및 제1 오목부(804a)의 곡률반경은 각각 홀부(100a)의 곡률반경보다 크다. 제2 본딩패드(90a)가 복수 개의 홀부(100a) 위치 이외의 영역에 형성되도록 제2 본딩패드(90a)의 제2 본딩패드개구(900a)의 곡률반경 및 제2 오목부(904a)의 곡률반경은 각각 홀부(100a)의 곡률반경보다 크다.

[0037] 본 발명의 일실시예에서, 발광소자(1)의 평면도 상에서, 제1 본딩패드(80a)의 형상과 제2 본딩패드(90a)의 형상은 상이하다. 예컨대 제1 본딩패드(80a)의 형상은 직사각형이고 제2 본딩패드(90a)의 형상은 빗 형상인 경우, 제1 본딩패드(80a)는 제1 본딩패드(80a)가 복수 개의 홀부(100a) 이외의 영역에 형성되도록 제1 본딩패드개구(800a)를 포함하고, 제2 본딩패드(90a)는 제2 본딩패드(90a)가 복수 개의 홀부(100a) 이외의 영역에 형성되도록 제2 오목부(904a)를 포함하거나 제2 오목부(904a) 및 제2 본딩패드개구(900a)를 동시에 포함한다.

[0038] 본 발명의 일실시예에서, 제1 본딩패드(80a)의 크기와 제2 본딩패드(90a)의 크기는 상이하고, 예컨대 제1 본딩패드(80a)의 면적은 제2 본딩패드(90a)의 면적보다 크다. 제1 본딩패드(80a) 및 제2 본딩패드(90a)는 금속 재질을 포함하는 단층 또는 다층 구조일 수 있다. 제1 본딩패드(80a) 및 제2 본딩패드(90a)의 재질은 금속 재질을 포함하며, 금속 재질은 예컨대 크롬(Cr), 티타늄(Ti), 볼프람(W), 알루미늄(Al), 인듐(In), 주석(Sn), 니켈(Ni), 백금(Pt) 등 금속 또는 이들의 합금이다. 제1 본딩패드(80a) 및 제2 본딩패드(90a)가 다층 구조인 경우, 제1 본딩패드(80a)는 제1 상층 본딩패드(805a) 및 제1 하층 본딩패드(807a)를 포함하고, 제2 본딩패드(90a)는 제2 상층 본딩패드(905a) 및 제2 하층 본딩패드(907a)를 포함한다. 상층 본딩패드와 하층 본딩패드는 각각 상이한 기능을 가진다. 상층 본딩패드의 기능은 주로 용접과 리드 선을 형성하는 것이다. 상층 본딩패드에 의해, 발광소자(1)는 플립 칩 형식으로 솔더 또는 Au-Sn 공정 접합(Eutectic Bonding)을 이용하여 패키지 기판에 장착된다. 상층 본딩패드의 구체적인 금속 재질은 니켈(Ni), 코발트(Co), 철(Fe), 티타늄(Ti), 구리(Cu), 금(Au), 볼프람(W), 지르코늄(Zr), 몰리브덴(Mo), 탄탈(Ta), 알루미늄(Al), 은(Ag), 백금(Pt), 팔라듐(Pd), 로듐(Rh), 이리듐(Ir), 루테늄(Ru), 오스뮴(Os) 등 고연성의 재질을 포함한다. 상층 본딩패드는 상기 재질의 단층, 합금 또

는 다층 막일 수 있다. 본 발명의 일실시예에서, 상층 본딩패드의 재질은 니켈(Ni) 및/또는 금(Au)을 포함하는 것이 바람직하고, 또한 상층 본딩패드는 단층 또는 다층이다. 하층 본딩패드의 기능은 접촉층(60a), 반사층(40a), 또는 배리어층(41a)과 안정된 계면을 형성하는 것, 예컨대 제1 하층 본딩패드(807a)와 접촉층(60a)의 계면 접합강도를 향상시키거나 제2 하층 본딩패드(907a)와 반사층(40a) 또는 배리어층(41a)의 계면 접합강도를 향상시키는 것이다. 하층 본딩패드의 다른 기능은 솔더 또는 Au-Sn 공정 중의 주석(Sn)이 반사구조 내로 확산되어, 반사구조의 반사율을 훼손시키는 것을 방지하는 것이다. 따라서, 하층 본딩패드는 금(Au), 구리(Cu) 이외의 재질, 예컨대 니켈(Ni), 코발트(Co), 철(Fe), 티타늄(Ti), 볼프람(W), 지르코늄(Zr), 몰리브덴(Mo), 탄탈(Ta), 알루미늄(Al), 은(Ag), 백금(Pt), 팔라듐(Pd), 로듐(Rh), 이리듐(Ir), 루테늄(Ru), 오스뮴(Os) 등의 금속 재질을 포함하는 것이 바람직하고, 하층 본딩패드는 상기 재질의 단층, 합금 또는 다층 막일 수 있다. 본 발명의 일실시예에서, 하층 본딩패드는 티타늄(Ti), 알루미늄(Al)의 다층 막, 또는 크롬(Cr), 알루미늄(Al)의 다층 막을 포함하는것이 바람직하다.

[0039] 본 발명의 일실시예에서, 발광소자(1)의 단면도 상에서, 제1 반도체층(101a)과 연결되는 접촉층(60a) 부분은 제2 본딩패드(90a) 하측에 위치한다.

[0040] 본 발명의 일실시예에서, 발광소자(1)의 단면도 상에서, 제1 반도체층(101a)과 연결되는 접촉층(60a)의 부분은 반사층(40a) 및/또는 배리어층(41a) 상측에 위치한다.

[0041] 본 발명의 일실시예에서, 발광소자(1)의 평면도 상에서, 홀부(100a)는 제1 본딩패드 개구(800a)의 최대 폭보다 작은 최대 폭을 가지고; 및/또는 홀부(100a)는 제2 본딩패드개구(900a)의 최대 폭보다 작은 최대 폭을 가진다.

[0042] 본 발명의 일실시예에서, 발광소자(1)의 평면도 상에서, 복수 개의 홀부(100a)는 각각 제1 본딩패드(80a)의 복수 개의 제1 오목부(804a) 및 제2 본딩패드(90a)의 복수 개의 제2 오목부(904a) 내에 위치한다.

[0043] 도 10은 본 발명의 일실시예에서 공개한 발광소자(2)의 단면도이다. 발광소자(2)와 상기 실시예 중의 발광소자(1)를 비교했을 때, 발광소자(2)는 제1 본딩패드(80a) 및 제2 본딩패드(90a) 하측에 각각 위치하는 제1 범퍼패드(810a) 및 제2 범퍼패드(910a)를 더 포함하고, 그 밖에, 발광소자(2)와 발광소자(1)는 거의 동일한 구조를 가지므로, 도 10의 발광소자(2)와 도 9의 발광소자(1)의 동일한 명칭, 부호를 가진 구조는, 동일한 구조를 나타내며, 동일한 재질을 가지거나 동일한 기능을 가지므로, 설명을 적절하게 생략하거나 상세하게 설명하지 않는다. 본 실시예에서, 발광소자(2)는 제1 본딩패드(80a)와 반도체적층(10a) 사이에 위치하는 제1 범퍼패드(810a), 및 제2 본딩패드(90a)와 반도체적층(10a) 사이에 위치하는 제2 범퍼패드(910a)을 포함하고, 제1 범퍼패드(810a) 및 제2 범퍼패드(910a)는 일부 또는 전체 홀부(100a)를 커버하고, 본 실시예에서, 본딩패드(80a, 90a)와 반도체적층(10a) 사이에 다층 절연층을 포함하므로, 발광소자(2)의 본딩패드(80a, 90a)가 솔더와 접합 또는 Au-Sn 공정 접합 시 발생하는 응력으로 인해 본딩패드(80a, 90a)와 절연층에 크랙이 발생하므로, 범퍼패드(810a, 910a)은 각각 본딩패드(80a, 90a) 및 제3 절연층(70a) 사이에 위치하고, 제1 범퍼패드(810a) 및 제2 범퍼패드(910a)은 전체 홀부(100a)를 커버하고, 제1 본딩패드(80a) 및 제2 본딩패드(90a)의 형성위치는 홀부(100a)의 형성위치를 피해가고, 범퍼패드의 재질을 선택하고 두께를 감소하는 것에 의해 본딩패드와 절연층 사이 응력의 발생을 감소시킨다. 다시 말하면, 제1 본딩패드(80a) 및 제2 본딩패드(90a)는 홀부(100a)를 커버하지 않는다.

[0044] 본 발명의 일실시예에서, 도 10에 도시된 바와 같이, 발광소자(2)의 평면도 상에서, 범퍼패드(810a, 910a)의 형상은 각각 본딩패드(80a, 90a)의 형상과 동일하고, 예컨대 제1 범퍼패드(810a) 및 제2 본딩패드(80a)의 형상은 빗 형상이다.

[0045] 본 발명의 일실시예에서, 발광소자(2)의 평면도(미도시) 상에서, 범퍼패드(810a, 910a)의 형상은 각각 본딩패드(80a, 90a)의 형상과 상이하고, 예컨대 제1 범퍼패드(810a)의 형상은 직사각형이고, 제1 본딩패드(80a)의 형상은 빗 형상이다.

[0046] 본 발명의 다른 실시예에서, 범퍼패드(810a, 910a)의 크기는 각각 본딩패드(80a, 90a)의 크기와 상이하고, 예컨대 제1 범퍼패드(810a)의 면적은 제1 본딩패드(80a)의 면적보다 크고, 제2 범퍼패드(910a)의 면적은 제2 본딩패드(90a)의 면적보다 크다.

[0047] 본 발명의 다른 실시예에서, 제1 본딩패드(80a)와 제2 본딩패드(90a) 사이의 거리는 제1 범퍼패드(810a)과 제2 범퍼패드(910a) 사이의 거리보다 크다.

[0048] 본 발명의 다른 실시예에서, 본딩패드(80a, 90a)에 비해, 범퍼패드(810a, 910a)는 본딩패드(80a, 90a)의 다이 본딩 시의 압력을 방출하도록 비교적 큰 면적을 가진다. 발광소자(2)의 단면도 상에서, 제1 범퍼패드(810a)의

폭은 제1 본딩패드(80a)의 폭의 1.5~2.5배이고, 바람직하게는 2배이다.

- [0049] 본 발명의 다른 실시예에서, 본딩패드(80a, 90a)에 비해, 범퍼패드(810a, 910a)은 본딩패드(80a, 90a)의 다이 본딩 시의 압력을 방출하도록, 비교적 큰 면적을 가진다. 발광소자(2)의 단면도 상에서, 제1 범퍼패드(810a)의 확장거리는 그 자체 두께의 1배 이상이고, 바람직하게는 자체 두께의 2배 이상이다.
- [0050] 본 발명의 다른 실시예에서, 본딩패드(80a, 90a)는 1~100 μm 의 두께를 가지고, 바람직하게는 2~6 μm 이고, 범퍼 패드(810a, 910a)는 본딩패드(80a, 90a)의 다이 본딩 시의 압력을 방출하도록, 0.5 μm 보다 큰 두께를 가진다.
- [0051] 본 발명의 다른 실시예에서, 제1 범퍼패드(810a) 및 제2 범퍼패드(910a)은 금속 재질을 포함하는 단층 또는 다층 구조일 수 있다. 제1 범퍼패드(810a) 및 제2 범퍼패드(910a)의 기능은 접촉층(60a), 반사층(40a) 또는 배리어층(41a)과 안정된 계면을 형성하는 것이고, 예컨대 제1 범퍼패드(810a)은 접촉층(60a)과 접촉하고, 제2 범퍼 패드(910a)은 반사층(40a) 또는 배리어층(41a)과 접촉한다. 범퍼패드(810a, 910a)은 솔더 또는 Au-Sn 공정 중의 주석(Sn)이 발광소자로 확산되는 것을 방지하도록, 금(Au), 구리(Cu) 이외의 금속 재질, 예컨대 크롬(Cr), 니켈(Ni), 코발트(Co), 철(Fe), 티타늄(Ti), 불프람(W), 지르코늄(Zr), 몰리브덴(Mo), 탄탈(Ta), 알루미늄(Al), 은(Ag), 백금(Pt), 팔라듐(Pd), 로듐(Rh), 이리듐(Ir), 루테늄(Ru), 오스뮴(Os)을 포함하는 것이 바람직하다.
- [0052] 본 발명의 다른 실시예에서, 제1 범퍼패드(810a) 및/또는 제2 범퍼패드(910a)는 금속 재질의 다층 구조를 포함하고, 다층 구조는 본딩패드(80a, 90a)가 솔더와 접착 또는 Au-Sn 공정 접합 시 발생하는 응력으로 인해 본딩패드(80a, 90a)와 반도체적층(10a) 사이의 절연층에 크랙이 발생하는 것을 방지하도록, 고연성의 층과 저연성의 층을 포함한다. 고연성의 층과 저연성의 층은 상이한 영률(Young's modulus)을 가지는 금속을 포함한다.
- [0053] 본 발명의 다른 실시예에서, 제1 범퍼패드(810a) 및 제2 범퍼패드(910a)의 고연성의 층은 저연성의 층의 두께보다 크거나 같은 두께를 가진다.
- [0054] 본 발명의 다른 실시예에서, 제1 범퍼패드(810a) 및 제2 범퍼패드(910a)는 금속 재질을 포함하는 다층 구조이고, 제1 본딩패드(80a) 및 제2 본딩패드(90a)가 금속 재질을 포함하는 다층 구조인 경우, 제1 범퍼패드(810a)와 제1 본딩패드(80a)가 접하는 일면은 동일한 금속 재질을 포함하고, 제2 범퍼패드(910a)와 제2 본딩패드(90a)가 접하는 일면은 동일한 금속 재질(예컨대 크롬(Cr), 니켈(Ni), 티타늄(Ti), 백금(Pt))을 포함함으로써 본딩패드와 범퍼패드의 계면 접합강도를 향상시킨다.
- [0055] 도 11a 및 도 11b에 도시된 바와 같이, 제4 절연층(110a)은 중발 또는 중착 등 방식으로 제1 범퍼패드(810a) 및 제2 범퍼패드(910a) 상에 형성될 수 있고, 리소그래피, 식각의 방법에 의해 패턴화되며, 제1 본딩패드(80a) 및 제2 본딩패드(90a)는 상술한 방식으로 각각 제1 범퍼패드(810a) 및 제2 범퍼패드(910a) 상에 형성되고, 제4 절연층(110a)은 제1 범퍼패드(810a) 및 제2 범퍼패드(910a)의 측벽을 에워싼다. 제4 절연층(110a)은 단층 또는 다층 구조일 수 있다. 제4 절연층(110a)이 다층 막인 경우, 제4 절연층(110a)은 굴절률이 상이한 2종 이상의 재질이 교대로 적층되어 브레그 반사경(DBR) 구조를 형성하여, 특정 파장의 광선을 선택적으로 반사할 수 있다. 제4 절연층(110a)의 재질은 비도전성 재질로 형성되고, Si_8 , 벤조사이클로부텐(BCB), 퍼플루오로시클로부탄(PFCB), 에폭시 수지(Epoxy), 아크릴 수지(Acrylic Resin), 환상 올레핀 고분자(COC), 폴리메틸 메타크릴산(PMMA), 폴리에틸렌테레프탈레이트(PET), 폴리카보네이트(PC), 폴리에테리미드(Polyether imide), 불화탄소 폴리머(Fluorocarbon Polymer) 등 유기재질, 또는 실리콘(Silicone), 유리(Glass) 등 무기재질, 또는 알루미나(Al_2O_3), 질화규소(SiN_x), 산화규소(SiO_x), 티타늄옥사이드(TiO_x) 또는 플루오르화마그네슘(MgF_x) 등 유전재질을 포함한다.
- [0056] 본 발명의 일실시예에서, 제1 본딩패드(80a) 및 제2 본딩패드(90a)의 제조공정은 제1 범퍼패드(810a) 및 제2 범퍼패드(910a)의 제조공정 후 바로 이어질 수 있다. 본 발명의 다른 실시예에서, 제1 범퍼패드(810a) 및 제2 범퍼패드(910a)의 제조공정 후, 먼저 제4 절연층(110a)의 형성단계를 진행한 다음, 이어서 제1 본딩패드(80a) 및 제2 본딩패드(90a)의 제조공정을 진행한다.
- [0057] 도 12a 내지 도 22는 본 발명의 일실시예에서 공개한 발광소자(3) 또는 발광소자(4)의 제조방법이다.
- [0058] 도 12a의 평면도 및 도 12a의 A-A'선에 따른 단면도인 도 12b에 도시된 바와 같이, 발광소자(3) 또는 발광소자(4)의 제조방법은 플랫폼 형성단계를 포함하고, 상기 플랫폼 형성단계는 기판(11b)를 제공하는 단계; 및 기판(11b) 상에 반도체적층(10b)을 형성하는 단계를 포함하고, 상기 반도체적층(10b)은 제1 반도체층(101b), 제2 반도체층(102b) 및 제1 반도체층(101b)과 제2 반도체층(102b) 사이에 위치하는 활성층(103b)을 포함한다. 반도체적층(10b)은 리소그래피, 식각 방식으로 패턴화하여 제2 반도체층(102b) 및 활성층(103b)을 부분적으로 제거하

여, 하나 이상의 반도체 구조(1000b); 및 하나 이상의 반도체 구조(1000b)를 에워싸는 서라운딩부(111b)를 형성할 수 있다. 서라운딩부(111b)는 제1 반도체층(101b)의 제1 표면(1011b)을 노출시킨다. 하나 이상의 반도체 구조(1000b)는 각각 하나의 제1 외측벽(1003b), 제2 외측벽(1001b) 및 하나의 내측벽(1002b)을 포함하고, 제1 외측벽(1003b)은 제1 반도체층(101b)의 측벽이고, 제2 외측벽(1001b)은 활성층(103b) 및/또는 제2 반도체층(102b)의 측벽이고, 제2 외측벽(1001b)의 일단은 제2 반도체층(102b)의 표면(102s)과 연결되고, 제2 외측벽(1001b)의 타단은 제1 반도체층(101b)의 제1 표면(1011b)과 연결되고, 내측벽(1002b)의 일단은 제2 반도체층(102b)의 표면(102s)과 연결되고, 내측벽(1002b)의 타단은 제1 반도체층(101b)의 제2 표면(1012b)과 연결되고, 복수 개의 반도체 구조(1000b)는 제1 반도체층(101b)에 의해 서로 연결된다. 도 12b에서 보여주듯이, 반도체 구조(1000b)의 내측벽(1002b)과 제1 반도체층(101b)의 제2 표면(1012b)은 둔각을 이루고, 반도체 구조(1000b)의 제1 외측벽(1003b)과 기판(11b)의 표면(11s)은 둔각 또는 직각을 이루고, 반도체 구조(1000b)의 제2 외측벽(1001b)과 제1 반도체층(101b)의 제1 표면(1011b)은 둔각을 이룬다. 서라운딩부(111b)는 반도체 구조(1000b)의 주변을 에워싸고, 서라운딩부(111b)는 발광소자(3) 또는 발광소자(4)의 평면도 상에서 직사각형 또는 다각형이다.

[0059] 본 발명의 일실시예에서, 발광소자(3) 또는 발광소자(4)는 30 mil보다 작은 변의 길이를 가진다. 외부전류가 발광소자(3) 또는 발광소자(4)에 주입되면, 서라운딩부(111b)가 반도체 구조(1000b)의 주변을 에워싸는 구조에 의해, 발광소자(3) 또는 발광소자(4)의 라이트 필드 분포를 균일하게 할 수 있고, 발광소자의 순방향 전압을 감소시킬 수 있다.

[0060] 본 발명의 일실시예에서, 발광소자(3) 또는 발광소자(4)는 30 mil보다 큰 변의 길이를 가진다. 반도체적층(10b)은 리소그래피, 식각 방식으로 패턴화하여 제2 반도체층(102b) 및 활성층(103b)을 부분적으로 제거하여, 제2 반도체층(102b) 및 활성층(103b)을 관통하는 하나 이상의 홀부(100b)를 형성하고, 하나 이상의 홀부(100b)는 제1 반도체층(101b)의 하나 이상의 제2 표면(1012b)을 노출시킨다. 외부전류가 발광소자(3) 또는 발광소자(4)에 주입되면, 서라운딩부(111b) 및 복수 개의 홀부(100b)의 분산배치에 의해, 발광소자(3) 또는 발광소자(4)의 라이트 필드 분포를 균일하게 할 수 있고, 발광소자의 순방향 전압을 감소시킬 수 있다.

[0061] 본 발명의 일실시예에서, 하나 이상의 홀부(100b)의 개구 형상은 원형, 타원형, 직사각형, 다각형, 또는 임의의 형상을 포함한다. 복수 개의 홀부(100b)는 복수의 열로 배열될 수 있고, 인접한 두 열 상의 홀부(100b)는 서로 나란히 배열되거나 어긋나게 배열 될 수 있다.

[0062] 본 발명의 일실시예에서, 기판(11b)은 알루미늄갈륨인듐인(AlGaN)을 성장시키는 갈륨비소(GaAs) 웨이퍼이거나, 인듐갈륨질소(InGaN)를 성장시키는 사파이어(Al2O3)웨이퍼, 질화갈륨(GaN) 웨이퍼 또는 탄화규소(SiC)웨이퍼를 포함하는 성장기판일 수 있다. 여기서 기판(11b) 상에 유기 금속 화학 기상 증착법(MOCVD), 분자선 에피택셜법(MBE), 수소화물 기상증착법(HVPE), 증발법 또는 이온 도금법을 이용하여, 발광(light-emitting)적층 등 광전 특성을 가지는 반도체적층(10b)을 형성할 수 있다.

[0063] 본 발명의 일실시예에서, 제1 반도체층(101b) 및 제2 반도체층(102b)은, 예컨대 클래딩층(cladding layer) 또는 구속층(confinement layer)이며, 양자는 모두 상이한 도전 형태, 전기적 특성, 극성을 가지거나, 도핑된 원소에 따라 전자 또는 정공을 제공할 수 있고, 예컨대 제1 반도체층(101b)은 전기적 특성이 n형인 반도체이고, 제2 반도체층(102b)은 전기적 특성이 p형인 반도체이다. 활성층(103b)은 제1 반도체층(101b)과 제2 반도체층(102b) 사이에 형성되고, 전자와 정공은 전류 구동하에 활성층(103b)에서 재결합되어, 전기 에너지를 빛 에너지로 전환하여 광선을 방출한다. 반도체적층(10b) 중 단층 또는 다층의 물리적 및 화학적 조성을 변경하는 것에 의하여 발광소자(3) 또는 발광소자(4)가 방출하는 광선의 파장을 조절한다. 반도체적층(10b)의 재질은 III-V족 반도체 재질을 포함하고, 예컨대 $Al_xIn_yGa(1-x-y)N$ 또는 $Al_xIn_yGa(1-x-y)P$ 이고, 여기서 $0 < x, y < 1$, $(x+y) < 1$ 이다. 활성층(103b)의 재질에 따라, 반도체적층(10b)의 재질이 $AlInGaP$ 계 재질인 경우, 파장이 610 nm 내지 650 nm인 적색광, 파장이 530 nm 내지 570 nm인 녹색광을 방출할 수 있고, 반도체적층(10b)의 재질이 $InGaN$ 계 재질인 경우, 파장이 450 nm 내지 490 nm인 청색광을 방출할 수 있고, 또는 반도체적층(10b)재질이 $AlGaN$ 계 재질인 경우, 파장이 400 nm 내지 250 nm인 자외광을 방출할 수 있다. 활성층(103b)은 단일 혜테로구조(single heterostructure, SH), 이중 혜테로구조(double heterostructure, DH), 양면 이중 혜테로구조(double-side double heterostructure, DDH), 다층양자 우물구조(multi-quantum well, MQW)일 수 있다. 활성층(103b)의 재질은 전기적 특성이 중성, p형 또는 n형인 반도체일 수 있다.

[0064] 플랫폼 형성단계에 이어서 발광소자(3) 또는 발광소자(4)의 제조방법은, 도 13a의 평면도 및 도 13a의 A-A' 선에 따른 단면도인 도 13b에 도시된 바와 같이, 제1 절연층 형성단계를 포함한다. 제1 절연층(20b)은 증발 또는 증

착 등 방식으로 반도체 구조(1000b) 상에 형성될 수 있고, 또 상기 서라운딩부(111b)의 제1 표면(1011b) 및 홀부(100b)의 제2 표면(1012b)을 커버하고, 반도체 구조(1000b)의 제2 반도체층(102b), 활성층(103b)의 제2 외측벽(1001b) 및 내측벽(1002b)을 회복하도록, 리소그래피, 식각 방식에 의해 패턴화되고, 제1 절연층(20b)은 서라운딩부(111b)에 위치하는 제1 반도체층(101b)의 제1 표면(1011b)을 커버하도록 상기 서라운딩부(111b)를 커버하는 제1 절연층서라운딩영역(200b); 홀부(100b)에 위치하는 제1 반도체층(101b)의 제2 표면(1012b)을 커버하도록 홀부(100b)를 커버하는 제1 그룹의 제1 절연층커버영역(201b); 및 제2 반도체층(102b)의 표면(102s)을 노출시키는 제2 그룹의 제1 절연층개구(202b)를 포함한다. 제1 그룹의 제1 절연층커버영역(201b)은 서로 분리되며 각각 복수 개의 홀부(100b)에 대응한다. 제1 절연층(20b)은 단층 또는 다층 구조일 수 있다. 제1 절연층(20b)이 단층 막인 경우, 제1 절연층(20b)은 반도체 구조(1000b)의 측벽을 보호하여 활성층(103b)이 후속 공정에서 훼손되는 것을 방지할 수 있다. 제1 절연층(20b)이 다층 막인 경우, 제1 절연층(20b)은 굴절률이 상이한 2종 이상의 재질이 교대로 적층되어 브레그 반사경(DBR) 구조를 형성하여, 특정 파장의 광선을 선택적으로 반사할 수 있다. 제1 절연층(20b)은 비도전성 재질로 형성되고, Su8, 벤조사이클로부텐(BCB), 퍼플루오로시클로부텐(PFCB), 에폭시 수지(Epoxy), 아크릴 수지(Acrylic Resin), 환상 올레핀 고분자(COC), 폴리메틸 메타크릴산(PMMA), 폴리에틸렌 테레프탈레이트(PET), 폴리카보네이트(PC), 폴리에터이미드(Polyetherimide), 불화탄소 폴리머(Fluorocarbon Polymer) 등 유기재질, 또는 실리콘(Silicone), 유리(Glass) 등 무기재질, 또는 알루미나(Al₂O₃), 질화규소(SiN_x), 산화규소(SiO_x), 티타늄옥사이드(TiO_x) 또는 플루오르화마그네슘(MgF_x) 등 유전재질을 포함한다.

[0065] 본 발명의 일실시예에서, 제1 절연층 형성단계에 이어서 발광소자(3) 또는 발광소자(4)의 제조방법은, 도 14a의 평면도 및 도 14a의 A-A'선에 따른 단면도인 도 14b에 도시된 바와 같이, 투명 도전층 형성단계를 포함한다. 투명 도전층(30b)은 중발 또는 중착 등 방식으로 반도체 구조(1000b) 상에 형성될 수 있고, 제2 반도체층(102b)과 서로 접촉하고, 투명 도전층(30b)은 홀부(100b)를 커버하지 않는다. 발광소자(3) 또는 발광소자(4)의 평면도 상에서, 투명 도전층(30b)은 제2 반도체층(102b)의 거의 전체 표면에 형성된다. 구체적으로, 투명 도전층(30b)은 중발 또는 중착 등 방식으로 제2 그룹의 제1 절연층 개구(202b) 내에 형성될 수 있고, 투명 도전층(30b)의 외연(301b)과 제1 절연층(20b)은 서로 거리를 두고 이격되어 제2 반도체층(102b)의 표면(102s)을 노출시킨다. 투명 도전층(30b)은 하나 이상의 홀부(100b)에 각각 대응, 및/또는 제1 그룹의 제1 절연층커버영역(201b)에 각각 대응하는 하나 이상의 투명 도전층 개구(300b)를 포함하고, 투명 도전층 개구(300b) 외연(301b)는 반도체 구조(1000b)의 내측벽(1002b) 및/또는 홀부(100b) 외연과 서로 거리를 두고 이격되고, 투명 도전층 개구(300b) 외연은 홀부(100b) 외연을 예워싸거나 제1 그룹의 제1 절연층 커버영역(201b)을 예워싼다. 투명 도전층(30b)의 재질은 활성층(103b)이 방출하는 광선에 대해 투명한 재질을 포함하고, 투명한 재질은 예컨대 인듐 주석 산화물(ITO), 또는 인듐 아연 옥사이드(IZO)이다.

[0066] 본 발명의 다른 실시예에서, 플랫폼 형성단계 이후, 먼저 투명 도전층 형성단계를 진행한 다음, 제1 절연층 형성단계를 진행할 수 있다.

[0067] 본 발명의 다른 실시예에서, 플랫폼 형성단계 이후, 제1 절연층의 형성단계를 생략하고, 직접 투명 도전층 형성단계를 진행할 수 있다.

[0068] 본 발명의 일실시예에서, 투명 도전층 형성단계에 이어서 발광소자(3) 또는 발광소자(4)의 제조방법은, 도 15a의 평면도 및 도 15a의 A-A'선에 따른 단면도인 도 15b에 도시된 바와 같이, 반사구조 형성단계를 포함한다. 반사구조는 반사층(40b) 및/또는 배리어층(41b)을 포함하고, 중발 또는 중착 등 방식으로 투명 도전층(30b) 상에 직접 형성될 수 있고, 반사층(40b)은 투명 도전층(30b) 및 배리어층(41b) 사이에 위치한다. 발광소자(3) 또는 발광소자(4)의 평면도 상에서, 반사층(40b) 및/또는 배리어층(41b)은 제2 반도체층(102b)의 거의 전체 표면에 형성된다. 반사층(40b)의 외연(401b)는 투명 도전층(30b)의 외연(301b)의 내측, 외측에 설치되거나, 또는 투명 도전층(30b)의 외연(301b)과 겹치면서 정렬되게 설치될 수 있고, 배리어층(41b)의 외연(411b)는 반사층(40b)의 외연(401b)의 내측, 외측에 설치되거나, 또는 반사층(40b)의 외연(401b)과 겹치면서 정렬되게 설치될 수 있다. 반사층(40b)은 각각 하나 이상의 홀부(100b)에 대응하는 하나 이상의 반사층 개구(400b)를 포함하고, 배리어층(41b)은 하나 이상의 홀부(100b)에 대응하는 하나 이상의 배리어층 개구(410b)를 포함한다. 투명 도전층 개구(300b), 반사층 개구(400b) 및 배리어층 개구(410b)는 서로 중첩된다. 반사층 개구(400b) 외연 및/또는 배리어층 개구(410b) 외연은 홀부(100b) 외연과 서로 거리를 두고 이격되고, 반사층 개구(400b) 외연 및/또는 배리어층 개구(410b) 외연은 홀부(100b) 외연을 예워싼다.

[0069] 본 발명의 다른 실시예에서, 투명 도전층의 형성단계를 생략할 수 있고, 플랫폼 형성단계 또는 제1 절연층 형성단계 이후, 반사구조 형성단계를 직접 진행할 수 있다. 예컨대 반사층(40b) 및/또는 배리어층(41b)은 제2 반도

체층(102b) 상에 직접 형성되고, 반사층(40b)은 제2 반도체층(102b)과 배리어층(41b) 사이에 위치한다. 반사층(40b)은 단층 또는 다층 구조일 수 있고, 다층 구조는 예컨대 브래그 반사구조이다. 반사층(40b)의 재질은 반사율이 비교적 높은 금속 재질을 포함하며, 금속 재질은 예컨대 은(Ag), 알루미늄(Al), 또는 로듐(Rh) 등 금속 또는 이들의 합금이다. 여기서 비교적 높은 반사율을 가진다는 것은 발광소자(3)가 방출하는 광선의 과장에 대해 80% 이상의 반사율을 가지는 것을 의미한다. 본 발명의 일실시예에서, 배리어층(41b)은 반사층(40b)을 피복하여 반사층(40b) 표면이 산화되어 반사층(40b)의 반사율이 악화되는 것을 방지한다. 배리어층(41b)의 재질은 금속 재질을 포함하며, 금속 재질은 예컨대 티타늄(Ti), 볼프람(W), 알루미늄(Al), 인듐(In), 주석(Sn), 니켈(Ni), 백금(Pt) 등 금속 또는 이들의 합금이다. 배리어층(41b)은 단층 또는 다층 구조일 수 있고, 다층 구조는 예컨대 티타늄(Ti)/알루미늄(Al) 및/또는 티타늄(Ti)/볼프람(W)이다. 본 발명의 일실시예에서, 배리어층(41b)은 반사층(40b)과 떨어져 있는 일측에 티타늄(Ti)/알루미늄(Al)의 적층구조를 포함하고 반사층(40b)과 가까이 있는 일측에 티타늄(Ti)/볼프람(W)의 적층구조를 포함한다. 본 발명의 일실시예에서, 반사층(40b) 및 배리어층(41b)의 재질은 금(Au), 또는 구리(Cu) 이외의 금속 재질인 것이 바람직하다.

[0070] 본 발명의 일실시예에서, 반사구조 형성단계에 이어서 발광소자(3) 또는 발광소자(4)의 제조방법은, 도 16a의 평면도 및 도 16a의 A-A'선에 따른 단면도인 도 16b에 도시된 바와 같이, 제2 절연층 형성단계를 포함한다. 제2 절연층(50b)은 중발 또는 중착 등 방식으로 반도체적층(10b) 상에 형성될 수 있고, 또 제1 반도체층(101b)를 노출시키도록 제1 그룹의 제2 절연층개구(501b)를 형성하고 반사층(40b) 또는 배리어층(41b)을 노출시키도록 제2 그룹의 제2 절연층개구(502b)를 형성하도록, 리소그래피, 식각 방식에 의해 패턴화되고, 제2 절연층(50b)의 패턴화 과정에서는, 상술한 제1 절연층 형성단계에서 서라운딩부(111b)에 커버된 제1 절연층서라운딩영역(200b) 및 홀부(100b) 내의 제1 그룹의 제1 절연층커버영역(201b)을 식각 및 제거하여, 제1 반도체층(101b)을 노출시키고, 또한 홀부(100b) 내에 제1 그룹의 제1 절연층개구(203b)를 형성하여 제1 반도체층(101b)을 노출시킨다. 본 발명의 일실시예에서, 도 16a에 도시된 바와 같이, 제1 그룹의 제2 절연층개구(501b)는 서로 분리되며 각각 복수 개의 홀부(100b)에 대응하고, 제2 그룹의 제2 절연층개구(502b)는 모두 기판(11b)의 일측, 예컨대 기판(11b) 중심선의 좌측 또는 우측에 근접하고, 일실시예에서, 제2 그룹의 제2 절연층개구(502b)의 개수는 하나 이상이고, 본 실시예에서, 제2 그룹의 제2 절연층개구(502b)는 서로 연결되어 하나의 환상 개구(5020b)를 공통으로 형성하고, 해당 환상 개구(5020b)는 발광소자(3)의 평면도 상에서 빗 형상, 직사각형, 타원형, 원형, 또는 다각형일 수 있다. 본 발명의 일실시예에서, 제2 절연층(50b)은 단층 또는 다층 구조일 수 있다. 제2 절연층(50b)이 다층 막인 경우, 제2 절연층(50b)은 굴절률이 상이한 2종 이상의 재질이 교대로 적층되어 브래그 반사경(DBR) 구조를 형성하여, 특정 과장의 광선을 선택적으로 반사할 수 있다. 제2 절연층(50b)은 비도전성 재질로 형성되고, Su8, 벤조사이클로부텐(PCB), 퍼플루오로시클로부탄(PFCB), 에폭시 수지(Epoxy), 아크릴 수지(Acrylic Resin), 환상 올레핀 고분자(COC), 폴리메틸 메타크릴산(PMMA), 폴리에틸렌테레프탈레이트(PET), 폴리카보네이트(PC), 폴리에테리미드(Polyether imide), 불화탄소 폴리머(Fluorocarbon Polymer) 등 유기재질, 또는 실리콘(Silicone), 유리(Glass) 등 무기재질, 또는 알루미나(Al₂O₃), 질화규소(SiN_x), 산화규소(SiO_x), 티타늄옥사이드(TiO_x) 또는 플루오르화마그네슘(MgF_x) 등 유전재질을 포함한다.

[0071] 본 발명의 일실시예에서, 제2 절연층 형성단계에 이어서 발광소자(3) 또는 발광소자(4)의 제조방법은, 도 17a의 평면도 및 도 17b의 단면도에 도시된 바와 같이, 접촉층 형성단계를 포함한다. 접촉층(60b)은 중발 또는 중착 등 방식으로 반도체적층(10b) 상에 형성될 수 있고, 또 제1 접촉층(601b) 및 제2 접촉층(602b)을 형성하도록 리소그래피, 식각 방식에 의해 패턴화된다. 제1 접촉층(601b)은 모든 제1 그룹의 제2 절연층개구(501b)를 커버하고, 하나 이상의 홀부(100b)에 충진되어 제1 반도체층(101b)과 접촉하고, 또한 확장되어 제2 절연층(50b) 및 제2 반도체층(102b) 위를 커버하고, 제1 접촉층(601b)은 제2 절연층(50b)을 통해 제2 반도체층(102b)과 접연된다. 제2 접촉층(602b)은 제2 절연층(50b)의 환상 개구(5020b) 내에 형성되어 반사층(40b) 및/또는 배리어층(41b)과 접촉하고, 제2 접촉층(602b)의 측벽(6021b)과 환상 개구(5020b)의 측벽(5021b)은 서로 거리를 두고 이격된다. 제1 접촉층(601b)의 측벽(6011b)은 제1 접촉층(601b)이 제2 접촉층(602b)과 연결되지 않도록 제2 접촉층(602b)의 측벽(6021b)과 서로 거리를 두고 이격되고, 제1 접촉층(601b)과 제2 접촉층(602b)은 일부 제2 절연층(50b)에 의해 전기적으로 접연된다. 평면도 상에서, 제1 접촉층(601b)은 제2 접촉층(602b)을 에워싸도록, 반도체적층(10b)의 서라운딩부(111b)를 커버한다. 도 17a의 평면도 상에서, 제2 접촉층(602b)은 기판(11b)의 일측, 예컨대 기판(11b) 중심선의 좌측 또는 우측에 근접한다. 접촉층(60b)은 반도체적층(10b) 상의 기하학적 중심부에 핀영역(600b)을 정의한다. 핀영역(600b)은 제1 접촉층(601b) 및 제2 접촉층(602b)과 연결되지 않고, 서로 전기적으로 접연되고, 핀영역(600b)은 제1 접촉층(601b) 및/또는 제2 접촉층(602b)과 동일한 재질을 포함한다. 핀영역(600b)은 에피택셜층을 보호하는 구조로서 에피택셜층이 다이 분리, 다이 테스트, 패키징 등 후속

제조공정에서, 프로브에 의해 손상되는 것을 방지한다. 접촉층(60b)은 단층 또는 다층 구조일 수 있다. 제1 반도체층(101b)과 접촉하는 전기저항을 저감시키기 위해, 접촉층(60b)의 재질은 금속 재질을 포함하며, 금속 재질은 예컨대 크롬(Cr), 티타늄(Ti), 볼프람(W), 금(Au), 알루미늄(Al), 인듐(In), 주석(Sn), 니켈(Ni), 백금(Pt) 등 금속 또는 이들의 합금이다. 본 발명의 일실시예에서, 접촉층(60b)의 재질은 금(Au), 구리(Cu) 이외의 금속 재질을 포함하는 것이 바람직하다. 본 발명의 일실시예에서, 접촉층(60b)의 재질은 알루미늄(Al), 백금(Pt) 등의 높은 반사율을 가지는 금속을 포함하는 것이 바람직하다. 본 발명의 일실시예에서, 접촉층(60b)의 제1 반도체층(101b)과 접촉하는 일측은 제1 반도체층(101b)과의 접합강도를 증가시키도록 크롬(Cr) 또는 티타늄(Ti)을 포함하는 것이 바람직하다.

[0072] 본 발명의 일실시예에서, 도 17a 및 도 17b에 도시된 접촉층 형성단계에 이어서 발광소자(3) 또는 발광소자(4)의 제조방법은 제3 절연층 형성단계를 포함하고, 도 18a의 평면도 및 도 18a의 A-A'선에 따른 단면도인 도 18b에 도시된 바와 같이, 제3 절연층(70b)은 중발 또는 증착 등 방식으로 반도체적층(10b) 상에 형성될 수 있고, 또 도 17a에 도시된 제1 접촉층(601b)을 노출시키도록 제1 접촉층(601b) 상에 제3 절연층개구(701b)를 형성하고, 도 17a에 도시된 제2 접촉층(602b)을 노출시키도록 제2 접촉층(602b) 상에 다른 제3 절연층개구(702b)를 형성하도록, 리소그래피, 식각 방식에 의해 패턴화되고, 부분적으로 제2 반도체층(102b) 상에 위치하는 제1 접촉층(601b)은 제2 절연층(50b)과 제3 절연층(70b) 사이에 개재된다. 본 실시예에서, 도 18a에 도시된 바와 같이, 제3 절연층개구(701b) 및 다른 제3 절연층개구(702b)는 하나 이상의 홀부(100b)를 피해간다. 본 실시예에서, 제3 절연층개구(701b) 및/또는 다른 제3 절연층개구(702b)는 환상 개구이고, 해당 환상 개구는 평면도 상에서, 빗 형상, 직사각형, 타원형, 원형, 또는 다각형일 수 있다. 도 18a의 평면도 상에서, 제3 절연층개구(701b)는 기판(11b) 중심선의 일측, 예컨대 우측에 근접하고, 다른 제3 절연층개구(702b)는 기판(11b) 중심선의 타측, 예컨대 좌측에 근접한다. 단면도 상에서, 제3 절연층개구(701b)는 다른 제3 절연층개구(702b)의 폭보다 큰 폭을 가진다. 제3 절연층(70b)은 단층 또는 다층 구조일 수 있다. 제3 절연층(70b)이 다층 막인 경우, 제3 절연층(70b)은 굴절률이 상이한 2종 이상의 재질이 교대로 적층되어 브레그 반사경(DBR) 구조를 형성하여, 특정 파장의 광선을 선택적으로 반사할 수 있다. 제3 절연층(70b)은 비도전성 재질로 형성되고, Su8, 벤조사이클로부텐(BCB), 퍼플루오로시클로부탄(PFCB), 에폭시 수지(Epoxy), 아크릴 수지(Acrylic Resin), 환상 올레핀 고분자(COC), 폴리메틸 메타크릴산(PMMA), 폴리에틸렌테레프탈레이트(PET), 폴리카보네이트(PC), 폴리에터이미드(Polyether imide), 불화탄소 폴리머(Fluorocarbon Polymer) 등 유기재질, 또는 실리콘(Silicone), 유리(Glass) 등 무기재질, 또는 알루미나(Al₂O₃), 질화규소(SiN_x), 산화규소(SiO_x), 티타늄옥사이드(TiO_x) 또는 플루오르화마그네슘(MgF_x) 등 유전재질을 포함한다.

[0073] 제3 절연층 형성단계에 이어서 발광소자(3) 또는 발광소자(4)의 제조방법은 본딩패드 형성단계를 포함한다. 도 19의 평면도에 도시된 바와 같이, 제1 본딩패드(80b) 및 제2 본딩패드(90b)는 전기 도금, 중발 또는 증착 등 방식으로 반도체적층(10b) 상에 형성될 수 있고, 또 리소그래피, 식각 방식에 의해 패턴화된다. 도 19의 평면도 상에서, 제1 본딩패드(80b)는 기판(11b) 중심선의 일측, 예컨대 우측에 근접하고, 제2 본딩패드(90b)는 기판(11b) 중심선의 타측, 예컨대 좌측에 근접한다. 제1 본딩패드(80b)는 제3 절연층개구(701b)에 의해 제1 접촉층(601b)과 접촉하고, 또한 제1 접촉층(601b)을 통해 제1 반도체층(101b)과 전기적 연결을 형성한다. 제2 본딩패드(90b)는 다른 제3 절연층개구(702b)에 의해 반사층(40b) 및/또는 배리어층(41b)과 접촉하고, 또한 반사층(40b) 및/또는 배리어층(41b)을 통해 제2 반도체층(102b)과 전기적 연결을 형성한다. 제1 본딩패드(80b)는 서로 교대로 연결되는 복수 개의 제1 볼록부(801b) 및 복수 개의 제1 오목부(802b)를 포함한다. 제2 본딩패드(90b)는 서로 교대로 연결되는 복수 개의 제2 볼록부(901b) 및 복수 개의 제2 오목부(902b)를 포함한다. 제1 본딩패드(80b)의 제1 오목부(802b)의 위치 및 제2 본딩패드(90b)의 제2 오목부(902b)의 위치는 홀부(100b)의 위치에 거의 대응한다. 다시 말하면, 제1 본딩패드(801b) 및 제2 본딩패드(802b)는 어느 홀부(100b)도 커버하지 않고, 제1 본딩패드(80b)의 제1 오목부(802b) 및 제2 본딩패드(90b)의 제2 오목부(902b)는 홀부(100b)를 피해가면서 홀부(100b) 주변에 형성됨으로써, 제1 본딩패드(80b)의 제1 오목부(802b)의 폭 또는 제2 본딩패드(90b)의 제2 오목부(902b)의 폭은 어느 홀부(100b)의 직경보다도 크다. 본 발명의 일실시예에서, 복수 개의 제1 오목부(802b)는 평면도 상에서 복수 개의 제2 오목부(902b)에 거의 나란히 정렬된다. 본 발명의 다른 실시예에서, 복수 개의 제1 오목부(802b)는 평면도 상에서 복수 개의 제2 오목부(902b)와 어긋나게 배치된다.

[0074] 본 발명의 일실시예에서, 도 19에 도시된 바와 같이, 제1 본딩패드(80b)는 제3 절연층개구(701b) 상에 커버되고, 제2 본딩패드(90b)는 다른 제3 절연층개구(702b) 상에 커버되고, 제3 절연층개구(701b)는 다른 제3 절연층개구(702b)의 최대 폭보다 큰 최대 폭을 가지므로, 제1 본딩패드(80b)는 제2 본딩패드(90b)의 최대 폭보다 큰 최대 폭을 가진다. 상이한 크기의 제1 본딩패드(80b) 및 제2 본딩패드(90b)는 패키징 용접 시 본딩패드가

대응하게 연결되는 전기적 특성을 분별하기 편리하여, 전기적 특성이 다른 본딩패드에 용접되는 상황이 발생하는 것을 방지한다.

[0075] 본 발명의 일실시예에서, 발광소자의 평면도 상에서, 제3 절연층개구(701b)는 제1 본딩패드(80b)의 면적과 같거나 큰 면적을 가진다.

[0076] 본 발명의 다른 실시예에서, 제1 볼록부(801b)와 제2 볼록부(901b) 사이의 최단 거리는 제1 오목부(802b)와 제2 오목부(902b) 사이의 최대 거리보다 작다.

[0077] 본 발명의 다른 실시예에서, 제1 본딩패드(80b)는 제1 볼록부(801b) 및 제1 오목부(802b)와 대향하는 제1 직선변(803b)을 포함하고, 제2 본딩패드(90b)는 제2 볼록부(901b) 및 제2 오목부(902b)와 대향하는 제2 직선변(903b)을 포함한다. 제1 본딩패드(80b)의 제1 직선변(803b)과 제1 볼록부(801b) 사이에는 제1 볼록부(801b)와 제2 볼록부(901b) 사이의 최단 거리보다 큰 최대 거리를 가진다. 제2 본딩패드(90b)의 제2 직선변(903b)과 제2 볼록부(901b) 사이에는 제1 볼록부(801b)와 제2 볼록부(901b) 사이의 최단 거리보다 큰 최대 거리를 가진다.

[0078] 본 발명의 다른 실시예에서, 제1 본딩패드(80b)의 복수 개의 제1 오목부(802b)의 곡률반경은 제1 본딩패드(80b)의 복수 개의 제1 볼록부(801b)의 곡률반경과 상이하고, 예컨대 제1 본딩패드(80b)의 복수 개의 제1 오목부(802b)의 곡률반경은 제1 본딩패드(80b)의 복수 개의 제1 볼록부(801b)의 곡률반경보다 크거나 작다. 본 발명의 다른 실시예에서, 제2 본딩패드(90b)의 복수 개의 제2 오목부(902b)의 곡률반경은 제2 본딩패드(90b)의 복수 개의 제2 볼록부(901b)의 곡률반경보다 크거나 작다.

[0079] 본 발명의 다른 실시예에서, 제1 본딩패드(80b)의 제1 볼록부(801b)의 곡률반경은 제2 본딩패드(90b)의 제2 볼록부(901b)의 곡률반경보다 크거나 작다.

[0080] 본 발명의 다른 실시예에서, 제1 본딩패드(80b)의 복수 개의 제1 오목부(802b)는 제2 본딩패드(90b)의 복수 개의 제2 오목부(902b)와 대향하고, 복수 개의 제1 오목부(802b)의 곡률반경은 복수 개의 제2 오목부(902b)의 곡률반경보다 크거나 작다.

[0081] 본 발명의 다른 실시예에서, 제1 본딩패드(80b)의 형상과 제2 본딩패드(90b)의 형상은 상이하고, 예컨대 제1 본딩패드(80b)의 형상은 직사각형이고, 제2 본딩패드(90b)의 형상은 빗 형상이다.

[0082] 본 발명의 다른 실시예에서, 제1 본딩패드(80b)의 크기와 제2 본딩패드(90b)의 크기는 상이하고, 예컨대 제1 본딩패드(80b)의 면적은 제2 본딩패드(90b)의 면적보다 크다.

[0083] 도 20은 도 19의 A-A'선에 따른 단면도이다. 본 실시예에서 공개한 발광소자(3)는 플립칩형 발광 다이오드 소자이다. 발광소자(3)는 기판(11b); 기판(11b) 상에 위치하고, 반도체적층(10b)을 포함하고, 반도체적층(10b)은 제1 반도체층(101b), 제2 반도체층(102b) 및 제1 반도체층(101b)과 제2 반도체층(102b) 사이에 위치하는 활성층(103b)을 포함하고, 제1 반도체층(101b)에 의해 서로 연결되는 하나 이상의 반도체 구조(1000b); 하나 이상의 반도체 구조(1000b)를 에워싸고, 제1 반도체층(101b)의 제1 표면(1011b)을 노출시키는 서라운딩부(111b); 및 하나 이상의 반도체 구조(1000b) 상에 위치하는 제1 본딩패드(80b) 및 제2 본딩패드(90b)를 포함한다. 도 19 및 도 20에 도시된 바와 같이, 하나 이상의 반도체 구조(1000b)는 각각 복수 개의 외측벽(1001b) 및 복수 개의 내측벽(1002b)을 포함하고, 외측벽(1001b)의 일단은 제2 반도체층(102b)의 표면(102s)과 연결되고, 외측벽(1001b)의 타단은 제1 반도체층(101b)의 제1 표면(1011b)과 연결되고, 내측벽(1002b)의 일단은 제2 반도체층(102b)의 표면(102s)과 연결되고, 내측벽(1002b)의 타단은 제1 반도체층(101b)의 제2 표면(1012b)과 연결된다.

[0084] 본 발명의 일실시예에서, 발광소자(3)가 30 mil보다 큰 변의 길이를 가질 경우, 발광소자(3)는 제1 반도체층(101b)의 하나 이상의 제2 표면(1012b)을 노출시키도록 제2 반도체층(102b) 및 활성층(103b)을 관통하는 하나 이상의 홀부(100b); 및 제1 반도체층(101b)의 제1 표면(1011b) 상에 위치하여 하나 이상의 반도체 구조(1000b)의 주변을 에워싸면서 제1 반도체층(101b)과 접촉하여 전기적 연결을 형성하고, 또한 제1 반도체층(101b)의 하나 이상의 제2 표면(1012b) 상에 형성되어 하나 이상의 홀부(100b)를 커버하면서 제1 반도체층(101b)과 접촉하여 전기적 연결을 형성하는 접촉층(60b);을 더 포함하고, 접촉층(60b)은 제1 접촉층(601b) 및 제2 접촉층(602b)를 포함하고, 제1 접촉층(601b)은 제2 반도체층 상에 위치하고, 제2 반도체층의 측벽을 에워싸면서 제1 반도체층과 연결되고, 제2 접촉층은 제2 반도체층 상에 위치하고, 제2 반도체층과 연결되고, 제2 접촉층(602b)은 제1 접촉층(601b)에 의해 둘러싸이고, 제1 접촉층(601b) 및 제2 접촉층(602b)은 서로 중첩되지 않는다.

[0085] 본 발명의 일실시예에서, 발광소자(3)가 30 mil보다 작은 변의 길이를 가질 경우, 비교적 많은 발광면적을 얻기 위해, 발광소자(3)는 어떤 홀부(100b)도 포함하지 않을 수 있다.

- [0086] 본 발명의 일실시예에서, 발광소자(3)의 평면도 상에서, 접촉층(60b)의 전체 표면적은 활성층(103b)의 전체 표면적보다 크다.
- [0087] 본 발명의 일실시예에서, 발광소자(3)의 평면도 상에서, 접촉층(60b) 외변의 전체 길이는 활성층(103b) 외변의 전체 길이보다 크다.
- [0088] 본 발명의 일실시예에서, 발광소자(3)의 평면도 상에서, 제1 접촉층(601b)은 제2 접촉층(602b)의 면적보다 큰 면적을 가진다.
- [0089] 본 발명의 일실시예에서, 제1 본딩패드(80b) 및 제2 본딩패드(90b)의 형성위치는 어느 홀부(100b)도 제1 본딩패드(80b) 또는 제2 본딩패드(90b)에 의해 커버되지 않도록 홀부(100b)를 피해간다.
- [0090] 본 발명의 일실시예에서, 발광소자(3)의 단면도 상에서, 제1 반도체층(101b)과 연결된 제1 접촉층(601b)은 제2 본딩패드(90b) 하측에 위치하지 않는다.
- [0091] 본 발명의 일실시예에서, 제1 본딩패드(80b)와 제2 본딩패드(90b) 사이의 최소 거리는 $50\text{ }\mu\text{m}$ 보다 크다.
- [0092] 본 발명의 일실시예에서, 제1 본딩패드(80b)와 제2 본딩패드(90b) 사이의 거리는 $300\text{ }\mu\text{m}$ 보다 작다.
- [0093] 본 발명의 일실시예에서, 제1 본딩패드(80b) 및 제2 본딩패드(90b)는 금속 재질을 포함하는 단층 또는 다층의 구조일 수 있다. 제1 본딩패드(80b) 및 제2 본딩패드(90b)의 재질은 금속 재질을 포함하며, 금속 재질은 예컨대 크롬(Cr), 티타늄(Ti), 볼프람(W), 알루미늄(Al), 인듐(In), 주석(Sn), 니켈(Ni), 백금(Pt) 등 금속 또는 이들의 합금이다. 제1 본딩패드(80b) 및 제2 본딩패드(90b)가 다층 구조인 경우, 제1 본딩패드(80b)는 제1 하층 본딩패드(미도시) 및 제1 상층 본딩패드(미도시)를 포함하고, 제2 본딩패드(90b)는 제2 하층 본딩패드(미도시) 및 제2 상층 본딩패드(미도시)를 포함한다. 상층 본딩패드와 하층 본딩패드는 각각 상이한 기능을 가진다. 상층 본딩패드의 기능은 주로 용접과 리드 선을 형성하는 것이고, 상층 본딩패드에 의해, 발광소자(3)는 플립 칩 형식으로, 솔더 또는 Au-Sn 공정 접합을 이용하여 장착기판 상에 장착된다. 상층 본딩패드의 구체적인 금속 재질은 고연성의 재질을 포함하며, 고연성의 재질은 예컨대 니켈(Ni), 코발트(Co), 철(Fe), 티타늄(Ti), 구리(Cu), 금(Au), 볼프람(W), 지르코늄(Zr), 몰리브덴(Mo), 탄탈(Ta), 알루미늄(Al), 은(Ag), 백금(Pt), 팔라듐(Pd), 로듐(Rh), 이리듐(Ir), 루테늄(Ru), 오스뮴(Os)이다. 상층 본딩패드는 상기 재질의 단층, 합금 또는 다층 막일 수 있다. 본 발명의 일실시예에서, 상층 본딩패드의 재질은 니켈(Ni) 및/또는 금(Au)을 포함하는 것이 바람직하고, 상층 본딩패드는 단층 또는 다층이다. 하층 본딩패드의 기능은 접촉층(60b), 반사층(40b), 또는 배리어층(41b)과 안정된 계면을 형성하는 것, 예컨대 제1 하층 본딩패드와 접촉층(60b)의 계면의 접합강도를 향상시키거나 제2 하층 본딩패드와 반사층(40b) 및/또는 배리어층(41b)의 계면의 접합강도를 향상시키는 것이다. 하층 본딩패드의 다른 기능은 솔더 또는 Au-Sn 공정 중의 주석(Sn)이 반사구조 내로 확산되어, 반사구조의 반사율이 훼손되는 것을 방지하는 것이다. 따라서, 하층 본딩패드는 금(Au), 구리(Cu) 이외의 재질, 예컨대 니켈(Ni), 코발트(Co), 철(Fe), 티타늄(Ti), 볼프람(W), 지르코늄(Zr), 몰리브덴(Mo), 탄탈(Ta), 알루미늄(Al), 은(Ag), 백금(Pt), 팔라듐(Pd), 로듐(Rh), 이리듐(Ir), 루테늄(Ru), 오스뮴(Os) 등의 금속 재질을 포함하는 것이 바람직하고, 하층 본딩패드는 상기 재질의 단층, 합금 또는 다층 막일 수 있다. 본 발명의 일실시예에서, 하층 본딩패드는 티타늄(Ti), 알루미늄(Al)의 다층 막, 또는 크롬(Cr), 알루미늄(Al)의 다층 막을 포함하는 것이 바람직하다.
- [0094] 본 발명의 일실시예에서, 발광소자(3)가 솔더에 의해 플립 칩 형식으로 패키지 기판에 장착될 경우, 제1 본딩패드(80b)와 제2 본딩패드(90b) 사이는 높이 차이(H)가 있을 수 있다. 도 20에 도시된 바와 같이, 제1 본딩패드(80b) 하측의 제2 절연층(50b)은 반사층(40b)을 커버하고, 제2 본딩패드(90b) 하측의 제2 절연층(50b)은 반사층(40b) 또는 배리어층(41b)을 노출시키도록 제2 절연층개구(502b)를 포함하므로, 제1 본딩패드(80b) 및 제2 본딩패드(90b)가 각각 제3 절연층개구(701b) 및 다른 제3 절연층개구(702b)에 형성되는 경우, 제1 본딩패드(80b)의 최상면(80s)과 제2 본딩패드(90b)의 최상면(90s)을 비교하면, 제1 본딩패드(80b)의 최상면(80s)은 제2 본딩패드(90b)의 최상면(90s)보다 높다. 다시 말하면, 제1 본딩패드(80b)의 최상면(80s)과 제2 본딩패드(90b)의 최상면(90s) 사이는 높이 차이(H)가 있고, 제1 본딩패드(80b)와 제2 본딩패드(90b) 사이의 높이 차이(H)는 제2 절연층(50b)의 두께와 거의 동일하다. 일실시예에서, 제1 본딩패드(80b)와 제2 본딩패드(90b) 사이의 높이 차이는 $0.5\text{ }\mu\text{m}$ 내지 $2.5\text{ }\mu\text{m}$ 일 있을 수 있고, 예컨대 $1.5\text{ }\mu\text{m}$ 이다. 제1 본딩패드(80b) 및 제2 본딩패드(90b)가 각각 제3 절연층개구(701b) 및 다른 제3 절연층개구(702b) 내에 형성될 경우, 제1 본딩패드(80b)는 제3 절연층개구(701b)에 의해 제1 접촉층(601b)과 접촉하고, 제3 절연층개구(701b)로부터 연장되어 제3 절연층(70b)의 일부 표면에 커버되고, 제2 본딩패드(90b)는 다른 제3 절연층개구(702b)에 의해 제2 접촉층(602b)과 접촉하고, 다른 제3 절연층개구(702b)로부터 연장되어 제3 절연층(70b)의 일부 표면에 커버된다.

[0095]

도 21은 본 발명의 일실시예에서 공개한 발광소자(4)의 단면도이다. 도 22는 본 발명의 일실시예에서 공개한 발광소자(4)의 단면도이다. 발광소자(4)는 상기 실시예의 발광소자(3)와 비교했을 때, 제1 본딩패드 및 제2 본딩패드의 구조가 상이한 것을 제외하고, 발광소자(4)와 발광소자(3)는 거의 동일한 구조를 가지고, 발광소자(4)는 발광소자(3)와 동일한 부호의 소자를 포함하므로 설명을 생략한다. 발광소자(4)는 Au-Sn 공정 접합에 의해 플립 칩 형식으로 패키지 기판에 장착되는 경우, 본딩패드와 패키지 기판 사이의 견고성을 증가시키도록 제1 본딩패드(80b)와 제2 본딩패드(90b) 사이의 높이 차이는 작을수록 좋다. 도 22에 도시된 바와 같이, 제1 본딩패드(80b) 하측의 제2 절연층(50b)은 반사층(40b)을 커버하고, 제2 본딩패드(90b) 하측의 제2 절연층(50b)은 반사층(40b) 또는 배리어층(41b)을 노출시키도록 제2 절연층개구(502b)를 포함한다. 본 실시예에서, 제1 본딩패드(80b)의 최상면(80s)과 제2 본딩패드(90b)의 최상면(90s) 사이의 높이 차이를 감소시키기 위해, 제3 절연층개구(701b)은 다른 제3 절연층개구(702b)의 폭보다 큰 폭을 가진다. 제1 본딩패드(80b) 및 제2 본딩패드(90b)가 각각 제3 절연층개구(701b) 및 다른 제3 절연층개구(702b) 내에 형성되는 경우, 제1 본딩패드(80b)는 제3 절연층개구(701b) 내에 전체적으로 형성되어 제1 접촉층(601b)과 접촉하고, 제2 본딩패드(90b)는 다른 제3 절연층개구(702b)에 형성되어 반사층(40b) 및/또는 배리어층(41b)과 접촉하고 또한 제2 본딩패드(90b)는 제3 절연층개구(702b)로부터 연장되어 제3 절연층(70b)의 일부 표면에 커버된다. 다시 말하면, 제3 절연층은 제1 본딩패드(80b)의 하측에 형성되지 않지만, 제3 절연층의 일부는 제2 본딩패드(90b)의 하측에 형성된다. 본 실시예에서, 제1 본딩패드(80b)와 제2 본딩패드(90b) 사이의 높이 차이는 $0.5 \mu\text{m}$ 보다 작고, 바람직하게는 $0.1 \mu\text{m}$ 보다 작고, 더 바람직하게는 $0.05 \mu\text{m}$ 보다 작다.

[0096]

도 23은 본 발명의 일실시예에서 공개한 발광소자(5)의 단면도이다. 발광소자(5)는 상기 실시예의 발광소자(3), 발광소자(4)와 비교했을 때, 제2 본딩패드의 구조가 상이한 것을 제외하고, 발광소자(5)는 발광소자(3), 발광소자(4)와 거의 동일한 구조를 가지고, 발광소자(5)는 발광소자(3), 발광소자(4)와 동일한 부호의 소자를 포함하므로 설명을 생략한다. 발광소자(5)가 Au-Sn 공정 접합에 의해 플립 칩 형식으로 패키지 기판에 장착되는 경우, 본딩패드와 패키지 기판 사이의 견고성을 증가시키기 위해 제1 본딩패드(80b)와 제2 본딩패드(90b) 사이의 높이 차이는 작을수록 좋다. 상술한 바와 같이, 일부 제3 절연층을 제2 본딩패드(90b)의 하측에 형성하는 것 외에도, 제2 본딩패드(90b)의 하측에 제2 범퍼패드(910b)를 형성하여 제1 본딩패드(80b)의 상면과 제2 본딩패드(90b)의 상면 사이의 높이 차이를 감소시킬 수 있다. 도 23에 도시된 바와 같이, 제1 본딩패드(80b) 하측의 제2 절연층(50b)은 반사층(40b) 또는 배리어층(41b)을 커버하고, 제2 본딩패드(90b) 하측의 제2 절연층(50b)은 반사층(40b) 또는 배리어층(41b)을 노출시키도록 제2 절연층개구(502b)를 포함한다. 본 실시예에서, 제1 본딩패드(80b)는 제3 절연층개구(701b) 내에 전체적으로 형성되어 제1 접촉층(601b)과 접촉하고, 제2 본딩패드(90b)는 다른 제3 절연층개구(702b) 내에 전체적으로 형성되어 제2 접촉층(602b)과 접촉한다. 다시 말하면, 제3 절연층은 제1 본딩패드(80b)의 하측 및 제2 본딩패드(90b)의 하측에 형성되지 않는다. 본 실시예에서, 제2 본딩패드(90b)와 제2 접촉층(602b) 사이에 위치하는 제2 범퍼패드(910b)에 의해, 제1 본딩패드(80b)의 상면과 제2 본딩패드(90b)의 상면 사이의 높이 차이를 감소시키고, 제2 범퍼패드(910b)은 Au-Sn 공정 중의 주석(Sn)이 발광소자(5) 내로 확산되는 것을 방지하도록, 금(Au), 구리(Cu) 이외의 금속 재질, 예컨대 크롬(Cr), 니켈(Ni), 코발트(Co), 철(Fe), 티타늄(Ti), 볼프람(W), 지르코늄(Zr), 몰리브덴(Mo), 탄탈(Ta), 알루미늄(Al), 은(Ag), 백금(Pt), 팔라듐(Pd), 로듐(Rh), 이리듐(Ir), 루테늄(Ru), 오스뮴(Os) 등의 금속 재질을 포함하는 것이 바람직하다. 본 실시예에서, 제1 본딩패드(80b)의 상면과 제2 본딩패드(90b)의 상면 사이의 높이 차이는 $0.5 \mu\text{m}$ 보다 작고, 바람직하게는 $0.1 \mu\text{m}$ 보다 작고, 더 바람직하게는 $0.05 \mu\text{m}$ 보다 작다. 본 실시예에서, 제2 범퍼패드(910b)은 제2 절연층(50b)의 두께와 거의 동일한 두께를 가진다.

[0097]

도 24는 본 발명의 일실시예에서 공개한 발광소자(6)의 단면도이다. 발광소자(6)는 상기 실시예의 발광소자(3), 발광소자(4)와 비교했을 때, 제1 본딩패드(80b) 하측의 제3 절연층(70b) 구조가 상이한 것을 제외하고, 발광소자(6)는 발광소자(3), 발광소자(4)와 거의 동일한 구조를 가지고, 발광소자(6)는 발광소자(3), 발광소자(4)와 거의 동일한 부호의 소자를 포함하므로 설명을 생략한다. 도 24에 도시된 바와 같이, 제3 절연층(70b)은 중발 또는 증착 등 방식으로 반도체적층(10b) 상에 형성될 수 있고, 또 리소그래피, 식각 방식에 의해 패턴화되어, 제1 접촉층(601b) 상에 제3 절연층개구(701b)를 형성하여 제1 접촉층(601b)을 노출시키고, 또한 제2 접촉층(602b) 상에 다른 제3 절연층개구(702b)를 형성하여 제2 접촉층(602b)을 노출시킨다. 제1 본딩패드(80b) 및 제2 본딩패드(90b)는 전기 도금, 증발 또는 증착 등 방식으로 반도체적층(10b) 상에 형성될 수 있고, 또 리소그래피, 식각 방식으로 패턴화된다. 제1 본딩패드(80b)는 제3 절연층개구(701b)에 의해 제1 접촉층(601b)과 접촉하고, 또한 제1 접촉층(601b)을 통해 제1 반도체층(101b)과 전기적 연결을 형성한다. 제3 절연층 개구(701b)의 식각 과정에서, 제1 본딩패드(80b) 하측의 제1 접촉층(601b)과 제2 절연층(50b)이 제3 절연층(70b) 식각 시 오버 식각에 의해 제거되어 반사층(40b) 및/또는 배리어층(41b)을 노출시키는 것을 방지하기 위하여, 제1

본딩패드(80b) 하측의 제3 절연층(70b)이 식각되어 형성하는 제3 절연층개구(701b)의 면적을 감소시켜, 제1 부분의 제3 절연층(70b)이 제1 본딩패드(80b)과 제1 접촉층(601b) 사이에 위치하고, 또한 제1 본딩패드(80b)에 의해 완전히 피복되도록 남겨 두고, 다른 제2 부분의 제3 절연층(70b)은 제1 본딩패드(80b)의 주변에 위치하고, 제1 부분과 제2 부분의 제3 절연층(70b) 사이의 간격은 제3 절연층개구(701b)를 구성한다. 구체적으로, 제1 본딩패드(80b)에 의해 완전히 피복된 제1 부분의 제3 절연층(70b)은 본딩패드(80b) 하측의 제3 절연층개구(701b)의 폭보다 큰 폭을 가진다. 본 실시예에서, 발광소자의 평면도 상에서, 제3 절연층개구(701b)는 환상 개구이다.

[0098] 도 25 내지 도 34b는 본 발명의 일실시예에서 공개한 발광소자(7)의 제조방법 및 구조를 나타낸 도면이다.

[0099] 도 25에 도시된 바와 같이, 발광소자(7)의 제조방법은 기판(11c)을 제공하는 단계; 및 기판(11c) 상에 반도체적층(10c)을 형성하는 단계를 포함하고, 반도체적층(10c)은 제1 반도체층(101c), 제2 반도체층(102c) 및 제1 반도체층(101c)과 제2 반도체층(102c) 사이에 위치하는 활성층(103c)을 포함한다.

[0100] 본 발명의 일실시예에서, 기판(11c)은 알루미늄갈륨인듐인(AlGaInP)을 성장시키는 갈륨비소(GaAs) 웨이퍼이거나, 인듐갈륨질소(InGaN)를 성장시키는 사파이어(Al2O3) 웨이퍼, 질화갈륨(GaN) 웨이퍼 또는 탄화규소(SiC) 웨이퍼를 포함하는 성장기판일 수 있다.

[0101] 본 발명의 일실시예에서, 유기 금속 화학 기상 증착법(MOCVD), 분자선 에피택셜법(MBE), 수소화물 기상증착법(HVPE), 물리적 기상 증착법(PVD) 또는 이온 도금법으로 기판(11c) 상에 발광(light-emitting)적층 등 광전 특성을 가지는 반도체적층(10c)을 형성하고, 물리적 기상 증착은 스퍼터링(Sputtering) 또는 증발(Evaporation)법을 포함한다. 제1 반도체층(101c) 및 제2 반도체층(102c)은, 클래딩층(cladding layer) 또는 구속층(confinement layer)일 수 있고, 양자는 상이한 도전 형태, 전기적 특성, 극성을 가지거나, 도핑된 원소에 따라 전자 또는 정공을 제공하고, 예컨대 제1 반도체층(101c)은 전기적 특성이 n형인 반도체이고, 제2 반도체층(102c)은 전기적 특성이 p형인 반도체이다. 활성층(103c)은 제1 반도체층(101c)과 제2 반도체층(102c) 사이에 형성되고, 전자와 정공은 전류 구동하에 활성층(103c)에서 재결합되어, 전기 에너지를 빛 에너지로 전환하여 광선을 방출한다. 반도체적층(10c) 중의 단층 또는 다층의 물리적 및 화학적 조성을 변경하는 것에 의하여 발광소자(7)가 방출하는 광선의 파장을 조절한다. 반도체적층(10c)의 재질은 III-V족 반도체 재질을 포함하고, 예컨대 Al_xIn_yGa(1-x-y)N 또는 Al_xIn_yGa(1-x-y)P이고, 여기서 0<x,y<1; (x+y)<1이다. 활성층(103c)의 재질에 따라, 반도체적층(10c)의 재질이 AlInGaP계 재질인 경우, 파장이 610 nm 내지 650 nm인 적색광, 파장이 530 nm 내지 570 nm인 녹색광을 방출할 수 있고, 반도체적층(10c)의 재질이 InGaN계 재질인 경우, 파장이 450 nm 내지 490 nm인 청색광을 방출할 수 있고, 또는 반도체적층(10c)의 재질이 AlGaN계 또는 AlInGaN계 재질인 경우, 파장이 400 nm 내지 250 nm인 자외광을 방출할 수 있다. 활성층(103c)은 단일 혜테로구조(single heterostructure, SH), 이중 혜테로구조(double heterostructure, DH), 양면 이중 혜테로구조(double-side double heterostructure, DDH), 다층양자 우물구조(multi-quantum well, MQW)일 수 있다. 활성층(103c)의 재질은 전기적 특성이 중성, p형 또는 n형인 반도체일 수 있다.

[0102] 본 발명의 실시예에서, PVD 질화알루미늄(AlN)은 베퍼층으로서, 반도체적층(10c)과 기판(11c) 사이에 형성되어, 반도체적층(10c)의 에피택셜 품질을 개선시킬 수 있다. 실시예에서, PVD 질화알루미늄(AlN)을 형성하는 타겟은 질화알루미늄으로 조성된다. 다른 실시예에서는 알루미늄으로 조성된 타겟을 사용하여, 질소원의 환경하에 알루미늄 타겟과 반응적으로 질화알루미늄을 형성한다.

[0103] 도 26a의 평면도 및 도 26a의 A-A' 선에 따른 단면도인 도 26b에 도시된 바와 같이, 기판(11c) 상에 반도체적층(10c)을 형성한 후, 발광소자(7)의 제조방법은 플랫폼 형성단계를 포함한다. 리소그래피, 식각 방식으로 반도체적층(10c)을 패턴화하여, 일부 제2 반도체층(102c) 및 활성층(103c)을 제거하여, 하나 이상의 반도체 구조(1000c), 하나 이상의 반도체 구조(1000c)의 주변에서 제1 반도체층(101c)의 제1 표면(1011c)을 노출시키는 서라운딩부(111c), 제1 반도체층(101c)의 제2 표면(1012c)을 노출시키는 하나 이상의 홀부(100c)를 형성한다.

[0104] 본 발명의 일실시예에서, 복수 개의 반도체 구조(1000c)는 서로 분리되어 기판(11c)의 표면(11s)을 노출시키거나 제1 반도체층(101c)에 의해 서로 연결된다. 하나 이상의 반도체 구조(1000c)는 각각 제1 외측벽(1003c), 제2 외측벽(1001c) 및 하나 이상의 내측벽(1002c)을 포함하고, 제1 외측벽(1003c)은 제1 반도체층(101c)의 측벽이고, 제2 외측벽(1001c)은 활성층(103c) 및/또는 제2 반도체층(102c)의 측벽이고, 제2 외측벽(1001c)의 일단은 제2 반도체층(102c)의 표면(102s)과 연결되고, 제2 외측벽(1001c)의 타단은 제1 반도체층(101c)의 제1 표면(1011c)과 연결되고, 내측벽(1002c)의 일단은 제2 반도체층(102c)의 표면(102s)과 연결되고, 내측벽(1002c)의 타단은 제1 반도체층(101c)의 제2 표면(1012c)과 연결된다. 도 26b에 도시된 바와 같이, 반도체 구조(1000c)의

내측벽(1002c)과 제1 반도체층(101c)의 제2 표면(1012c)은 둔각 또는 직각을 이루고, 반도체 구조(1000c)의 제1 외측벽(1003c)과 기판(11c)의 표면(11s)은 둔각 또는 직각을 이루고, 반도체 구조(1000c)의 제2 외측벽(1001c)과 제1 반도체층(101c)의 제1 표면(1011c)은 둔각 또는 직각을 이룬다.

[0105] 본 발명의 일실시예에서, 서라운딩부(111c)는 도 26a에 도시된 발광소자(7)의 평면도에서 볼 때 직사각형 또는 다각형 환상이다.

[0106] 본 발명의 일실시예에서, 홀부(100c)의 개구 형상은 원형, 타원형, 직사각형, 다각형 또는 임의의 형상이다. 복수 개의 홀부(100c)는 복수의 열로 배열될 수 있고, 임의의 서로 인접한 두 열 또는 각 인접한 두 열 상의 홀부(100c)는 서로 나란히 배열되거나 어긋나게 배열될 수 있다.

[0107] 본 발명의 일실시예에서, 복수 개의 홀부(100c)는 제1 열 및 제2 열로 배열될 수 있고, 동일한 열 상에 위치하는 2개의 서로 인접한 홀부(100c) 사이는 제1 최단거리를 가지고, 제1 열 상에 위치하는 홀부(100c)와 제2 열 상에 위치하는 홀부(100c) 사이는 제2 최단거리를 가지고, 제1 최단거리는 제2 최단거리보다 크거나 작다. 외부전류가 발광소자(7)에 주입되면, 복수 개의 홀부(100c)의 분산배치에 의해, 발광소자(7)의 라이트 필드 분포를 균일하게 할 수 있고, 발광소자(7)의 순방향 전압을 감소시킬 수 있다.

[0108] 본 발명의 일실시예에서, 복수 개의 홀부(100c)는 제1 열, 제2 열 및 제3 열로 배열될 수 있고, 제1 열 상에 위치하는 홀부(100c)와 제2 열 상에 위치하는 홀부(100c) 사이는 제1 최단거리를 가지고, 제2 열 상에 위치하는 홀부(100c)와 제3 열 상에 위치하는 홀부(100c) 사이는 제2 최단거리를 가지고, 제1 최단거리는 제2 최단거리보다 작다. 외부전류가 발광소자(7)에 주입되면, 복수 개의 홀부(100c)의 분산배치에 의해, 발광소자(7)의 라이트 필드 분포를 균일하게 할 수 있고, 발광소자(7)의 순방향 전압을 감소시킬 수 있다.

[0109] 본 발명의 일실시예에서, 발광소자(7)가 30 mil보다 큰 변의 길이를 가질 경우, 발광소자(7)은 서라운딩부(111c) 및 하나 이상의 홀부(100c)를 포함한다. 두 개의 서로 인접한 홀부(100c) 사이는 제1 최단거리를 가지고, 임의의 홀부(100c)와 제1 반도체층(101c)의 제1 외측벽(1003c) 사이는 제2 최단거리를 가지고, 제1 최단거리는 제2 최단거리보다 작다. 외부전류가 발광소자(7)에 주입되면, 서라운딩부(111c) 및 하나 이상의 홀부(100c)의 분산배치에 의해, 발광소자(7)의 라이트 필드 분포를 균일하게 할 수 있고, 발광소자(7)의 순방향 전압을 감소시킬 수 있다.

[0110] 본 발명의 일실시예에서, 발광소자(7)가 30 mil보다 작은 변의 길이를 가질 경우, 발광할 수 있는 활성층의 면적을 증가시키도록 발광소자(7)는 서라운딩부(111c)를 포함하되, 홀부(100c)를 포함하지 않는다. 외부전류가 발광소자(7)에 주입되면, 서라운딩부(111c)가 반도체 구조(1000c)의 주변을 에워싸는 구조에 의해, 발광소자(7)의 라이트 필드 분포를 균일하게 할 수 있고, 발광소자(7)의 순방향 전압을 감소시킬 수 있다.

[0111] 플랫폼 형성단계에 이어서 발광소자(7)의 제조방법은, 도 27a의 평면도 및 도 27a의 A-A'선에 따른 단면도인 도 27b에 도시된 바와 같이, 제1 절연층 형성단계를 포함한다. 물리적 기상 증착법 또는 화학적 기상 증착법 등 방식으로 반도체 구조(1000c) 상에 제1 절연층(20c)을 형성하고, 또 리소그래피, 식각 방식으로 제1 절연층(20c)을 패턴화하여, 상기 서라운딩부(111c)의 일부 제1 표면(1011c)을 커버하고 또한 반도체구조(1000c)의 제2 외측벽(1001c)을 피복하도록 제1 절연층서라운딩영역(200c)을 형성하고, 복수 개의 홀부(100c)의 제2 표면(1012c)을 커버하고 또한 반도체구조(1000c)의 내측벽(1002c)을 피복하도록 군을 이룬 제1 절연층커버영역(201c)을 형성하고, 또한 제2 반도체층(102c)의 표면(102s)을 노출시키도록 제1 절연층개구(202c)를 형성한다. 군을 이룬 제1 절연층커버영역(201c)은 서로 분리되어 각각 복수 개의 홀부(100c)에 대응한다. 제1 절연층(20c)은 단층 또는 적층 구조일 수 있다. 제1 절연층(20c)이 단층 구조인 경우, 제1 절연층(20c)은 반도체 구조(1000c)의 측벽을 보호하여 활성층(103c)이 후속 제조공정에 의해 훼손되는 것을 방지할 수 있다. 제1 절연층(20c)이 적층 구조인 경우, 제1 절연층(20c)은 반도체 구조(1000c)를 보호할 수 있는 것 외에도, 굴절률이 상이한 2종 이상의 재질이 교대로 적층되어 브레그 반사경(DBR) 구조를 형성하여, 특정 파장의 광선을 선택적으로 반사할 수 있다. 제1 절연층(20c)은 비도전성 재질로 형성되고, Si_8 , 벤조사이클로부텐(BCB), 퍼플루오로시클로부탄(PFCB), 에폭시 수지(Epoxy), 아크릴 수지(Acrylic Resin), 환상 올레핀 고분자(COC), 폴리메틸 메타크릴산(PMMA), 폴리에틸렌테레프탈레이트(PET), 폴리카보네이트(PC), 폴리에테리미드(Polyetherimide), 불화탄소 폴리머(Fluorocarbon Polymer) 등 유기재질, 또는 실리콘(Silicone), 유리(Glass) 등 무기재질, 또는 알루미나(Al_2O_3), 질화규소(SiN_x), 산화규소(SiO_x), 티타늄옥사이드(TiO_x) 또는 플루오르화마그네슘(MgF_x) 등 유전재질을 포함한다.

[0112] 본 발명의 일실시예에서, 제1 절연층 형성단계에 이어서 발광소자(7)의 제조방법은, 도 28a의 평면도 및 도 28a의 A-A'선에 따른 단면도인 도 28b에 도시된 바와 같이, 투명 도전층 형성단계를 포함한다. 물리적 기상 증

착법 또는 화학적 기상 증착법 등 방식으로 제1 절연층 개구(202c) 내에 투명 도전층(30c)을 형성하고, 투명 도전층(30c)의 외연(301c)과 제1 절연층(20c)은 거리를 두고 이격되어 제2 반도체층(102c)의 일부 표면(102s)을 노출시킨다. 투명 도전층(30c)은 제2 반도체층(102c)의 거의 전체 표면에 형성되어 제2 반도체층(102c)과 접촉하므로, 전류는 투명 도전층(30c)에 의해 제2 반도체층(102c)에 전체적으로 균일하게 확산된다. 투명 도전층(30c)의 재질은 활성층(103c)이 방출하는 광선에 대해 투명한 재질을 포함하고, 투명한 재질은 예컨대 인듐 주석 산화물(ITO), 또는 인듐 아연 옥사이드(IZO)이다.

[0113] 본 발명의 다른 실시예에서, 플랫폼 형성단계 이후, 먼저 투명 도전층 형성단계를 진행한 다음, 제1 절연층 형성단계를 진행할 수 있다.

[0114] 본 발명의 다른 실시예에서, 플랫폼 형성단계 이후, 제1 절연층의 형성단계를 생략하고, 투명 도전층 형성단계를 직접 진행할 수 있다.

[0115] 본 발명의 일실시예에서, 투명 도전층 형성단계에 이어서 발광소자(7)의 제조방법은, 도 29a의 평면도, 도 29b의 영역 B의 부분 확대도, 도 29c의 영역C의 부분 확대, 도 29a의 A-A'선에 따른 단면도인 도 29d 및 도 29e의 영역E의 부분 확대도에 도시된 바와 같이, 반사구조 형성단계를 포함한다. 물리적 기상 증착법 또는 화학적 기상 증착법 등 방식으로 투명 도전층(30c) 상에 반사구조(400)를 형성하고, 반사구조(400)는 반사층(40c) 및/또는 배리어층(41c)을 포함하고, 반사층(40c)은 투명 도전층(30c)과 배리어층(41c) 사이에 위치한다. 본 발명의 일실시예에서, 반사층(40c)의 외연(401c)은 투명 도전층(30c)의 외연(301c)의 내측, 외측에 설치될 수 있거나, 또는 투명 도전층(30c)의 외연(301c)과 합쳐서 정렬되도록 설치될 수 있고, 배리어층(41c)의 외연(411c)은 반사층(40c)의 외연(401c)의 내측, 외측에 설치되거나, 또는 반사층(40c)의 외연(401c)과 겹치면서 정렬되도록 설치될 수 있다. 도 29b, 도 29c의 부분 확대도 및 도 29e의 부분 확대도에 도시된 바와 같이, 반사층(40c)의 외연(401c)은 투명 도전층(30c)의 외연(301c)과 중첩되지 않고, 투명 도전층(30c)의 외연(301c)은 반사층(40c)에 의해 폐복되어, 배리어층(41c)이 투명 도전층(30c)과 연결되지 않도록 한다.

[0116] 본 발명의 다른 실시예에서, 투명 도전층의 형성단계를 생략할 수 있고, 플랫폼 형성단계 또는 제1 절연층 형성단계 이후, 반사구조 형성단계를 직접 진행해야 하고, 예컨대 반사층(40c) 및/또는 배리어층(41c)은 제2 반도체층(102c) 상에 직접 형성되고, 반사층(40c)은 제2 반도체층(102c) 및 배리어층(41c) 사이에 위치한다.

[0117] 반사층(40c)은 단층 또는 적층 구조일 수 있고, 적층 구조는 예컨대 브래그 반사구조이다. 반사층(40c)의 재질은 반사율이 비교적 높은 금속 재질을 포함하며, 금속 재질은 예컨대 은(Ag), 알루미늄(Al) 또는 로듐(Rh) 등 금속 또는 이들의 합금이다. 여기서 비교적 높은 반사율을 가진다는 것은 발광소자(7)가 방출하는 광선의 파장에 대해 80% 이상의 반사율을 가지는 것을 의미한다. 본 발명의 일실시예에서, 배리어층(41c)은 반사층(40c)을 폐복함으로써 반사층(40c) 표면이 산화되어 반사층(40c)의 반사율이 악화되는 것을 방지한다. 배리어층(41c)의 재질은 금속 재질을 포함하며, 금속 재질은 예컨대 티타늄(Ti), 볼프람(W), 알루미늄(Al), 인듐(In), 주석(Sn), 니켈(Ni), 백금(Pt) 등 금속 또는 이들의 합금이다. 배리어층(41c)은 단층 또는 적층 구조일 수 있고, 적층 구조는 예컨대 티타늄(Ti)/알루미늄(Al) 및/또는 티타늄(Ti)/볼프람(W)이다. 본 발명의 일실시예에서, 배리어층(41c)은 반사층(40c)과 가까이 있는 일측에 티타늄(Ti)/볼프람(W) 적층 구조를 포함하고, 반사층(40c)과 떨어져 있는 일측에 티타늄(Ti)/알루미늄(Al) 적층구조를 포함한다. 본 발명의 일실시예에서, 반사층(40c) 및 배리어층(41c)의 재질은 금(Au), 또는 구리(Cu) 이외의 금속 재질을 포함한다. 이에 의해 후속 제조과정에서, 폐기지 솔더 중의 주석(Sn) 등 금속이 발광소자(7) 내로 확산되어, 발광소자(7) 내부의 금속 재질, 예컨대 금(Au), 또는 구리(Cu)와 공정(共晶)을 형성하여, 발광소자(7)의 구조 변형을 초래하는 것을 방지할 수 있다.

[0118] 본 발명의 일실시예에서, 반사구조의 형성단계에 이어서 발광소자(7)의 제조방법은, 도 30a의 평면도 및 도 30a의 A-A'선에 따른 단면도인 도 30b에 도시된 바와 같이, 제2 절연층 형성단계를 포함한다. 물리적 기상 증착법 또는 화학적 기상 증착법 등 방식으로 반도체 구조(1000c) 상에 제2 절연층(50c)을 형성하고, 또 리소그래피, 식각 방식으로 제2 절연층(50c)을 패턴화하여, 제1 반도체층(101c)을 노출시키도록 하나 또는 제1 그룹의 제2 절연층 개구(501c)를 형성하고, 반사층(40c) 또는 배리어층(41c)을 노출시키도록 하나 또는 제2 그룹의 제2 절연층 개구(502c)를 형성하고, 제2 절연층(50c)을 패턴화하는 과정에서는, 상기 제1 절연층 형성단계에서 서라운딩부(111c)에 커버된 제1 절연층서라운딩영역(200c) 및 홀부(100c) 내의 제1 그룹의 제1 절연층 커버영역(201c)을 부분 식각 및 제거하여 제1 반도체층(101c)을 노출시키고, 홀부(100c) 내에 제1 그룹의 제1 절연층개구(203c)를 형성하여 제1 반도체층(101c)을 노출시킨다.

[0119] 본 일실시예에서, 도 30a의 평면도 및 도 30b의 단면도에 도시된 바와 같이, 제1 그룹의 제2 절연층개구(501c)는 홀부(100c)의 형상 또는 개수에 대응하는 형상 또는 개수를 포함한다. 제1 반도체층(101c) 상에 위치하는 제

2 절연층 개구(501c) 및 제2 반도체층(102c) 상에 위치하는 제2 절연층 개구(502c)는 상이한 형상, 폭, 개수를 포함한다. 제2 절연층 개구(501c, 502c)의 평면도 개구 형상은 환상 개구이다.

[0120] 본 일실시예에서, 도 30a에 도시된 바와 같이, 제1 반도체층(101c) 상에 위치하는 제2 절연층 개구(501c)는 서로 분리되며 복수 개의 홀부(100c)에 대응하고, 제2 반도체층(102c) 상에 위치하는 제2 절연층 개구(502c)는 기판(11c)의 일측, 예컨대 기판(11c) 중심선 C-C'의 좌측 또는 우측에 근접한다. 제2 절연층(50c)은 단층 또는 적층 구조일 수 있다. 제2 절연층(50c)가 단층 구조인 경우, 제2 절연층(50c)은 반도체 구조(1000c)의 측벽을 보호하여 활성층(103c)이 후속 제조공정에 의해 훼손되는 것을 방지할 수 있다. 제2 절연층(50c)가 적층 구조인 경우, 제2 절연층(50c)은 굴절률이 상이한 2종 이상의 재질이 교대로 적층되어 브레그 반사경(DBR) 구조를 형성하여, 특정 파장의 광선을 선택적으로 반사할 수 있다. 제2 절연층(50c)은 비도전성 재질로 구성되고, Su8, 벤조사이클로부텐(BCB), 퍼플루오로시클로부텐(PFCB), 예폭시 수지(Epoxy), 아크릴 수지(Acrylic Resin), 환상 올레핀 고분자(COC), 폴리메틸 메타크릴산(PMMA), 폴리에틸렌테레프탈레이트(PET), 폴리카보네이트(PC), 폴리에테리미드(Polyetherimide), 불화탄소 폴리머(Fluorocarbon Polymer) 등 유기재질, 또는 실리콘(Silicone), 유리(Glass) 등 무기재질, 또는 알루미나(Al₂O₃), 질화규소(SiN_x), 산화규소(SiO_x), 티타늄옥사이드(TiO_x) 또는 플루오르화마그네슘(MgF_x) 등 유전재질을 포함한다.

[0121] 본 발명의 실시예에서, 제2 절연층 형성단계에 이어서 발광소자(7)의 제조방법은, 도 31a의 평면도 및 도 31a의 A-A'선에 따른 단면도인 도 31b에 도시된 바와 같이, 접촉층 형성단계를 포함한다. 물리적 기상 증착법 또는 화학적 기상 증착법 등 방식으로 반도체적층(10c) 상에 접촉층(60c)을 형성하고, 또 리소그래피, 식각의 방법으로 접촉층(60c)을 패턴화하여, 제1 접촉층(601c), 제2 접촉층(602c) 및 편영역(600c)을 형성한다. 제1 접촉층(601c)은 홀부(100c) 내에 충진되고 또한 제2 절연층 개구(501c)를 커버하여, 제1 반도체층(101c)과 접촉하고, 확장되어 제2 절연층(50c) 및 제2 반도체층(102c)의 부분 표면에 커버되고, 제1 접촉층(601c)은 제2 절연층(50c)을 통해 제2 반도체층(102c)과 절연된다. 제2 접촉층(602c)은 제2 절연층(50c)의 환상 개구(502c) 내에 형성되어 일부 반사층(40c) 및/또는 배리어층(41c)과 접촉한다.

[0122] 본 발명의 일실시예에서, 제1 접촉층(601c), 제2 접촉층(602c) 및 편영역(600c)은 서로 거리를 두고 이격된다. 제2 접촉층(602c)은 제2 절연층(50c)의 환상 개구(502c) 내로 부분적으로 확장되어 형성되고, 제2 접촉층(602c)의 측벽(6021c)과 환상 개구(502c)의 측벽(5021c)은 서로 거리를 두고 이격되고, 제1 접촉층(601c)의 측벽(6011c)은 제2 접촉층(602c)의 측벽(6021c)과 거리두고 이격되어, 제1 접촉층(601c)이 제2 접촉층(602c)과 연결되지 않도록 하고, 또한 제1 접촉층(601c)과 제2 접촉층(602c)은 일부 제2 절연층(50c)에 의해 전기적으로 절연된다. 발광소자(7)의 평면도 상에서, 제1 접촉층(601c)이 제2 접촉층(602c)의 복수 개의 측벽을 에워싸도록 제1 접촉층(601c)은 반도체적층(10c)의 서라운딩부(111c)를 커버한다.

[0123] 본 발명의 일실시예에서, 제1 접촉층(601c)은 서라운딩부(111c) 및 홀부(100c)에 의해 제1 반도체층(101c)과 접촉한다. 외부전류가 발광소자(7)에 주입되면, 일부 전류는 서라운딩부(111c)에 의해 제1 반도체층(101c)까지 전도되고, 다른 일부 전류는 복수 개의 홀부(100c)에 의해 제1 반도체층(101c)까지 전도된다.

[0124] 도 31a에 도시된 바와 같이, 제2 접촉층(602c)은 기판(11c)의 일측, 예컨대 기판(11c) 중심선 C-C'의 좌측 또는 우측에 근접한다. 편영역(600c)은 반도체적층(10c) 상의 기하학적 중심부에 위치한다. 편영역(600c)은 제1 접촉층(601c) 및 제2 접촉층(602c)과 연결되고, 또한 제1 접촉층(601c) 및 제2 접촉층(602c)과 전기적으로 절연되고, 편영역(600c)은 제1 접촉층(601c) 및/또는 제2 접촉층(602c)과 동일한 재질을 포함한다. 편영역(600c)은 에피택셜층을 보호하는 구조로서 에피택셜층이 다이 분리, 다이 테스트, 패키징 등 후속 제조공정에서, 프로브, 또는 펀 등 외력에 의해 손상되는 것을 방지한다. 편영역(600c)의 형상은 직사각형, 타원형 또는 원형이다.

[0125] 본 발명의 일실시예에서, 편영역(600c)은 반도체적층(10c) 상의 기하학적 중심부에 위치한다. 편영역(600c)은 제1 접촉층(601c) 또는 제2 접촉층(602c)과 서로 연결되고, 편영역(600c)은 제1 접촉층(601c) 및/또는 제2 접촉층(602c)과 동일한 재질을 포함한다.

[0126] 본 발명의 일실시예에서, 접촉층(60c)은 단층 또는 적층 구조일 수 있다. 제1 반도체층(101c)과 접촉하는 전기 저항을 감소시키기 위해, 접촉층(60c)의 재질은 금속 재질을 포함하며, 금속 재질은 예컨대 크롬(Cr), 티타늄(Ti), 불프람(W), 금(Au), 알루미늄(Al), 인듐(In), 주석(Sn), 니켈(Ni), 백금(Pt) 등 금속 또는 이들의 합금이다. 접촉층(60c)의 재질은 금(Au), 구리(Cu)이외의 금속 재질을 포함하고, 이에 따라 후속 제조과정에서, 패키지 솔더 내의 주석(Sn) 등 금속이 발광소자(7) 내로 확산되어, 발광소자(7) 내의 금속 재질, 예컨대 금(Au),

구리(Cu)과 공정(共晶)을 형성하여, 발광소자(7)의 구조 변형을 초래하는 것을 방지할 수 있다.

[0127] 본 발명의 일실시예에서, 접촉층(60c)의 재질은 높은 반사율을 가지는 금속, 예컨대 알루미늄(Al), 또는 백금(Pt)을 포함한다.

[0128] 본 발명의 일실시예에서, 접촉층(60c)과 제1 반도체층(101c)의 접합강도를 증가시키기 위해, 접촉층(60c)의 제1 반도체층(101c)과 접촉하는 일측은 크롬(Cr) 또는 티타늄(Ti)을 포함한다.

[0129] 본 발명의 실시예에서, 도 31a 및 도 31b의 접촉층 형성단에 이어서, 발광소자(7)의 제조방법은 제3 절연층 형성단계를 포함하고, 도 32a의 평면도 및 도 32a의 A-A'선에 따른 단면도인 도 32b에 도시된 바와 같이, 물리적 기상 증착법 또는 화학적 기상 증착법 등 방식으로 반도체구조(1000c) 상에 제3 절연층(70c)을 형성하고, 또 리소그래피, 식각 방식으로 제3 절연층(70c)을 패턴화하여, 제1 접촉층(601c), 제2 접촉층(602c)을 각각 노출시키도록 제3 절연층개구(701c, 702c)를 형성하고; 제3 절연층 개구(701c)에 의해 둘러싸이는 제3 절연층(70c)의 제1 부분(7011c)을 형성하고; 제3 절연층 개구(701c)과 제3 절연층개구(702c) 사이에 제3 절연층(70c)의 연결부분(7000c)을 형성한다. 도 32a에 도시된 바와 같이, 제3 절연층(70c)의 연결부분(7000c)은 각각 제3 절연층(70c)의 제1 부분(7011c) 및 제2 부분(7022c)을 예워싼다. 도 32b에 도시된 바와 같이, 제3 절연층(70c)의 연결부분(7000c)은 제3 절연층(70c)의 제1 부분(7011c)의 양측에 위치하고, 제3 절연층(70c)의 연결부분(7000c)은 제3 절연층(70c)의 제2 부분(7022c)의 양측에 위치한다. 제3 절연층 개구(701c)는 제3 절연층(70c)의 제1 부분(7011c)의 제1 변(70111) 및 제3 절연층(70c)의 연결부분(7000c)의 변(70001)으로 구성되고, 제3 절연층 개구(702c)는 제3 절연층(70c)의 제2 부분(7022c)의 제2 변(70222c) 및 제3 절연층(70c)의 연결부분(7000c)의 다른 변(70002c)으로 구성된다.

[0130] 본 발명의 일실시예에서, 제2 반도체층(102c) 상에 위치하는 제1 접촉층(601c)은 제2 절연층(50c)과 제3 절연층(70c) 사이에 개재된다. 상기 핀영역(600c)은 제3 절연층(70c)의 연결부분(7000c)에 의해 둘러싸이고 피복된다.

[0131] 본 발명의 일실시예에서, 도 32a에 도시된 바와 같이, 제3 절연층 개구(701c, 702c)와 복수 개의 홀부(100c)는 엇갈리고, 서로 중첩되지 않는다. 다시 말하면, 제3 절연층개구(701c)와 제2 절연층개구(501c)는 엇갈리고, 서로 중첩되지 않는다. 제3 절연층개구(702c)는 제2 절연층개구(502c)에 의해 둘러싸일 수 있다. 도 32a의 평면도 상에서, 제3 절연층개구(701c, 702c)는 기판(11c) 중심선 C-C'의 양측, 예컨대 제3 절연층개구(701c)는 기판(11c) 중심선C-C'의 우측에 위치하고, 제3 절연층개구(702c)는 기판(11c) 중심선 C-C'의 좌측에 위치한다.

[0132] 본 발명의 일실시예에서, 제3 절연층개구(701c)는 제2 절연층개구(501c)의 폭보다 작은 폭을 가지고, 제3 절연층 개구(702c)는 제2 절연층 개구(502c)의 폭보다 작은 폭을 가진다.

[0133] 본 발명의 일실시예에서, 제3 절연층개구(701c)는 제2 절연층개구(501c)의 폭보다 큰 폭을 가지고, 제3 절연층 개구(702c)는 제2 절연층개구(502c)의 폭보다 큰 폭을 가진다.

[0134] 제3 절연층(70c)은 단층 또는 적층 구조일 수 있다. 제3 절연층(70c)가 적층 구조인 경우, 제3 절연층(70c)은 굴절률이 상이한 2종 이상의 재질이 교대로 적층되어 브레그 반사경(DBR)구조를 형성하여, 특정 파장의 광선을 선택적으로 반사할 수 있다. 제3 절연층(70c)은 비도전성 재질로 형성되고, Su8, 벤조사이클로부텐(BCB), 퍼플루오로시클로부탄(PFCB), 에폭시 수지(Epoxy), 아크릴 수지(Acrylic Resin), 환상 올레핀 고분자(COC), 폴리메틸 메타크릴산(PMMA), 폴리에틸렌테레프탈레이트(PET), 폴리카보네이트(PC), 폴리에테리이미드(Polyetherimide), 불화탄소 폴리머(Fluorocarbon Polymer) 등 유기재질, 또는 실리콘(Silicone), 유리(Glass) 등 무기재질, 또는 알루미나(Al₂O₃), 질화규소(SiN_x), 산화규소(SiO_x), 티타늄옥사이드(TiO_x) 또는 플루오르화마그네슘(MgF_x) 등 유전재질을 포함한다.

[0135] 제3 절연층 형성단계에 이어서 발광소자(7)의 제조방법은 본딩패드 형성단계를 포함한다. 도 33a의 평면도 및 도 33a의 A-A'선에 따른 단면도인 도 33b에 도시된 바와 같이, 전기 도금, 물리적 기상 증착법 또는 화학적 기상 증착법 등 방식으로 하나 이상의 반도체 구조(1000c) 상에 제1 본딩패드(80c) 및 제2 본딩패드(90c)를 형성한다. 도 33a의 평면도 상에서, 제1 본딩패드(80c)는 기판(11c)의 일측, 예컨대 기판(11c) 중심선 C-C'의 우측에 근접하고, 제2 본딩패드(90c)는 기판(11c)의 타측, 예컨대 기판(11c) 중심선 C-C'의 좌측에 근접한다. 제1 본딩패드(80c)는 제3 절연층개구(701c)를 커버하여, 제1 접촉층(601c)과 접촉하고, 제1 접촉층(601c) 및 홀부(100c)를 통해 제1 반도체층(101c)과 전기적 연결을 형성한다. 제2 본딩패드(90c)는 제3 절연층개구(702c)를 커버하고, 제2 접촉층(602c)과 접촉하고, 제2 접촉층(602c), 반사층(40c) 또는 배리어층(41c)을 통해 제2 반도체층(102c)과 전기적 연결을 형성한다. 도 33a에 도시된 바와 같이, 제1 본딩패드(80c) 및 제2 본딩패드(90c)는 모든 홀부(100c)를 커버하지 않고, 홀부(100c)는 제1 본딩패드(80c) 및 제2 본딩패드(90c) 이외의 영역에 형성

된다.

[0136] 본 발명의 일실시예에서, 제1 본딩패드(80c)는 제2 본딩패드(90c)의 크기와 동일하거나 상이한 크기를 가지고, 해당 크기는 폭 또는 면적일 수 있다.

[0137] 본 발명의 일실시예에서, 도 33b에 도시된 바와 같이, 제1 본딩패드(80c)는 측변(801c)을 포함하고, 제1 본딩패드(80c)의 측변(801c)과 제3 절연층(70c)의 제1 부분(7011c)의 제1 변(70111) 또는 제3 절연층(70c)의 연결부분(7000c)의 변(70001)은 서로 거리를 두고 이격되고, 해당 거리는 100 μm 보다 작은 것이 바람직하고, 50 μm 보다 작은 것이 더 바람직하고, 20 μm 보다 작은 것이 가장 바람직하다. 제2 본딩패드(90c)는 측변(902c)을 포함하고, 제2 본딩패드(90c)의 측변(902c)은 제3 절연층(70c)의 제2 부분(7022c)의 제2 변(70222c) 또는 제3 절연층(70c)의 연결부분(7000c)의 다른 변(70002c)과 거리를 두고 이격되고, 해당 거리는 100 μm 보다 작은 것이 바람직하고, 50 μm 보다 작은 것이 더 바람직하고, 20 μm 보다 작은 것이 가장 바람직하다.

[0138] 본 발명의 일실시예에서, 발광소자(7)의 평면도 상에서, 제1 본딩패드(80c)의 측변(801c)은 제3 절연층개구(701c)의 측변(70001, 70111)을 따라 배치되고, 제2 본딩패드(90c)의 측변(902c)은 제3 절연층개구(702c)의 측변(70002c, 70222c)을 따라 배치된다.

[0139] 도 33a는 발광소자(7)의 평면도이고, 도 33b는 발광소자(7)의 단면도이다. 본 실시예에 공개된 발광소자(7)는 플립칩형 발광 다이오드소자이다. 발광소자(7)는 기판(11c); 기판(11c) 상에 위치하는 하나 이상의 반도체구조(1000c); 하나 이상의 반도체구조(1000c)를 에워싸는 서라운딩부(111c); 및 반도체적층(10c) 상에 위치하는 제1 본딩패드(80c) 및 제2 본딩패드(90c);를 포함한다. 하나 이상의 반도체구조(1000c)는 각각 반도체적층(10c)을 포함하고, 반도체적층(10c)은 제1 반도체층(101c), 제2 반도체층(102c) 및 제1 반도체층(101c)과 제2 반도체층(102c) 사이에 위치하는 활성층(103c)을 포함한다.

[0140] 도 33a 및 도 33b에 도시된 바와 같이, 하나 이상의 반도체구조(1000c)의 주변은 서라운딩부(111c)에 의해 둘러싸인다. 본 발명의 일실시예에서, 복수 개의 반도체구조(1000c)는 제1 반도체층(101c)에 의해 서로 연결되고, 서라운딩부(111c)는 복수 개의 반도체구조(1000c)의 주변을 에워싸는 제1 반도체층(101c)의 제1 표면(1011c)을 포함한다. 본 발명의 다른 실시예에서, 복수 개의 반도체구조(1000c)는 서로 분리되며, 거리를 두고 이격되어 기판(11c)의 표면(11s)을 노출시킨다.

[0141] 발광소자(7)는 제2 반도체층(102c) 및 활성층(103c)을 관통하여 제1 반도체층(101c)의 하나 이상의 제2 표면(1012c)을 노출시키는 하나 이상의 홀부(100c)를 더 포함한다.

[0142] 발광소자(7)는 제1 반도체층(101c)의 제1 표면(1011c) 상에 형성되어 반도체구조(1000c)의 주변을 에워싸면서 제1 반도체층(101c)과 접촉하여 전기적 연결을 형성하고, 또한 제1 반도체층(101c)의 하나 이상의 제2 표면(1012c) 상에 형성되어 하나 이상의 홀부(100c)를 커버하면서 제1 반도체층(101c)과 접촉하여 전기적 연결을 형성하는 제1 접촉층(601c); 및 제2 반도체층(102c)의 표면(102s) 상에 형성되는 제2 접촉층(602c)을 더 포함한다. 본 발명의 일실시예에서, 발광소자(7)의 평면도인 도 31a에서와 같이, 제1 접촉층(601c)은 제2 접촉층(602c)의 복수 개의 측벽을 에워싼다.

[0143] 본 발명의 일실시예에서, 제1 본딩패드(80c) 및/또는 제2 본딩패드(90c)는 복수 개의 반도체구조(1000c)를 커버한다.

[0144] 본 발명의 일실시예에서, 제1 본딩패드(80c) 및 제2 본딩패드(90c)의 형성위치는 홀부(100c)의 형성위치를 피해가며, 제1 본딩패드(80c) 및 제2 본딩패드(90c)의 형성위치는 홀부(100c)의 형성위치와 중첩되지 않는다.

[0145] 본 발명의 일실시예에서, 발광소자(7)의 평면도 상에서, 제1 본딩패드(80c)의 형상과 제2 본딩패드(90c)의 형상은 동일하고, 도 33a에 도시된 바와 같이, 예컨대 제1 본딩패드(80c) 및 제2 본딩패드(90c)의 형상은 직사각형이다.

[0146] 본 발명의 일실시예에서, 제1 본딩패드(80c)의 크기와 제2 본딩패드(90c)의 크기는 상이하고, 예컨대 제1 본딩패드(80c)의 면적은 제2 본딩패드(90c)의 면적보다 크거나 작다. 제1 본딩패드(80c) 및 제2 본딩패드(90c)의 재질은 금속 재질을 포함하며, 금속 재질은 예컨대 크롬(Cr), 티타늄(Ti), 볼프람(W), 알루미늄(Al), 인듐(In), 주석(Sn), 니켈(Ni), 백금(Pt) 등 금속 또는 이들의 합금이다. 제1 본딩패드(80c) 및 제2 본딩패드(90c)는 단층 또는 적층 구조일 수 있다. 제1 본딩패드(80c) 및 제2 본딩패드(90c)가 적층 구조인 경우, 제1 본딩패드(80c)는 제1 상층 본딩패드 및 제1 하층 본딩패드를 포함하고, 제2 본딩패드(90c)는 제2 상층 본딩패드 및 제2 하층 본딩패드를 포함한다. 상층 본딩패드와 하층 본딩패드는 각각 상이한 기능을 포함한다.

- [0147] 본 발명의 일실시예에서, 상층 본딩패드의 기능은 주로 용접과 리드 선을 형성하는 것이다. 상층 본딩패드에 의해, 발광소자(7)는 플립 칩 형식으로, 솔더 또는 Au-Sn 공정 접합(Eutectic Bonding)을 이용하여 패키지 기판에 장착된다. 상층 본딩패드의 금속 재질은 고연성의 재질을 포함하며, 고연성의 재질은 예컨대 주석(Sn), 니켈(Ni), 코발트(Co), 철(Fe), 티타늄(Ti), 구리(Cu), 금(Au), 볼프람(W), 지르코늄(Zr), 몰리브덴(Mo), 탄탈(Ta), 알루미늄(Al), 은(Ag), 백금(Pt), 팔라듐(Pd), 로듐(Rh), 이리듐(Ir), 루테늄(Ru), 오스뮴(Os) 등 금속 또는 이들의 합금이다. 상층 본딩패드는 상기 재질의 단층 또는 적층 구조일 수 있다. 본 발명의 실시예에서, 상층 본딩패드의 재질은 니켈(Ni) 및/또는 금(Au)을 포함하고, 또한 상층 본딩패드는 단층 또는 적층 구조이다.
- [0148] 본 발명의 일실시예에서, 하층 본딩패드의 기능은 접촉층(60c), 반사층(40c), 또는 배리어층(41c)과 안정된 계면을 형성하는 것, 예컨대 제1 하층 본딩패드와 제1 접촉층(601c)의 계면 접합강도를 향상시키거나 제2 하층 본딩패드와 반사층(40c) 또는 배리어층(41c)의 계면 접합강도를 향상시키는 것이다. 하층 본딩패드의 다른 기능은 솔더 또는 Au-Sn 고정 중의 주석(Sn)이 반사구조 내로 확산되어, 반사구조의 반사율을 훼손시키는 것을 방지하는 것이다. 따라서, 하층 본딩패드는 금(Au), 구리(Cu) 이외의 금속 재질, 예컨대 니켈(Ni), 코발트(Co), 철(Fe), 티타늄(Ti), 볼프람(W), 지르코늄(Zr), 몰리브덴(Mo), 탄탈(Ta), 알루미늄(Al), 은(Ag), 백금(Pt), 팔라듐(Pd), 로듐(Rh), 이리듐(Ir), 루테늄(Ru), 오스뮴(Os) 등 금속 또는 이들의 합금을 포함하고, 하층 본딩패드는 상기 재질의 단층 또는 적층 구조일 수 있다. 본 발명의 일실시예에서, 하층 본딩패드는 티타늄(Ti)/알루미늄(Al)의 적층구조, 또는 크롬(Cr)/알루미늄(Al)의 적층 구조를 포함한다.
- [0149] 본 발명의 일실시예에서, 솔더 또는 Au-Sn 공정 중의 주석(Sn)이 반사구조 내로 확산되어 반사구조의 반사율을 훼손시키는 것을 방지하기 위한 것이다. 따라서, 제1 접촉층(601c)과 제1 본딩패드(80c)이 연결된 일측은 티타늄(Ti) 및 백금(Pt)으로 이루어진 그룹으로부터 선택된 금속 재질을 포함한다. 제2 접촉층(602c)과 제2 본딩패드(90c)가 연결된 일측은 티타늄(Ti) 및 백금(Pt)으로 이루어진 그룹으로부터 선택된 금속 재질을 포함한다.
- [0150] 도 34a는 본 발명의 실시예의 발광소자(8)의 평면도이고, 도 34b는 발광소자(8)의 단면도이다. 발광소자(8)와 상기 실시예의 발광소자(7)를 비교했을 때, 발광소자(8)는 제1 본딩패드(80d) 및/또는 제2 본딩패드(90d)의 복수 개의 측벽을 에워싸는 금속층(900d) 및 각각 제1 본딩패드(80d) 및 제2 본딩패드(90d) 상측에 위치하는 제1 전극 블록(810d) 및 제2 전극블록(910d)을 더 포함한다. 이외에, 발광소자(8)와 발광소자(7)는 거의 동일한 구조를 가지므로, 도 34a, 도 34b의 발광소자(8)와 도 33a, 도 33b의 발광소자(7)는 동일한 명칭, 부호의 구조를 가지고, 동일한 구조를 나타내며, 동일한 재질을 가지거나 동일한 기능을 가지므로, 여기서는 설명을 적절하게 생략하거나 설명하지 않는다.
- [0151] 본 실시예에 공개된 발광소자(8)는 플립칩형 발광 다이오드 소자이다. 발광소자(8)는 기판(11c); 기판(11c) 상에 위치하는 하나 이상의 반도체구조(1000c); 하나 이상의 반도체구조(1000c)를 에워싸는 서라운딩부(111c); 반도체적층(10c) 상에 위치하는 제1 본딩패드(80d) 및 제2 본딩패드(90d); 및 각각 제1 본딩패드(80d) 및 제2 본딩패드(90d) 상측에 위치하는 제1 전극 블록(810d) 및 제2 전극 블록(910d);을 포함한다. 하나 이상의 반도체구조(1000c)는 각각 반도체적층(10c)을 포함하고, 반도체적층(10c)은 제1 반도체층(101c), 제2 반도체층(102c) 및 제1 반도체층(101c)과 제2 반도체층(102c) 사이에 위치하는 활성층(103c)을 포함한다.
- [0152] 도 34a 및 도 34b에 도시된 바와 같이, 하나 이상의 반도체구조(1000c)의 주변은 서라운딩부(111c)에 의해 둘러싸인다. 본 발명의 일실시예에서, 복수 개의 반도체 구조(1000c)는 제1 반도체층(101c)에 의해 서로 연결될 수 있고, 서라운딩부(111c)는 복수 개의 반도체 구조(1000c)의 주변을 에워싸는 제1 반도체층(101c)의 제1 표면(1011c)을 포함한다. 본 발명의 다른 실시예에서, 복수 개의 반도체 구조(1000c)는 서로 분리되며, 서로 거리를 두고 이격되어 기판(11c)의 표면(11s)을 노출시킨다.
- [0153] 발광소자(8)는 제2 반도체층(102c) 및 활성층(103c)을 관통하여 제1 반도체층(101c)의 하나 이상의 제2 표면(1012c)을 노출시키는 하나 이상의 홀부(100c)를 더 포함한다.
- [0154] 발광소자(8)는 제1 반도체층(101c)의 제1 표면(1011c) 상에 형성되어 반도체 구조(1000c)의 주변을 에워싸면서 제1 반도체층(101c)과 접촉하여 전기적 연결을 형성하며, 또한 제1 반도체층(101c)의 하나 이상의 제2 표면(1012c) 상에 형성되어 하나 이상의 홀부(100c)를 커버하면서 제1 반도체층(101c)과 접촉하여 전기적 연결을 형성하는 제1 접촉층(601c); 및 제2 반도체층(102c)의 표면(102s) 상에 형성되어, 제2 반도체층(102c)과 전기적 연결을 형성하는 제2 접촉층(602c)을 포함한다. 본 발명의 일실시예에서, 발광소자(2)의 평면도 상에서, 제1 접촉층(601c)은 제2 접촉층(602c)의 복수 개의 측벽을 에워싸고, 제2 접촉층(602c)은 제1 접촉층(601c)의 크기보다 작은 크기(예컨대 면적)을 가진다.

- [0155] 본 발명의 일실시예에서, 제1 본딩패드(80d)는 부분 또는 전체 홀부(100c)를 커버하고 및/또는 제2 본딩패드(90d)는 부분 또는 전체 홀부(100c)를 커버한다. 도 34a에 도시된 바와 같이, 제1 본딩패드(80d)는 부분 홀부(100c)를 커버하고, 제2 본딩패드(90d)는 모든 홀부(100c)를 커버하지 않는다.
- [0156] 발광소자가 플립 칩 형식으로 패키지 기판에 장착되는 경우, 발광소자 표면의 절연층은 외력의 충돌에 의해 쉽게 훼손되므로, 솔더 또는 공정 접합(Eutectic Bonding)의 AuSn 재질 등이 절연층의 크랙으로부터 발광소자의 내로 들어가, 발광소자의 고장을 초래하게 된다. 본 발명의 일실시예에서, 발광소자(8)는 반도체적층(10c) 상에 위치하여 하측의 절연층을 보호함으로써, 절연층이 외력의 충돌에 의해 훼손되는 것을 방지하는 금속층(900d)을 포함한다. 도 34a에 도시된 바와 같이, 금속층(900d)은 제2 본딩패드(90d)의 복수 개의 측벽을 에워싸고, 금속층(900d)과 제2 본딩패드(90d)는 서로 거리를 두고 이격된다. 금속층(900d)은 부분 홀부(100c)를 커버하고, 일부 제1 접촉층(601c)은 금속층(900d) 하부에 위치하고, 제3 절연층(70c)에 의해 금속층(900d)과 절연된다.
- [0157] 본 발명의 일실시예에서, 제1 본딩패드(80d), 제2 본딩패드(90d) 및 금속층(900d)은 서로 거리를 두고 이격되고 서로 연결되지 않는다.
- [0158] 본 발명의 실시예에서, 발광소자(8)는 제3 절연층(70c)을 포함하고, 제3 절연층(70c)은 제1 접촉층(601c) 및 제2 접촉층(602c)을 노출시키도록 하나 이상의 개구(701c, 702c)를 포함하고, 제3 절연층(70c)의 부분 표면을 노출시키도록 금속층(900d)과 제2 본딩패드(90d) 사이에는 간격이 있다.
- [0159] 본 발명의 일실시예에서, 발광소자(8)의 평면도 상에서, 제1 본딩패드(80d)의 형상과 제2 본딩패드(90d)의 형상은 상이하고, 예컨대 제1 본딩패드(80d)의 형상은 직사각형이고, 제2 본딩패드(90d)의 형상은 빗 형상이다.
- [0160] 본 발명의 일실시예에서, 발광소자(8)의 평면도 상에서, 제1 본딩패드(80d)는 제2 본딩패드(90d)의 크기와 다른 크기(예컨대 면적)를 가진다.
- [0161] 본 발명의 일실시예에서, 제1 본딩패드(80d), 제2 본딩패드(90d)의 크기는 각각 제1 전극 블록(810d), 제2 전극 블록(910d)의 크기와 상이하고, 예컨대 제1 본딩패드(80d)의 면적은 제1 전극 블록(810d)의 면적보다 크고, 제2 본딩패드(90d)의 면적은 제2 전극 블록(910d)의 면적보다 크다.
- [0162] 본 발명의 일실시예에서, 제1 본딩패드(80d)와 제2 본딩패드(90d) 사이의 거리는 제1 전극 블록(810d)과 제2 전극 블록(910d)사이의 거리보다 작다.
- [0163] 본 발명의 일실시예에서, 발광소자(8)의 평면도 상에서, 제1 전극 블록(810d)의 형상은 제2 전극 블록(910d)의 형상과 근사하거나 동일하고, 예컨대 제1 전극 블록(810d) 및 제2 전극 블록(910d)의 형상은 빗 형상이고, 도 10c에 도시된 바와 같이, 제1 전극 블록(810d)은 서로 교대로 연결된 복수 개의 제1 볼록부(811d) 및 복수 개의 제1 오목부(812d)를 포함한다. 제2 전극 블록(910d)은 서로 교대로 연결된 복수 개의 제2 볼록부(911d) 및 복수 개의 제2 오목부(912d)를 포함한다. 제1 전극 블록(810d)의 제1 오목부(812d)의 위치 및 제2 전극 블록(910d)의 제2 오목부(912d)의 위치는 홀부(100c)의 위치에 거의 대응한다. 다시 말하면, 제1 전극 블록(810d)의 제1 오목부(812d)의 폭 또는 제2 전극 블록(910d)의 제2 오목부(912d)의 폭은 모든 홀부(100c)의 직경보다 크고, 제1 전극 블록(810d) 및 제2 전극 블록(910d)은 모든 홀부(100c)를 커버하지 않고, 제1 전극 블록(810d)의 제1 오목부(812d) 및 제2 전극 블록(910d)의 제2 오목부(912d)는 홀부(100c)를 피해가면서, 홀부(100c) 주변에 형성된다. 본 발명의 일실시예에서, 복수 개의 제1 오목부(812d)는 평면도 상에서 복수 개의 제2 오목부(912d)와 거의 나란히 정렬된다. 본 발명의 다른 실시예에서, 복수 개의 제1 오목부(812d)는 평면도 상에서 복수 개의 제2 오목부(912d)와 어긋나게 배치된다.
- [0164] 본 발명의 일실시예에서, 발광소자(8)가 플립 칩 형식으로 패키지 기판에 장착될 경우, 제1 본딩패드(80d), 제2 본딩패드(90d)와 반도체적층(10c) 사이에 다층 절연층을 포함하고, 발광소자(8)의 제1 본딩패드(80d), 제2 본딩패드(90d)는 외력에 의해, 예컨대 솔더 또는 Au-Sn 공정 접합(Eutectic Bonding) 시 발생된 응력에 의해, 제1 본딩패드(80d), 제2 본딩패드(90d)와 절연층에 크랙이 발생하므로, 발광소자(8)는 각각 제1 본딩패드(80d) 및 제2 본딩패드(90d) 상측에 위치하는 제1 전극 블록(810d) 및 제2 전극 블록(910d)을 포함하고 제1 전극 블록(810d) 및 제2 전극 블록(910d)에 의해 외부와 접합되고, 제1 전극 블록(810d) 및 제2 전극 블록(910d)의 형성 위치는 홀부(100c)의 형성위치를 피해가므로써 외력에 의해 본딩패드와 절연층 사이에 응력이 발생하는 것을 감소시킬 수 있다.
- [0165] 본 발명의 다른 실시예에서, 제1 전극 블록(810d) 및 제2 전극 블록(910d)과 비교했을 때, 제1 전극 블록(810d) 및 제2 전극 블록(910d)의 다이본딩 시의 압력을 방출하도록, 제1 본딩패드(80d), 제2 본딩패드(90d)는 비교적

큰 면적을 가진다. 발광소자(8)의 단면도 상에서, 제1 본딩패드(80d)는 제1 전극 블록(810d)의 폭의 1.2 내지 2.5배, 바람직하게는 2배인 폭을 가진다.

[0166] 본 발명의 다른 실시예에서, 제1 전극 블록(810d) 및 제2 전극 블록(910d)과 비교했을 때, 제1 전극 블록(810d) 및 제2 전극 블록(910d)의 다이본딩 시의 압력을 방출하도록 제1 본딩패드(80d), 제2 본딩패드(90d)는 비교적 큰 면적을 가진다. 발광소자(8)의 단면도 상에서, 제1 본딩패드(80d) 확장거리는 그 자체 두께의 1배 이상이고, 자체 두께의 2배 이상인 것이 바람직하다.

[0167] 본 발명의 다른 실시예에서, 제1 전극 블록(810d) 및 제2 전극 블록(910d)은 두께가 1 내지 100 μm , 바람직하게는 1.5 내지 6 μm 이고, 제1 전극 블록(810d) 및 제2 전극 블록(910d)에 의해 플립 칩 형식으로 패키지 기판에 장착된다. 제1 본딩패드(80d) 및 제2 본딩패드(90d)는 제1 전극 블록(810d) 및 제2 전극 블록(910d)의 고체 결정 시의 압력을 방출하도록 두께가 0.2 μm 보다 크고, 바람직하게는 0.5 μm 보다 크고, 1 μm 보다 작다.

[0168] 본 발명의 다른 실시예에서, 제1 본딩패드(80d), 제2 본딩패드(90d) 및 금속층(900d)은 동일한 금속 재질 및/또는 동일한 금속적층을 포함한다.

[0169] 제1 본딩패드(80d), 제2 본딩패드(90d) 및 금속층(900d)은 단층 또는 적층 구조일 수 있다. 제1 본딩패드(80d) 및 제2 본딩패드(90d)의 기능은 제1 접촉층(601c), 반사층(40c), 또는 배리어층(41c)과 안정된 계면을 형성하는 것이고, 예컨대 제1 본딩패드(80d)는 제1 접촉층(601c)과 접촉하고, 제2 본딩패드(90d)은 반사층(40c) 또는 배리어층(41c)과 접촉한다. 제1 본딩패드(80d) 및 제2 본딩패드(90d)는 솔더 또는 Au-Sn 공정 중의 주석(Sn)이 발광소자(8) 내로 확산되어, 제1 본딩패드(80d) 및 제2 본딩패드(90d)에 포함된 금(Au), 구리(Cu) 등 금속과 공정(共晶)을 생성하는 것을 방지하도록, 금(Au), 구리(Cu) 이외의 금속 재질, 예컨대 크롬(Cr), 니켈(Ni), 코발트(Co), 철(Fe), 티타늄(Ti), 볼프람(W), 지르코늄(Zr), 몰리브덴(Mo), 탄탈(Ta), 알루미늄(Al), 은(Ag), 백금(Pt), 팔라듐(Pd), 로듐(Rh), 이리듐(Ir), 루테늄(Ru), 오스뮴(Os) 등 금속 또는 이들의 합금을 포함한다. 금속층(900d)은 금(Au), 구리(Cu) 이외의 금속 재질, 예컨대 크롬(Cr), 니켈(Ni), 코발트(Co), 철(Fe), 티타늄(Ti), 볼프람(W), 지르코늄(Zr), 몰리브덴(Mo), 탄탈(Ta), 알루미늄(Al), 은(Ag), 백금(Pt), 팔라듐(Pd), 로듐(Rh), 이리듐(Ir), 루테늄(Ru), 오스뮴(Os) 등 금속 또는 이들의 합금을 포함한다. 금속층(900d)의 제3 절연층(70c)과 연결된 일측은 금속층(900d)과 제3 절연층(70c)의 계면 접합강도를 향상시키도록 크롬(Cr), 니켈(Ni), 티타늄(Ti), 또는 백금(Pt)을 포함한다.

[0170] 본 발명의 다른 실시예에서, 제1 본딩패드(80d) 및/또는 제2 본딩패드(90d)는 적층구조이고, 적층구조는 본딩패드(80d, 90d)와 솔더 또는 Au-Sn 공정 접합 시 발생하는 응력으로 인해 본딩패드(80d, 90d)와 반도체적층(10a) 사이의 절연층에 크랙이 발생하는 것을 방지하도록 고연성의 층과 저연성의 층을 포함한다. 고연성의 층과 저연성의 층은 상이한 영률(Young's modulus)의 금속을 포함한다.

[0171] 본 발명의 다른 실시예에서, 제1 본딩패드(80d) 및/또는 제2 본딩패드(90d)의 고연성의 층은 저연성의 층의 두께와 같거나 큰 두께를 가진다.

[0172] 본 발명의 다른 실시예에서, 제1 본딩패드(80d) 및 제2 본딩패드(90d)는 적층구조이고, 제1 전극 블록(810d) 및 제2 전극 블록(910d)은 적층구조이고, 제1 본딩패드(80d)와 제1 전극 블록(810d)이 연결되는 면은 동일한 금속 재질을 포함하고, 제2 본딩패드(90d)와 제2 전극 블록(910d)이 연결되는 면은 동일한 금속 재질(예컨대 크롬(Cr), 니켈(Ni), 티타늄(Ti), 또는 백금(Pt))을 포함함으로써, 본딩패드와 범퍼패드의 계면 접합강도를 향상시킨다.

[0173] 본 발명의 다른 실시예에서, 본딩패드 형성단계에 이어서 발광소자(8)의 제조방법은 제4 절연층 형성단계를 포함한다. 물리적 기상 증착 또는 화학적 기상 증착법 등 방식으로 제1 본딩패드(80d) 및 제2 본딩패드(90d)에 제4 절연층(미도시)을 형성하고, 제1 전극 블록(810d) 및 제2 전극 블록(910d)은 각각 제1 본딩패드(80d) 및 제2 본딩패드(90d) 상에 형성되고, 제4 절연층은 제1 본딩패드(80d) 및 제2 본딩패드(90d)의 측벽을 에워싼다. 제4 절연층은 단층 또는 적층 구조일 수 있다. 제4 절연층이 적층 구조인 경우, 제4 절연층은 굴절률이 상이한 2종 이상의 재질이 교대로 적층되어 브레그 반사경(DBR) 구조를 형성하여, 특정 파장의 광선을 선택적으로 반사할 수 있다. 제4 절연층의 재질은 비도전성 재질로 형성되고, Su8, 벤조사이클로부텐(BCB), 퍼플루오로시클로부탄(PFCB), 에폭시 수지(Epoxy), 아크릴 수지(Acrylic Resin), 환상 올레핀 고분자(COC), 폴리메틸 메타크릴산(PMMA), 폴리에틸렌테레프탈레이트(PET), 폴리카보네이트(PC), 폴리에테리이미드(Polyetherimide), 불화탄소 폴리머(Fluorocarbon Polymer) 등 유기재질, 또는 실리콘(Silicone), 유리(Glass) 등 무기재질, 또는 알루미나(Al_2O_3), 질화규소(SiN_x), 산화규소(SiO_x), 티타늄옥사이드(TiO_x) 또는 플루오르화마그네슘(MgF_x) 등 유전재질을

포함한다.

[0174] 본 발명의 일실시예에서, 제1 전극 블록(810d) 및 제2 전극 블록(910d)의 제조공정은 제1 본딩패드(80d) 및 제2 본딩패드(90d)의 제조공정 이후 바로 이어질 수 있다. 본 발명의 다른 실시예에서, 제1 본딩패드(80d) 및 제2 본딩패드(90d)의 제조공정이후, 먼저 제4 절연층의 형성단계를 진행하고, 이어서 제1 전극 블록(810d) 및 제2 전극 블록(910d)의 제조공정을 진행한다.

[0175] 도 35는 본 발명의 일실시예에 따른 발광장치의 개략도이다. 상술한 실시예들의 반도체 발광소자(1), 발광소자(2), 발광소자(3), 발광소자(4), 발광소자(5), 발광소자(6), 발광소자(7) 또는 발광소자(8)는 플립 칩 형식으로 패키지 기판(51)의 제1 패드(511), 제2 패드(512) 상에 장착된다. 제1 패드(511), 제2 패드(512) 사이는 절연재질을 포함한 절연부(53)에 의해 전기적으로 절연된다. 플립 칩 장착 시, 전극 형성면과 대향하는 성장 기판(11a, 11b)의 일측을 주요 광 추출면으로 설정한다. 발광장치의 광 추출 효과를 증가시키기 위해 반도체 발광소자(1), 발광소자(2), 발광소자(3), 발광소자(4), 발광소자(5), 발광소자(6), 발광소자(7) 또는 발광소자(8)의 주변에 반사구조(54)를 설치할 수 있다.

[0176] 도 36은 본 발명의 일실시예에 따른 발광장치의 개략도이다. 전구(Bulb)(600)는 램프 셰이드(602), 반사경(604), 발광모듈(610), 램프 홀더(612), 히트 싱크(614), 연결부(616) 및 전기적으로 연결된 소자(618)를 포함한다. 발광모듈(610)은 탑재부(606) 및 탑재부(606) 상에 위치하는 복수 개의 발광소자(608)를 포함하고, 복수 개의 발광소자(608)는 상술한 실시예들의 반도체 발광소자(1), 발광소자(2), 발광소자(3), 발광소자(4), 발광소자(5), 발광소자(6), 발광소자(7) 또는 발광소자(8)일 수 있다.

[0177] 본 발명에서 예시한 각 실시예는 본 발명을 설명하기 위한 것일 뿐, 본 발명의 범위를 한정하기 위한 것은 아니다. 누구든지 본 발명에 대해 진행한 자명한 수정 또는 변경은 본 발명의 정신과 범위를 벗어나지 않는다.

부호의 설명

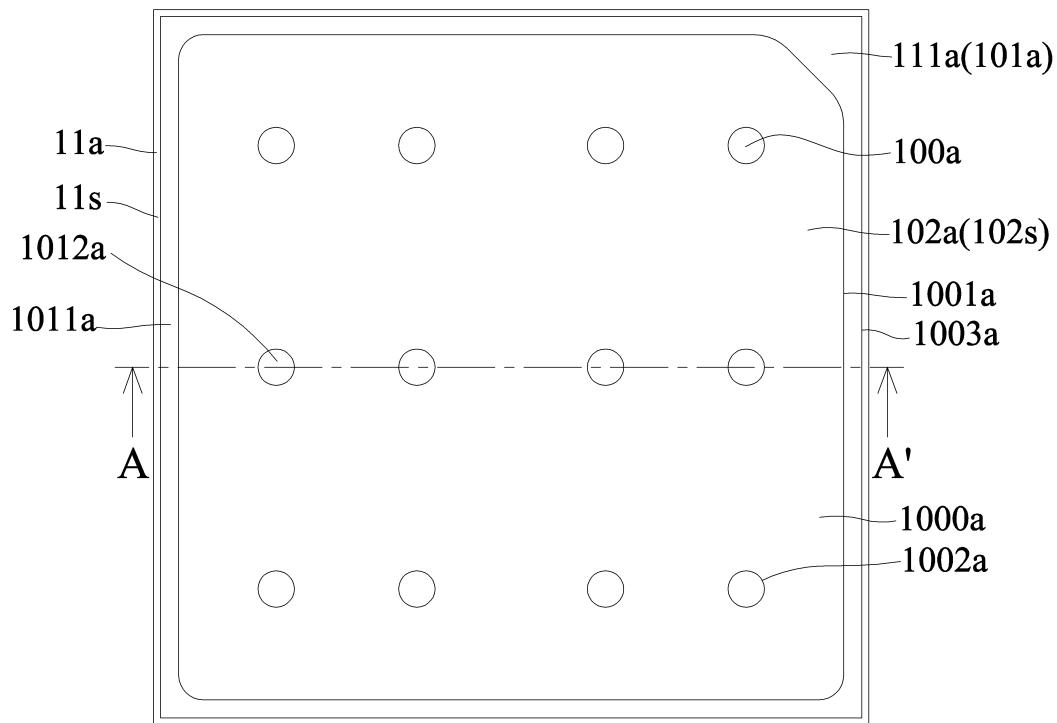
1, 2, 3, 4, 5, 6	발광소자
11a, 11b	기판
10a, 10b	반도체층
101a, 101b	제1 반도체층
102a, 102b	제2 반도체층
103a, 103b	활성층
100a, 100b	홀부
102s	표면
1011a, 1011b	제1 표면
1012a, 1012b	제2 표면
110a	제4 절연층
111a, 111b	서라운딩부
20a, 20b	제1 절연층
200a, 200b	제1 절연층서라운딩영역
201a, 201b	제1 절연층커버영역
202a, 202b	제1 절연층개구
203a, 203b	제1 절연층개구
30a, 30b	투명 도전층
300b	투명 도전층 개구
301a, 301b	투명 도전층 외연

40a, 40b	반사층
400b	반사층 개구
401a, 401b	반사층 외연
41a, 41b	배리어층
410b	배리어층 개구
411a, 411b	배리어층 외연
50a, 50b	제2 절연층
501a, 501b	제2 절연층 개구
502a, 502b	제2 절연층 개구
5020b	환상 개구
5021b	측벽
60a, 60b	접촉층
600a, 600b	핀영역
602a	접촉층 개구
601b	제1 접촉층
6011b	제1 접촉층측벽
602b	제2 접촉층
6021b	제2 접촉층측벽
70a, 70b	제3 절연층
701a, 702a	제3 절연층개구
701b, 702b	제3 절연층개구
80a, 80b	제1 본딩패드
90a, 90b	제2 본딩패드
800a	제1 본딩패드개구
801b	제1 볼록부
802a	제1 측면
802b	제1 오목부
803b	제1 플랫
804a	제1 오목부
805a	제1 상층 본딩패드
807a	제1 하층 본딩패드
810a	제1 범퍼패드
900a	제2 본딩패드 개구
901b	제2 볼록부
902a	제2 측면
902b	제2 오목부

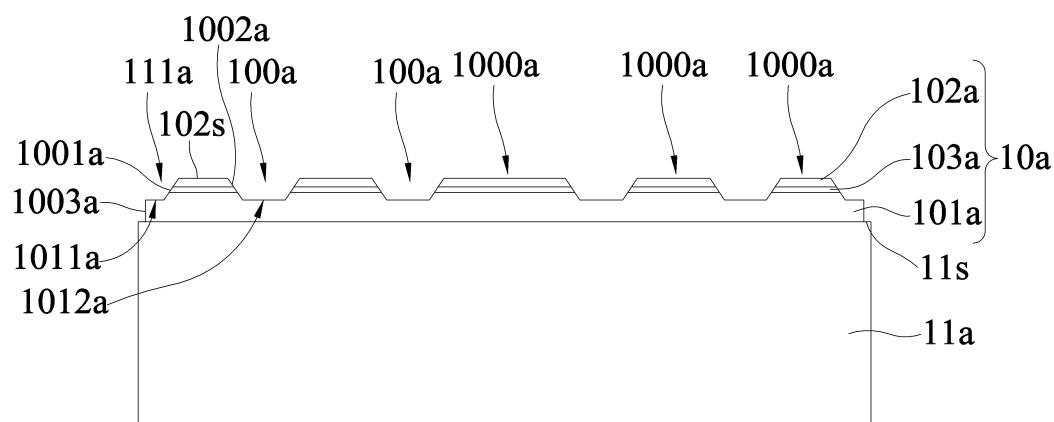
903b	제2 직선변
904a	제2 오목부
905a	제2 상층 본딩패드
907a	제2 하층 본딩패드
910a, 910b	제2 범퍼패드
1000a, 1000b	반도체 구조
1001a, 1001b	제2 외측벽
1002a, 1002b	내측벽
1003a, 1003b	제1 외측벽
51	패키지 기판
511	제1 패드
512	제2 패드
53	절연부
54	반사구조
600	전구
602	램프 세이드
604	반사경
606	탑재부
608	발광소자
610	발광모듈
612	램프 홀더
614	히트 싱크
616	연결부
618	전기적으로 연결된 소자

도면

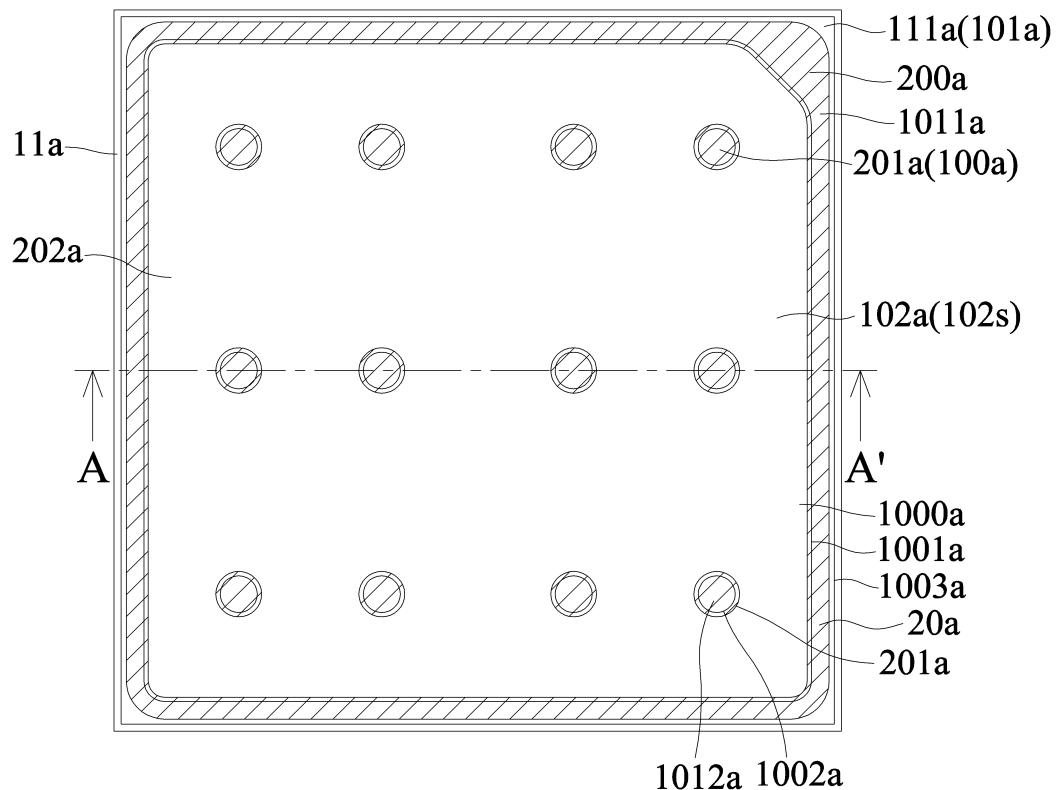
도면 1a



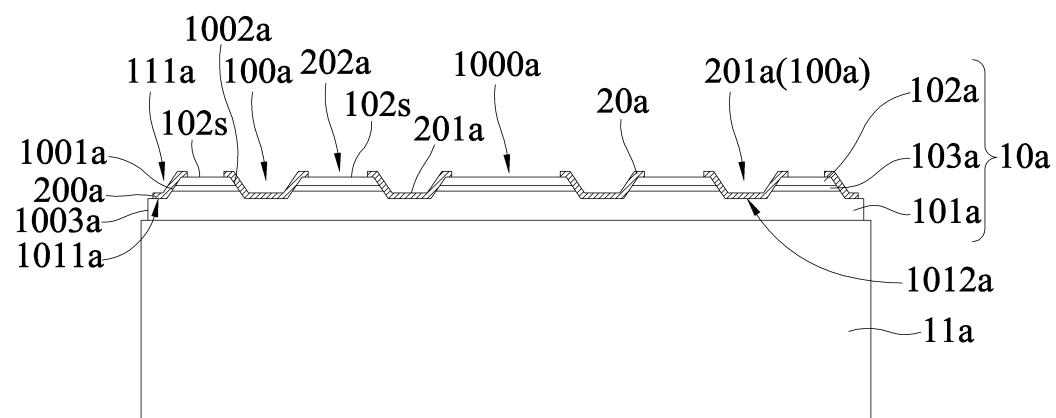
도면 1b



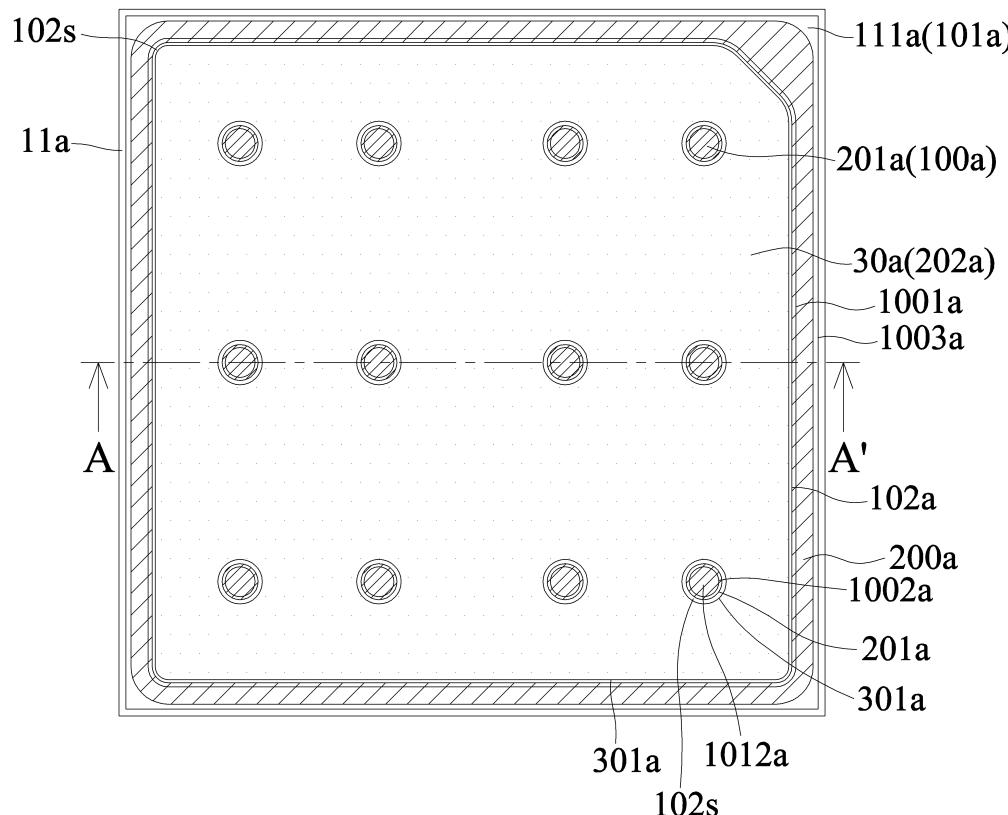
도면2a



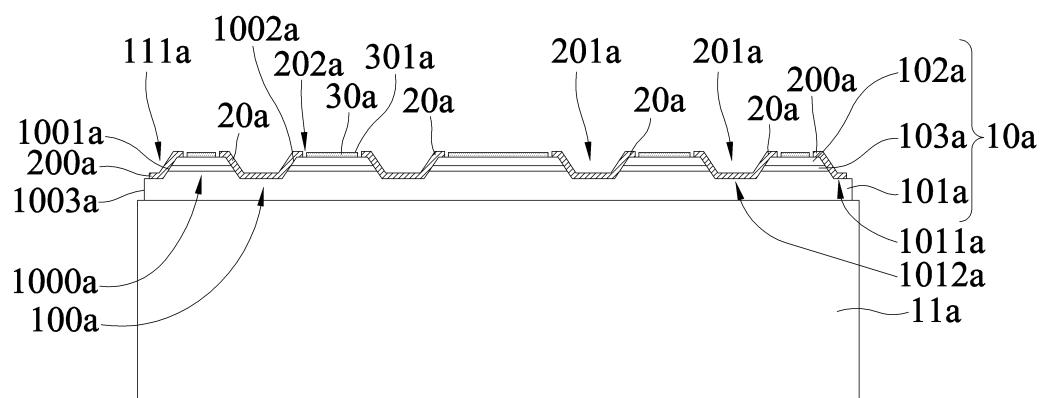
도면2b



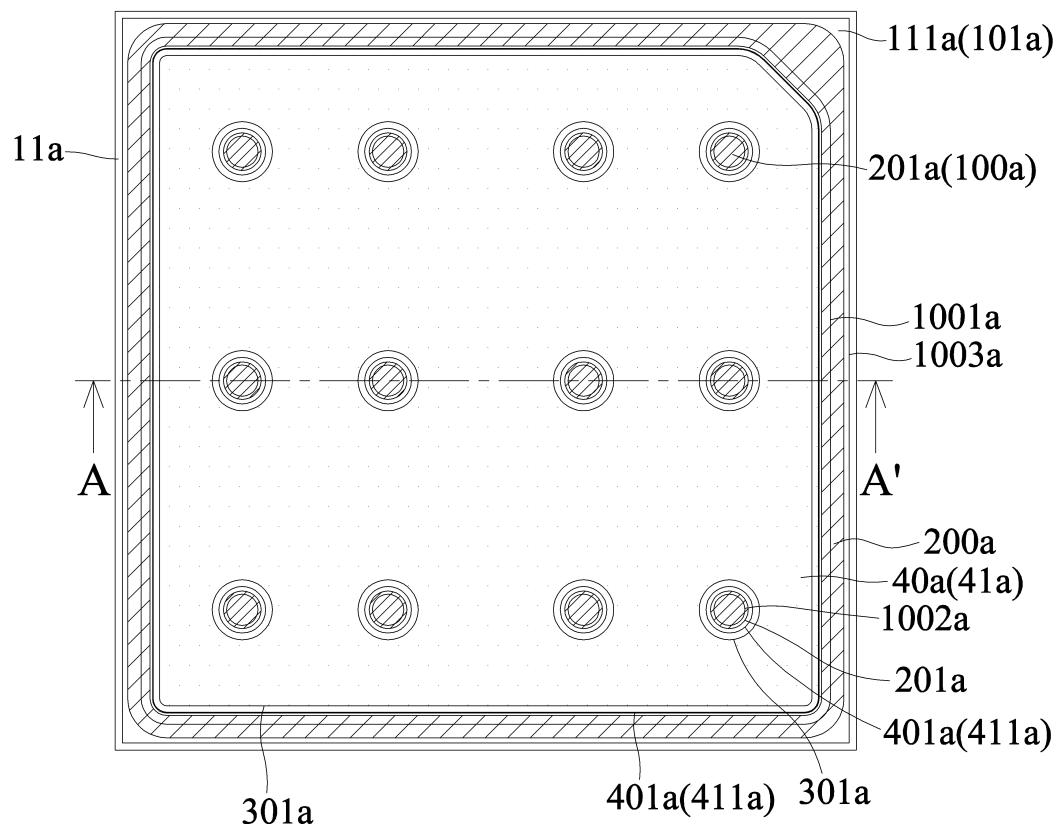
도면3a



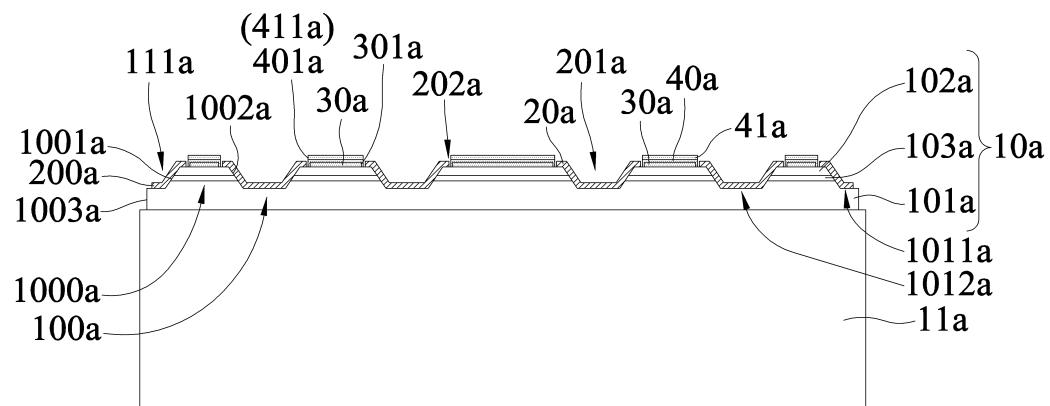
도면3b



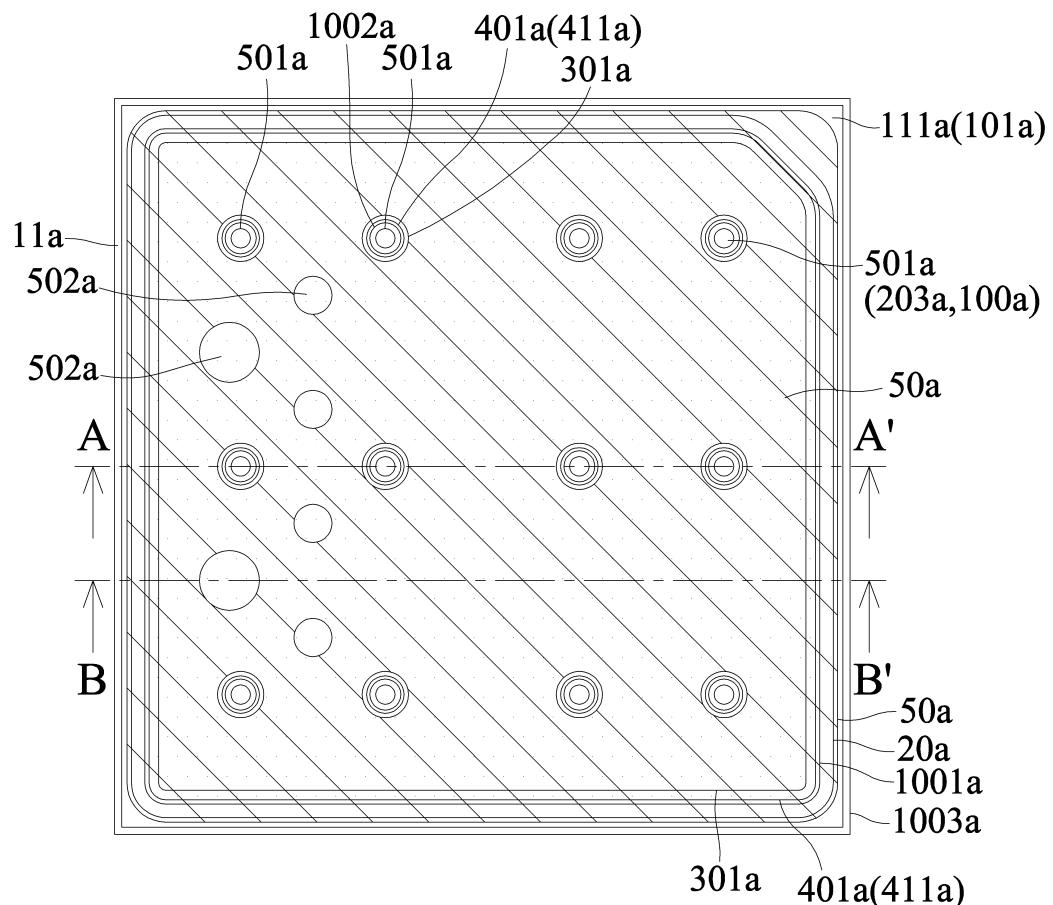
도면4a



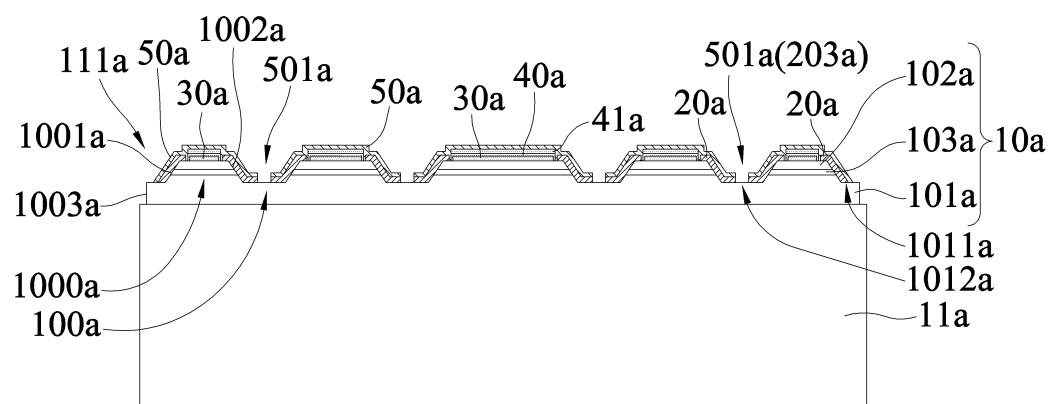
도면4b



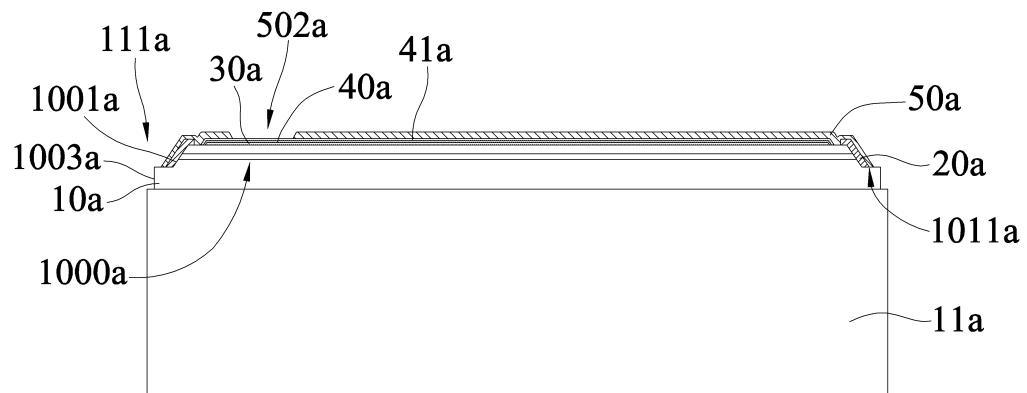
도면5a



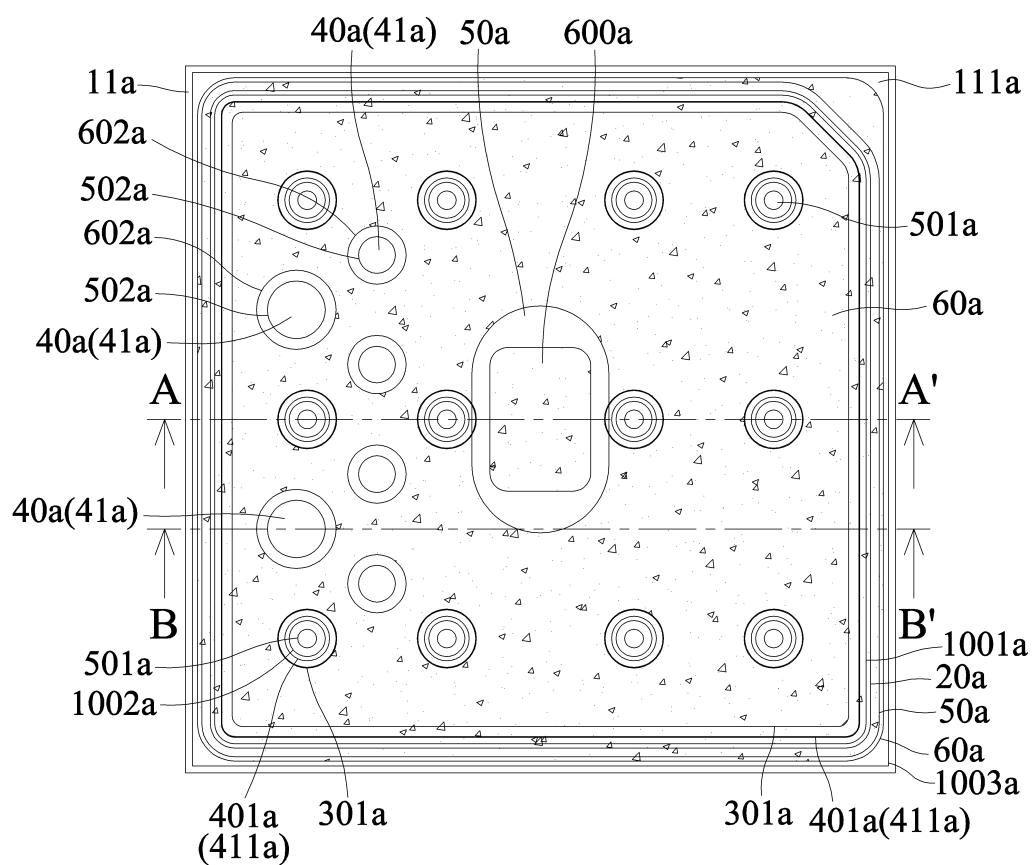
도면5b



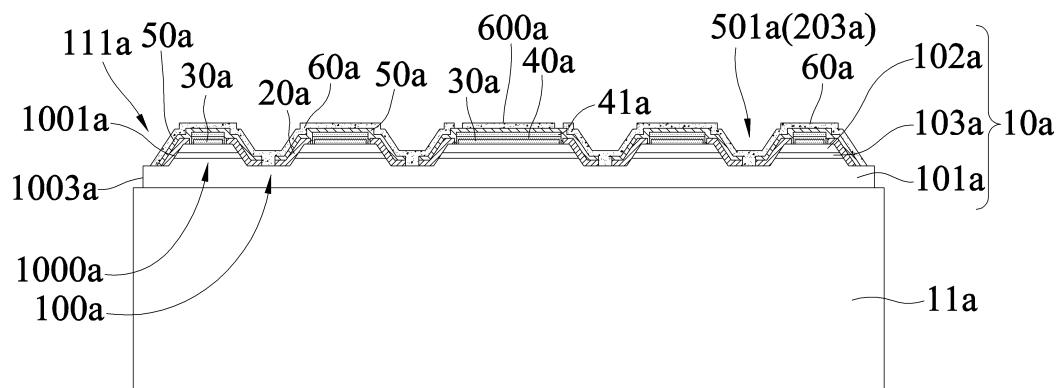
도면5c



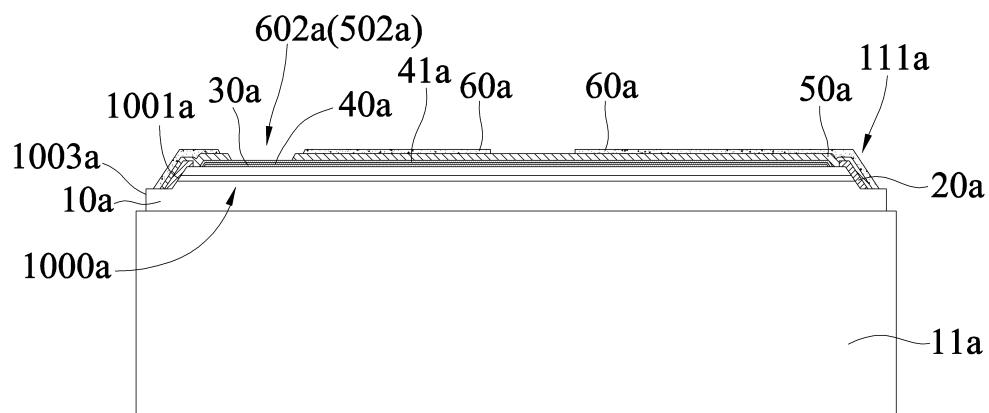
도면6a



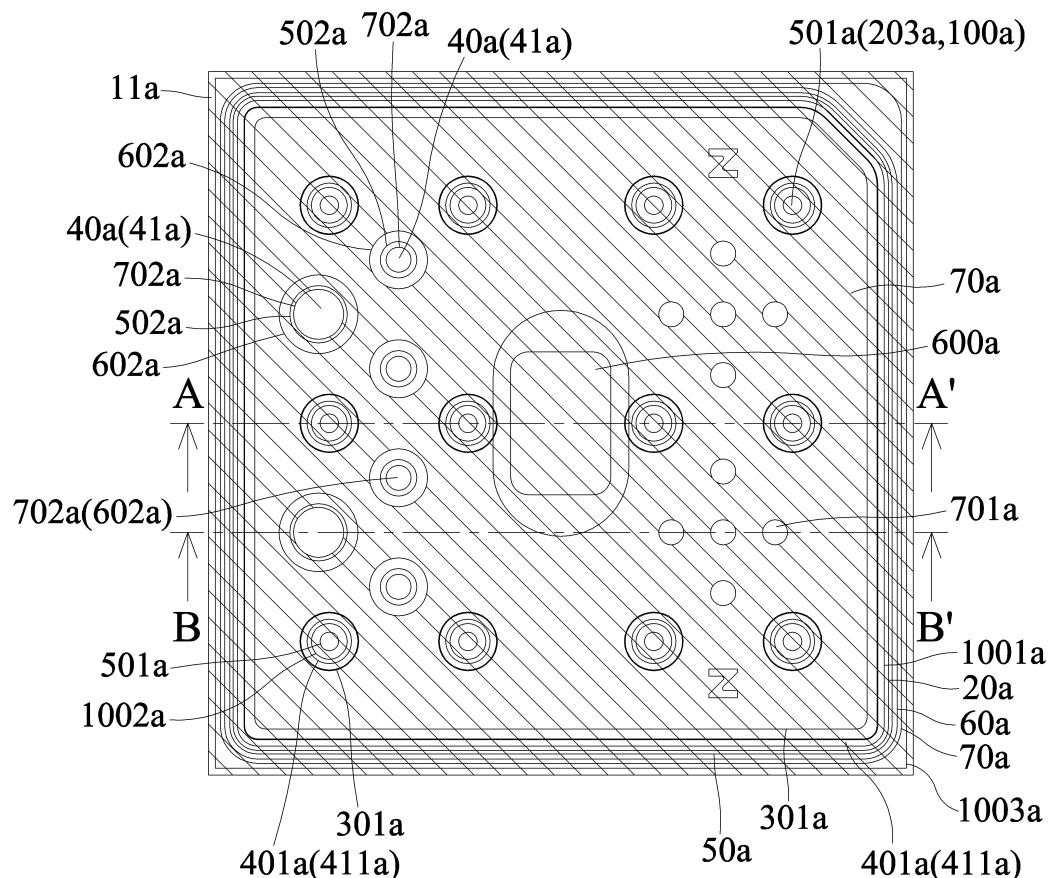
도면6b



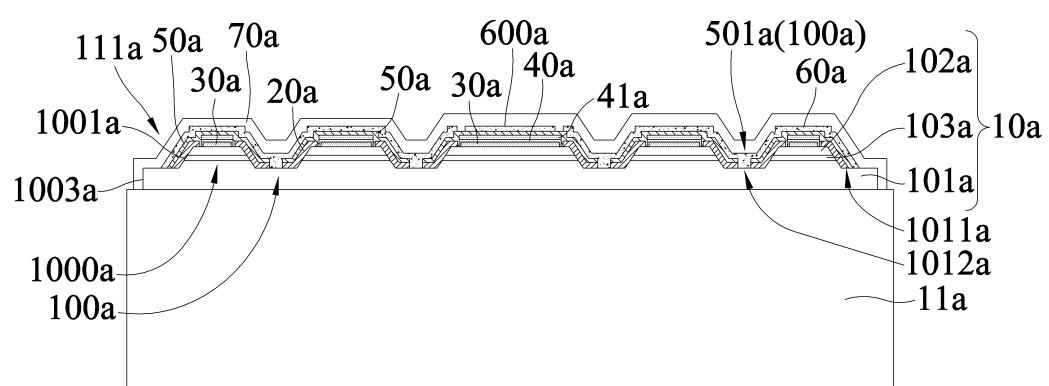
도면6c



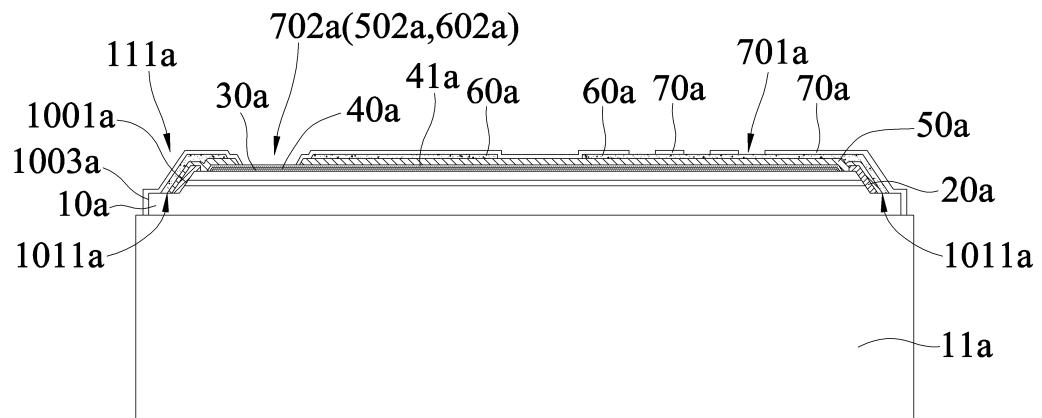
도면7a



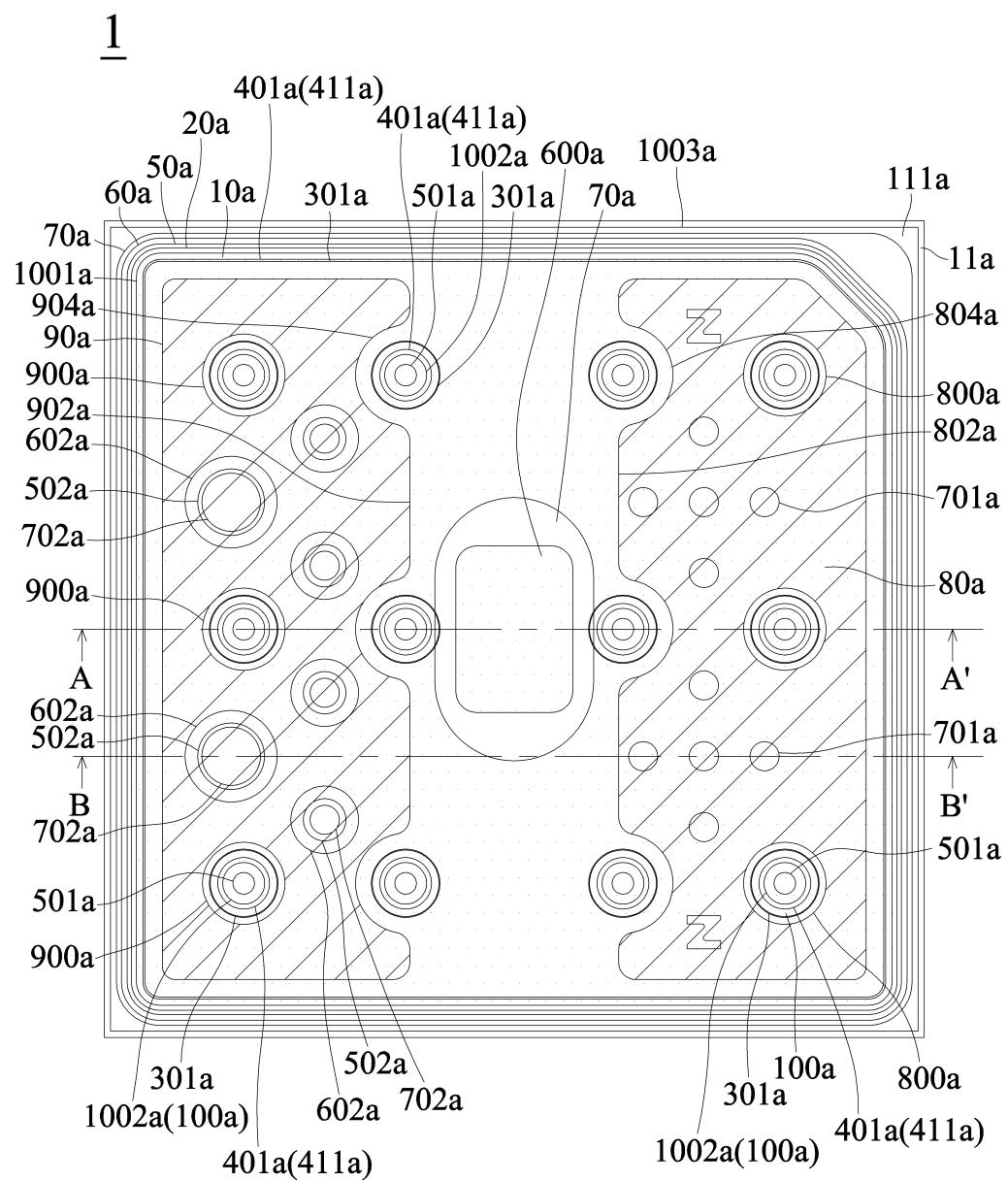
도면7b



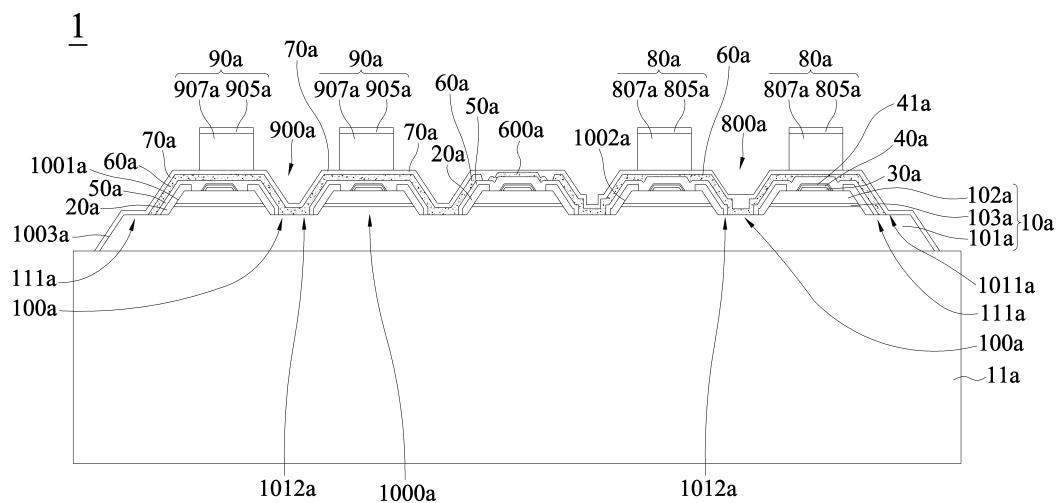
도면7c



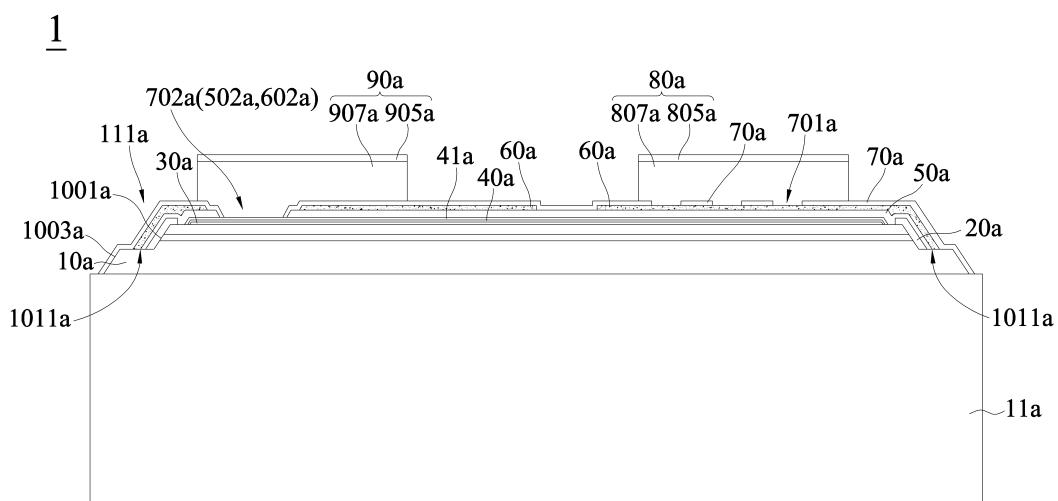
도면8



도면9a

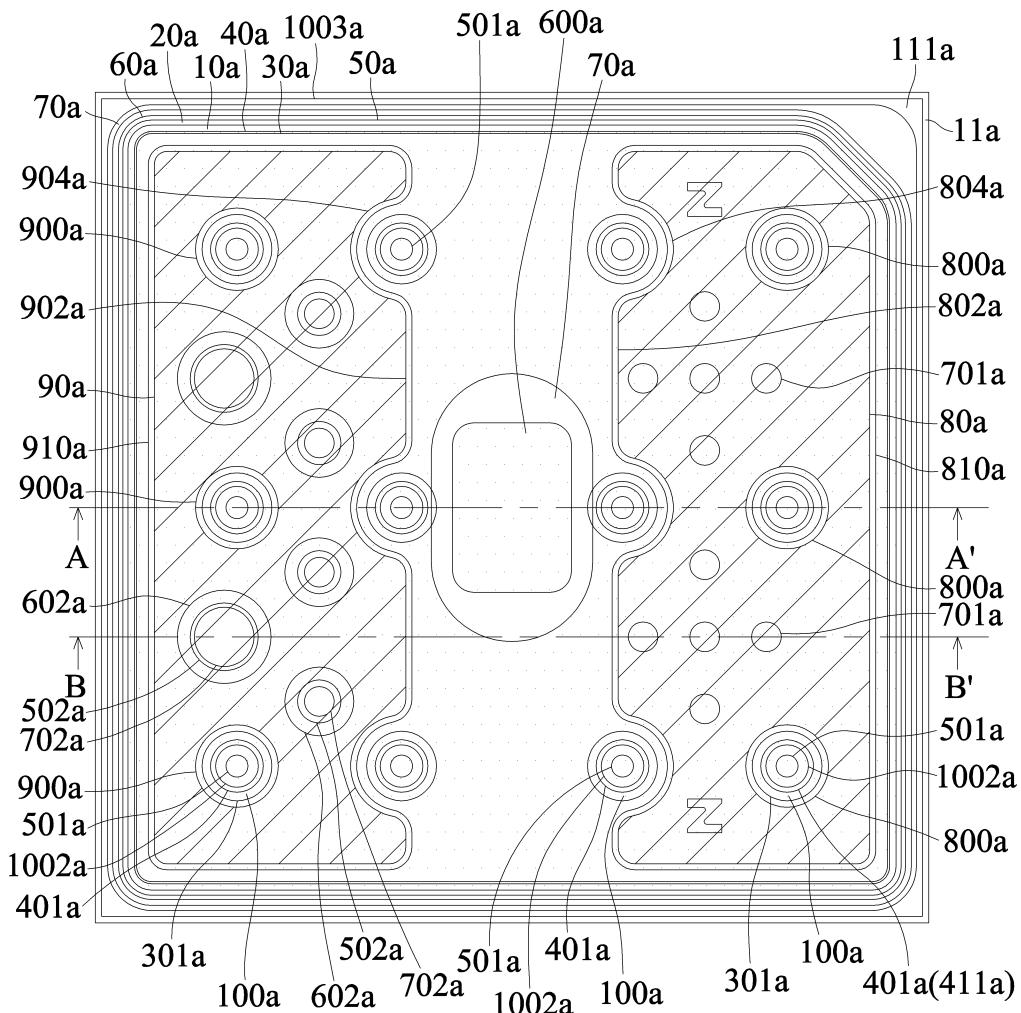


도면9b



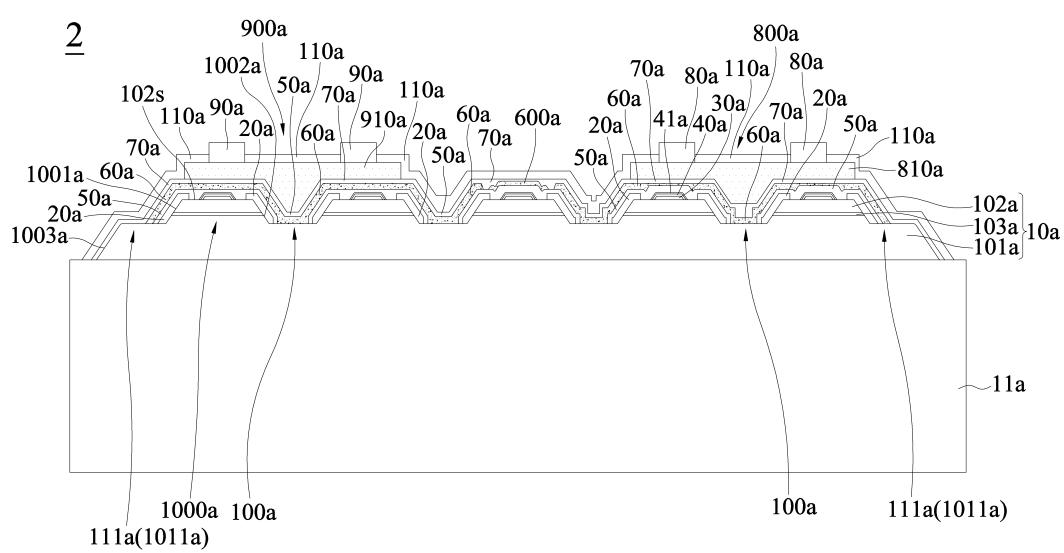
도면10

2

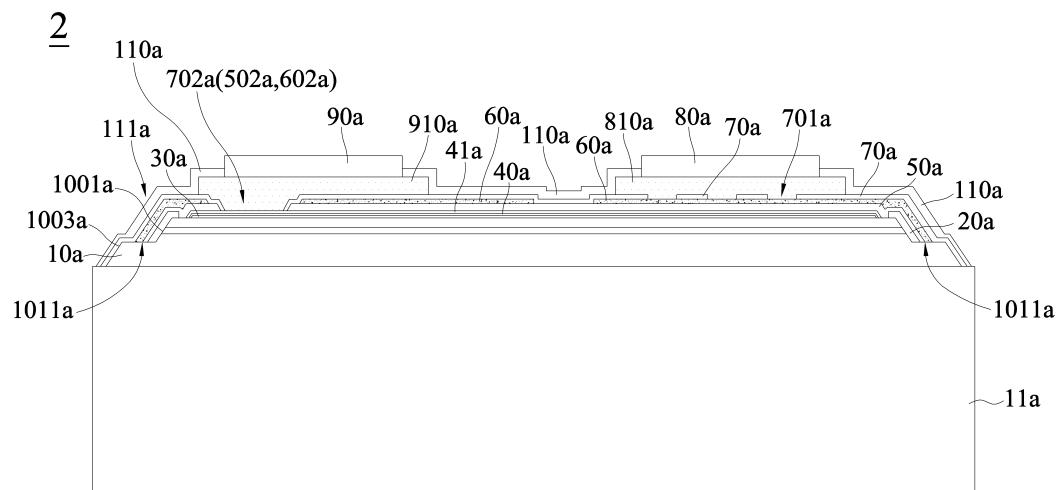


도면11a

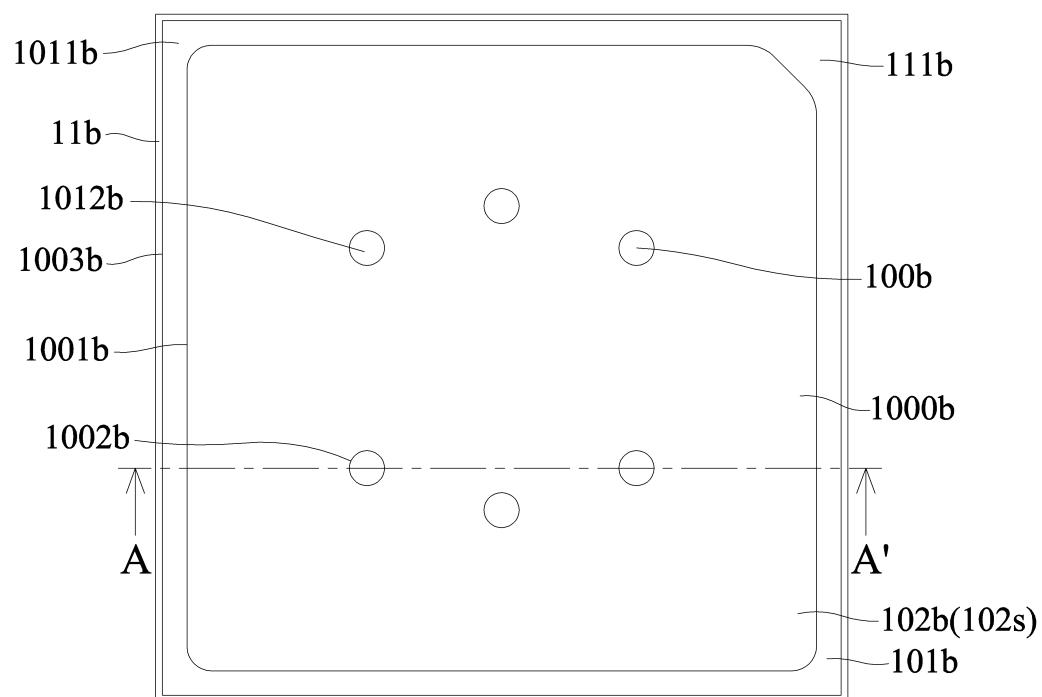
2



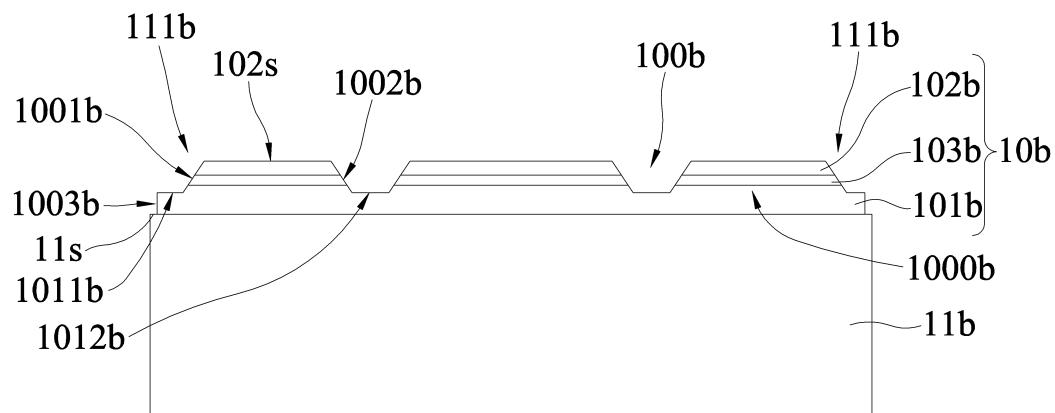
도면11b



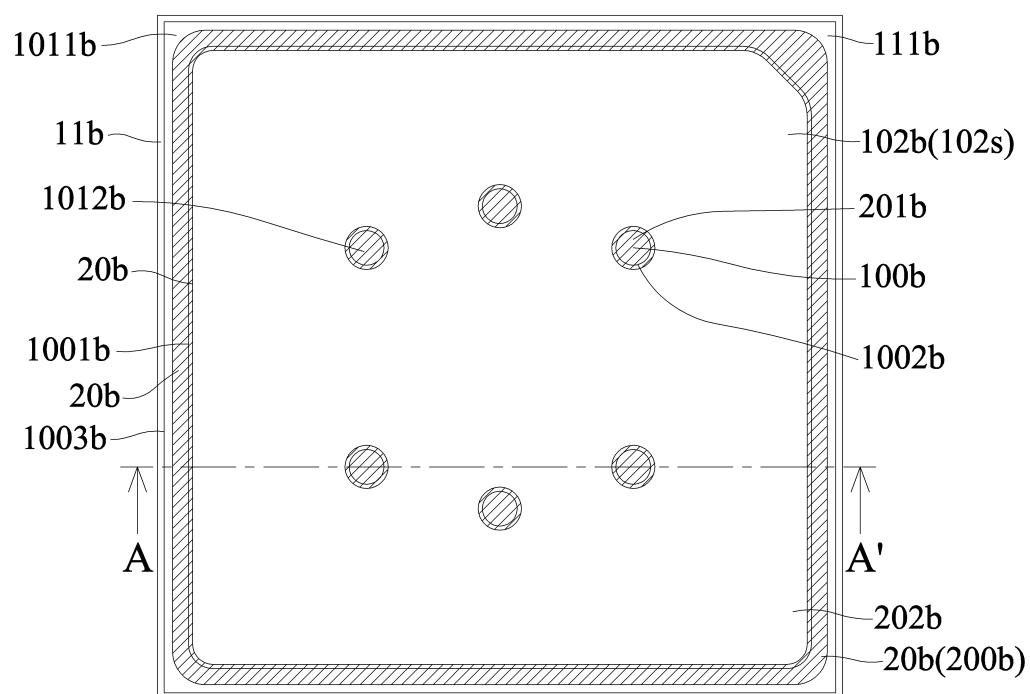
도면12a



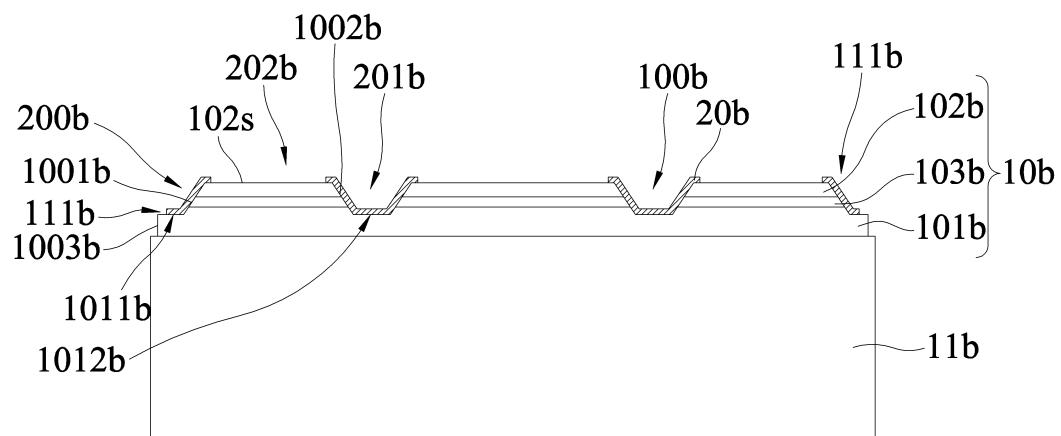
도면12b



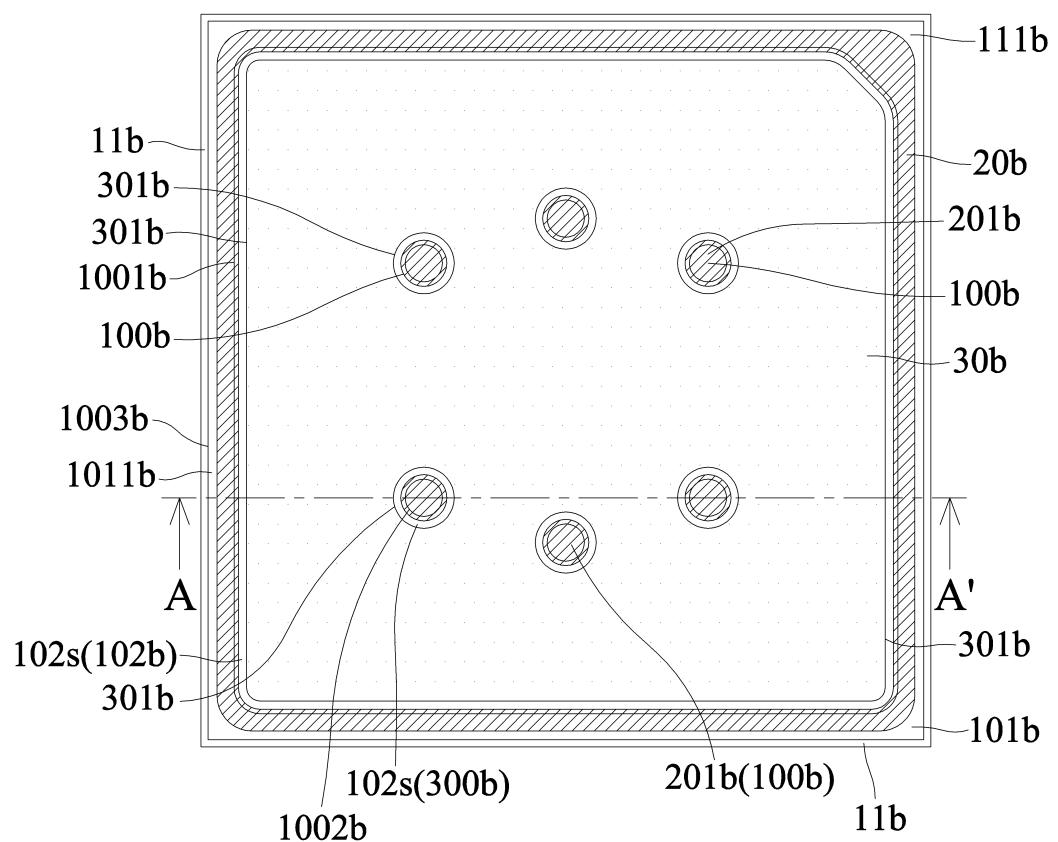
도면13a



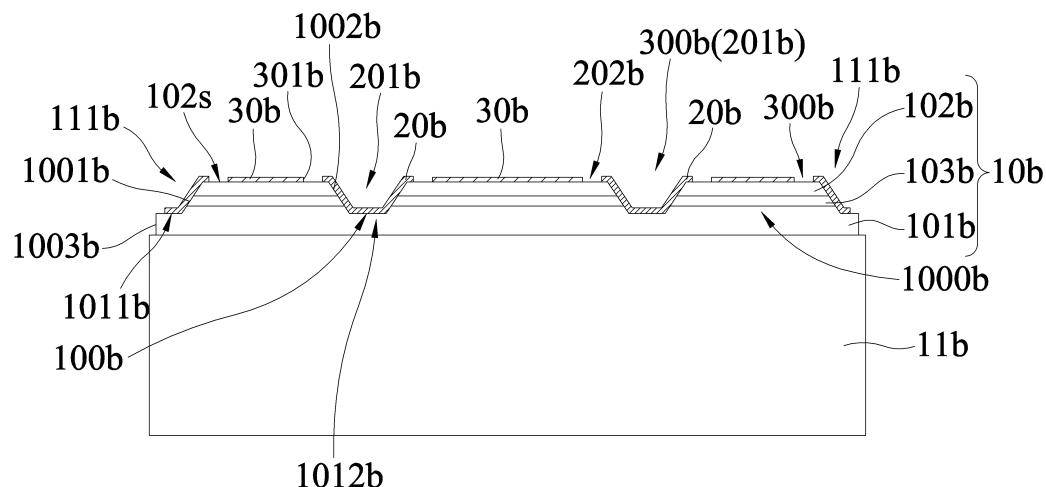
도면 13b



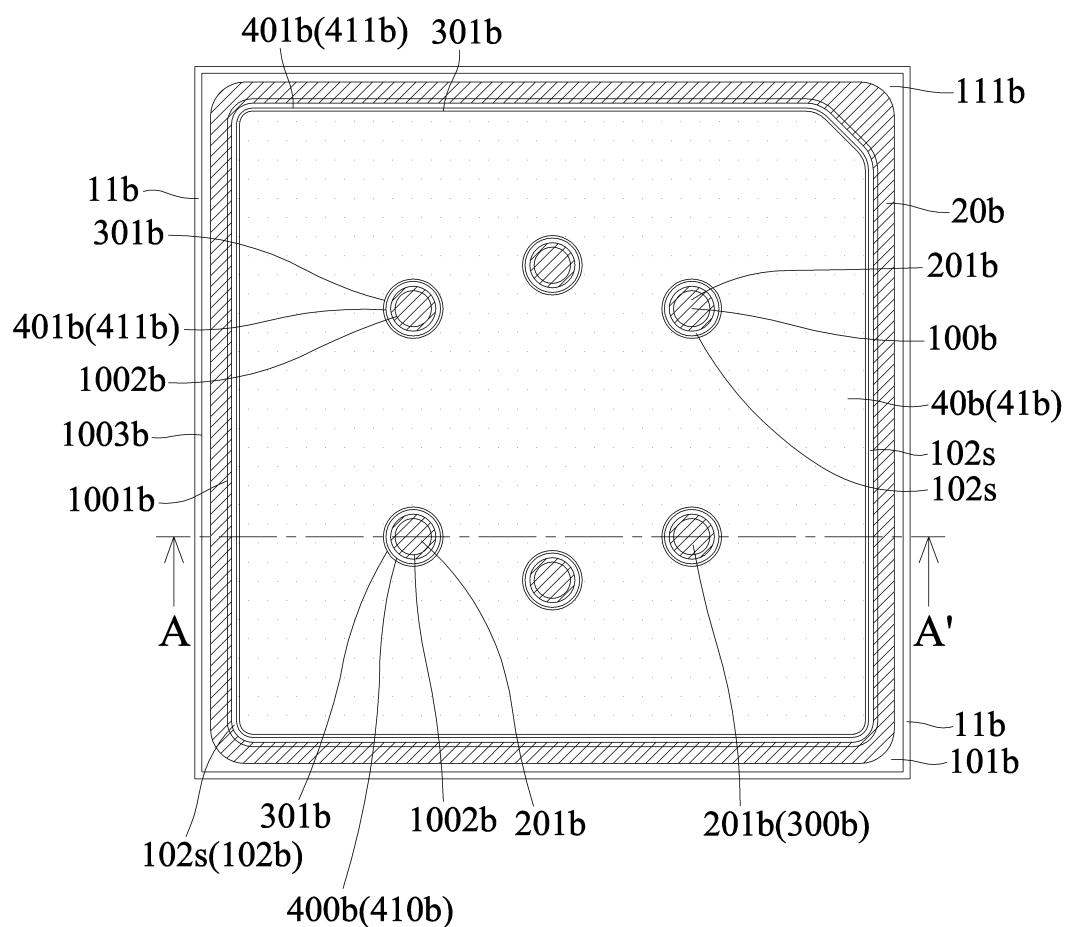
도면 14a



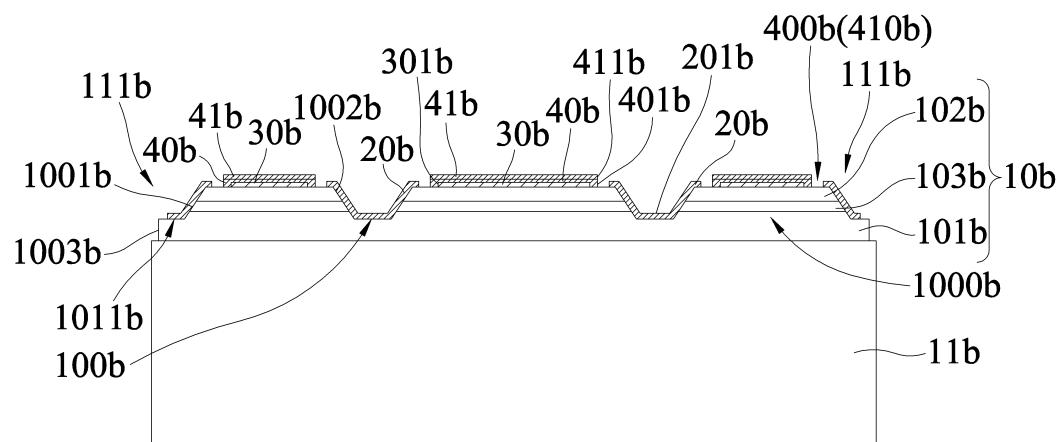
도면14b



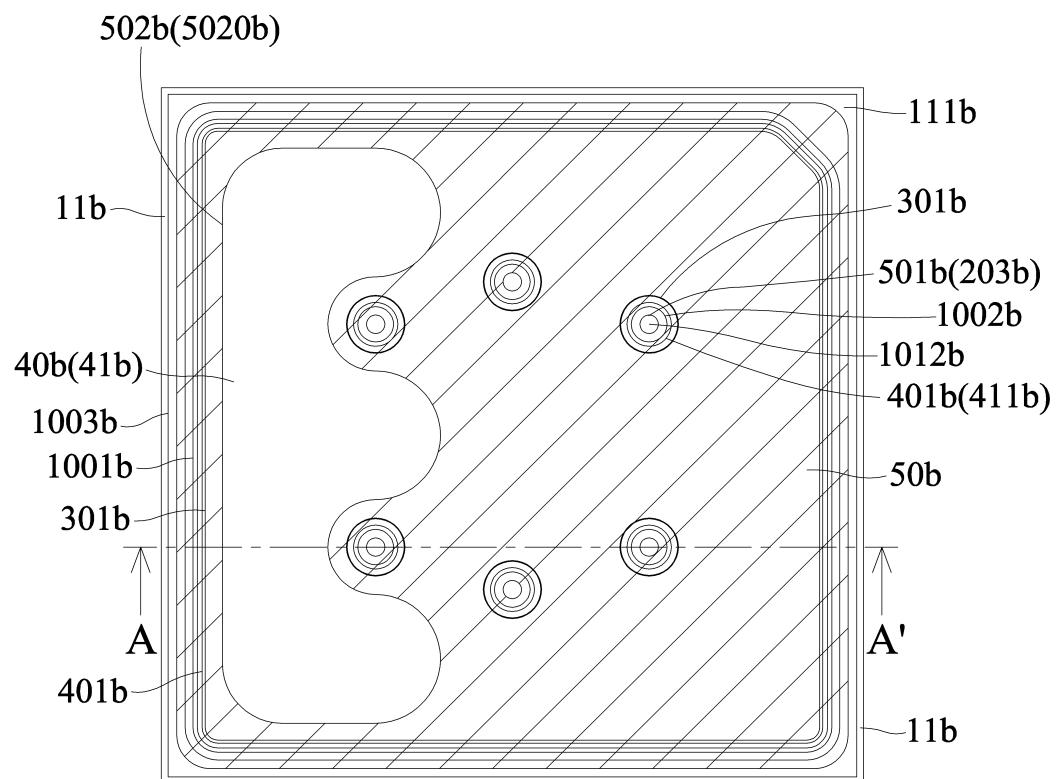
도면15a



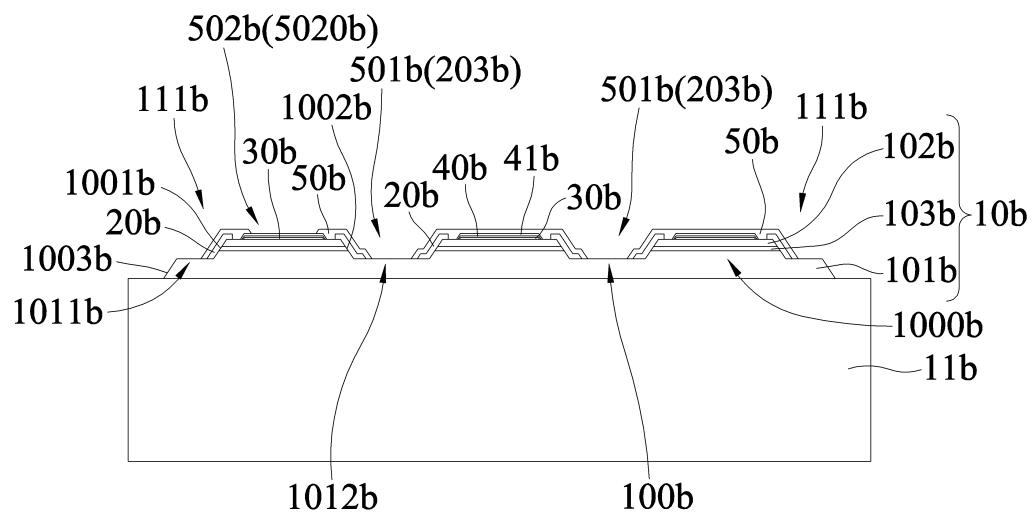
도면 15b



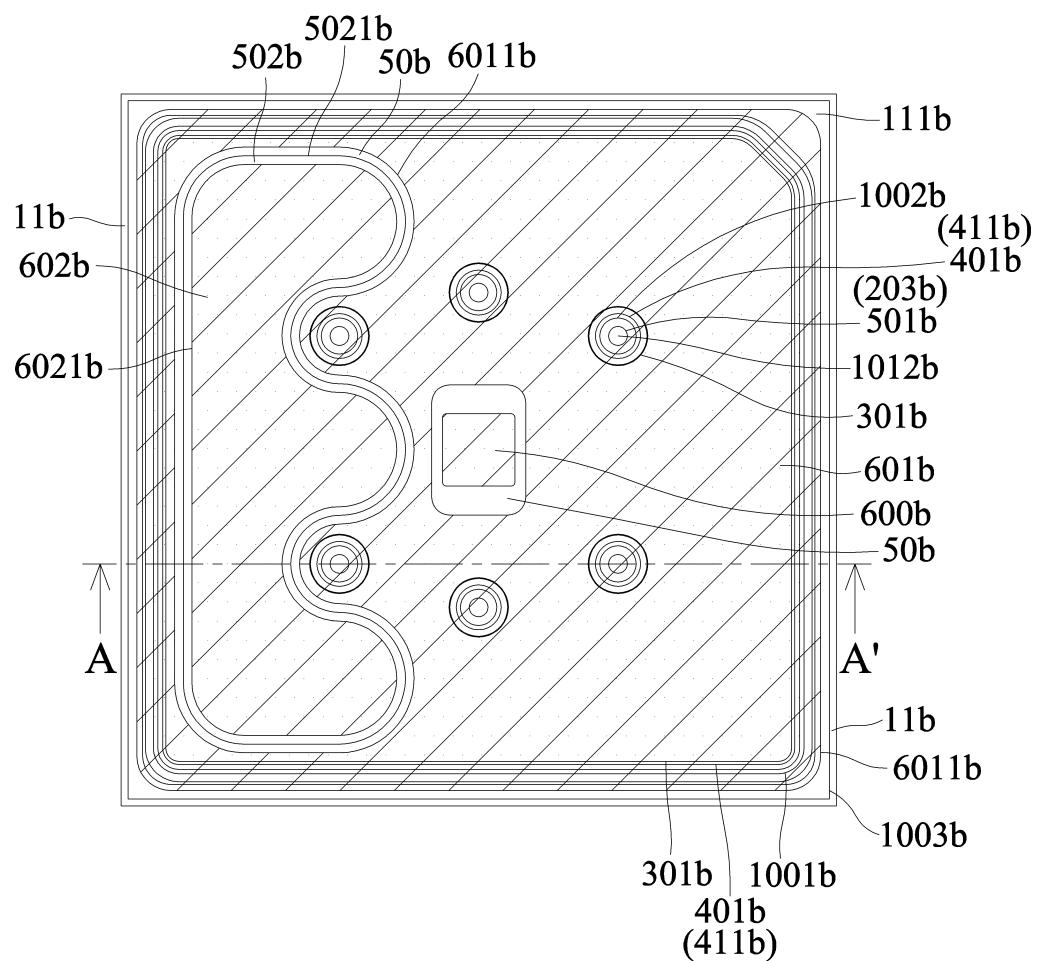
도면 16a



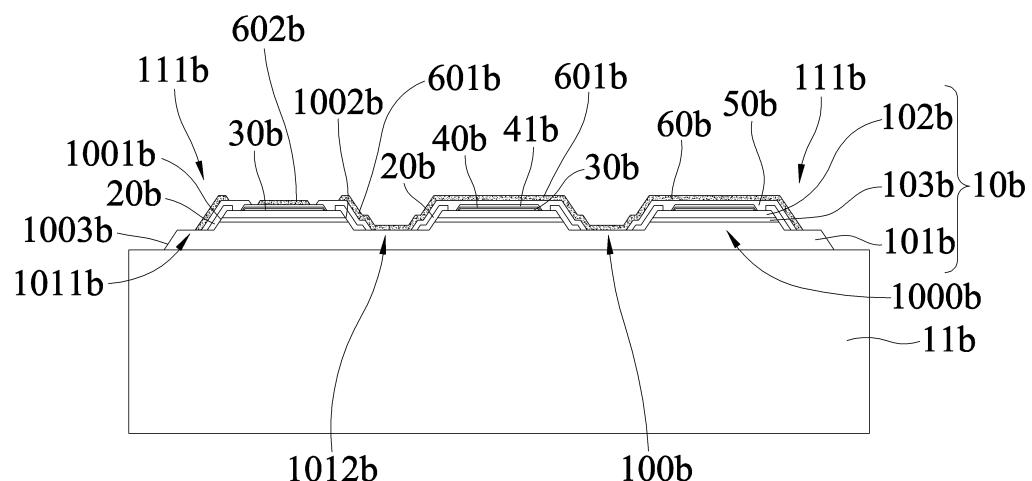
도면16b



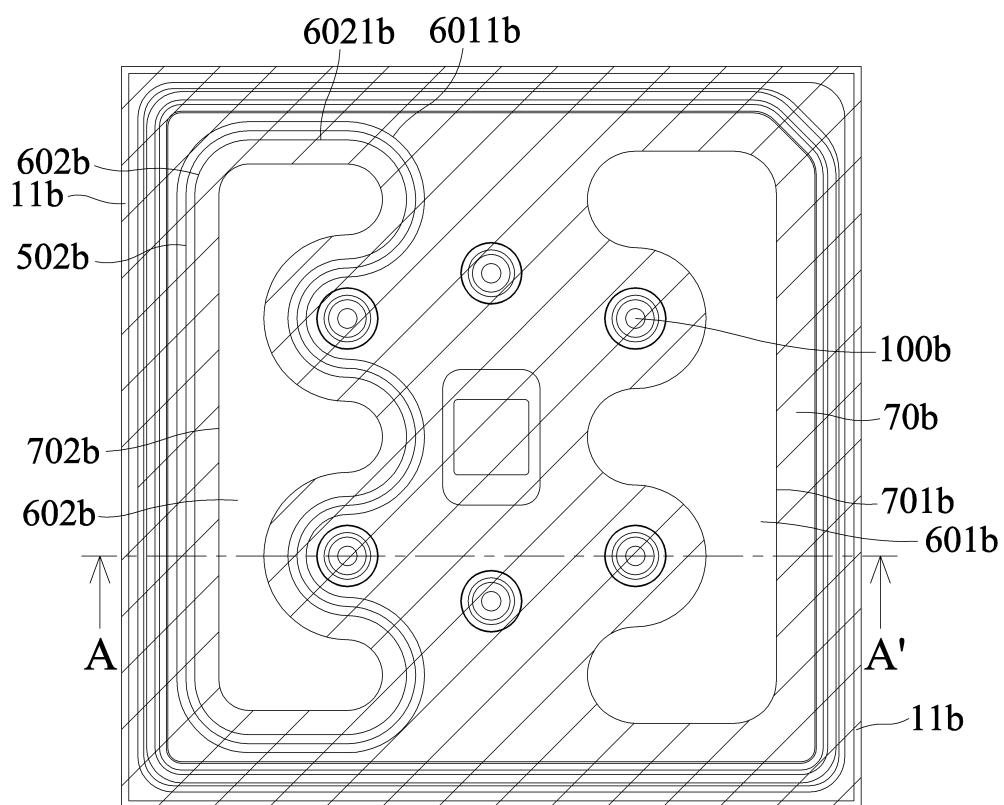
도면17a



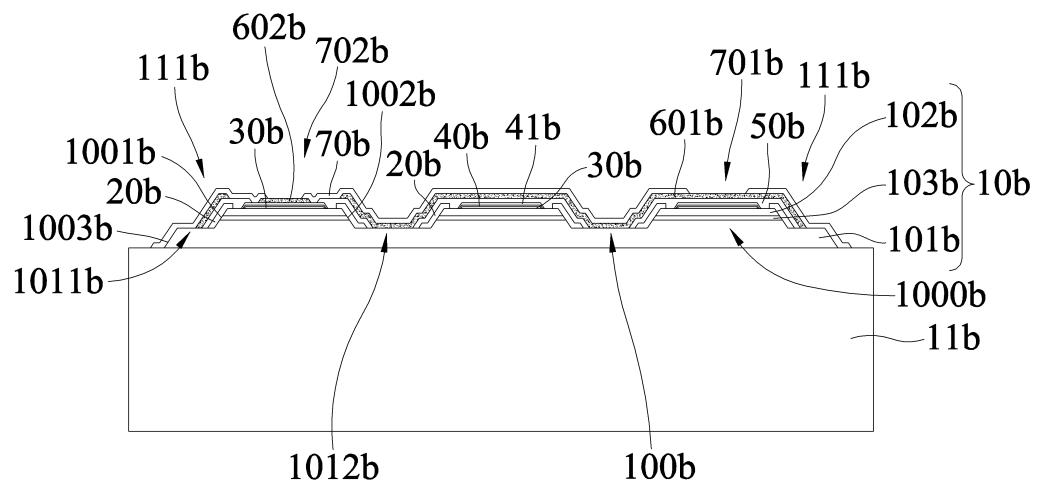
도면17b



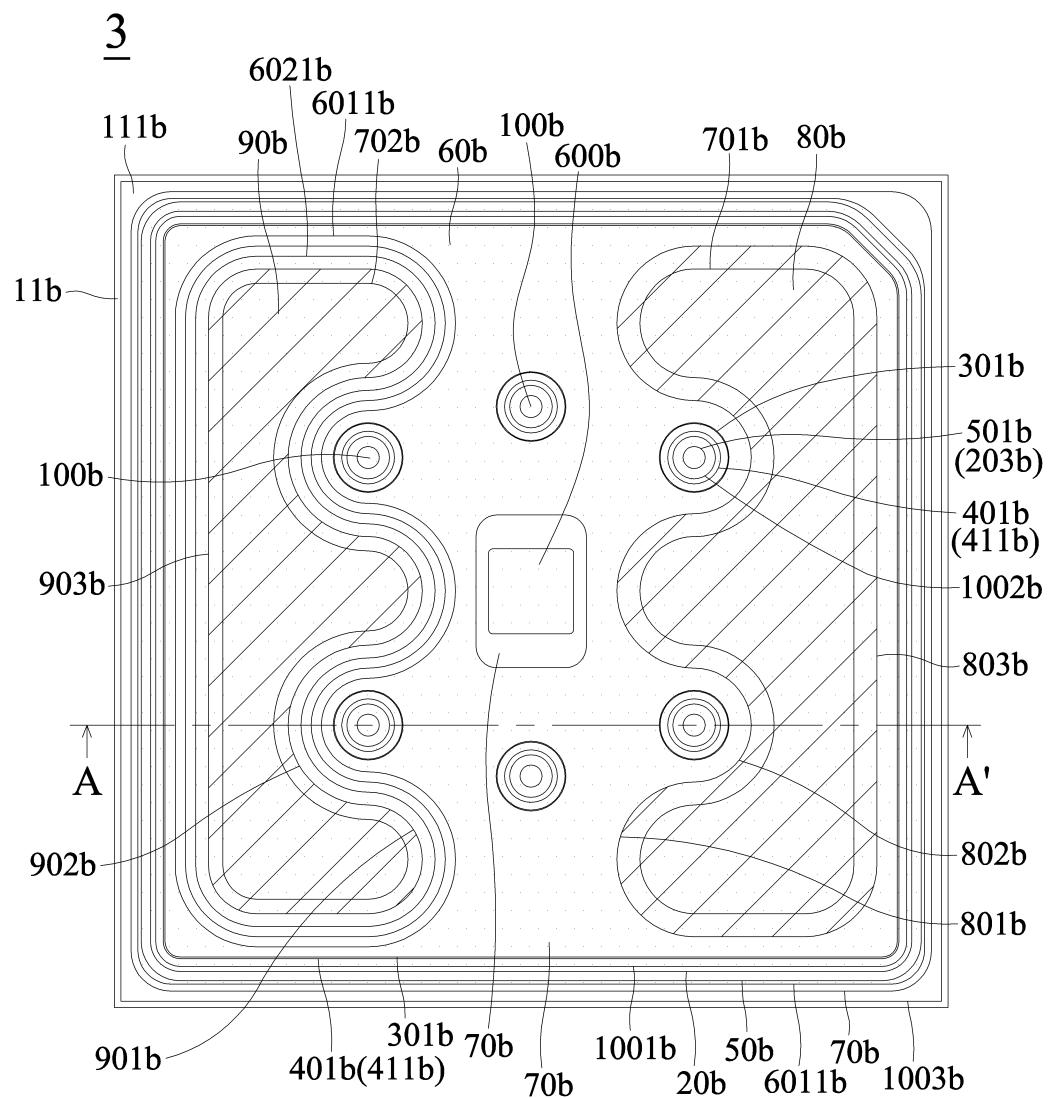
도면18a



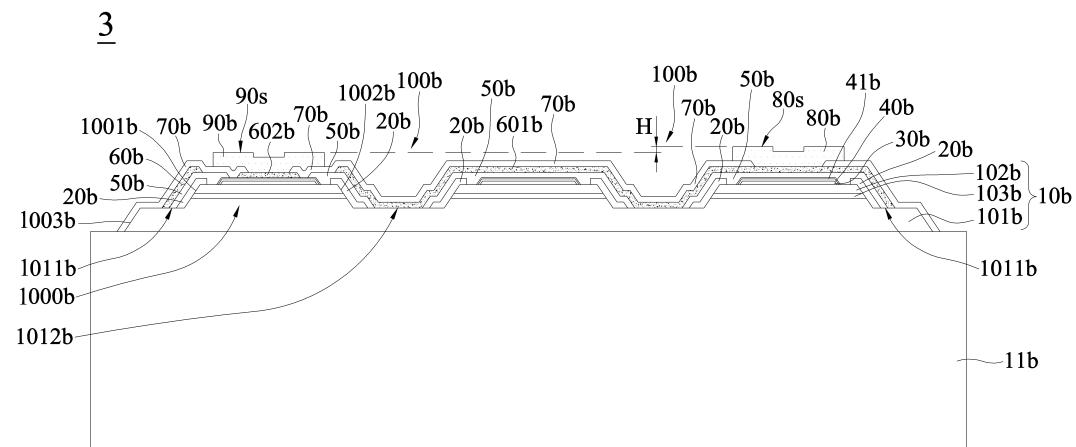
도면18b



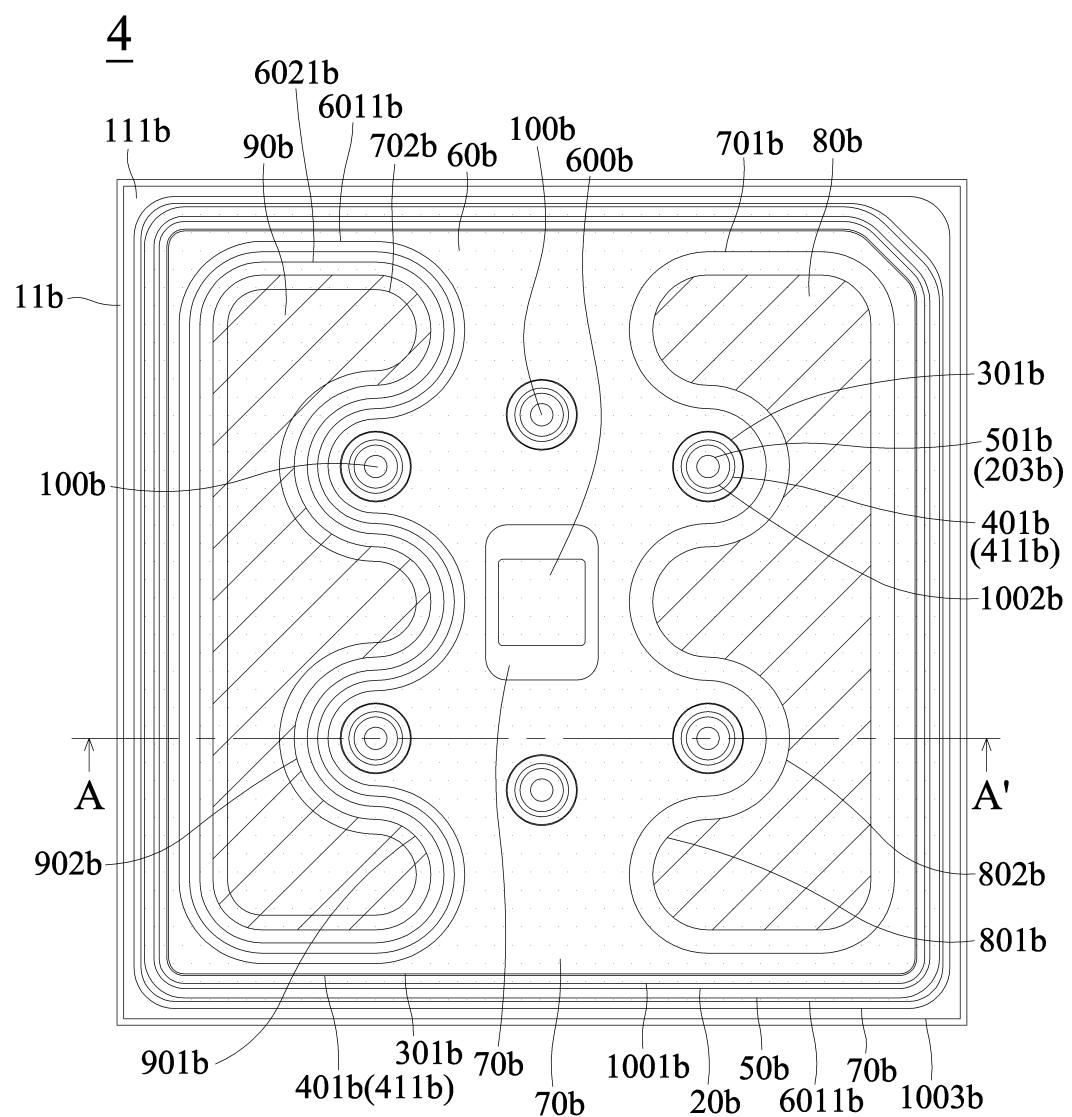
도면19



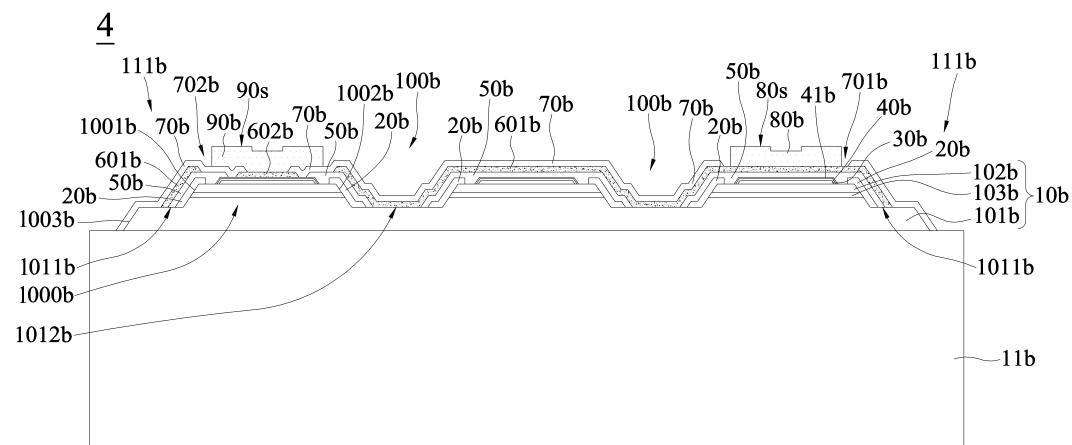
도면20



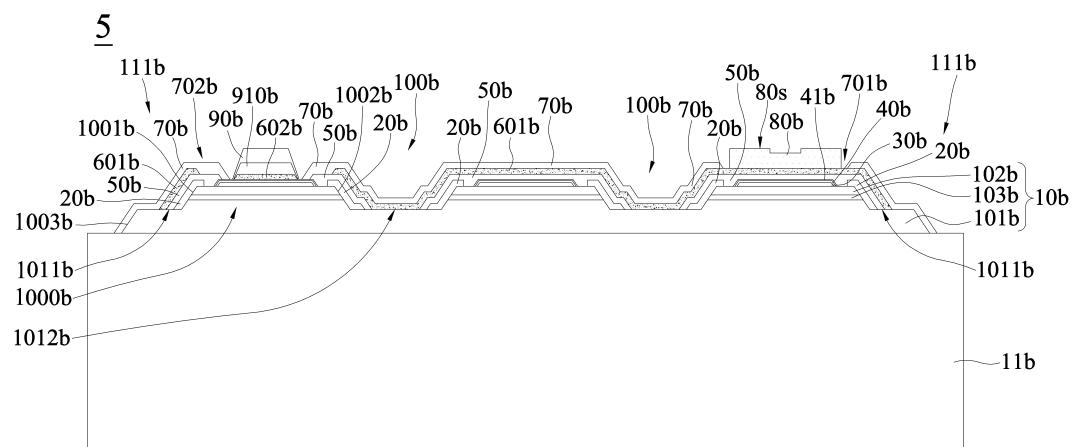
도면21



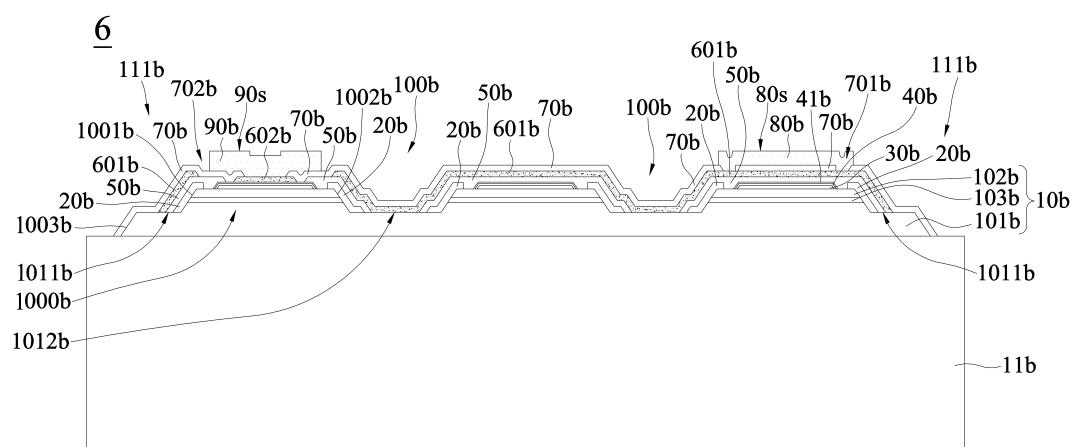
도면22



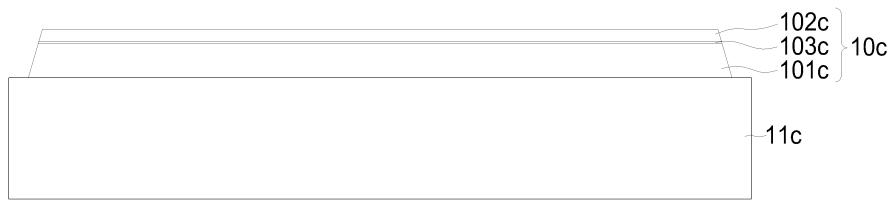
도면23



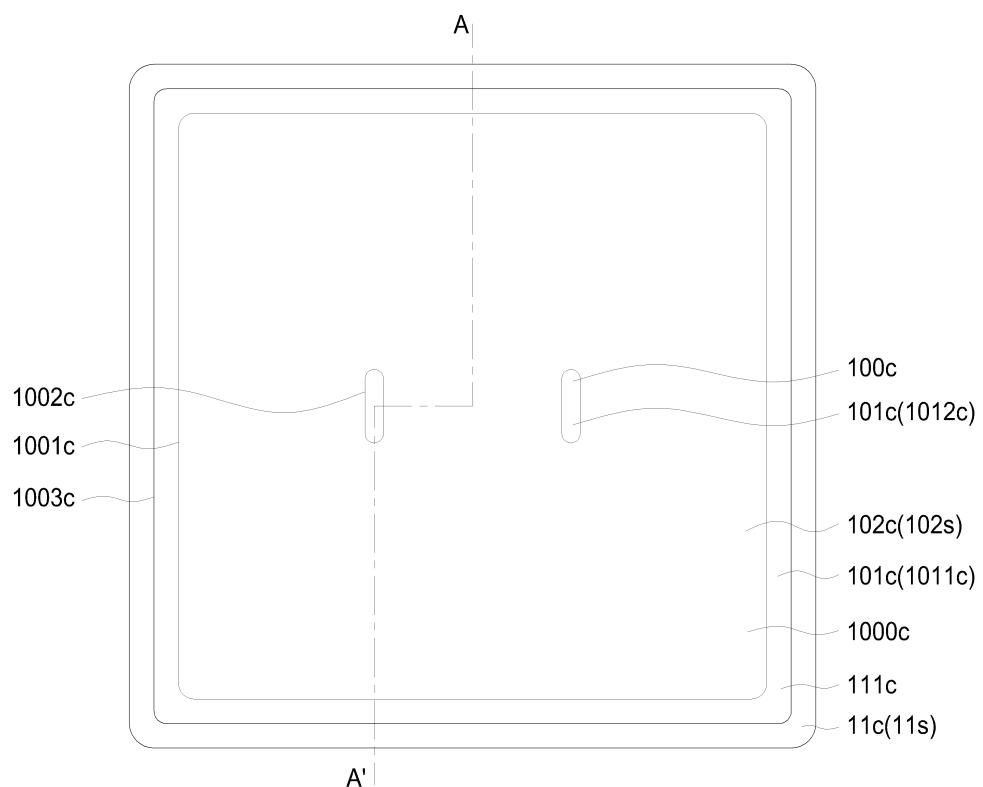
도면24



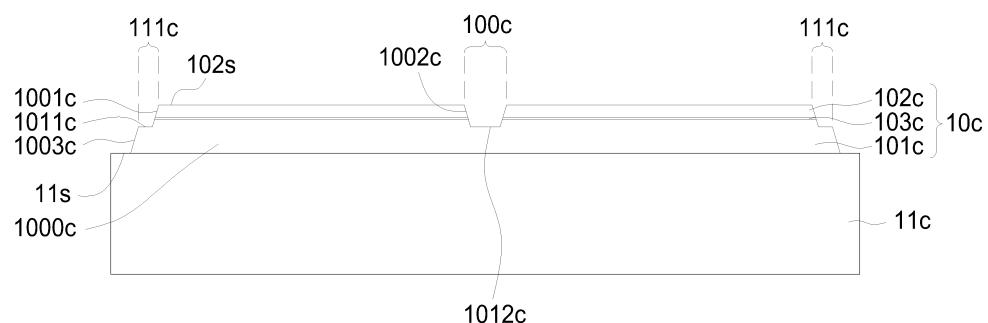
도면25



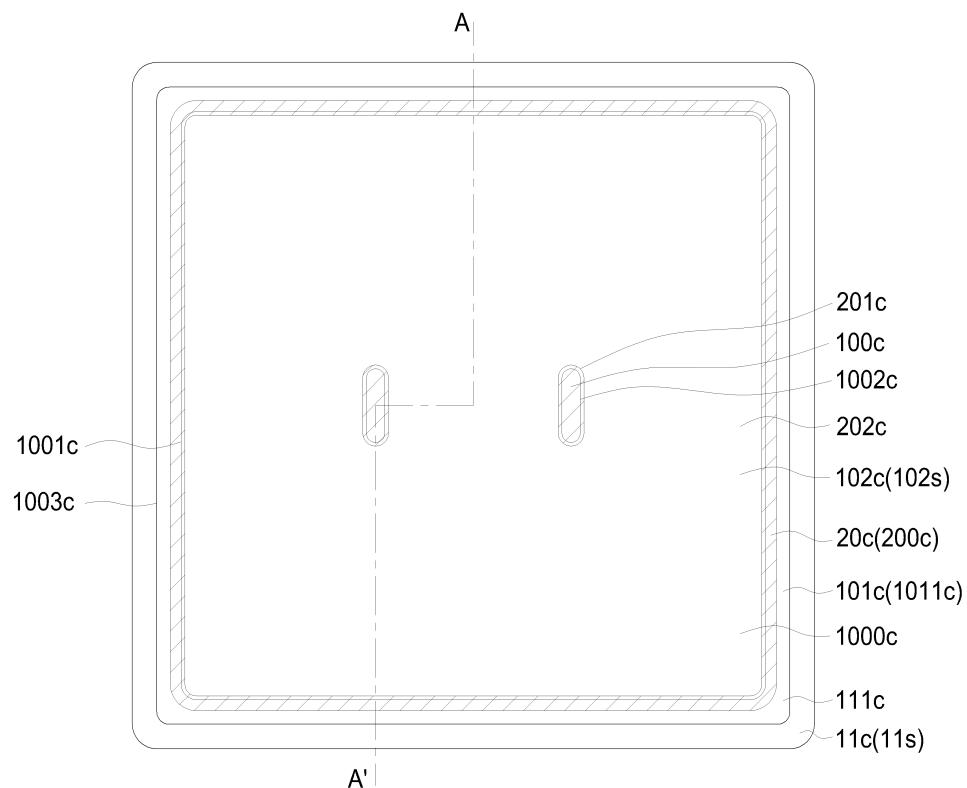
도면26a



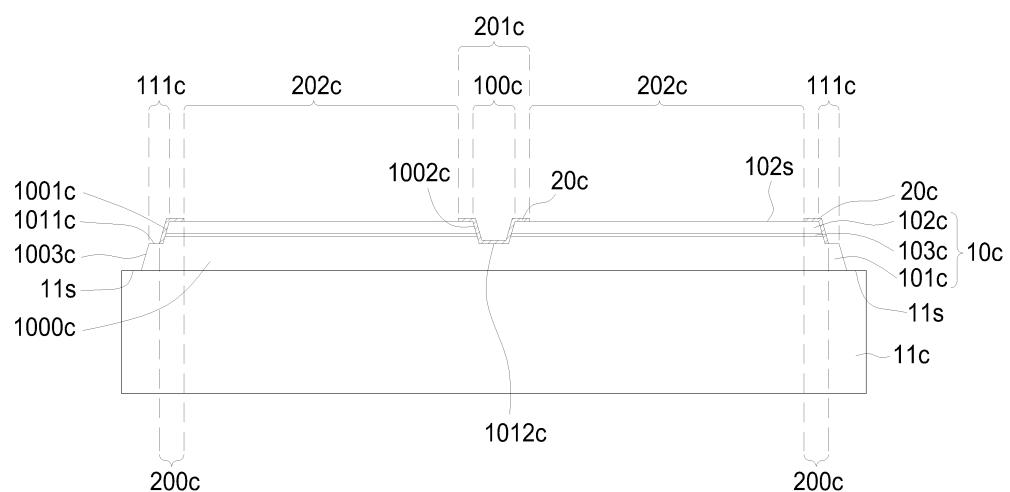
도면26b



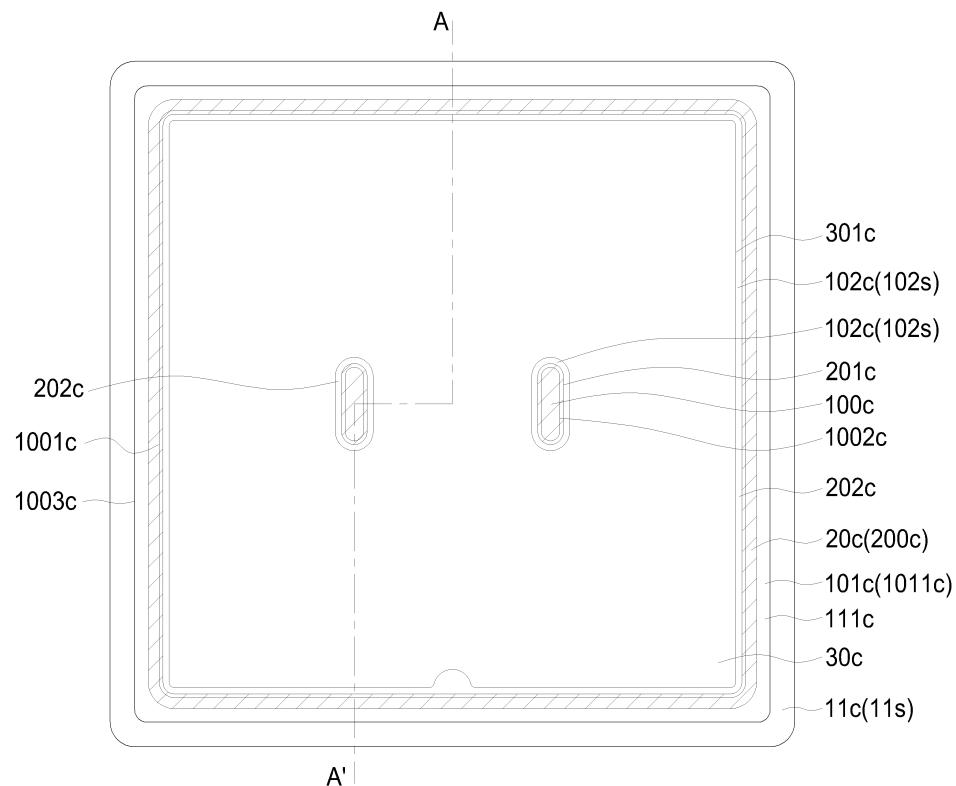
도면27a



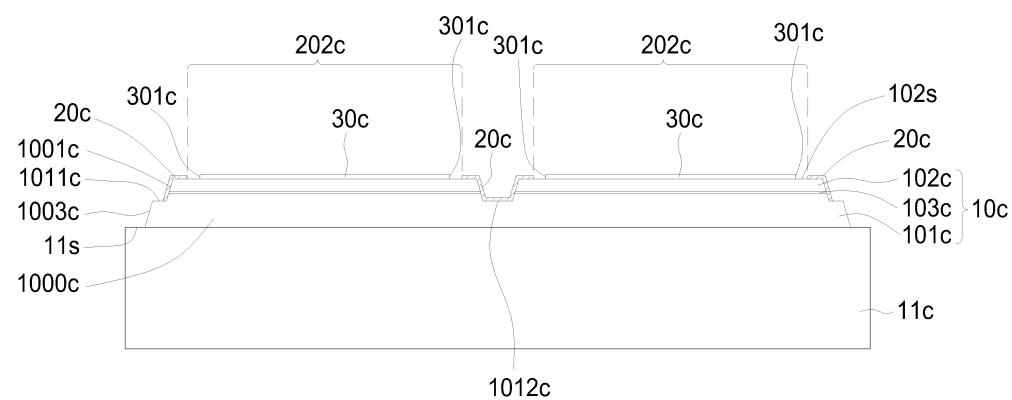
도면27b



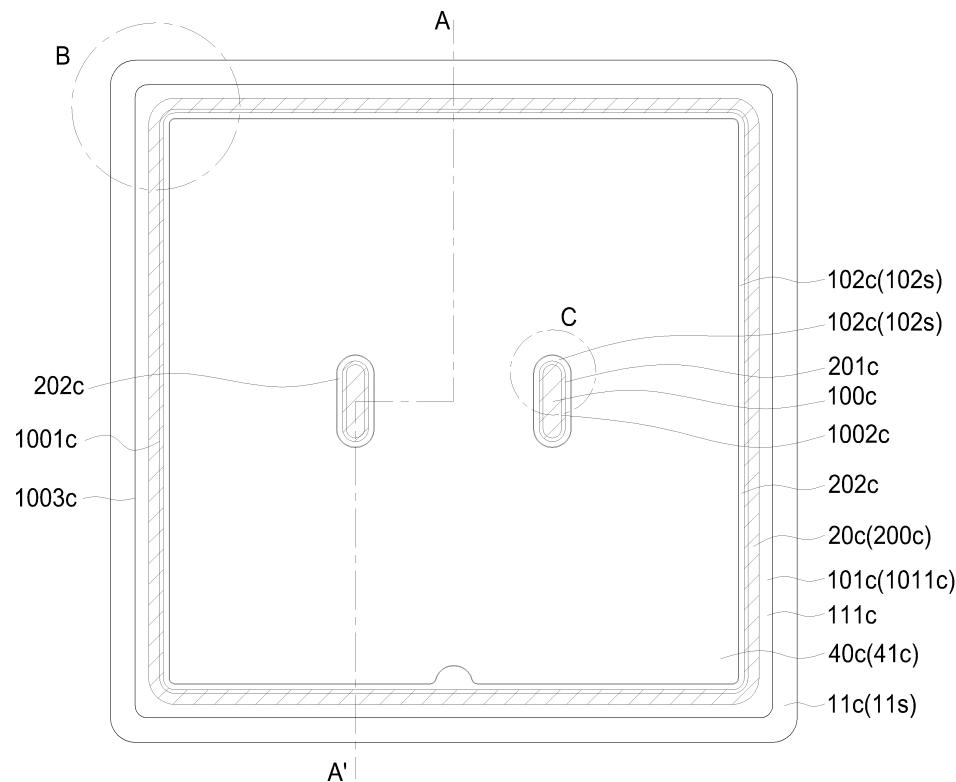
도면28a



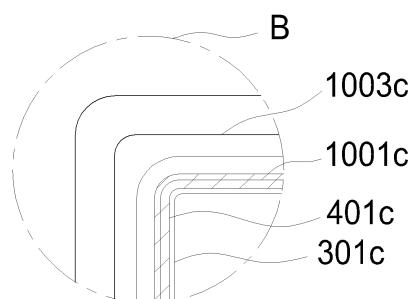
도면28b



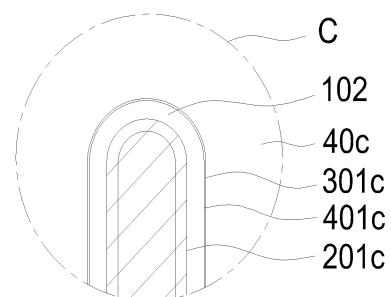
도면29a



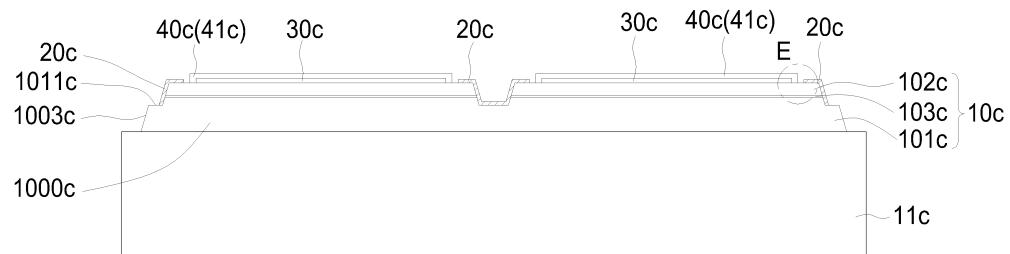
도면29b



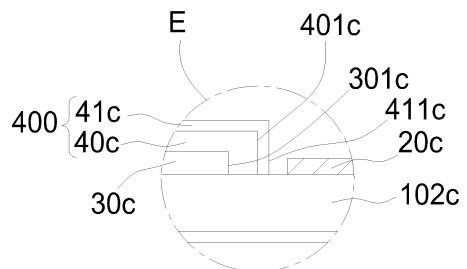
도면29c



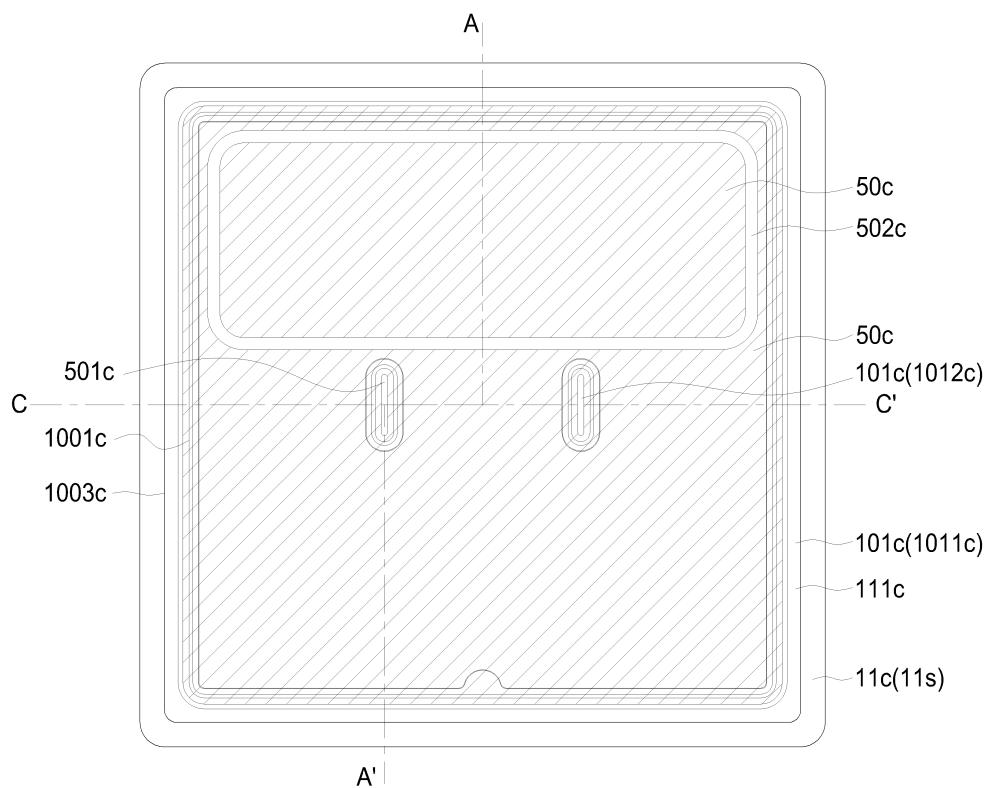
도면29d



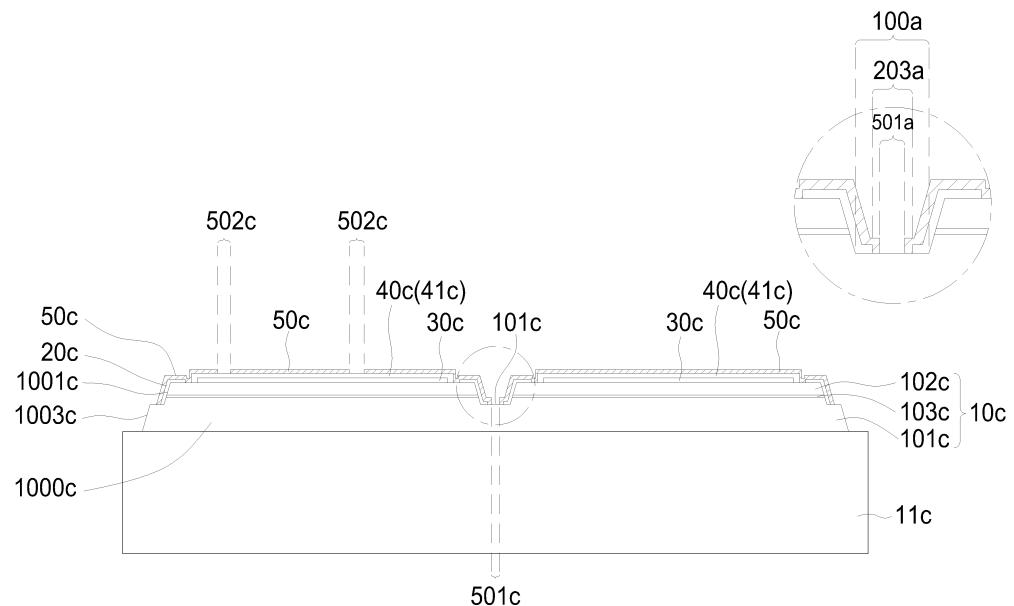
도면29e



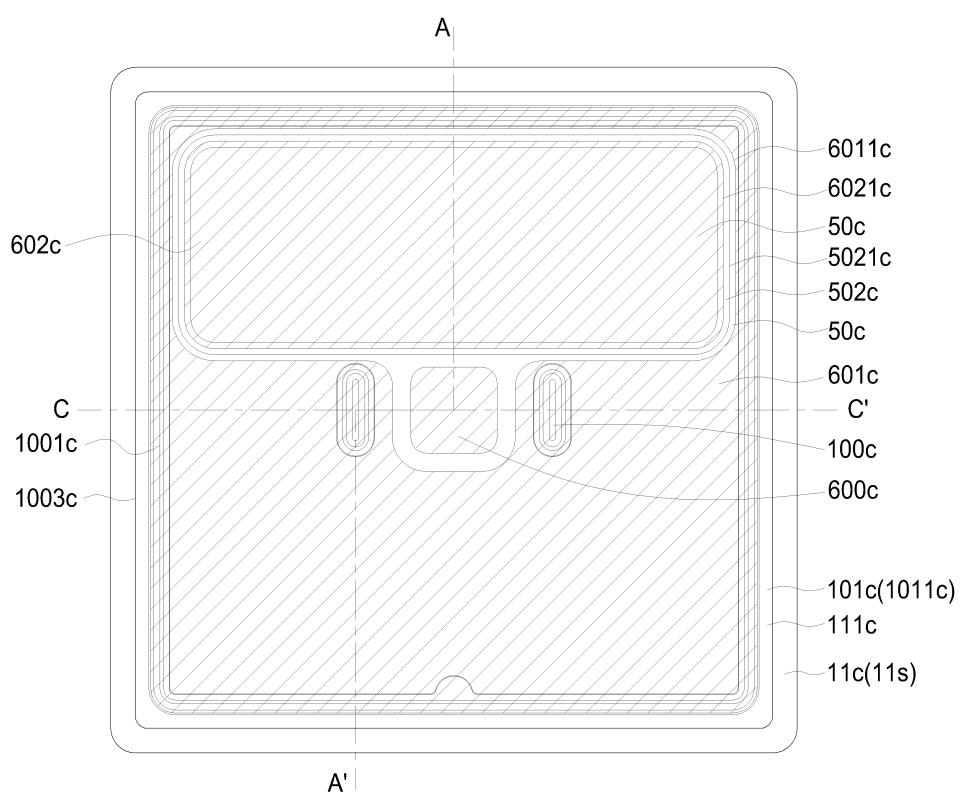
도면30a



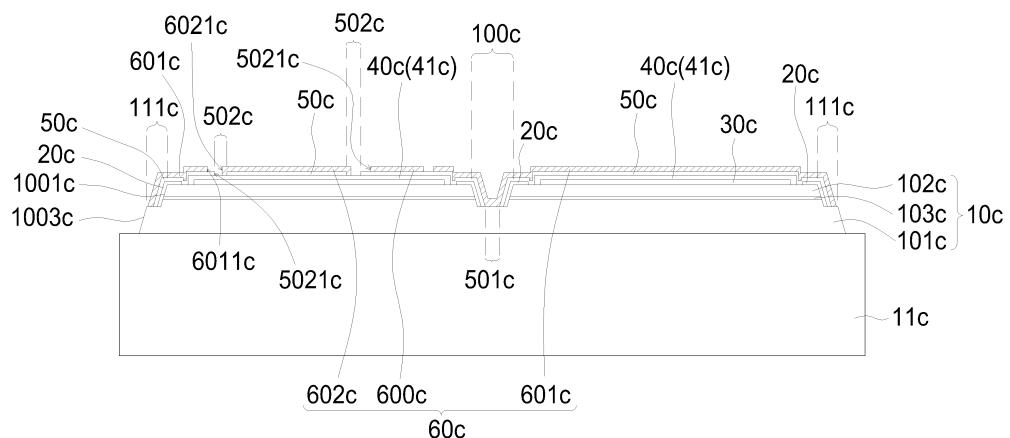
도면30b



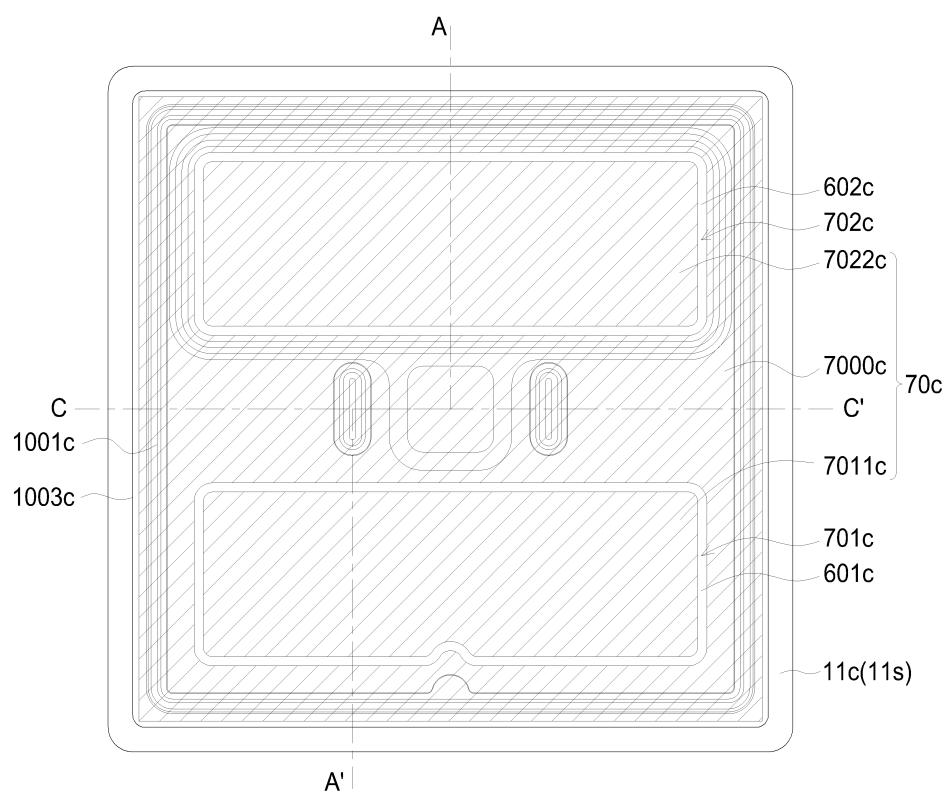
도면31a



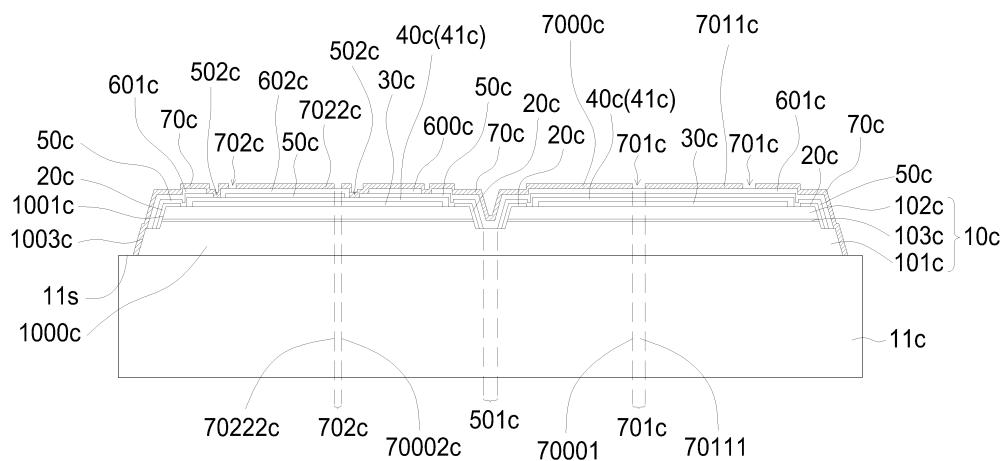
도면31b



도면32a

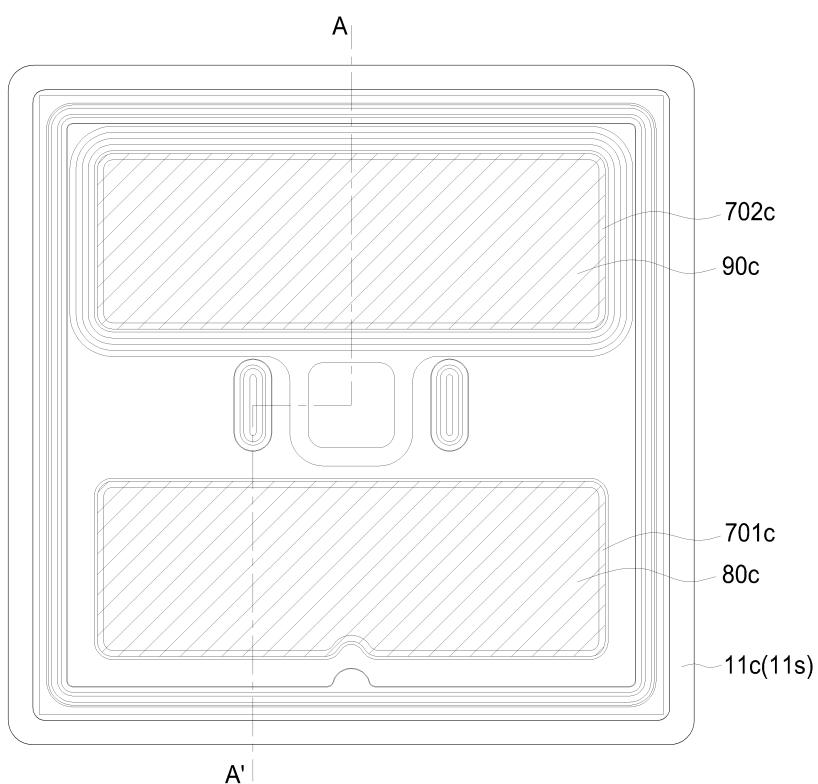


도면32b

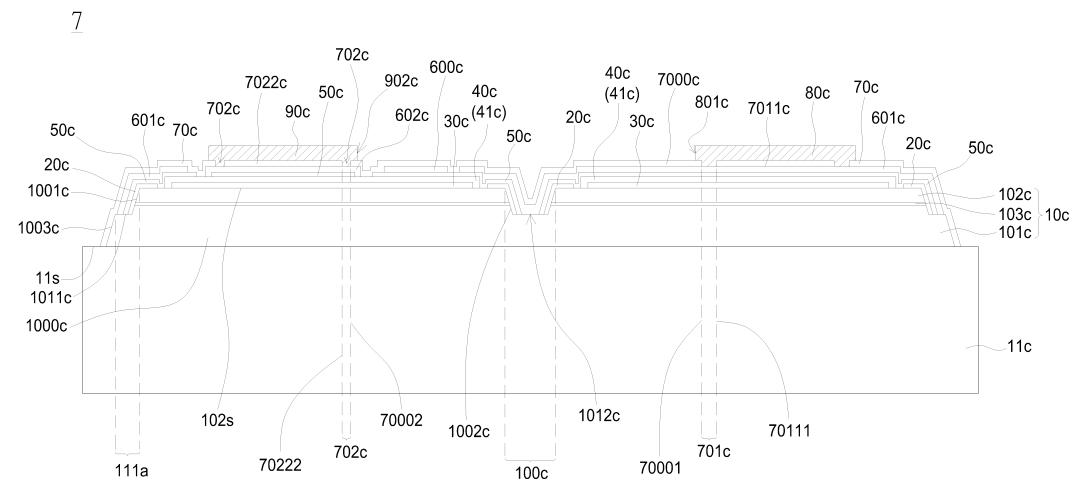


도면33a

7

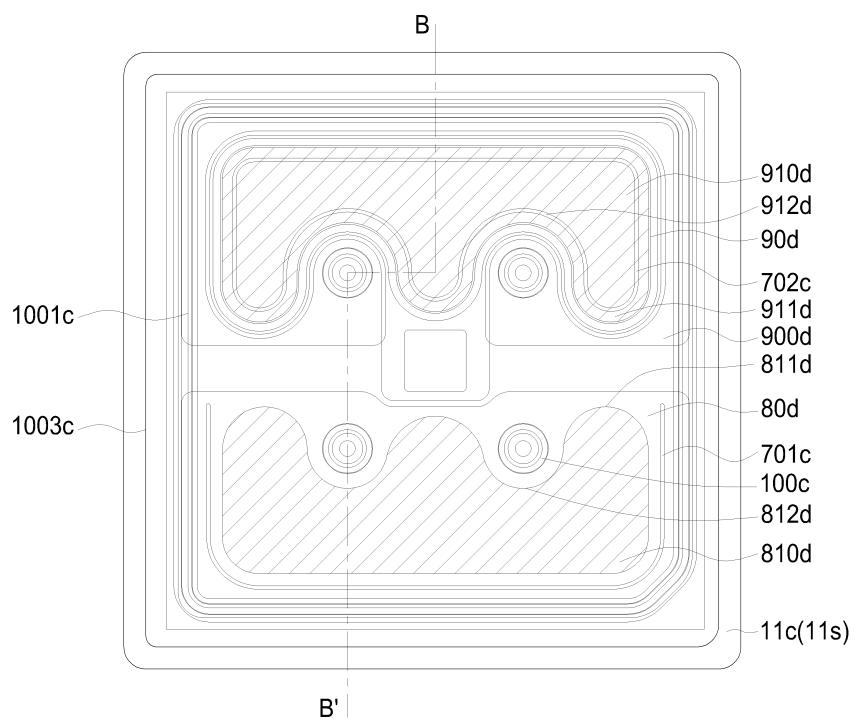


도면33b

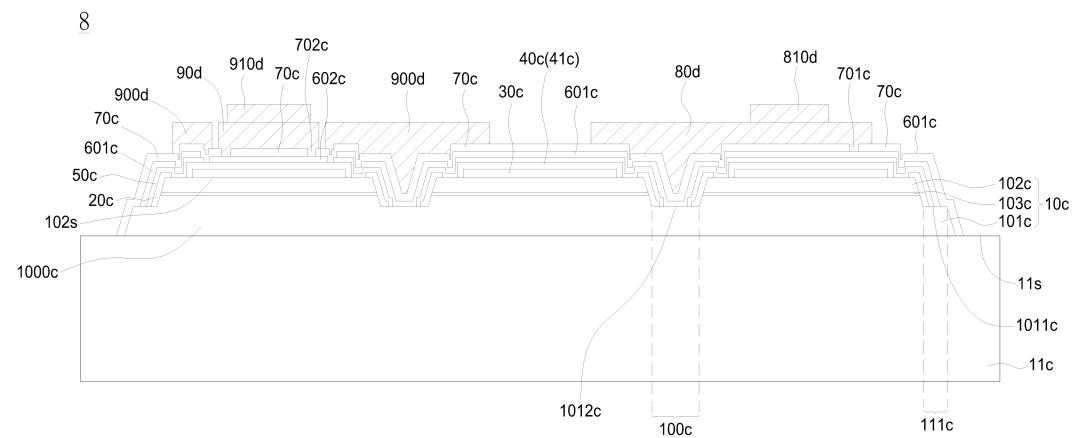


도면34a

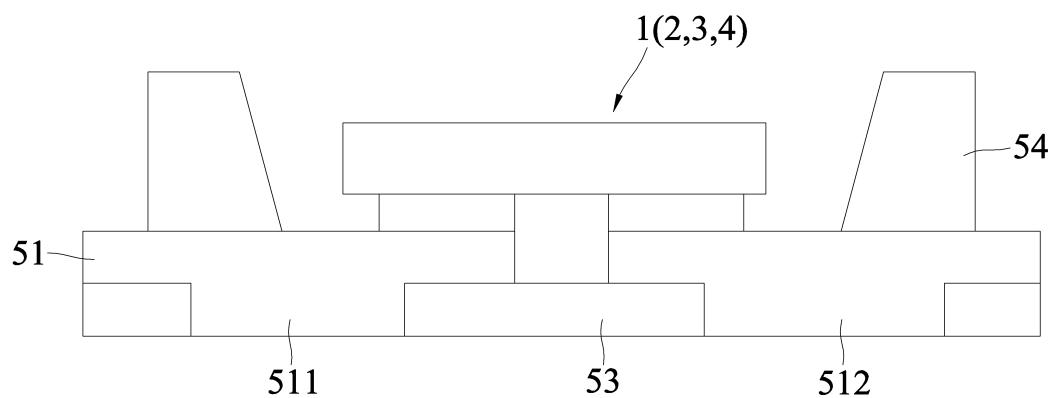
8



도면34b



도면35



도면36

