

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6517360号
(P6517360)

(45) 発行日 令和1年5月22日(2019.5.22)

(24) 登録日 平成31年4月26日(2019.4.26)

(51) Int.Cl.

H01L 21/02 (2006.01)
H01L 27/12 (2006.01)

F 1

H01L 27/12
H01L 27/12E
B

請求項の数 60 (全 27 頁)

(21) 出願番号 特願2017-546134 (P2017-546134)
 (86) (22) 出願日 平成28年2月25日 (2016.2.25)
 (65) 公表番号 特表2018-507562 (P2018-507562A)
 (43) 公表日 平成30年3月15日 (2018.3.15)
 (86) 國際出願番号 PCT/US2016/019464
 (87) 國際公開番号 WO2016/140850
 (87) 國際公開日 平成28年9月9日 (2016.9.9)
 審査請求日 平成31年2月25日 (2019.2.25)
 (31) 優先権主張番号 62/127,418
 (32) 優先日 平成27年3月3日 (2015.3.3)
 (33) 優先権主張国 米国(US)

早期審査対象出願

(73) 特許権者 514165336
 サンエディソン・セミコンダクター・リミテッド
 Sun Edison Semiconductor Limited
 シンガポール049910シンガポール、
 バッテリー・ロード9番、ストレイツ・ト
 レーディング・ビルディング、ナンバー1
 5-O1
 (74) 代理人 100101454
 弁理士 山田 載二
 (74) 代理人 100112911
 弁理士 中野 晴夫

最終頁に続く

(54) 【発明の名称】膜応力を制御可能なシリコン基板の上に電荷トラップ用多結晶シリコン膜を成長させる方法

(57) 【特許請求の範囲】

【請求項 1】

多層構造を準備する方法であって、
 前記方法は、

単結晶半導体支持基板のおもて面に界面接触する半導体酸化物層を形成するステップを含み、

前記単結晶半導体支持基板は、互いに略平行な表面である2つの主面を有し、該2つの主面のうち一方は前記単結晶半導体支持基板のおもて面であり、他方は前記単結晶半導体支持基板の裏面であり、前記単結晶半導体支持基板は、さらに、前記単結晶半導体支持基板のおもて面と裏面とを接続する周縁部と、前記単結晶半導体支持基板のおもて面と裏面との間に位置する中央平面と、前記単結晶半導体支持基板のおもて面と裏面との間に位置するバルク領域とを有し、前記単結晶半導体支持基板の最小バルク領域抵抗率は、500 ohm-cm以上であり、

前記方法は、

前記半導体酸化物層がおもて面に界面接触している前記単結晶半導体支持基板を、水素、塩化水素、塩素およびこれらの任意の組み合わせから成る群から選択されるガスを含む周囲雰囲気内でアニールするステップであって、前記半導体酸化物層を含む前記単結晶半導体支持基板のアニールは、大きさが約5ナノメートル以上約1000ナノメートル以下の穴を含む凹凸のある半導体酸化物層を形成するステップと、

前記単結晶半導体支持基板のおもて面に界面接触している凹凸のある半導体酸化物層

10

20

の上に、多結晶シリコン層を化学気相成長法により堆積させるステップと、

単結晶半導体ドナー基板のおもて面の上に位置する誘電体層を、前記単結晶半導体支持基板の多結晶シリコン層に接合させ、これにより接合構造を形成するステップとを含み、

前記単結晶半導体ドナー基板は、互いに略平行な表面である2つの主面を有し、該2つの主面のうち一方は前記単結晶半導体ドナー基板のおもて面であり、他方は前記単結晶半導体ドナー基板の裏面であり、前記単結晶半導体ドナー基板は、さらに、前記単結晶半導体ドナー基板のおもて面と裏面とを接続する周縁部と、前記単結晶半導体ドナー基板のおもて面と裏面との間に位置する中央平面とを有する、

方法。

10

【請求項2】

前記単結晶半導体支持基板は、シリコンを含み、

前記半導体酸化物層は、二酸化ケイ素を含む、

請求項1に記載の方法。

【請求項3】

前記単結晶半導体支持基板は、チョクラルスキー法またはフロートゾーン法により成長した単結晶シリコンインゴットから切り出されたシリコンウェハを含み、

前記半導体酸化物は、二酸化ケイ素を含む、

請求項1に記載の方法。

【請求項4】

前記半導体酸化物層は、前記単結晶半導体支持基板のおもて面の上に堆積させ、

前記半導体酸化物層は、空気、オゾン、および、酸化剤を含む水性組成物から成る群から選択される酸化性媒質に前記単結晶半導体支持基板を曝露することにより形成する、

請求項1に記載の方法。

20

【請求項5】

前記半導体酸化物層の厚みは、約0.1ナノメートル以上約25ナノメートル以下である、

請求項4に記載の方法。

【請求項6】

前記半導体酸化物層の厚みは、約0.5ナノメートル以上約5ナノメートル以下である

30

請求項4に記載の方法。

【請求項7】

前記単結晶半導体支持基板のバルク抵抗率は、約5000hm-cm以上約100000hm-cm以下であり、または、約10000hm-cm以上約1000000hm-cm以下である、

請求項1に記載の方法。

【請求項8】

前記単結晶半導体支持基板のバルク抵抗率は、約10000hm-cm以上約100000hm-cm以下、または、約20000hm-cm以上約1000000hm-cm以下である、

40

請求項1に記載の方法。

【請求項9】

前記単結晶半導体支持基板のバルク抵抗率は、約30000hm-cm以上約100000hm-cm以下、または、約30000hm-cm以上約500000hm-cm以下である、

請求項1に記載の方法。

【請求項10】

前記単結晶半導体支持基板のおもて面には、前記半導体酸化物層が設けられ、

前記半導体酸化物層は、水素、塩化水素、塩素およびこれらの任意の組み合わせから成

50

る群から選択されるガスを含む周囲雰囲気において、約 850 より高い温度でアニールする、

請求項 1 に記載の方法。

【請求項 1 1】

前記単結晶半導体支持基板のおもて面には、前記半導体酸化物層が設けられ、

前記半導体酸化物層は、水素、塩化水素、塩素およびこれらの任意の組み合わせから成る群から選択されるガスを含む周囲雰囲気において、約 850 以上約 1000 以下の温度でアニールする、

請求項 1 に記載の方法。

【請求項 1 2】

10

前記多結晶シリコン層は、シラン、トリクロロシラン、ジクロロシランおよびこれらの任意の組み合わせから成る群から選択されるシリコン前駆体を含む成長周囲雰囲気から、約 0.1 マイクロメートル / 分以上成長速度で堆積させる、

請求項 1 に記載の方法。

【請求項 1 3】

前記多結晶シリコン層は、シラン、トリクロロシラン、ジクロロシランおよびこれらの任意の組み合わせから成る群から選択されるシリコン前駆体を含む成長周囲雰囲気から、約 0.1 マイクロメートル / 分以上約 2 マイクロメートル / 分以下の成長速度で堆積させる、

請求項 1 に記載の方法。

20

【請求項 1 4】

化学気相成長法による前記多結晶シリコン層の堆積は、多結晶シリコンシード層を堆積させた後に中断し、

前記多結晶シリコンシード層は、約 1000 より高い温度でアニールする、

請求項 1 に記載の方法。

【請求項 1 5】

前記多結晶シリコンシード層の厚みは、3 マイクロメートルより小さい、

請求項 1 4 に記載の方法。

【請求項 1 6】

化学気相成長法による前記多結晶シリコン層の堆積は、前記単結晶半導体支持基板を約 850 以上約 1000 以下まで冷却した後に再開する、

30

請求項 1 4 に記載の方法。

【請求項 1 7】

化学気相成長法による前記多結晶シリコン層の堆積は、多結晶シリコンシード層を堆積させた後に中断し、

前記多結晶シリコンシード層は、約 1000 以上約 1100 以下の温度でアニールする、

請求項 1 に記載の方法。

【請求項 1 8】

前記多結晶シリコンシード層の厚みは、3 マイクロメートルより小さい、

40

請求項 1 7 に記載の方法。

【請求項 1 9】

化学気相成長法による前記多結晶シリコン層の堆積は、前記単結晶半導体支持基板を約 850 以上約 1000 以下まで冷却した後に再開する、

請求項 1 7 に記載の方法。

【請求項 2 0】

前記多結晶シリコン層の厚みは、約 0.1 マイクロメートル以上約 50 マイクロメートル以下である、

請求項 1 に記載の方法。

【請求項 2 1】

50

前記多結晶シリコン層の厚みは、約 0.1 マイクロメートル以上約 20 マイクロメートル以下である。

請求項 1 に記載の方法。

【請求項 2 2】

前記多結晶シリコン層の厚みは、約 0.1 マイクロメートル以上約 10 マイクロメートル以下である。

請求項 1 に記載の方法。

【請求項 2 3】

前記多結晶シリコン層の厚みは、約 0.5 マイクロメートル以上約 5 マイクロメートル以下である。

10

請求項 1 に記載の方法。

【請求項 2 4】

前記多結晶シリコン層は、約 850 より高い温度で堆積させる、

請求項 1 に記載の方法。

【請求項 2 5】

前記多結晶シリコン層は、約 850 以上約 1000 以下で堆積させる、

請求項 1 に記載の方法。

【請求項 2 6】

前記堆積した多結晶シリコン層を約 1000 より高い温度でアニールするステップをさらに含む、

20

請求項 1 に記載の方法。

【請求項 2 7】

前記堆積した多結晶シリコン層を約 1000 以上約 1100 以下の温度でアニールするステップをさらに含む、

請求項 1 に記載の方法。

【請求項 2 8】

前記堆積した多結晶シリコン層を、 RMS_{2 × 2 um²} で測定した表面粗さが約 5 オングストロームより小さくなるまで研磨するステップをさらに含む、

請求項 1 に記載の方法。

【請求項 2 9】

前記単結晶半導体ドナー基板のおもて面の上に位置する誘電体層に接合させる前に、前記多結晶シリコン層を酸化させるステップをさらに含む、

請求項 1 に記載の方法。

【請求項 3 0】

前記半導体ドナー基板の誘電体層と、前記単結晶半導体支持基板のおもて面に界面接觸する凹凸のある半導体酸化物層の上の前記多結晶シリコン層との接合を強化するのに十分な温度と時間、前記接合構造を加熱するステップをさらに含む、

請求項 1 に記載の方法。

【請求項 3 1】

前記単結晶半導体ドナー基板は、イオン注入されたダメージ層を含む、

40

請求項 1 に記載の方法。

【請求項 3 2】

前記単結晶半導体ドナー基板のイオン注入ダメージ層の位置で、前記接合構造を機械的に割断し、前記単結晶半導体支持基板、前記凹凸のある半導体酸化物層、前記多結晶シリコン層、前記多結晶シリコン層に接觸している前記誘電体層、および前記誘電体層に接觸している単結晶半導体デバイス層を含む割断構造を準備するステップをさらに含む、

請求項 3 1 に記載の方法。

【請求項 3 3】

前記単結晶半導体デバイス層と前記単結晶半導体支持基板との接合を強化するのに十分な温度と時間、前記割断構造を加熱するステップをさらに含む、

50

請求項3 2に記載の方法。

【請求項3 4】

多層構造を準備する方法であって、

前記方法は、

単結晶半導体支持基板のおもて面に界面接觸する半導体酸化物層を形成するステップを含み、

前記単結晶半導体支持基板は、互いに略平行な表面である2つの主面を有し、該2つの主面のうち一方は前記単結晶半導体支持基板のおもて面であり、他方は前記単結晶半導体支持基板の裏面であり、前記単結晶半導体支持基板は、さらに、前記単結晶半導体支持基板のおもて面と裏面とを接続する周縁部と、前記単結晶半導体支持基板のおもて面と裏面との間に位置する中央平面と、前記単結晶半導体支持基板のおもて面と裏面との間に位置するバルク領域とを有し、前記単結晶半導体支持基板の最小バルク領域抵抗率は、500 ohm-cm以上であり、

前記方法は、

前記半導体酸化物層がおもて面に界面接觸している前記単結晶半導体支持基板を、水素、塩化水素、塩素およびこれらの任意の組み合わせから成る群から選択されるガスを含む周囲雰囲気内でアニールするステップであって、前記半導体酸化物層を含む前記単結晶半導体支持基板のアニールは、大きさが約5ナノメートル以上約1000ナノメートル以下の穴を含む凹凸のある半導体酸化物層を形成するステップと、

前記凹凸のある半導体酸化物層がおもて面に界面接觸している前記単結晶半導体支持基板を、シリコン前駆体を含む約850以上的周囲雰囲気に曝露し、前記凹凸のある半導体酸化物層の上に多結晶シリコン層を堆積させるステップと、

単結晶半導体ドナー基板のおもて面の上に位置する誘電体層を、前記単結晶半導体支持基板の多結晶シリコン層に接合させ、これにより接合構造を形成するステップとを含み、

前記単結晶半導体ドナー基板は、互いに略平行な表面である2つの主面を有し、該2つの主面のうち一方は前記単結晶半導体ドナー基板のおもて面であり、他方は前記単結晶半導体ドナー基板の裏面であり、前記単結晶半導体ドナー基板は、さらに、前記単結晶半導体ドナー基板のおもて面と裏面とを接続する周縁部と、前記単結晶半導体ドナー基板のおもて面と裏面との間に位置する中央平面とを有する、

方法。

【請求項3 5】

前記単結晶半導体支持基板は、シリコンを含み、

前記半導体酸化物層は、二酸化ケイ素を含む、

請求項3 4に記載の方法。

【請求項3 6】

前記単結晶半導体支持基板は、チョクラルスキー法またはフロートゾーン法により成長した単結晶シリコンインゴットから切り出されたシリコンウェハを含み、

前記半導体酸化物は、二酸化ケイ素を含む、

請求項3 4に記載の方法。

【請求項3 7】

前記半導体酸化物層は、前記単結晶半導体支持基板のおもて面の上に堆積させ、

前記半導体酸化物層は、空気、オゾン、および、酸化剤を含む水性組成物から成る群から選択される酸化性媒質に前記単結晶半導体支持基板を曝露することにより形成する、

請求項3 4に記載の方法。

【請求項3 8】

前記半導体酸化物層の厚みは、約0.1ナノメートル以上約25ナノメートル以下である、

請求項3 4に記載の方法。

【請求項3 9】

10

20

30

40

50

前記半導体酸化物層の厚みは、約 0 . 5 ナノメートル以上約 5 ナノメートル以下である

請求項3 4に記載の方法。

【請求項 4 0】

前記単結晶半導体支持基板のバルク抵抗率は、約 5 0 0 0 h m - c m 以上約 1 0 0 0 0 0 O h m - c m 以下であり、または、約 1 0 0 0 0 h m - c m 以上約 1 0 0 0 0 0 0 h m - c m 以下である、

請求項3 4に記載の方法。

【請求項 4 1】

前記単結晶半導体支持基板のバルク抵抗率は、約 1 0 0 0 0 h m - c m 以上約 1 0 0 0 0 O h m - c m 以下、または、約 2 0 0 0 0 h m - c m 以上約 1 0 0 0 0 0 h m - c m 以下である、10

請求項3 4に記載の方法。

【請求項 4 2】

前記単結晶半導体支持基板のバルク抵抗率は、約 3 0 0 0 0 h m - c m 以上約 1 0 0 0 0 O h m - c m 以下、または、約 3 0 0 0 0 h m - c m 以上約 5 0 0 0 0 h m - c m 以下である、

請求項3 4に記載の方法。

【請求項 4 3】

前記単結晶半導体支持基板のおもて面には、前記半導体酸化物層が設けられ、20

前記半導体酸化物層は、水素、塩化水素、塩素およびこれらの任意の組み合わせから成る群から選択されるガスを含む周囲雰囲気において、約 8 5 0 より高い温度でアニールする、

請求項3 4に記載の方法。

【請求項 4 4】

前記単結晶半導体支持基板のおもて面には、前記半導体酸化物層が設けられ、

前記半導体酸化物層は、水素、塩化水素、塩素およびこれらの任意の組み合わせから成る群から選択されるガスを含む周囲雰囲気において、約 8 5 0 以上約 1 0 0 0 以下の温度でアニールする、

請求項3 4に記載の方法。30

【請求項 4 5】

前記シリコン前駆体は、シラン、トリクロロシラン、ジクロロシランおよびこれらの任意の組み合わせから成る群から選択され、

前記多結晶シリコン層は、約 0 . 1 マイクロメートル / 分以上の成長速度で堆積させる、

請求項3 4に記載の方法。

【請求項 4 6】

前記シリコン前駆体は、シラン、トリクロロシラン、ジクロロシランおよびこれらの任意の組み合わせから成る群から選択され、

前記多結晶シリコン層は、約 0 . 1 マイクロメートル / 分以上約 2 マイクロメートル / 分以下の成長速度で堆積させる、40

請求項3 4に記載の方法。

【請求項 4 7】

前記多結晶シリコン層の堆積は、多結晶シリコンシード層を約 3 マイクロメートル堆積させた後に中断し、

前記多結晶シリコンシード層は、約 1 0 0 0 より高い温度でアニールする、

請求項3 4に記載の方法。

【請求項 4 8】

前記多結晶シリコン層の厚みは、約 0 . 1 マイクロメートル以上約 5 0 マイクロメートル以下である、50

請求項3 4に記載の方法。

【請求項4 9】

前記多結晶シリコン層の厚みは、約0.1マイクロメートル以上約20マイクロメートル以下である。

請求項3 4に記載の方法。

【請求項5 0】

前記多結晶シリコン層の厚みは、約0.1マイクロメートル以上約10マイクロメートル以下である。

請求項3 4に記載の方法。

【請求項5 1】

前記多結晶シリコン層の厚みは、約0.5マイクロメートル以上約5マイクロメートル以下である。

請求項3 4に記載の方法。

【請求項5 2】

前記多結晶シリコン層は、約850以上約1000以下で堆積させる、

請求項3 4に記載の方法。

【請求項5 3】

前記堆積した多結晶シリコン層を約1000より高い温度でアニールするステップをさらに含む、

請求項3 4に記載の方法。

【請求項5 4】

前記堆積した多結晶シリコン層を約1000以上約1100以下の温度でアニールするステップをさらに含む、

請求項3 4に記載の方法。

【請求項5 5】

前記堆積した多結晶シリコン層を、RMS_{2×2 um2}で測定した表面粗さが約5オングストロームより小さくなるまで研磨するステップをさらに含む、

請求項3 4に記載の方法。

【請求項5 6】

前記単結晶半導体ドナー基板のおもて面の上に設けられた誘電体層に接合させる前に、前記多結晶シリコン層を酸化させるステップをさらに含む、

請求項3 4に記載の方法。

【請求項5 7】

前記半導体ドナー基板の誘電体層と、前記単結晶半導体支持基板のおもて面に界面接觸する凹凸のある半導体酸化物層の上の前記多結晶シリコン層との接合を強化するのに十分な温度と時間、前記接合構造を加熱するステップをさらに含む、

請求項3 4に記載の方法。

【請求項5 8】

前記単結晶半導体ドナー基板は、イオン注入されたダメージ層を含む、

請求項3 4に記載の方法。

【請求項5 9】

前記単結晶半導体ドナー基板のイオン注入ダメージ層の位置で、前記接合構造を機械的に割断し、前記単結晶半導体支持基板、前記凹凸のある半導体酸化物層、前記多結晶シリコン層、前記多結晶シリコン層に接触している前記誘電体層、および前記誘電体層に接觸している単結晶半導体デバイス層を含む割断構造を準備するステップをさらに含む、

請求項5 8に記載の方法。

【請求項6 0】

前記単結晶半導体デバイス層と前記多結晶シリコン層との接合を強化するのに十分な温度と時間、前記割断構造を加熱するステップをさらに含む、

請求項5 9に記載の方法。

10

20

30

40

50

【発明の詳細な説明】**【技術分野】****【0001】**

(関連出願の相互参照)

この出願は、2015年3月3日に出願された米国仮出願（仮出願番号62/127,418）に基づく優先権を主張する。同開示は参照により全体として本明細書に組み込まれる。

【0002】

本発明は、概して、半導体ウエハの製造の分野に関する。より具体的に言うと、本発明は、電荷トラップ層を備えたセミコンダクタ・オン・インシュレータ（例えばシリコン・オン・インシュレータ）構造を製造する方法に関する。10

【背景技術】**【0003】**

一般的に、半導体ウエハは、単結晶インゴット（例えば、シリコンインゴット）から作られるものであり、トリミングおよびグラインドされ、後で実施される手順でウエハの方位がわかるようにフラットやノッチが1つ以上設けられる。次に、インゴットはスライスされてウエハに個片化される。シリコンで作られた半導体ウエハに言及しているが、他の材料、例えばゲルマニウム、炭化ケイ素、シリコングルマニウムまたはガリウムヒ素を用いて半導体ウエハを準備してもよい。

【0004】

半導体ウエハ（例えば、シリコンウエハ）は、複合材層構造の準備に利用されることはある。複合材層構造（例えば、セミコンダクタ・オン・インシュレータ、具体例ではシリコン・オン・インシュレータ（SOI）構造）は、一般的に、支持ウエハ（または、支持層）、デバイス層、および、支持層とデバイス層との間に設けられた絶縁膜（つまり、誘電膜（典型的には酸化物層））とを備えている。一般的に、デバイス層の厚みは0.01マイクロメートル以上20マイクロメートル以下（例えば0.05マイクロメートル以上20マイクロメートル以下）である。一般的に、複合材層構造（例えば、シリコン・オン・インシュレータ（SOI）、シリコン・オン・サファイア（SOS）およびシリコン・オン・クウォーツ）は、2つのウエハを接触させ、熱処理を施して接合を強化することにより製造される。30

【0005】

アニールの後、接合構造に更なる処理が施され、ドナーウエハの大部分が除去され、これにより層転写が行われる。例えば、バックエッチSOI（つまり、BESOI）と称されることが多いウエハシンニング技術（例えば、エッティング、グラインディング）を用いてもよい。ここで、シリコンウエハは支持ウエハに接合され、支持ウエハの上に設けられた薄いシリコン層のみが残るまでゆっくりエッティング除去される（特許文献1を参照）。同文献の開示は、参照により、その内容のすべてが本明細書に記載されているかのように本明細書に組み込まれる。この方法では、時間とコストがかかる上、基板の一方が無駄になり、さらに、一般的に厚みが数ミクロン未満の層では均一な厚みが得られない。

【0006】

層転写を行う他の一般的な方法では、水素注入の後、熱誘起された層の分割が行われる。粒子（例えば、水素原子、または、水素原子とヘリウム原子との組み合わせ）は、ドナーウエハのおもて面の下、所定の深さの位置に注入される。注入された粒子は、埋め込んだ深さにおいて、ドナーウエハに割断面を形成する。ドナーウエハの表面は洗浄され、注入プロセス中にウエハの上に堆積した有機化合物が除去される。

【0007】

次に、ドナーウエハのおもて面が支持ウエハに接合され、親水性ボンディングプロセスにより接合ウエハが形成される。接合の前に、ドナーウエハおよび/または支持ウエハの表面を、例えば酸素と窒素を含むプラズマに曝露することにより、ウエハを活性化させる。プラズマへの暴露により、しばしば表面活性化と称されるプロセスにおいて表面構造が40

50

変化する。この表面活性化プロセスにより、ドナーウエハと支持ウエハの一方または両方が親水性となる。次に、2つのウエハは一緒にプレスされ、これらの間に接合が形成される。この接合は比較的弱いので、更なる処理を行う前に強化する必要がある。

【0008】

幾つかのプロセスでは、ドナーウエハと支持ウエハ（つまり、接合されたウエハ）との親水性接合は、接合された一対のウエハを加熱し、またはアニールすることにより強化される。幾つかのプロセスでは、ウエハボンディングは、低温（例えば約300以上約500以下）で行われることがある。ウエハボンディングを高温（例えば約800以上約1100以下）で行うプロセスもある。温度が高いと、ドナーウエハと支持ウエハの隣接する表面間で共有結合が形成され、これにより、ドナーウエハと支持ウエハとが強固に接合される。接合されたウエハの加熱またはアニールと同時に、事前にドナーウエハに注入された粒子により、割断面が弱化する。

【0009】

次に、ドナーウエハの一部が、接合したウエハから割断面に沿って分離（つまり、割断）され、SOIウエハが形成される。割断は、フィクスチャ内に接合ウエハを配置し、接合ウエハの両面に対して垂直な方向に機械的な力を加え、接合ウエハからドナーウエハの一部を引っ張って分離することにより行われることがある。ある方法では、吸引カップを用いて機械的な力が加えられる。ドナーウエハの一部の分離は、接合ウエハの割断面のエッジ部分に機械的なくさびを打ち込み、割断面に沿ってクラックを伝播することにより開始する。吸引カップにより加えられる機械的な力により、接合したウエハからドナーウエハの一部が引っ張られ、これによりSOIウエハが形成される。

【0010】

他の方法では、接合ペアが所定時間、高温に曝露され、これによりドナーウエハの一部が接合ウエハから分離される。高温に曝露することにより、割断面に沿ってクラックが生じ、伝播し、これによりドナーウエハの一部が分離される。この方法によれば、転写された層の均一性が向上し、ドナーウエハの再利用が可能になる。しかし、通常、埋め込まれて接合したペアを約500まで加熱することが必要になる。

【0011】

RF系デバイス（例えば、アンテナとスイッチ）用の高抵抗率セミコンダクタ・オン・インシュレータ（例えば、シリコン・オン・インシュレータ）ウエハを利用することにより、コストと集積性の点で、従来の基板に対して有利な効果が得られる。高周波用途で導電性基板を用いたときに本質的に生じる寄生電力損失を低減し、かつ高調波歪を最小化するために、これで十分ではないが、抵抗率の高い基板ウエハを用いることが必要である。したがって、RFデバイス用支持ウエハの抵抗率は、約500hm-cmより高いのが一般的である。図1を参照して、シリコン・オン・インシュレータ構造2は、抵抗率の非常に高いシリコンウエハ4、埋め込み酸化物（BOX）層6およびシリコンデバイス層10を備えている。こうした基板は、自由キャリア（電子またはホール）を生成するBOX/支持基板界面の位置に導電性の高い反転層または蓄積層12を形成しやすい。これにより、デバイスがRF周波数で動作するときには、基板の実効抵抗が低下すると共に、寄生電力損失とデバイスの非線形性が生じる。これらの反転層/蓄積層は、BOXに固定された電荷、酸化物にトラップされた電荷、界面にトラップされた電荷、さらに、デバイス自身に印加されたDCバイアスに起因して生じるものである可能性がある。

【0012】

それゆえ、非常に近い表面領域であっても基板の高い抵抗率が維持されるように、誘起された反転層または蓄積層において電荷をトラップする方法が必要とされている。高抵抗率支持基板と埋め込み酸化物（BOX）との間に電荷トラップ層（CTL）を設けることにより、SOIウエハを用いたRFデバイスの性能が向上することが知られている。界面トラップ性の高いこれらの層を形成する方法が幾つか提案されている。例えば、図2を参照して、RFデバイス用のCTLを有するセミコンダクタ・オン・インシュレータ20（例えば、シリコン・オン・インシュレータまたはSOI）を製造する1つ方法では、高抵

10

20

30

40

50

抗率シリコン基板22の上にドープされていない多結晶シリコン膜28を堆積させるステップと、その上に、酸化物スタック24と上部シリコン層26とを形成するステップとを実施する。多結晶シリコン層28は、シリコン基板22と埋め込み酸化物層24との間に設けられた高欠陥層として機能する。図2には、シリコン・オン・インシュレータ構造20において高抵抗率基板22と埋め込み酸化物層24との間に設けられ、電荷トラップ層28として利用される多結晶シリコン膜が示されている。他の方法では、重イオンを注入して、表面付近にダメージ層を形成する。デバイス(例えば、高周波デバイス)は、上部シリコン層26内に形成される。

【0013】

アカデミックな研究によれば、酸化物と基板との間に多結晶シリコン層を設けることにより、デバイスの絶縁性が向上し、伝送線路の損失が低減し、さらに高調波歪みが低減する(例えば、非特許文献1-5を参照)。 10

【先行技術文献】

【特許文献】

【0014】

【特許文献1】米国特許第5189500号明細書

【非特許文献】

【0015】

【非特許文献1】H. S. Gamble, et al. "Low-loss C
PW lines on surface stabilized high resistivity silicon," Microwave Guided Wave
Lett., 9(10), pp. 395-397, 1999 20

【非特許文献2】D. Lederer, R. Lobet and J.-P. Raskin, "Enhanced high resistivity SOI wafers for RF applications," IEEE Int'l. SOI Conf., pp. 46-47, 2004

【非特許文献3】D. Lederer and J.-P. Raskin, "New substrate passivation method dedicated to high resistivity SOI wafer fabrication with increased substrate resistivity," IEEE Electron Device Letters, vol. 26, no. 11, pp. 805-807, 2005 30

【非特許文献4】D. Lederer, B. Aspar, C. Laghae and J.-P. Raskin, "Performance of RF passive structures and SOI MOSFETs transferred on a passivated HR SOI substrate," IEEE International SOI Conference, pp. 29-30, 2006

【非特許文献5】Daniel C. Kerret al. "Identification of RF harmonic distortion on Si substrates and its reduction using a trap-rich layer," Silicon Monolithic Integrated Circuits in RF Systems, 2008. SiRF 2008 (IEEE Topical Meeting), pp. 151-154, 2008. 40

【発明の概要】

【0016】

簡潔に言って、本発明は、多層構造を準備する方法に関する。

前記方法は、

単結晶半導体支持基板(または単結晶半導体ハンドル基板)のおもて面に界面接触す 50

る半導体酸化物層、半導体窒化物層、または半導体酸窒化物層を形成するステップを含み、

前記単結晶半導体支持基板は、互いに略平行な表面である2つの主面を有し、該2つの主面のうち一方は前記単結晶半導体支持基板のおもて面（前面）であり、他方は前記単結晶半導体支持基板の裏面（後面）であり、前記単結晶半導体支持基板は、さらに、前記単結晶半導体支持基板のおもて面と裏面とを接続する周縁部と、前記単結晶半導体支持基板のおもて面と裏面との間に位置する中央平面と、前記単結晶半導体支持基板のおもて面と裏面との間に位置するバルク領域とを有し、前記単結晶半導体支持基板の最小バルク領域抵抗率は、 5000hm-cm 以上であり、

前記方法は、

10

前記半導体酸化物層、前記半導体窒化物層、または前記半導体酸窒化物層がおもて面に界面接触している前記単結晶半導体支持基板を、水素、塩化水素、塩素およびこれらの任意の組み合わせから成る群から選択されるガスを含む周囲雰囲気内でアニールするステップと、

前記単結晶半導体支持基板のおもて面に界面接触している半導体酸化物層、半導体窒化物層、または半導体酸窒化物層の上に、多結晶シリコン層を化学気相成長法により堆積させるステップと、

単結晶半導体ドナー基板のおもて面の上に位置する誘電体層を、前記単結晶半導体支持基板の多結晶シリコン層に接合させ、これにより接合構造を形成するステップとを含み、

20

前記単結晶半導体ドナー基板は、互いに略平行な表面である2つの主面を有し、該2つの主面のうち一方は前記単結晶半導体ドナー基板のおもて面（前面）であり、他方は前記単結晶半導体ドナー基板の裏面（後面）であり、前記単結晶半導体ドナー基板は、さらに、前記単結晶半導体ドナー基板のおもて面と裏面とを接続する周縁部と、前記単結晶半導体ドナー基板のおもて面と裏面との間に位置する中央平面とを有する。

【0017】

本発明は、更なる多層構造を準備する方法に関する。

前記方法は、

単結晶半導体支持基板のおもて面に界面接触する半導体酸化物層、半導体窒化物層、または半導体酸窒化物層を形成するステップを含み、

30

前記単結晶半導体支持基板は、互いに略平行な表面である2つの主面を有し、該2つの主面のうち一方は前記単結晶半導体支持基板のおもて面であり、他方は前記単結晶半導体支持基板の裏面であり、前記単結晶半導体支持基板は、さらに、前記単結晶半導体支持基板のおもて面と裏面とを接続する周縁部と、前記単結晶半導体支持基板のおもて面と裏面との間に位置する中央平面と、前記単結晶半導体支持基板のおもて面と裏面との間に位置するバルク領域とを有し、前記単結晶半導体支持基板の最小バルク領域抵抗率は、 5000hm-cm 以上であり、

前記方法は、

前記半導体酸化物層、前記半導体窒化物層、または前記半導体酸窒化物層がおもて面に界面接触している前記単結晶半導体支持基板を、水素、塩化水素、塩素およびこれらの任意の組み合わせから成る群から選択されるガスを含む周囲雰囲気内でアニールするステップと、

40

前記半導体酸化物層、前記半導体窒化物層、または前記半導体酸窒化物層がおもて面に界面接触している前記単結晶半導体支持基板を、シリコン前駆体を含む約850以上的周囲雰囲気に曝露し、前記半導体酸化物層、前記半導体窒化物層、または前記半導体酸窒化物層の上に多結晶シリコン層を堆積させるステップと、

単結晶半導体ドナー基板のおもて面の上に位置する誘電体層を、前記単結晶半導体支持基板の多結晶シリコン層に接合させ、これにより接合構造を形成するステップとを含み、

前記単結晶半導体ドナー基板は、互いに略平行な表面である2つの主面を有し、該2

50

つの正面のうち一方は前記単結晶半導体ドナー基板のおもて面であり、他方は前記単結晶半導体ドナー基板の裏面であり、前記単結晶半導体ドナー基板は、さらに、前記単結晶半導体ドナー基板のおもて面と裏面とを接続する周縁部と、前記単結晶半導体ドナー基板のおもて面と裏面との間に位置する中央平面とを有する。

【0018】

本発明は、さらに、多層構造に関する。

前記多層構造は、単結晶半導体支持基板を備え、

前記単結晶半導体支持基板は、互いに略平行な表面である2つの正面を有し、該2つの正面のうち一方は前記単結晶半導体支持基板のおもて面であり、他方は前記単結晶半導体支持基板の裏面であり、前記単結晶半導体支持基板は、さらに、前記単結晶半導体支持基板のおもて面と裏面とを接続する周縁部と、前記単結晶半導体支持基板のおもて面と裏面との間に位置する中央平面と、前記単結晶半導体支持基板のおもて面と裏面との間に位置するバルク領域とを有し、前記単結晶半導体支持基板の最小バルク領域抵抗率は、500 ohm-cm以上であり、

10

前記多層構造は、

前記単結晶半導体支持基板のおもて面に界面接触し、約5ナノメートル以上約1000ナノメートル以下の大きさの穴を有する、凹凸のある半導体酸化物層、凹凸のある半導体酸化物層または凹凸のある半導体酸窒化物層と、

前記凹凸のある半導体酸化物層、前記凹凸のある半導体酸化物層または前記凹凸のある半導体酸窒化物層に界面接触している多結晶シリコン層と、

20

前記多結晶シリコン層に界面接触している誘電体層と、

前記誘電体層と界面接触している単結晶半導体デバイス層と、をさらに備え、

前記多層構造のウエハハウは、前記半導体デバイス層のおもて面、および／または、前記単結晶半導体支持基板の裏面の少なくとも3点で測定して、約80マイクロメートルより小さい。

【0019】

本発明の他の課題と特徴の一部は、以下の説明により明らかになり、また、以下の説明で指摘している。

【図面の簡単な説明】

【0020】

30

【図1】高抵抗率基板と埋め込み酸化物層を備えたシリコン・オン・インシユレータウエハを示す図である。

【図2】高抵抗率基板と埋め込み酸化物層との間に多結晶シリコン電荷トラップ層が設けられたシリコン・オン・インシユレータウエハを示す図である。

【図3】高抵抗率基板と埋め込み酸化物層との間に多結晶シリコン電荷トラップ層とシリコン酸化物層が設けられたシリコン・オン・インシユレータウエハを示す図である。

【図4】単結晶シリコン支持基板の上に形成された多結晶シリコン電荷トラップ層の断面写真である。

【図5】多結晶シリコンの堆積およびアニールの条件に対するウエハワープの依存性を示すグラフである。

40

【発明を実施するための形態】

【0021】

本発明によれば、単結晶半導体支持基板（例えば、単結晶半導体支持ウエハ）の上に電荷トラップ層を製造するための方法が提供される。電荷トラップ層を備えた単結晶半導体支持ウエハ（または単結晶半導体ハンドルウエハ）は、セミコンダクタ・オン・インシユレータ（例えば、シリコン・オン・インシユレータ）構造の製造において有用である。本発明によれば、単結晶半導体支持ウエハにおける電荷トラップ層は、セミコンダクタ・オン・インシユレータ構造における酸化物界面付近（つまり、埋め込み酸化物層またはB0X付近）の領域に形成される。好都合には、本発明の方法によれば、熱処理（例えば、後で説明するセミコンダクタ・オン・インシユレータ基板とデバイスの製造における熱処理

50

ステップ)に対して安定性の高い高欠陥の電荷トラップ層が得られる。好都合には、本発明の方法によれば、電荷トラップ層を準備する従来の手法を用いた場合と比較して汚染物質が少ない清浄な多結晶シリコン電荷トラップ層が得られる。好都合には、本発明の方法によれば、ワープとバウが低減した支持基板を備えたセミコンダクタ・オン・インシュレータ構造が得られる。

【0022】

本発明の方法に従って準備した支持基板は、セミコンダクタ・オン・インシュレータ(例えばシリコン・オン・インシュレータ)構造の製造での利用に適している。ここで、図3を参照する。公知技術により層を転写し、少なくとも、以下の層または領域、つまり、支持基板42、半導体酸化物層44、電荷トラップ層46、誘電体層48(例えば、埋め込み酸化物)および単結晶半導体デバイス層50(例えば、単結晶シリコンドナー基板から得られるシリコン層)、を備えた本発明のセミコンダクタ・オン・インシュレータ(例えば、シリコン・オン・インシュレータ)構造40を作る。幾つかの実施形態では、本発明のセミコンダクタ・オン・インシュレータ(例えば、シリコン・オン・インシュレータ)構造40は、少なくとも、以下の層または領域、つまり、支持基板42、半導体窒化物または半導体酸窒化物層44、電荷トラップ層46、誘電体層48(例えば、埋め込み酸化物)および単結晶半導体デバイス層50(例えば、単結晶シリコンドナー基板から得られるシリコン層)を備えている。

【0023】

本発明の方法と構造で用いられる基板は、半導体支持基板42(例えば、単結晶半導体支持ウエハ)および半導体ドナー基板(例えば、単結晶半導体ドナーウエハ)であってもよい。セミコンダクタ・オン・インシュレータ複合材構造40における半導体デバイス層50は、単結晶半導体ドナーウエハから得られる。半導体デバイス層50は、例えば半導体ドナー基板をエッチングするウエハシンニング技術、または損傷した平面を有する半導体ドナー基板の割断により、半導体支持基板42の上に転写してよい。概して、単結晶半導体支持ウエハおよび単結晶半導体ドナーウエハは、略平行な2つの主面を有している。一方の平行な面は基板のおもて面であり、他方の平行な面は基板の裏面である。基板は、おもて面と裏面とを接続する周縁部、おもて面と裏面の間に位置するバルク領域、および、おもて面と裏面との間に位置する中央平面とを有している。基板は、さらに、中央平面に対して垂直な仮想中心軸と、仮想中心軸から周縁部までの径方向長さを有する。さらには、半導体基板(例えば、シリコンウエハ)は、典型的には、所定の大きさの全体厚みムラ(TTV: total thickness variation)、ワープ(warp)およびバウ(bow)を有しているので、おもて面上の点と裏面上の点との中点が常に正確に平面内にあるとは限らない。ただし、実際上、TTV、ワープおよびバウの大きさは、典型的には非常に小さいとみなすことができ、中点群は、おもて面と裏面から略等距離の位置にある仮想中央面内に入るということができる。

【0024】

本明細書で説明しているいずれかの操作の前に、基板のおもて面と裏面は実質的に同一であってよい。表面を「おもて面」、「裏面」と称しているのは、便宜上、単に本発明の方法による操作を行う表面を区別するためである。本発明では、単結晶半導体支持基板(例えば、単結晶シリコン支持ウエハ)の「おもて面」は、基板の主面であって接合構造の内面となる面を指す。図3を参照して、本発明の電荷トラップ層46は、半導体酸化物層44との界面接触部に形成されている。半導体酸化物層44は、単結晶半導体支持基板42のおもて面に形成されている。単結晶半導体支持基板42(例えば、支持ウエハ)の「裏面(rear surface)」は、主面であってセミコンダクタ・オン・インシュレータ複合材(コンポジット)構造40の外表面となる面を指す。同様に、単結晶半導体ドナー基板(例えば、単結晶シリコンドナーウエハ)の「おもて面(front surface)」は、単結晶半導体ドナー基板の主面であって、セミコンダクタ・オン・インシュレータ複合材構造40の内表面を構成するものを指す。単結晶半導体ドナー基板のおもて面には、しばしば誘電体層(例えば、二酸化ケイ素層)が設けられる。この誘電体層は、最終構造において埋め込み

酸化物（B O X）層を構成する。単結晶半導体ドナー基板（例えば、単結晶シリコンドナーウエハ）の「裏面」は、単結晶半導体ドナー基板の正面であって、セミコンダクタ・オン・インシュレータ複合材構造40の外表面を構成するものを指す。従来の接合ステップおよびウエハシンニングステップを完了すると、単結晶半導体ドナー基板により、複合材構造40を含むセミコンダクタ・オン・インシュレータ（例えば、シリコン・オン・インシュレータ）の半導体デバイス層50が形成される。

【0025】

半導体支持基板42とデバイス層50は、単結晶半導体材料を含んでいてよい。好ましい実施形態では、半導体材料は、シリコン、炭化ケイ素、サファイア、窒化アルミニウム、シリコンゲルマニウム、ガリウムヒ素、窒化ガリウム、リン化インジウム、インジウムガリウムヒ素、ゲルマニウム、およびこれらの組み合わせから成る群から選択されてよい。半導体支持基板42およびデバイス層46は、互いに同じ半導体材料を含んでいてもよいし、互いに異なる半導体材料を含んでいてもよい。したがって、セミコンダクタ・オン・インシュレータ複合材構造40は、例えば、シリコン・オン・インシュレータ、サファイア・オン・インシュレータ、窒化アルミニウム・オン・インシュレータおよびその他の組み合わせであってよい。本発明の単結晶半導体ウエハ（例えば、単結晶シリコン支持ウエハと単結晶シリコンドナーウエハ）の公称径は、典型的には、約150mm以上、約200mm以上、約300mm以上、または約450mm以上である。ウエハの厚みは、約250マイクロメートル以上約1500マイクロメートル以下、例えば、約300マイクロメートル以上約1000マイクロメートル以下、好適には約500マイクロメートル以上約1000マイクロメートル以下であってよい。幾つかの具体的な実施形態では、ウエハの厚みは約725マイクロメートルであってよい。

10

20

30

40

【0026】

特に好ましい実施形態では、単結晶半導体ウエハの例は、従来のチョクラルスキー結晶成長法またはフロートゾーン成長法に従って成長した単結晶インゴットから切り出された単結晶シリコンウエハである。当該方法、および、標準のシリコンスライス、ラップ、エッチングおよび研磨は、例えば、F. Shimura, Semiconductor Silicon Crystal Technology, Academic Press, 1989, and Silicon Chemical Etching, (J. Grabmaier ed.) Springer-Verlag, N.Y., 1982に開示されている（この文献は、参照により本明細書に組み込まれる）。好ましくは、ウエハは、当業者に知られた標準的な方法により研磨および洗浄される（例えば、W.C. O'Mara et al., Handbook of Semiconductor Silicon Technology, Noyes Publicationsを参照）。必要であれば、ウエハは、例えば、標準的なSC1/SC2溶液を用いて洗浄してもよい。幾つかの実施形態では、本発明の単結晶シリコンウエハは、従来のチョクラルスキー（Cz）結晶成長法に従って成長した単結晶インゴットから切り出されたものであり、典型的な公称径は、約150nm以上、約200nm以上、約300nm以上、または約450nm以上である。好ましくは、単結晶シリコン支持ウエハと単結晶シリコンドナーウエハの両方が、鏡面研磨されたおもて面の仕上がりを有しており、表面欠陥（スクラッチ、大径のパーティクルなど）がない。ウエハの厚みは、約250マイクロメートル以上約1500マイクロメートル以下（例えば、約300マイクロメートル以上約1000マイクロメートル以下）、好適には、約500マイクロメートル以上約1000マイクロメートル以下であってよい。ある具体的な実施形態では、ウエハの厚みは約725マイクロメートルであってよい。

【0027】

幾つかの実施形態では、単結晶半導体支持基板および単結晶半導体ドナー基板（つまり、単結晶半導体支持ウエハおよび単結晶半導体ドナーウエハ）は、一般的にチョクラルスキー成長法で達成される濃度で格子間酸素を含んでいる。幾つかの実施形態では、約4ppma以上約18ppma以下の濃度で酸素を含んでいる。幾つかの実施形態では、約10ppma以上約35ppma以下の濃度で酸素を含んでいる。好ましくは、単結晶シリコン支持ウエハは、約10ppma以下の濃度で酸素を含んでいる。格子間酸素は、SEMIMF 1188-1105を用いて測定してよい。

50

【0028】

図3を参照して、幾つかの実施形態では、単結晶半導体支持基板42（例えば、単結晶シリコン支持ウエハ）の最小バルク抵抗率は、比較的高い。高抵抗率ウエハは、一般的に、チョクラルスキー法またはフロートゾーン法により成長した単結晶インゴットから切り出す。高抵抗率ウエハは、電気的に活性なドーパント、例えばホウ素（p型）、ガリウム（p型）、リン（n型）、アンチモン（n型）およびヒ素（n型）を、概して非常に低い濃度で含んでいてよい。Cz法により成長したシリコンウエハには、約600以上約1000以下の温度でアニールを実施し、結晶成長中に取り込まれた酸素により生じる熱ドナーをなくす。幾つかの実施形態では、単結晶半導体支持ウエハの最小バルク抵抗率は、1000Ohm-cm以上、または、5000Ohm-cm以上であり、例えば約10000Ohm-cm以上約100,000Ohm-cm以下、または約5000Ohm-cm以上約1000000Ohm-cm以下、または、約1000000Ohm-cm以上約10000000Ohm-cm以下、または、約5000Ohm-cm以上約100000Ohm-cm以下、または、約7500Ohm-cm以上約100000Ohm-cm以下、約10000Ohm-cm以上約1000000Ohm-cm以下、または、約3000Ohm-cm以上約1000000Ohm-cm以下、約2000Ohm-cm以上約1000000Ohm-cm以下、約3000Ohm-cm以上約5000Ohm-cm以下である。高抵抗率ウエハを準備する方法は、この技術分野では知られており、SunEdison, Inc.（ミズーリ州セントピーターズ、以前はMEMC Electronic Materials, Inc.）などのサプライヤーから入手できる。

【0029】

幾つかの実施形態では、高抵抗単結晶半導体支持基板42は、p型ドーパントまたはn型ドーパントを含んでいる。好適なドーパントの例は、ホウ素（p型）、ガリウム（p型）、リン（n型）、ヒ素（n型）である。幾つかの実施形態では、単結晶半導体支持基板は、p型ドーパントを含んでいる。幾つかの実施形態では、単結晶半導体支持基板は、p型ドーパント（例えばホウ素）を含む単結晶シリコンウエハである。ホウ素ドーパントの濃度は、高抵抗率支持基板を得ることができるように、比較的低く、例えば 1×10^{14} atoms/cm³未満、好ましくは 1×10^{13} atoms/cm³未満である。

【0030】

幾つかの実施形態では、単結晶半導体支持基板42（例えば、単結晶シリコン支持ウエハ）の最小バルク抵抗率は比較的低く、例えば、約1000Ohm-cm未満、約500Ohm-cm未満、約100Ohm-cm未満、約0.100hm-cm未満または約0.010hm-cm未満である。幾つかの好ましい実施形態では、単結晶半導体支持基板42の最小バルク抵抗率は比較的低く、例えば、約1000Ohm-cm未満、または、約100Ohm-cm以上約1000Ohm-cm以下である。低抵抗率ウエハは、電気的に活性なドーパント、例えばホウ素（p型）、ガリウム（p型）、リン（n型）、アンチモン（n型）およびヒ素（n型）を含んでいてもよい。

【0031】

幾つかの実施形態では、サウンドブラッティング(sound blasting)プロセスまたはコースティックエッチング(caustic etch)により、単結晶半導体支持基板42の表面に意図的にダメージを与えてよい。

【0032】

本発明の方法に従って、単結晶半導体支持基板42のおもて面は、例えば酸化性媒質に曝露することにより、酸化してよい。単結晶半導体支持基板42を酸化することにより、支持基板42のおもて面に半導体酸化物層44が形成される。幾つかの実施形態では、単結晶半導体支持基板42のおもて面は、半導体窒化物層または半導体酸窒化物層を含んでいてよい。幾つかの実施形態では、単結晶半導体支持基板42は、空気またはオゾンに曝露してもよい。幾つかの実施形態では、単結晶半導体支持基板42は、酸化剤を含む水溶液に浸漬してもよい。当該水溶液の例は、SC1溶液である。幾つかの実施形態では、単結晶半導体支持基板42は、電荷トラップ層を堆積させる前に、熱酸化（これにより、单

10

20

30

40

50

結晶半導体材料が幾らか消費されることになる)、および / または、CVD酸化物成長、および / または、原子層堆積により酸化してもよい。

【0033】

幾つかの実施形態では、単結晶半導体支持基板42のおもて面に、所定のプロセス(例えば酸化プロセス)を施し、これにより誘電体層(例えば、半導体酸化物層、半導体窒化物層または半導体酸窒化物層)を成長させてもよい。幾つかの実施形態では、誘電体層は二酸化ケイ素を含んでいる。二酸化ケイ素は、シリコン支持基板のおもて面を酸化することにより形成できる。おもて面の酸化は、熱酸化(これにより、堆積した半導体材料膜が幾らか消費されることになる)、および / または、CVD酸化物成長、および / または、原子層堆積により行ってよい。幾つかの実施形態では、半導体支持基板は、加熱炉(例えば、ASM A400)内で熱酸化してもよい。このときの温度は、酸化環境において750以上1100以下であってよい。酸化環境雰囲気は、不活性ガス(例えばArまたはN₂)とO₂との混合物であってよい。酸素含有量は、1%以上10%以下、またはそれ以上であってよい。幾つかの実施形態では、酸化環境雰囲気は、最大酸素100%(ドライ酸化)であってよい。幾つかの実施形態では、酸化環境雰囲気は、酸素とアンモニアを含んでいてよい。幾つかの実施形態では、環境雰囲気は、不活性ガス(例えば、ArまたはN₂)と酸化性ガス(例えば、O₂と水蒸気(ウェット酸化))の混合物を含んでいてよい。幾つかの実施形態では、環境雰囲気は、不活性ガス(例えば、ArまたはN₂)と酸化性ガス(例えば、O₂と水蒸気(ウェット酸化))と窒化性ガス(例えば、アンモニア)を含んでいてよい。幾つかの実施形態では、環境雰囲気は、不活性ガス(例えば、ArまたはN₂)と窒化性ガス(例えば、アンモニア)を含んでいてよい。例示的な実施形態では、半導体支持ウエハは、垂直炉(例えば、A400)内でロードしてもよい。温度は、N₂とO₂の混合物を用いた酸化温度まで上昇させる。所望の温度で、水蒸気をガス流内へ導入する。所望の酸化物の厚みを得た後、水蒸気とO₂の供給を止め、加熱炉の温度を低下させ、ウエハを加熱炉からアンロードする。10

【0034】

幾つかの実施形態では、支持基板42は、酸化剤を含む水溶液(例えば、SC1溶液またはSC2溶液)に浸漬することにより酸化してよい。幾つかの実施形態では、SC1溶液は、脱イオン水を5部、水性のNH₄OH(水酸化アンモニウム、NH₃は重量パーセント濃度で29%)を1部、水性のH₂O₂を1部(過酸化水素、30%)含んでいる。幾つかの実施形態では、支持基板は、酸化剤を含む水溶液(例えば、SC2溶液)に浸漬することにより酸化してよい。幾つかの実施形態では、SC2溶液は、脱イオン水を5部、水性のHCl(塩化水素、39%)を1部、水性のH₂O₂(過酸化水素、30%)を1部含んでいる。30

【0035】

幾つかの実施形態では、支持基板42は酸化され、基板42のおもて面層との界面接触部に、厚みが約0.1ナノメートル以上約25ナノメートル以下(例えば約0.5ナノメートル以上約5ナノメートル以下、または、約1ナノメートル以上約5ナノメートル以下)の半導体酸化物層44が設けられる。40

【0036】

単結晶半導体支持基板42のおもて面を酸化して当該おもて面に半導体酸化物層44を形成した後、おもて面に半導体酸化物層44が設けられた単結晶半導体支持基板42を、還元剤および / またはエッティング剤を含む周囲雰囲気に曝露する。還元剤および / またはエッティング剤を含む周囲雰囲気に曝露することにより、好都合には基板の上にある酸化物層が清浄化され、後で実施する多結晶シリコンの堆積のために半導体酸化物層に凹凸が形成される。クリーンルーム内でのウエハハンドリングにより、有機汚染物質、ホウ素、アルミニウム、リンなどの汚染物質が、支持基板の表面の上に堆積することがある。汚染物質は、多結晶シリコン膜の核形成プロセスを妨害したり、シリコン内で望まないドーパントになったりする。後者の場合、基板や多結晶シリコン膜の抵抗率が変化し、これにより高周波信号の歪みや電力損失が大きくなる。還元剤および / またはエッティング剤を含む周50

囲雰囲気により、これらの汚染物質を清浄化できる。本発明では、水素などの還元剤が、酸化ホウ素や酸化アルミニウムなど、クリーンルームに一般的に存在する汚染物質と反応する。一方、塩素や塩化水素などのエッティングガスは、アルミニウム、ホウ素およびリンと反応して揮発性の塩素系物質を生成する。この塩素系物質は、水素ガスにより、シリコン表面から取り除かれる。シリコン酸化物が存在すると、有機物である汚染物質中の炭素原子がシリコン原子に置き換わり、一酸化炭素が生成する。この一酸化炭素は、水素キャリアガスにより、シリコン表面から取り除かれる。それゆえ、高純度・高効率の電荷トラップ層を得るために、多結晶シリコンを堆積させる前にベーキング／エッティングステップを実施することが好都合である。さらに、ベーキング／エッティングプロセスにより、酸化物層内にホールが形成されて凹凸のある酸化物構造が形成され、これにより、多結晶シリコン電荷トラップ層の堆積中に、シリコン表面がシリコン前駆体に対して露出する。凹凸のある酸化物に形成されたホールの密度と大きさは、ベーキング／エッティングステップにおける温度、時間およびガス流量により十分に制御できる。典型的には、ホールの大きさは、約 5 ナノメートル以上約 1000 ナノメートル以下、例えば、約 5 ナノメートル以上約 500 ナノメートル以下または約 5 ナノメートル以上約 200 ナノメートル以下の範囲で制御でき、これにより、多結晶シリコンの粒径および膜応力の設計が可能になる。ここで、図 4 を参照する。図 4 は、酸化物内に形成され、多結晶シリコンの電荷トラップ層のための核形成サイトを与える約 40 nm の開口部を示している。凹凸のある酸化物構造を十分に制御して、酸化物層全体をなくすことなく、ウエハ表面にわたって均一な密度の穴を形成する必要がある。残留酸化物は、多結晶シリコン電荷トラップ層の熱安定性にとって重要である。この後に行う、SOI 基板の熱処理およびデバイスの製造において、多結晶シリコン層は、再結晶化を経て多結晶粒と単結晶基板との直接接触により製造される。多結晶シリコンと基板との界面に残留している酸化物により、再結晶化プロセスが有效地にロックされ、多結晶シリコン層の、電荷トラップ機能を有しない単結晶シリコンへの変化が妨げられる。
10
20

【0037】

洗浄／アニールステップは、多結晶シリコン電荷トラップ層を堆積させたのと同じチャンバ（例えば、CVD 反応チャンバ）内で実施するのが好都合である。還元雰囲気は、追加的に、ウエハをさらに清浄にするためのエッチャントを含んでいてよい。したがって、ウエハ洗浄用の周囲雰囲気は、水素、塩化水素、塩素、または、水素、塩化水素および塩素の任意の組み合わせを含んでいてよい。幾つかの実施形態では、ウエハ洗浄用の周囲雰囲気は、水素と塩化水素を含んでいてよい。幾つかの実施形態では、ウエハ洗浄用の周囲雰囲気は、水素と塩素を含んでいてよい。さらに、ウエハ洗浄は、高温（例えば、850 より高い温度、例えば、850 以上約 1100 以下、または、約 850 以上約 1000 以下、好ましくは 900 以上約 1000 以下）で実施してもよい。チャンバ内の圧力は、大気圧または大気圧よりも低い圧力（例えば、1 Torr 以上 760 Torr 以下、1 Torr 以上 400 Torr 以下）であってもよい。洗浄のための所望の温度で、ウエハは、水素、塩化水素、塩素、または、水素、塩化水素および塩素の任意の組み合わせを含む周囲雰囲気に、約 1 秒以上約 300 秒以下（例えば、約 5 秒以上約 60 秒以下、または、約 10 秒以上約 40 秒以下）曝露してよい。
30
40

【0038】

単結晶半導体支持基板 42 のおもて面の上に半導体酸化物層 44 を形成し、さらにウエハにアニールおよび凹凸形成を行った後、半導体酸化物層 44 との界面接触部に多結晶シリコン電荷トラップ層 46 を堆積させる。幾つかの実施形態では、単結晶半導体支持基板 42 のおもて面の上に設けられた半導体酸化物層 44 の上に、半導体材料を堆積させる。セミコンダクタ・オン・インシユレータデバイス 40 の電荷トラップ層 46 の形成に適した半導体材料は、製造したデバイスにおいて大きな欠陥のある層を形成できる。幾つかの実施形態では、電荷トラップ層は多結晶シリコンを含む。ここでいう多結晶材料は、結晶方位が不規則な小さい結晶を複数含んでいる材料を指す。多結晶粒の粒径は、約 20 ナノメートルであってもよい。多結晶粒の大きさ（粒径）は、約 20 ナノメートルであっても
50

よい。粒の大きさは、約 20 ナノメートル以上約 1 マイクロメートル以下であってもよく、例えば、約 0.3 マイクロメートル以上約 1 マイクロメートル以下であってもよい。本発明の方法によれば、堆積した多結晶材料の結晶粒径が小さいほど、電荷トラップ層における欠陥が大きくなる。多結晶シリコン電荷トラップ層の抵抗率は、1000 h m - c m 以上、約 5000 h m - c m 以上、約 10000 h m - c m 以上、または、約 30000 h m - c m 以上、例えば、約 1000 h m - c m 以上約 1000000 h m - c m 以下、または、約 5000 h m - c m 以上約 1000000 h m - c m 以下、または、約 1000 h m - c m 以上約 1000000 h m - c m 以下、約 5000 h m - c m 以上約 1000000 h m - c m 以下、または、約 7500 h m - c m 以上約 1000000 h m - c m 以下、または、約 10000 h m - c m 以上約 1000000 h m - c m 以下、約 3000 h m - c m 以上約 1000000 h m - c m 以下、または、約 30000 h m - c m 以上約 800000 h m - c m 以下であってよい。多結晶シリコンは、有機金属化学気相成長法 (MOCVD)、物理気相成長法 (PVD)、化学気相成長法 (CVD)、低圧化学気相成長法 (LPCVD)、プラズマ増強化学気相成長法 (PECVD) または分子線エピタキシー (MBE) を用いて堆積させてよい。幾つかの実施形態では、多結晶シリコンは、化学気相成長法により堆積させる。幾つかの実施形態では、多結晶シリコンは、高温で堆積させる。幾つかの実施形態では、多結晶シリコンを堆積させた後、支持基板を高温でアニールする。幾つかの実施形態では、多結晶シリコンの一部を堆積させることにより、電荷トラップ層の最終の厚みと比べて小さい厚みの多結晶シリコンシード層を堆積させる。多結晶シード層を備えた支持基板を高温でアニールし、その後、残りの電荷トラップ層を堆積させる。幾つかの実施形態では、十分に堆積した多結晶シリコン電荷トラップ層を高温でアニールして、膜応力を約 0 MPa 以上約 500 MPa 以下（例えば、約 0 MPa 以上約 100 MPa 以下）まで低下させることができる。半導体酸化物層 44 により、電荷トラップ層 46 の高い多結晶性 (polycrystallinity) を得やすくなる。したがって、電荷トラップ層 46 の堆積前に半導体酸化物層 44 が形成されていない場合、堆積した半導体材料の結晶性は下位の基板 42 の結晶性に従いやすくなるが、これは電荷トラップ層にとっては好ましくない。

【0039】

幾つかの実施形態では、半導体酸化物層は、電荷トラップ層の堆積ステップにおいてエピタキシャルシリコン層の代わりに多結晶シリコン層を形成するために、支持基板の上に存在している。半導体酸化物層の上の多結晶シリコン層の核形成は、H₂ と HCl の一方または両方と、選択的にシリコン前駆体とを含む周囲雰囲気における半導体酸化物層の選択的エッチングにより実現する。エッチングと多結晶シリコン層の堆積はこの順序で実施してよく、このときエッティングステップを最初に、または同時に実施してよい。エッティング周囲雰囲気、または、多結晶シリコンを堆積させるための雰囲気に含まれる例示的なシリコン前駆体は、メチルシラン、四水素化ケイ素 (シラン)、トリシラン、ジシラン、ペンタシラン、ネオペンタシラン、テトラシラン、ジクロロシラン (SiH₂Cl₂)、トリクロロシラン (SiHCl₃)、四塩化ケイ素 (SiCl₄) から選択されてよい。多結晶シリコンの成長は、半導体酸化物層における開口部の形成により開始し、隣接する核どうしが 1 つになり、成長に伴って硬い膜が形成される。半導体酸化物層の厚みと特性（例えば、ポロシティ、密度、および化学組成）を制御することにより、さまざまな用途に適合するように多結晶シリコン層を設計できる。

【0040】

電荷トラップ層を形成するための単結晶半導体支持ウエハのおもて面への材料の堆積は、有機金属化学気相成長法 (MOCVD)、物理気相成長法 (PVD)、化学気相成長法 (CVD)、低圧化学気相成長法 (LPCVD)、プラズマ増強化学気相成長法 (PECVD) または分子線エピタキシー (MBE) により行ってよい。好ましい実施形態では、多結晶シリコンは、化学気相成長法により堆積させる。CVD 用のシリコン前駆体の例は、特に、メチルシラン、四水素化ケイ素 (シラン)、トリシラン、ジシラン、ペンタシラン、ネオペンタシラン、テトラシラン、ジクロロシラン (SiH₂Cl₂)、トリクロロ

シラン (SiHCl₃)、四塩化ケイ素 (SiCl₄) である。幾つかの好ましい実施形態では、シリコン前駆体は、シラン、ジクロロシラン (SiH₂Cl₂) およびトリクロロシラン (SiHCl₃) から選択される。例えば、多結晶シリコンは、シラン、ジクロロシラン (SiH₂Cl₂) およびトリクロロシラン (SiHCl₃) を用いたCVDにより、表面酸化層の上に、約850℃より高い温度（例えば、約850℃以上1100℃以下、または、約850℃以上1000℃以下）で堆積させてよい。高温とすることにより、高い成長速度が得られ、これはスループットとコスト低減に寄与する。CVDの成長速度は、約0.1マイクロメートル/分以上（例えば約0.1マイクロメートル/分以上約10マイクロメートル/分以下、または、約0.1マイクロメートル/分以上約2マイクロメートル/分以下）であってもよい。多結晶シリコン層の堆積は、層の厚みが、約0.1マイクロメートル以上（例えば約0.1マイクロメートル以上約50マイクロメートル以下、約0.1マイクロメートル以上約20マイクロメートル以下、約0.1マイクロメートル以上約10マイクロメートル以下、約0.5マイクロメートル以上約5マイクロメートル以下、約0.5マイクロメートル以上約3マイクロメートル以下、約1マイクロメートル以上約2マイクロメートル以下、または、約2マイクロメートル以上約5マイクロメートル以下）になるまで続けてよい。堆積は、約1 Torr 以上約760 Torr 以下（例えば、約1 Torr 以上約400 Torr 以下）の圧力で行ってよい。
10

【0041】

幾つかの実施形態では、化学気相成長法による多結晶シリコン層の堆積は、多結晶シリコンシード層を堆積させた後に、中断する。多結晶シリコンシード層の厚みは、最終の多結晶シリコン電荷トラップ層についての所望の全厚よりも小さい値であってよい。したがって、多結晶シリコンシード層は、20マイクロメートル未満、10マイクロメートル未満、5マイクロメートル未満、3マイクロメートル未満、2マイクロメートル未満、1マイクロメートル未満または0.5マイクロメートル未満、例えば、約50ナノメートル以上約20マイクロメートル以下、約50ナノメートル以上約10マイクロメートル以下、約50ナノメートル以上約5マイクロメートル以下、約50ナノメートル以上約3マイクロメートル以下、約50ナノメートル以上約2マイクロメートル以下、約50ナノメートル以上約1マイクロメートル以下、約50ナノメートル以上約500ナノメートル以下、または約50ナノメートル以上約200ナノメートル以下の厚みまで堆積させてよい。シード層の厚みは、多結晶シリコンの核の大きさにより設定される。応力を効果的に解放するために、シード層は、50 nmより小さいボイドを残しつつ、基板表面をカバーする必要がある。これにより、多結晶シリコンシード層と酸化物との界面に対するH₂のアクセスが実現する。H₂は界面酸化物を減らし、多結晶シリコンシード層の粒界にある原子が基板へ拡散するのを促進し、これにより膜応力を解放する。シード層が、H₂の界面酸化物へのアクセスを完全に妨げるのに十分な厚みを有している場合、後段のアニールプロセスでは膜応力を有効に解放できない。一方、シード層が連続的でなく、隣接する2つの核間の開口部が50 nmよりも大きい場合、シードアニールプロセス中に酸化物層が除去され、その後に大きい核が形成される。大きい核は成長して、多結晶シリコン堆積の最後には大きい粒（すなわち、直径が1 μmより大きい）となり、これによりトラップ効率が低下する。CVDチャンバ内のシリコン前駆体の供給を中断すれば、堆積は中断する。多結晶シリコンの堆積を中断した後、多結晶シード層を含む支持基板をアニールしてよい。多結晶シード層をアニールすることにより、電荷トラップ層について所望の特性を得やすくなる。例えば、清浄な表面、高純度の膜、高抵抗率膜、所望の核の大きさおよび均一性が得られ、さらに、残留膜応力が低下する。幾つかの実施形態では、多結晶シリコンシード層を高温でアニールし、膜応力を約0 MPa以上約500 MPa以下（例えば、約0 MPa以上約100 MPa以下）まで低下させる。多結晶シード層は、約1000℃以上（例えば、約1000℃以上約1200℃以下、または、約1000℃以上約1100℃以下）の温度でアニールする。シード層は、約1秒以上約300秒以下（例えば、約5秒以上約60秒以下、または、約10秒以上約40秒以下）の時間、アニールしてよい。アニール用の周囲雰囲気は、水素、塩化水素、塩素、または、水素、塩化水素および塩素の任
20
30
40
50

意の組み合わせを含んでいてよい。アニールステップは、減圧下または大気圧下（例えば、約1 Torr以上約760 Torr以下、または、約10 Torr以上約760 Torr以下）で実施してもよい。粒径と多結晶シリコン膜の応力は、アニール温度、アニール時間およびガス流量により制御する。適切なアニール時間の経過後、単結晶半導体支持基板を850以上1000以下まで冷却し、その後、化学気相成長法による多結晶シリコン層の堆積を再開する。

【0042】

幾つかの実施形態では、多結晶シリコン層を備えた支持基板は、堆積が完了した後にアニールする。多結晶シード層をアニールすることにより、電荷トラップ層について所望の特性を得やすくなる。例えば、清浄な表面、高純度の膜、高抵抗率膜、所望の核の大きさおよび均一性が得られ、さらに、残留膜応力が低下する。幾つかの実施形態では、十分に堆積した多結晶シリコンの電荷トラップ層を高温でアニールし、約0 MPa以上約500 MPa以下（例えば、約0 MPa以上約100 MPa以下）まで膜応力を低下させる。堆積した多結晶シリコン層を含む支持基板は、約1000より高い温度（例えば、約1000以上約1100以下）でアニールしてもよい。多結晶シリコン電荷トラップ層を含む支持基板は、約1秒以上約300秒以下（例えば、約5秒以上約60秒以下、または、約10秒以上約40秒以下）アニールしてもよい。アニール用の周囲雰囲気は、水素、塩化水素、塩素、または、水素、塩化水素および塩素の任意の組み合わせを含んでいてよい。適切なアニール時間の経過後、単結晶半導体支持基板を取り外す上で安全な温度までCVDチャンバを冷却してよい。

【0043】

幾つかの実施形態では、堆積した電荷トラップ層の上に酸化膜を形成してよい。これは、当業者に知られた方法、例えば熱酸化（この方法では、堆積した半導体材料膜が幾らか消費されることになる）および／またはCVD酸化物成長法により実施してよい。幾つかの実施形態では、電荷トラップ層は、熱酸化（この方法では、堆積した半導体材料膜が幾らか消費されることになる）してよく、または、二酸化ケイ素膜は、CVD酸化物成長法により堆積させてよい。幾つかの実施形態では、単結晶半導体支持基板のおもて面の上に堆積した電荷トラップ層を加熱炉（例えば、ASM A400）内で加熱してもよい。このときの温度は、酸化環境において750以上1200以下であってもよい。酸化環境雰囲気は、不活性ガス（例えばArまたはN₂）とO₂との混合物であってよい。酸素含有量は、1%以上10%以下、またはそれ以上であってよい。幾つかの実施形態では、酸化環境雰囲気は、最大酸素100%（ドライ酸化）であってもよい。例示的な実施形態では、半導体支持ウエハは、垂直炉（例えば、A400）内ヘロードしてよい。温度は、N₂とO₂の混合物を用いた酸化温度まで上昇させる。酸化物について所望の厚みを達成した後、O₂の供給を止め、加熱炉の温度を低下させ、ウエハを加熱炉からアンロードする。界面層内に窒素を取り込んでシリコン窒化物またはシリコン酸窒化物を得るために、雰囲気は、窒素のみを含んでいてもよいし、酸素と窒素の混合物を含んでいてもよい。温度は、約1100以上約1400以下の温度まで上昇させてもよい。他の窒素源はアンモニアである。幾つかの実施形態では、電荷トラップ層は、厚みが約0.01マイクロメートル以上、または、約0.05マイクロメートル以上（例えば、約0.05マイクロメートル以上約4マイクロメートル以下、約0.1マイクロメートル以上約2マイクロメートル以下、または、約0.2マイクロメートル以上約0.4マイクロメートル以下）の酸化物を得るのに十分な時間、酸化させてよい。

【0044】

電荷トラップ層を堆積させ、選択的に酸化を行った後、ウエハの洗浄と研磨を選択的に行う。幾つかの実施形態では、堆積した多結晶シリコン電荷トラップ層の表面粗さは、RMS_{2×2 um2}で測定して50ナノメートルのオーダーである。必要であれば、ウエハは、例えば標準のSC1/SC2溶液を用いて洗浄してよい。さらに、ウエハ（具体的には、電荷トラップ層の上に選択的に設けられた二酸化ケイ素層）に対して化学機械研磨（CMP）を行い、表面粗さを低下させ（好ましくは、RMS_{2×2 um2}のレベルが

10

20

30

40

50

約 5 オングストローム未満、例えば約 1 オングストローム以上約 2 オングストローム以下となるまで) 低下させてもよい。粗さの分析結果である二乗平均平方根(以下の式で表される)は、線に沿って均等な間隔を隔てて並べられた複数の点を含み、 y_i は中心線 (mean line) からデータ点までの垂直距離である。表面粗さが好ましくは 2 オングストローム未満であれば、表面は、接合または選択的な酸化に対応可能である。

【0045】

【数1】

$$R_q = \sqrt{\frac{1}{n} \sum_{i=1}^n y_i^2}$$

【0046】

本明細書で説明している方法に従って準備した単結晶半導体支持ウエハは、電荷トラップ層を備え、さらに、選択的に、酸化膜が、従来の層転写方法に従って準備した単結晶半導体ドナー基板(例えば、単結晶半導体ドナーウエハ)に接合されている。つまり、単結晶半導体ドナーウエハには、酸化、注入および注入後洗浄を含む標準の加工ステップを実施してよい。したがって、多層半導体構造(例えば、単結晶シリコンドナーウエハ)の準備に従来用いられている材料の単結晶半導体ドナー基板(例えば、単結晶半導体ウエハ)は、エッチングされ、研磨され、さらに選択的に酸化され、そしてイオン注入されて内部にダメージ層が形成される。

【0047】

幾つかの実施形態では、単結晶半導体ドナー基板のおもて面は、熱酸化してよく(これにより、単結晶半導体材料が幾らか消費されることになる)、二酸化ケイ素は、CVD酸化物成長により成長させてよい。幾つかの実施形態では、半導体支持基板は、加熱炉(例えば、ASM A400)内で熱酸化してよい。温度は、酸化環境において 750 以上 1200 以下であってよい。酸化環境雰囲気は、不活性ガス(例えば Ar または N₂)と O₂との混合物であってよい。酸素含有量は、1% 以上 10% 以下、またはそれ以上であってよい。幾つかの実施形態では、酸化環境雰囲気は、最大酸素 100% (ドライ酸化)であってもよい。例示的な実施形態では、半導体ドナーウエハを垂直炉(A400)内にロードしてよい。N₂とO₂の混合物を用いた酸化温度まで、温度を上昇させる。所望の厚みを達成した後、O₂の供給を止め、加熱炉の温度を低下させ、ウエハを加熱炉からアンロードする。幾つかの実施形態では、ドナー基板は、おもて面層の上で、厚みが約 1 ナノメートル以上、例えば、約 0.01 マイクロメートル以上約 10 マイクロメートル以下、例えば約 0.01 マイクロメートル以上約 2 マイクロメートル以下、または、約 0.1 マイクロメートル以上約 1 マイクロメートル以下の酸化物層が得られるように酸化する。酸化プロセスでは、さらに、ドナー基板の裏面を酸化する。これにより、好都合には、シリコンと二酸化ケイ素との熱膨張率の違いにより生じうるワープとバウが低下する。

【0048】

イオン注入は、市販の装置(例えば、Applied Materials社のQuantum H)を用いて行つてよい。注入されるイオンの例は、He、H、H₂ またはその任意の組み合わせである。イオン注入は、半導体ドナー基板内にダメージ層を形成するのに十分な密度と時間、実施する。注入密度は、約 10¹² ions/cm² 以上約 10¹⁷ ions/cm² 以下(例えば、約 10¹⁴ ions/cm² 以上約 10¹⁷ ions/cm² 以下)であってよい。注入エネルギーは、約 1 keV 以上約 3000 keV 以下(例えば、約 10 keV 以上約 3000 keV 以下)であってよい。幾つかの実施形態では、単結晶半導体ドナーウエハ(例えば、単結晶シリコンドナーウエハ)に対して注入を行った後、洗浄を行うのが好ましいことがある。幾つかの好ましい実施形態では、洗浄は、ピラニア溶液を用いた洗浄およびその後に行う脱イオン水を用いたリンスと、SC1/SC2洗浄とを含んでいてよい。

【0049】

10

20

30

40

50

本発明の幾つかの実施形態では、ヘリウムイオンおよび／または水素イオンの注入によりイオン注入領域が形成された単結晶半導体ドナー基板を、熱的に活性化された割断面を単結晶半導体ドナー基板に形成するのに十分な温度でアニールする。好適なツールの一例は、箱型炉（例えばBlue Mモデル）であってよい。ある好ましい実施形態では、イオンを注入した単結晶半導体ドナー基板は、約200以上約350以下、約225以上約325以下、好ましくは約300でアニールする。アニールは、約2時間以上約10時間以下行ってもよく、例えば約2時間以上約8時間以下行う。これらの温度範囲内で行うアニールは、熱活性化割断面を形成するのに十分である。割断面を活性化させるアニールを行った後、単結晶半導体ドナー基板の表面を洗浄することが好ましい。

【0050】

10

幾つかの実施形態では、イオン注入し、選択的に洗浄とアニールを行った単結晶半導体ドナー基板に対して、酸素プラズマおよび／または窒素プラズマを用いた表面活性化を行う。幾つかの実施形態では、酸素プラズマ表面活性化のツールは市販品であり、例えばEV Groupから入手可能なEVG（登録商標）810LT Low Temp Plasma Activation Systemであってよい。イオン注入し、選択的に洗浄した単結晶半導体ドナーウエハをチャンバ内にロードする。チャンバ内を排気し、大気圧よりも低い圧力までO₂で再充填し、これによりプラズマを形成する。単結晶半導体ドナーウエハをこのプラズマに所定時間（約1秒以上約120秒以下であってよい）曝露する。酸素プラズマ表面酸化を実施して単結晶半導体ドナー基板のおもて面を親水性とし、本発明に従って準備した上述の単結晶半導体支持基板に接合しやすくする。

20

【0051】

次に、単結晶半導体ドナー基板の親水性おもて面層と単結晶半導体支持基板のおもて面（選択的に酸化してもよい）とを接触させて接合構造を形成する。機械的な接合は比較的弱いので、接合構造をさらにアニールしてドナーウエハと支持ウエハとの接合を強化する。本発明の幾つかの実施形態では、単結晶半導体ドナー基板内に熱活性化された割断面を形成するのに十分な温度でアニールする。好適なツールの一例は、箱型炉（例えばBlue Mモデル）であってよい。ある好ましい実施形態では、接合構造は、約200以上約350以下の温度、約225以上約325以下の温度、好ましくは約300でアニールする。アニールは、約0.5時間以上約10時間以下行ってもよく、例えば約2時間行う。これらの温度範囲内で行うアニールは、熱活性化割断面を形成するのに十分である。割断面を活性化させるアニールを行った後、単結晶半導体ドナー基板の表面を洗浄してもよい。

30

【0052】

アニールの後、単結晶半導体ドナー基板と単結晶半導体支持基板との接合は、割断面で接合構造を割断することにより層転写を開始するのに十分に強い。割断は、当業者に知られた技術に従って実施してよい。幾つかの実施形態では、接合構造は、慣習的な割断ステーション（cleave station）に配置されてよい。この割断ステーションは、静止した吸引カップに一面が固定され、追加の吸引カップによりヒンジアーム上に他面が固定されている。クラックは、吸引カップの取り付け部の近くで開始し、可動式アームがヒンジ周りに旋回し、ウエハが割断される。この割断により、半導体ドナーウエハの一部が除去され、セミコンダクタ・オン・インシュレータ複合材構造の上に半導体デバイス層（好ましくは、シリコンデバイス層）が残る。

40

【0053】

割断した後、割断構造を高温でアニールし、転写したデバイス層と単結晶半導体支持基板との接合をさらに強化してよい。好適なツールの一例は、垂直炉（例えば、ASM A400）である。幾つかの好ましい実施形態では、接合構造を約1000以上1200以下の温度、好ましくは約1000でアニールする。アニールは、約0.5時間以上約8時間以下、好ましくは約4時間、行ってよい。これらの温度範囲でのアニールは、転写したデバイス層と単結晶半導体支持基板との接合を強化するのに十分である。

【0054】

50

割断と高温アニールを行った後、薄い熱酸化物を除去し、表面から微粒子を除去するための洗浄プロセスを接合構造に対して実施してよい。幾つかの実施形態では、単結晶半導体ドナーウエハに対して、シングルウエハ用水平フローエピタキシャルリアクタ(horizontal flow single wafer epitaxial reactor)内でキャリアガスとしてH₂を用いた気相HClエッティングプロセスを実施することにより、所望の厚みと滑らかさを得ることができる。幾つかの実施形態では、デバイス層の厚みは約1ナノメートル以上約100マイクロメートル以下(例えば、約10ナノメートル以上約50マイクロメートル以下)であってよい。幾つかの実施形態では、転写したデバイス層の上にエピタキシャル層を堆積させてもよい。最終のSOIウエハは、半導体支持基板、電荷トラップ層、誘電体層(例えば、埋め込み酸化物層)を備えていてよい。次に、半導体デバイス層にエンドオブラインの測定・検査を実施し、典型的なSC1-SC2プロセスを用いた最終時間、洗浄してよい。

【0055】

本発明によれば、BOXの下に埋め込まれた、堆積した半導体材料の電荷トラップ層を有するSOIウエハが得られる。図3を参照して、従来の技術により層転写を行い、少なくとも、以下の層または領域、つまり支持基板42、半導体酸化物層44、電荷トラップ層46、誘電体層48(例えば、埋め込み酸化物)および単結晶半導体デバイス層50(例えば、単結晶シリコンドナー基板から得られるシリコン層)を備えたセミコンダクタ・オン・インシュレータ(例えば、シリコン・オン・インシュレータ)構造40を形成する。幾つかの実施形態では、少なくとも以下の層または領域、つまり支持基板42、半導体窒化物または半導体酸窒化物層44、電荷トラップ層46、誘電体層48(例えば、埋め込み酸化物)および単結晶半導体デバイス層50(例えば、単結晶シリコンドナー基板から得られるシリコン層)を備えたセミコンダクタ・オン・インシュレータ(例えば、シリコン・オン・インシュレータ)構造40を準備する。図4の写真と図5のグラフに示すように、本発明の堆積方法によれば、有利には、汚染物質が減少した多結晶シリコン電荷トラップ層と、ウエハバウ(wafer bow)が低減したセミコンダクタ・オン・インシュレータ(例えば、シリコン・オン・インシュレータ)構造とを備えたウエハが製造される。ウエハバウは、半導体デバイス層のおもて面および/または単結晶半導体支持基板の裏面に設けられた少なくとも3点でのばらつきに基づいて測定してよい。本発明によれば、SOI構造のウエハバウは、約80マイクロメートル未満、約60マイクロメートル未満または約20マイクロメートル未満であってよい。

【0056】

本発明を詳細に説明したが、特許請求の範囲で規定される本発明の範囲から逸脱しない範囲で、改良や変形が行われてよいことは明らかである。

【0057】

[実施例]

本発明をさらに説明するために、以下の非制限的な実施例を挙げる。

【0058】

(実施例1)

一例では、チョクラルスキー法により成長したインゴットから切り出したシリコンウエハを、SC1溶液を用いて洗浄する。洗浄は、シリコンウエハのおもて面で厚みが0.8nm以上2.0nm以下のシリコン酸化物層が得られるように実施する。次に、化学気相成長チャンバ内にウエハをロードする。850以上1000以下の温度までウエハを加熱する。設定温度に達した時点で、5秒以上60秒以下(好ましくは、10秒以上40秒以下)の時間、同じ温度でウエハをベーキングする。CVDチャンバ内の周囲雰囲気は、H₂、または、H₂とエッティングガス(例えば、HClまたはCl₂)との組み合わせのいずれかである。還元雰囲気(選択的にエッティングガスを含む)をチャンバに導入し、ウエハの表面の汚染物質を取り除く。ベーキングが完了すると、ウエハに対して、還元雰囲気のベーキングと同じ温度で、多結晶シリコンの化学気相成長法を実施する。多結晶シリコンの化学気相成長用のシリコン前駆体の例は、トリクロロシラン、ジクロロシラン、シランおよびこれらの誘導体である。多結晶シリコンの化学気相成長は、大気圧下または

減圧下で行う。成長速度は、 $0.1 \mu\text{m}/\text{分}$ 以上 $2 \mu\text{m}/\text{分}$ 以下である。多結晶層について所望の厚み(0.5マイクロメートル 以上 3マイクロメートル 以下であってよい)を達成した後、アンロードする上で安全な温度(700 以上 900 以下)までウエハを冷却する。

【0059】

(実施例2)

一例では、チョクラルスキー法により成長したインゴットから切り出したシリコンウエハを、SC1溶液を用いて洗浄する。洗浄は、シリコンウエハのおもて面で厚みが 0.8nm 以上 2.0nm 以下のシリコン酸化物層が得られるように実施する。次に、化学気相成長チャンバ内にウエハをロードする。 850 以上 1000 以下の温度までウエハを加熱する。設定温度に達した時点で、5秒以上60秒以下(好ましくは、10秒以上40秒以下)の時間、同じ温度でウエハをベーキングする。CVDチャンバ内の周囲雰囲気は、 H_2 、または、 H_2 とエッチングガス(例えば、 HC1 または C1_2)との組み合わせのいずれかである。還元雰囲気(選択的にエッチングガスを含む)をチャンバに導入し、ウエハの表面の汚染物質を取り除く。ベーキングが完了すると、ウエハに対して、還元雰囲気のベーキングと同じ温度で、多結晶シリコンの化学気相成長法を実施する。多結晶シリコンの化学気相成長用のシリコン前駆体の例は、トリクロロシラン、ジクロロシラン、シランおよびこれらの誘導体である。多結晶シリコンの化学気相成長は、大気圧下または減圧下で行う。成長速度は、 $0.1 \mu\text{m}/\text{分}$ 以上 $2 \mu\text{m}/\text{分}$ 以下である。多結晶シリコンを所望の厚みまで堆積させた後、堆積温度よりも高い温度までウエハ温度を上昇させ、アニールにより残留膜応力を除く。有効に膜応力を解放するための温度は、 1000 またはそれ以上(例えば、 1050 または 1100)である。アニールの均熱時間(soak time)は、10秒またはそれ以上である。アニールが完了すると、アンロードを行う上で安全な温度までウエハを冷却する。ここで、図5を参照する。図5は、多結晶シリコンの堆積とアニールの条件に対するウエハのワープの依存性を示すグラフである。多結晶シリコン膜における残留膜応力は、ウエハバウとウエハワープの仕様(典型的には、 200mm ウエハと 300mm ウエハの両方で、 $60 \mu\text{m}$ 未満である)に適合するように酸化物のベーキング、成長温度、成長速度および堆積後アニールの条件を調節することにより、0から 100MPa の範囲で制御できる。所定の膜応力について、ウエハバウとウエハワープは膜厚に比例して増加する。それゆえ、開示している多結晶シリコンの処理により、厚みが最大数十マイクロメートルの多結晶シリコン膜を成長させることができる。多結晶層について所望の厚み(0.5マイクロメートル 以上 3マイクロメートル 以下であってよい)を達成した後、アニールを行い、アンロードする上で安全な温度(700 以上 900 以下)までウエハを冷却する。

【0060】

(実施例3)

一例では、チョクラルスキー法により成長したインゴットから切り出したシリコンウエハを、SC1溶液を用いて洗浄する。洗浄は、シリコンウエハのおもて面で厚みが 0.8nm 以上 2.0nm 以下のシリコン酸化物層が得られるように実施する。次に、化学気相成長チャンバ内にウエハをロードする。 850 以上 1000 以下の温度までウエハを加熱する。設定温度に達した時点で、5秒以上60秒以下(好ましくは、10秒以上40秒以下)の時間、同じ温度でウエハをベーキングする。CVDチャンバ内の周囲雰囲気は、 H_2 、または、 H_2 とエッチングガス(例えば、 HC1 または C1_2)との組み合わせのいずれかである。還元雰囲気(選択的にエッチングガスを含む)をチャンバに導入し、ウエハの表面の汚染物質を取り除く。ベーキングが完了すると、ウエハに対して、還元雰囲気のベーキングと同じ温度で、多結晶シリコンシードの化学気相成長法を実施する。シード層の厚みは、 10nm 以上 200nm である。シード層を所望の厚みまで堆積させた後、温度を上昇させ、アニールにより残留膜応力を取り除く。シード層の厚みは、多結晶シリコンの核の大きさにより設定する。応力を効果的に解放するために、シード層は、 50nm より小さいボイドを残しつつ、基板表面をカバーする必要がある。これにより、多

結晶シリコンシード層と酸化物との界面へのH₂のアクセスが可能となる。H₂は界面酸化物を減らし、多結晶シリコンシード層の粒界にある原子が基板へ拡散するのを促進し、これにより膜応力を解放する。シード層が、H₂の界面酸化物へのアクセスを完全に妨げるのに十分な厚みを有している場合、後段のアニールプロセスでは膜応力を有効に解放できない。一方、シード層が連続的でなく、隣接する2つの核の間の開口部が50nmよりも大きい場合、シードアニールプロセス中に酸化物層が除去された後に大きい核が形成される。大きい核は成長して、多結晶シリコン堆積の最後には大きい粒（すなわち、直径が1μmより大きい）となり、トラップ効率が低下する。実施例2と比較して、この実施例3では、膜応力を設計するための追加のインサイチュ制御機構が得られる。有効に膜応力を解放するための温度は、1000またはそれ以上（例えば、1050または1100）である。アニールの均熱時間は、10秒またはそれ以上（例えば30秒）である。次に、温度を低下させ、850以上1000以下とする。低下したこの温度で、多結晶シリコン層の残りを堆積させる。所望の厚みを有する多結晶シリコンを堆積させた後、アンロードを行う上で安全な温度までウエハを冷却する。多結晶層について所望の厚み（0.5マイクロメートル以上3マイクロメートル以下であってよい）を達成した後、アンロードする上で安全な温度（700以上900以下）までウエハを冷却する。

[0 0 6 1]

上述の組成とプロセスでは、本発明の範囲から逸脱しない範囲で、さまざまな変更が行われてよく、上述の説明に含まれるすべての事項は、例示的であって限定的な意味でないと解釈される。

[0 0 6 2]

本発明またはその好ましい実施形態の要素を導入する際に記載する冠詞である、1つの(a, an)、その(または前記)(the)および前記(said)は、当該要素が1つ以上存在することを示している。「備える、含む、有する」(comprising, including, having)は、記載した要素以外の追加の要素を含みうることを示している。

【図 1】

【図3】

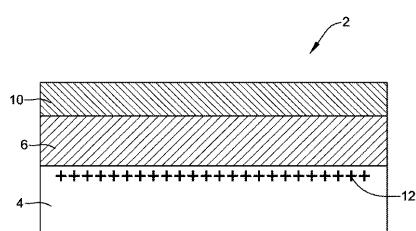


FIG. 1

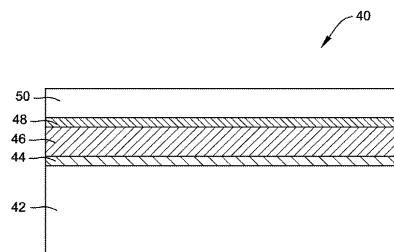


FIG. 3

【圖 2】

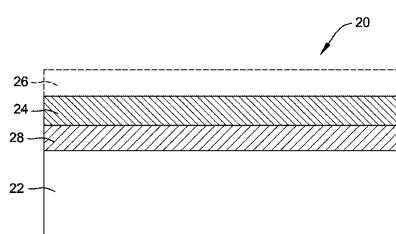
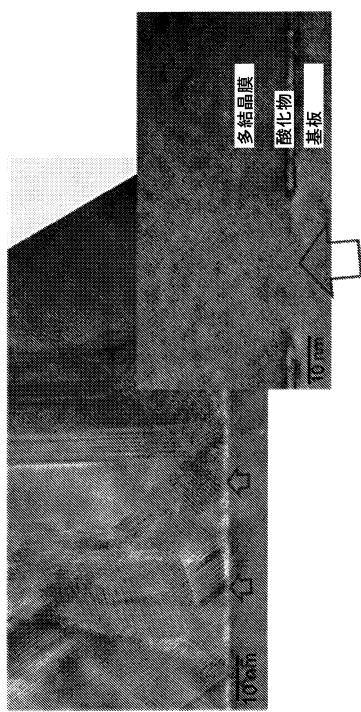
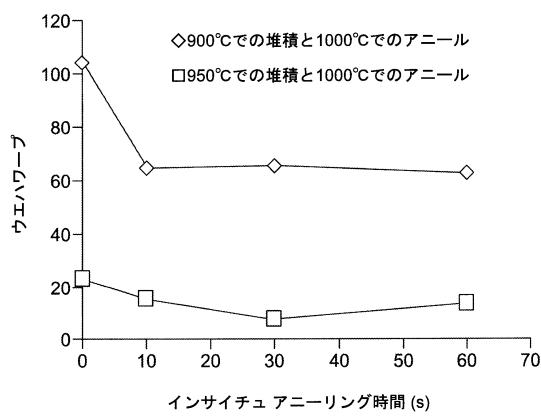


FIG. 2

【図4】



【図5】



フロントページの続き

(72)発明者 ジェフリー・ルイス・リバート

アメリカ合衆国 6 3 3 7 6 ミズーリ州セント・ピータース、パール・ドライブ 5 0 1 番

(72)発明者 ワン・ガン

アメリカ合衆国 6 3 3 7 6 ミズーリ州セント・ピータース、パール・ドライブ 5 0 1 番

(72)発明者 ショーン・ジー・トーマス

アメリカ合衆国 6 3 3 7 6 ミズーリ州セント・ピータース、パール・ドライブ 5 0 1 番

(72)発明者 イゴール・ペイドウス

アメリカ合衆国 6 3 3 7 6 ミズーリ州セント・ピータース、パール・ドライブ 5 0 1 番

審査官 宇多川 勉

(56)参考文献 特表 2 0 1 4 - 5 0 9 0 8 7 (JP, A)

特開 2 0 1 2 - 1 9 9 5 5 0 (JP, A)

特表 2 0 1 6 - 5 0 6 6 1 9 (JP, A)

特開平 1 0 - 2 5 6 2 6 3 (JP, A)

米国特許出願公開第 2 0 1 5 / 0 0 0 4 7 7 8 (US, A 1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 0 2

H 0 1 L 2 7 / 1 2