(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年7月4日(04.07.2019)

WIPO | PCT

(10) 国際公開番号
WO 2019/130700 A1

(51) 国際特許分類:
H01L 21/60 (2006.01)　*H01L 23/48* (2006.01)

(21) 国際出願番号：　PCT/JP2018/036269

(22) 国際出願日：　2018年9月28日(28.09.2018)

(25) 国際出願の言語：　日本語

(26) 国際公開の言語：　日本語

(30) 優先権データ：
特願 2017-249604　2017年12月26日(26.12.2017) JP

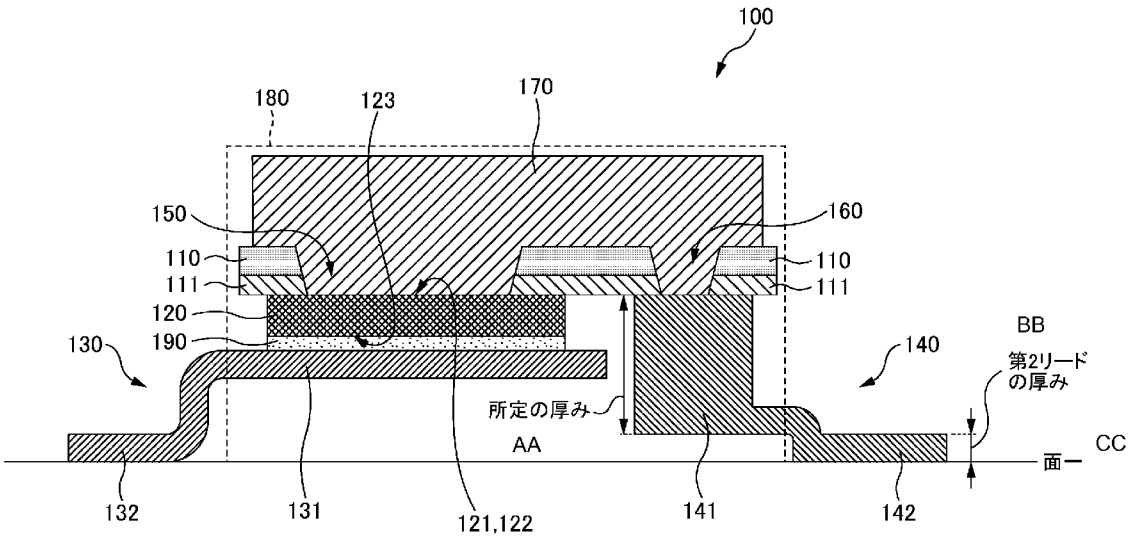
(71) 出願人：太陽誘電株式会社(**TAIYO YUDEN CO., LTD.**) [JP/JP]；〒1040031 東京都中央区京橋二丁目７番１９号 Tokyo (JP).

(72) 発明者：黒澤　勝 (**KUROSAWA, Masaru**)；〒1040031 東京都中央区京橋二丁目７番１９号 太陽誘電株式会社内 Tokyo (JP). 河野 満治(**KAWANO, Michiharu**)；〒1040031 東京都中央区京橋二丁目７番１９号 太陽誘電株式会社内 Tokyo (JP). 萩原 康仁(**HAGIWARA, Yasuhito**)；〒1040031 東京都中央区京橋二丁目７番１９号 太陽誘電株式会社内 Tokyo (JP). 浜本 貴樹(**HAMAMOTO, Takaki**)；〒1040031 東京都中央区京橋二丁目７番１９号 太陽誘電株式会社内 Tokyo (JP).

(74) 代理人：一色国際特許業務法人(**ISSHIKI & CO.**)；〒1080073 東京都港区三田三丁目１１番３６号三田日東ダイビル Tokyo (JP).

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置、半導体装置の製造方法



AA　Predetermined thickness
BB　Thickness of second lead
CC　On one plane

(57) **Abstract:** This semiconductor device is provided with: a flexible resin substrate having an adhesive layer on one surface; a semiconductor element that is provided in a face-down manner on the one surface of the resin substrate via the adhesive layer; a first connection member having an island adhered to the semiconductor element surface on the reverse side of the resin substrate, and a first lead, which is integrally formed with the island, and which extends in one direction parallel to the one surface of the resin substrate; a second connection member having a conductive section, which is

WO 2019/130700 A1

［続葉有］

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

provided on the one surface of the resin substrate by being adjacent to the semiconductor element, and which is adhered to the resin substrate, and a second lead, which is integrally formed with the conductive section, and which extends in another direction different from the one direction; a first via formed by introducing a conductive material into a first contact hole that is provided in the resin substrate so that a surface electrode of the semiconductor element is exposed; a second via formed by introducing a conductive material into a second contact hole that is provided in the resin substrate so that the conductive section is exposed; and a common electrode, which is provided on the other surface of the resin substrate, and which connects the first via and the second via to each other.

(57) 要約: 【課題】 一方の面に接着層を有する、可撓性の樹脂基板と、前記接着層を介して、前記樹脂基板の一方の面に、フェイスダウンで設けられた半導体素子と、前記半導体素子における前記樹脂基板と反対側の面に固着されるアイランドと、前記アイランドと一体的に形成され、前記樹脂基板の一方の面と平行な一方向に延出する第１リードと、を有する第１接続部材と、前記樹脂基板の一方の面において前記半導体素子と隣り合って設けられ、前記樹脂基板に固着される導電部と、前記導電部と一体的に形成され、前記一方向とは異なる他方向に延出する第２リードと、を有する第２接続部材と、前記半導体素子の表面電極が露出するように前記樹脂基板に設けられる第１コンタクト孔に、導電材料を導入して形成される第１ビアと、前記導電部が露出するように前記樹脂基板に設けられる第２コンタクト孔に、導電材料を導入して形成される第２ビアと、前記樹脂基板の他方の面に設けられ、前記第１ビアと前記第２ビアとを接続する共通電極と、を備える。

明　細　書

発明の名称 ： 半導体装置、半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置、半導体装置の製造方法に関する。

背景技術

[0002] 例えば、ワイヤボンドを有するＰＯＬ構造体がある。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１３－８２２３０号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献１に記載されているＰＯＬ構造体においては、ワイヤボンディングに比べて、放熱性の低下や寄生インダクタンスの増大を抑制することができる。しかし、該ＰＯＬ構造体では、半導体素子の接合に半田を用いているため、抵抗値の増大や半田亀裂などによる信頼性の低下を引き起こす虞があった。

[0005] 一方、ＰＯＬ技術を用いた半導体デバイスでは、半導体素子とリードを接続する場合、半導体素子の厚み分のギャップが発生し、リードとの接続にはシム（ギャップを埋める金属体）が必要な場合がある。このシムとリードとの接合には半田などのロウ材を用いているため、上記と同様のロウ材の抵抗上昇の問題に加えて、半田接続の工程を要することから製作効率が低下する虞があった。

課題を解決するための手段

[0006] 本発明の１つの側面に係る半導体装置は、一方の面に接着層を有する、可撓性の樹脂基板と、前記接着層を介して、前記樹脂基板の一方の面に、フェイスダウンで設けられた半導体素子と、前記半導体素子における前記樹脂基板と反対側の面に固着されるアイランドと、前記アイランドと一体的に形成

され、前記樹脂基板の一方の面と平行な一方向に延出する第１リードと、を有する第１接続部材と、前記樹脂基板の一方の面において前記半導体素子と隣り合って設けられ、前記樹脂基板に固着される導電部と、前記導電部と一体的に形成され、前記一方向とは異なる他方向に延出する第２リードと、を有する第２接続部材と、前記半導体素子の表面電極が露出するように前記樹脂基板に設けられる第１コンタクト孔に、導電材料を導入して形成される第１ビアと、前記導電部が露出するように前記樹脂基板に設けられる第２コンタクト孔に、導電材料を導入して形成される第２ビアと、前記樹脂基板の他方の面に設けられ、前記第１ビアと前記第２ビアとを接続する共通電極と、を備える。

[0007] その他、本願が開示する課題、及びその解決方法は、発明を実施するための形態の欄の記載、及び図面の記載等により明らかにされる。

発明の効果

[0008] 本発明によれば、シムとフレームとを接合するための半田接続の箇所を削減できるため、半導体装置の特性を向上させることができるとともに、製作効率の向上が図れる。

図面の簡単な説明

[0009] [図1]本実施形態に係る半導体装置の一例を概略的に示す断面図である。

[図2]本実施形態に係る半導体装置の他の一例を概略的に示す断面図である。

[図3]本実施形態に係る半導体装置の他の一例を概略的に示す断面図である。

[図4]本実施形態に係る半導体装置を概略的に示す平面図である。

[図5A]本実施形態に係る半導体装置の製造工程を概略的に示す断面図である。

[図5B]本実施形態に係る半導体装置の製造工程を概略的に示す断面図である。

[図5C]本実施形態に係る半導体装置の製造工程を概略的に示す断面図である。

[図5D]本実施形態に係る半導体装置の製造工程を概略的に示す断面図である

。

[図5E]本実施形態に係る半導体装置の製造工程を概略的に示す断面図である。

[図5F]本実施形態に係る半導体装置の製造工程を概略的に示す断面図である。

[図5G]本実施形態に係る半導体装置の製造工程を概略的に示す断面図である。

[図5H]本実施形態に係る半導体装置の製造工程を概略的に示す断面図である。

[図5I]本実施形態に係る半導体装置の製造工程を概略的に示す断面図である。

[図6A]本実施形態に係る半導体装置の他の製造工程を概略的に示す断面図である。

[図6B]本実施形態に係る半導体装置の他の製造工程を概略的に示す断面図である。

[図7]従来の半導体装置を概略的に示す断面図である。

[図8]従来の半導体装置を概略的に示す平面図である。

[図9]従来の半導体装置の電極の配置を概略的に示す平面図である。

発明を実施するための形態

[0010] 以下、適宜図面を参照し、本発明の実施形態に係る電源モジュールについて説明する。なお、図面において共通の又は類似する構成要素には同一又は類似の参照符号が付されている。

[0011] ＝＝＝半導体装置１００の構成＝＝＝

図１、図２、図３、図４、図７～図９を参照しつつ、本実施形態における半導体装置１００について以下のとおり説明する。図１は、本実施形態に係る半導体装置１００を概略的に示す断面図である。図２、図３は、本実施形態に係る半導体装置１００の他の一例を概略的に示す断面図である。図４は、本実施形態に係る半導体装置１００を概略的に示す平面図である。図７は

、従来の半導体装置１０００を概略的に示す断面図である。図８は、従来の半導体装置１０００を概略的に示す平面図である。図９は、従来の半導体装置１０００の電極の配置を概略的に示す平面図である。

[0012] 従来の半導体装置１０００は、例えば、図７、図８に示すように、一方の面に接着層１１１０を有する樹脂基板１１００と、該接着層１１１０を介して樹脂基板１１００に固着される半導体素子１２００と、半導体素子１２００とビア１３００を介して接続されるシム１４００と、半導体素子１２００と接続される第１リード１５００と、半田２０００を介してシム１４００と接続される第２リード１６００または第３リード１７００と、半導体装置１０００をモールドする封止樹脂１８００と、を有する。尚、アイランド１５１０に固着材２０００を介して半導体チップ１２０００を固着されることから、リード１６１０と接着層１１１０の間にギャップが発生する。シム１４００は、このギャップを埋める６面体から成る導電材である。

[0013] 図９に示すように、例えば、半導体装置１０００がＭＯＳＦＥＴである場合、第１リード１５００が半導体素子１２００の裏面のドレイン電極に接続され、第２リード１６００が半導体素子１２００のソース電極に接続され、第３リード１７００が半導体素子１２００のゲート電極に接続される。図７、図９に示すように、第１リード１５００は、半導体素子１２００の裏面と半田２０００で接合される第１接着部１５１０（アイランドとも言う）と、封止樹脂１８００から延出する第１露出部１５２０と、を有する。また、第２リード１６００は、シム１４００と半田２０００で接合される第２接着部１６１０と、封止樹脂１８００から延出する第２露出部１６２０と、を有する。また、第３リード１７００は、シム１４００と半田２０００で接合される第３接着部１７１０と、封止樹脂１８００から延出する第３露出部１７２０と、を有する。

[0014] このような半導体装置１０００の製造過程において、シム１４００は、半導体素子１２００の実装と同じタイミングで、例えばマウンティング装置で接着層１１１０に固着される。そして、シムは、共通電極１９００にビア１

３００を介して接続される。そして、図７に示すように、第２リード１６００、第３リード１７００（不図示）は、半田２０００などの接合材を介して該シム１４００に固着される。ここで問題となるのは、半田２０００を用いた接合で、亀裂などを生じる可能性がある。また、半田２０００で接合されている部分は、高い抵抗を有するため、半導体装置１０００の特性を低減させる虞がある。半導体装置１０００においては、このよう問題を回避するために、極力、半田２０００の接合部分を少なくすることが求められている。なお、半導体装置１０００がＭＯＳＦＥＴではなく、バイポーラトランジスタまたはＩＧＢＴでも良い。また、材料系で言うと、ＳｉＣまたはＧａＮなどのパワーＴＲでも同様の問題を生じる虞がある。

[0015] さらに、このような半導体装置１０００は、一般に、ボンディング法による金属細線を採用し、半導体素子１２００とリードを接続する場合が多い。この場合、半導体素子１２００のソース電極と第２リード１６００、更には、ゲート電極と第３リード１７００を金属細線でつなぐ。そのため、その金属細線による抵抗分、インダクタンス成分が発生する虞があった。更に、ボンディング衝撃による素子劣化等を生じる虞があった。

[0016] 更に、パワーオーバーレイ技術を用いた半導体装置１０００では、上述したように、半導体素子１２００の厚みに応じたシム１４００を用いる必要がある。シム１４００の一方の面は接着層１１１０を介してビア１３００と接続され、シム１４００の他方の面は半田２０００を介して第２リード１１６００、第３リード１７００と接合されている。このように、シム１４００の他方の面は半田で接続されるため、半田による抵抗分が発生するという問題があった。また、半導体素子１２００の実装と同時に、シム１４００を載せる工程と、その後、第１リード１６００、第３リード１７００を固定させる工程の、二つの工程を要していた。また、金属のリードフレームの上に樹脂シート１１００がのるため、熱膨張係数の違いで、コンタクト不良が発生する課題も見つかった。

[0017] 以下、本発明の実施の形態を説明する。本実施形態に係る半導体装置１０

０は、図１乃至図４に示すように、樹脂基板１１０と、半導体素子１２０と、第１接続部材１３０と、第２接続部材１４０と、第３接続部材１４２Ａと、ソース側の第１ビア１５０と、シム側の第２ビア１６０と、ゲート側の第３ビア１５０Ａとシム側の第４ビア１６０Ａと、ソース側の共通電極１７０と、ゲート側の共通電極１７０Ａと、封止樹脂１８０と、を含んで構成されている。尚、二つの共通電極１７０，１７０Ａは、ビア１５０，１６０，１５０Ａ，１６０Ａも含めメッキにより一体で形成されている。

[0018] また、半導体装置１００は、樹脂基板１１０における接着層１１１とは反対側の面に、前述した共通電極１７０、１７０Ａが形成される。半導体素子１２０はビア１５０、１６０、１５０Ａ、１６０Ａを介して該共通電極１７０、１７０Ａに接続される。この共通電極１７０、１７０Ａは、従来の説明で述べたが、金属細線の代わりとなる。具体的には、図４で示すように、共通電極１７０（ソース配線）は半導体素子１２０を覆う大きな面積を有し、共通電極１７０Ａ（ゲート電極）は、金属細線よりも幅の大きい配線である。しかも、共通電極は、抵抗分やインダクタンス成分を抑制するように、厚みを有する。また、この共通電極１７０、１７０Ａは、メッキで形成されるもの、またはメッキで形成し、その上に導電板などを貼り合わせて形成されても良い。前者のメッキで完結するものは、メッキ厚が例えば厚くて２００μｍ前後、後者は、メッキ厚が５０μｍ前後である。そして、導電板は、Ｃｕからなり、１００μｍ～１０００μｍ程度である。尚、ここでは、前者のＣｕメッキ処理により形成されている。

[0019] 樹脂基板１１０は、可撓性基板で、安定した非流動性の薄層体またはフィルム状の基板である。樹脂基板１１０は、ポリイミド基板からなり、カプトン（Ｋａｐｔｏｎ）（登録商標）、ウルテム（Ｕｌｔｅｍ）（登録商標）、ポリテトラフルオロエチレン（ＰＴＦＥ）、ユーピレックス（Ｕｐｉｌｅｘ）（登録商標）、ポリスルフォン材料（例えば、ユーデル（Ｕｄｅｌ）（登録商標）、レイデル（Ｒａｄｅｌ）（登録商標））、または液晶ポリマー（ＬＣＰ）などから選択される。

[0020] 樹脂基板１１０を用いることにより、半導体装置１００表面と共通電極１７０との接続部、つまり両者の界面は、この可撓性により、ここに生じる応力を緩和し、電気的特性を維持することができる。

[0021] なお、本実施形態で採用されたポリイミド樹脂について説明する。このポリイミド樹脂は、イミド樹脂が重合された高分子の総称であり、通常は芳香族化合物が直接イミド結合で連結された芳香族ポリイミドをいう。芳香族ポリイミドは、芳香族と芳香族がイミド結合を介して共役構造を有するため、剛直で強固な分子構造を有する。さらに、イミド結合が強い分子間力を有するため、ポリイミド樹脂は、周波数特性がよく、すべての高分子中で最高レベルの高い熱的、機械的、化学的性質を有する。そのため、本実施例の様に、大電流を流せ、高発熱を発生するパワートランジスタには好適で、しかも可撓性から応力緩和にも有用である。

[0022] 半導体素子１２０は、樹脂基板１１０にフェイスダウンで設けられ、例えば、ＭＯＳＦＥＴ（電界効果トランジスタ）、ＩＧＢＴ（絶縁ゲートバイポーラトランジスタ）、ＢＩＰ（バイポーラトランジスタ）などである。材料で述べれば、Ｓｉ系、ＧａＡｓ系、ＳｉＣ系、ＧａＮ系である。例えば、半導体素子１２０にＭＯＳＦＥＴが採用される場合は、上面にゲート電極およびソース電極が設けられ、下面にドレイン電極が設けられる。また、例えば、半導体素子１２０にＢＪＴ（バイポーラ接合トランジスタ）が採用される場合は、上面にベース電極およびエミッタ電極が設けられ、下面にコレクタ電極が設けられる。尚、ゲート電極やベース電極を「制御電極」と呼び、ソース電極、コレクタ電極を「電流流入電極」（または「電流流出電極」）と呼び、ドレイン電極、エミッタ電極を「電流流出電極」（または「電流流入電極」）と呼ぶことがある。

[0023] 以下の説明においては、半導体素子１２０としてＭＯＳＦＥＴを採用するものとする。半導体素子１２０は、図１に示すように、第１ビア１５０に接続されるソース電極（第１電極１２１）、および第３ビア１５０Ａに接続されるゲート電極（制御電極１２２）と、第１ビア１５０と一体で形成された

共通電極１７０は、第２ビア１６０を介して、シムと一体の第２接続部材１４０に接続される。更に、ゲート電極１２２は、第３ビア１５０Ａと一体で形成された共通電極１７０Ａの一端に接続され、この共通電極１７０Ａの他端に位置する第４ビア１６０Ａを介して、シムと同一材料で一体となった第３接続部材１４２Ａと接続される。

[0024] 更には、半導体素子１２０の裏面、ドレイン側は、ドレイン電極（第２電極１２３）とアイランド１３１が電気的に接続されて固着されている。このアイランド１３１は、一体で形成された第１接続部材１３０側へと導出され、折り曲げられて第1リード１３２として延在している。なお、上述したように、第１電極１２１は例えばソース電極であり、制御電極１２２は例えばゲート電極であり、第２電極１２３は例えばドレイン電極（電流の流出電極または流入電極）である。なお、半導体素子１２０の厚みは、４０μｍ～４００μｍであることが好ましい。

[0025] 以上の様に、金属細線の代わりに樹脂基板１１０の表面に形成され、共通電極１７０，１７０Ａを通じて、Ｃｕからなるアイランド１３１と一体に形成される第１接続部材１３０と、第２接続部材１４０と、を介して電流が出入りするため、半導体装置１００は大電流に対応できる。さらに、共通電極１７０がチップを覆い、厚みを有するため、より大きな電流に対応できる。

[0026] 更には、第２接続部材１４０、第３接続部材１４２Ａは、従来のシムに相当する部分とＣｕのリードが一体となったものである。尚、このような一体構造は、パンチング等の機械的加工やエッチングで加工ができる。更に、第２接続部材１４０、第３接続部材１４２Ａのシム側は、共通電極１７０、１７０Ａとビアが一体の、メッキによる接続構造であるため、いっさい半田を採用しない構造となる。よって抵抗分、インダクタンス成分を大きく減らせる。

[0027] 第１接続部材１３０は、半導体素子１２０における樹脂基板１１０と反対側の面に固着されるアイランド１３１と、それと一体的に形成され、樹脂基板１１０の一方の面と平行な一方向に延出する第１リード１３２と、を有す

る。第１接続部材１３０は、例えば、アイランド１３１と第１リード１３２との間をガルウイング状（Ｌ字状）に折り曲げ加工されていても良い。アイランド１３１および第１リード１３２は、銅やアルミニウムなどの導電材料で形成されている。アイランド１３１は、例えば導電板をエッチング加工または打ち抜き加工することにより形成される。また、アイランド１３１の裏面または／および共通電極１７０の表側が封止樹脂１８０から露出する構造を有することで、放熱性の向上が図れる。

[0028] 第２接続部材１４０は、第２ビア１６０、共通電極１７０および第１ビア１５０を介して半導体素子１２０に電気的に接続される部材である。第１接続部材１３０は、シムに相当する導電部１４１と、導電部１４１と一体的に形成され、封止樹脂１８０から延出する第２リード１４２と、を有する。導電部１４１および第２リード１４２は、例えば、打ち抜き加工で製作され、銅やアルミニウムなどの導電材料で形成されている。このように、第２接続部材１４０は、半田を用いずに、導電部１４１と第２リード１４２とが一体的に製作される。また、同様に、第３接続部材１４２Ａもシムに相当する導電部１４１Ａと第３リード１４２Ａとが一体で形成されている。これにより、半田による気泡破裂やクラックを回避することができ、また、半田が有する抵抗分を削減することができるため、半導体装置１００の特性が向上する。

[0029] シムに相当する二つの導電部１４１、１４１Ａは、所定の厚みを有する。具体的には、例えば、半導体素子１２０の厚み、接着層１１１（ここでは半田や導電ペースト）の厚みおよびアイランド１３１厚みを合算した厚みである。これにより、導電部に発生する熱は、ヒートシンクとして蓄熱できると同時に、放熱性を確保できる。

[0030] また、図１では、トランスファーモールド、真空印刷などの樹脂封止した状態において、アイランド１３１の裏面と導電部１４１、１４１Ａの裏面とが面一であり、また、アイランド１３１から延出する第１リード１３２の裏面と、導電部から延出する第２リード１４２の裏面および第３リード１４２

Ａの裏面とが面一であるため、簡単に下金型に当接させることができるため、製作の信頼性が向上する。

[0031] また、例えば、図２に示すように、それぞれの導電部１４１、１４１Ａは、半導体素子１２０およびアイランド１３１を合算した厚みよりも厚く形成されていてもよい。これにより、導電部１４１、１４１Ａの放熱性がより向上するため、半導体装置１００の熱特性がより向上する。また、例えば、図３に示すように、導電部１４１、１４１Ａは、製作工程において第２リード１４２、第３リード１４２Ａが接着層１１１に接触しない程度の厚みであって、第２リード１４２、第３リード１４２Ａと略同一の厚みで形成されていてもよい。リードを樹脂基板１１０に取り付ける際、一般には曲げ加工する前、隙間があるため第２リード１４２、第３リード１４２Ａが接着層１１１に付かず、作業性に優れるからである。つまり、導電部は、導電部１４１、１４１Ａの厚み＞第２リード１４２、第３リード１４２Ａの厚み、の関係が成り立つ厚みを有するように形成される。

[0032] 第２リード１４２、第３リード１４２Ａは、ガルウイング状に折り曲げ加工され、例えば封止樹脂１８０から延出した当接部分が第１リード１３２と面一になるように形成されている。

[0033] 第１ビア１５０乃至第４ビア１６０Ａは、樹脂基板１１０に、レーザを照射して加工される。しかし、プラズマエッチングまたは機械的な穴あけプロセスによって形成しても良い。またこの第１ビア孔１５１乃至第４ビア孔１６１Ａ（図５Ｄを参照）は、例えば導電材をメッキ処理して充填されてビアとなり、共通電極と一体で形成される。材料は、一般には銅を主材料としたものであるが、ＡＩを主材料としたもの、またはＣｕまたはＡＩを含んだ合金であってもよい。

[0034] 封止樹脂１８０は、半導体素子１２０、アイランド１３１と一体の第１接続部材１３０乃至第３接続部材１４２Ａを被覆して一体的に支持する部材である。封止樹脂１８０は、例えば、熱硬化性の樹脂、熱可塑性の樹脂でも良い。封止法は、トランスファーモールド、インジェクションモールド、ポッ

ティング法または真空印刷などが可能である。尚、封止樹脂１８０は、必須ではなく、採用しなくも良い。また、この様に、封止樹脂が採用されない場合、樹脂基板１１０と第１乃至第３リード１３２，１４２，１４２Ａ、樹脂基板１１０とアイランド１３１、そして半導体素子１２０の周囲には、アンダーフィルの如き樹脂が塗布されても良い。

[0035] ＝＝＝半導体装置１００の製造工程＝＝＝

図５Ａ～図５Ｉ、図６Ａ～図６Ｂを参照しつつ、本実施形態における半導体装置１００の製造方法について以下のとおり説明する。

[0036] まず、図５Ａから説明する。樹脂基板１１０に安定性を与えるため、樹脂基板１１０表側（尚、図１では裏側となる）の周囲にリング状のフレーム２００を配置する。次に、図５Ｂに示すように、樹脂基板１１０がフレーム２００に固着された状態において、樹脂基板１１０の一方の面に接着層１１１が形成される。尚、フレーム２００を固着する前に、樹脂基板１１０全面に接着層１１１を形成し、その後でフレーム２００を固定しても良い。ここで、接着層が設けられ、周囲に枠が設けられた樹脂基板１１０が用意される。

[0037] 次に、図５Ｃに示すように、１つまたは複数の半導体素子１２０および第２接続部材１４０（１４１Ａ、１４２Ａ）が接着層１１１を介して樹脂基板１１０に固着される。このとき、半導体素子１２０を半硬化状態の接着層１１１に配置した状態において、接着層１１１を硬化させることで、半導体素子１２０を樹脂基板１１０に固着する。

[0038] 従来は、この工程において、第２接続部材１４０の代わりにシム１４００を接着層１１１に固着し、その後、シム１４００に半田２０００を介して第２リード１６００を固着させていた。本実施形態においては、半田２０００を用いずに、シム１４００と第２リード１６００が一体的に形成される第２接続部材１４０を用いることで、作業工程の減らすことができる。

[0039] なお、第２接続部材１４０は、湾曲加工されているが、導電部１４１から水平に延び出るように第１リード１４２が形成されていてもよい。また、半導体装置として２つのユニットが図示されているが、実際は平面視で縦横に

マトリックス状に前記ユニットが並んだ集合基板からなり、夫々のユニットに、マウンターを採用して実装されている。

[0040] 次に、図５Ｄに示すように、樹脂基板１１０および接着層１１１に複数のビア孔１５１，１６１を形成する。ビア孔１５１，１６１は、例えば、レーザによって形成される。

[0041] そして、図５Ｅに示すように、該ビア孔１５１，１６１には、メッキにより導電材が充填される。続けて、樹脂基板１１０の裏側に導電材がメッキで形成される。よってビア１５０，１６０と共通電極１７０は、Ｃｕメッキにより一体で形成される。また、パターンの形成は、樹脂基板１１０に全面メッキの後に所望の形状にパターニングしても良いし、メッキレジストを形成して部分メッキで、共通電極１７０、１７０Ａを形成しても良い。尚、この共通電極１７０、１７０Ａを薄く形成し、導電性接着剤を用いて、Ｃｕ板を貼り合わせても良い。このようにすると、メッキ時間の短縮が可能である。

[0042] なお、図５Ｃ、図５Ｄにおいて、半導体素子１２０および第２接続部材１４０を固着した後に、ビア孔１５１，１６１を形成するように説明したが、これに限定されない。例えば、図６Ａ、図６Ｂに示すように、ビア孔１５１，１６１を形成した後に、半導体素子１２０および第２接続部材１４０を樹脂基板１１０に固着させてもよい。

[0043] 次に、図５Ｆ、図５Ｇ、図５Ｈに示すように、樹脂基板１１０は、フレーム２００から外される。ここでは、その後で、樹脂基板１１０を所定の大きさに個片化している。個片化された半導体装置１００のドレイン電極側には、半田１９０またはＡｇペーストなどを介して第１接続部材１３０が取り付けられる。そして、必要により、図５Ｉに示すように、封止樹脂１８０で樹脂封止して、半導体装置１００が完成する。尚、本実施例は、ダイパッドに一つの半導体素子１２０を実装したが、複数の半導体素子１２０が実装されても良いし、受動素子が装着されても良い。

[0044] 続いて、図４を参照しながら、更なる工夫に関して説明する。図４の平面図では、３本の第２リード１４２が一体となった導電部１４１（第２導電部

）、第３リード１４２Ａのダイパッド側の導電部１４１Ａ（第１導電部）が、この工夫に起因する部分である。この導電部１４１，１４１Ａは、厚みがあり、その体積もある。

半導体装置１００において、これらの金属のリードフレーム、樹脂基板１１０、半導体素子１２０および接着剤１１１の熱膨張係数αの違いにより、歪が発生する。しかも、上述した導電部においては、その体積が大きいため、その伸び縮みの量も大きくなる。

[0045] さらに、図４の平面的なパターンにおいて、第３ビア１５０Ａ（第１のコンタクト孔）やゲート配線１７０Ａに負荷が加わり、不良が発生する虞がある。制御電極であるゲート電極１２２やゲート配線１７０Ａは、サイズが小さく形成されている。ここで、半導体素子１２０側には制御電極（ゲート電極１２２）が設けられており、ゲート配線１７０Ａの一方の端部は、樹脂基板１１０の第３ビア１５０Ａである貫通孔（第１のコンタクト孔）を介して半導体素子１２０のゲート電極１２２とコンタクトしている。つまり、この端部は、ゲート電極１２２と接続され、ゲート配線１７０Ａとして第４ビア１６０Ａに向かって延在している。ここでは、ゲート配線１７０Ａの一方の端部をゲート電極１２２として説明することもある。

[0046] また、ソース電極１２１も同様に、半導体素子１２０側に設けられている破線で示す矩形の電極がソース電極であり、樹脂基板１１０の上に設けられた共通電極１７０（ソース配線）、特に半導体素子１２０の上に位置する部分をソース電極１２１として説明することもある。

[0047] 例えばＦＥＴであれば、ゲート電極には、電圧が印加されるだけで、電流は流れない。ＢＩＰトランジスタであれば、ベース電極に少ない電流しか流れない。そのため、制御電極のサイズ、ここではゲート電極１２２のサイズであるが、ソース電極１２１のサイズと比べて小さい。さらに、ゲート電極１２２と一体のゲート配線１７０Ａは、ソース配線１７０の幅よりも狭い。さらに、第３ビア１５０Ａ（第１のコンタクト孔）の孔径は上述の理由により、小さく形成され、その個数も少なく、一般的には一個である。

[0048] 尚、図４に於いて、ソース電極１２１の第１ビア１５０（第２のコンタクト孔）は、一つであるが、縦横に複数並べられる場合もある。

[0049] この場合、半導体素子１２０に大電流が流れるため、半導体装置１００全体の温度が上昇する。特に、アイランド１３１や導電部１４１、１４１Ａは、体積が大きいため、その伸び縮みも大きくなることから、その分、樹脂基板１１０に応力が加わる。その結果、最も弱い部分、例えば第３ビア１５０Ａ（第１のコンタクト孔）に負荷が加わり、第３ビア１５０Ａ内のクラックや膜剥がれが発生したり、ゲート電極１２２と一体のゲート配線１７０Ａにクラックや断線が生じる虞がある。

[0050] 本実施形態では、この課題を解決するために、図４に示すようにゲート配線１７０Ａの一方の端部（樹脂基板１１０上のゲート電極１２２）とソース配線１７０の間に位置するスペースに、ひずみ吸収部、特にスリットＧｓ（開口部）を設けた。具体的には、図４において、スリットＧｓは、ゲート配線１７０Ａの一方の端部の角に沿って設けられている。すなわち、スリットＧｓは、ゲート電極１２２とソース電極１２１の間の樹脂基板１１０の露出部分に設けられ、縦方向のスペースと横方向のスペースでＬ字になっている部分に設けられ、例えば直線状の組み合わせまたはＬ字状のスリットが設けられていればよい。スリットＧｓは、樹脂基板１１０および接着層１１１を貫通する開口である。このスリットＧｓを設けることにより、ゲート電極１２２やその周りに発生するひずみを吸収でき、前述した不良を抑制することができる。

[0051] このスリツトＧｓは、ビア形成時に形成しても良いし、半導体素子１２０を固着した後に形成しても良い。スリットＧｓの加工方法は、主にレーザによる加工が用いられ、樹脂基板１１０と下層の接着層１１１が取り除かれる。尚、このひずみ吸収部は、レーザの代わりにカッタで切り込んでも良い。カッタにより形成される切れ目は、樹脂基板１１０を貫通しているが開口を形成しない。すなわち、切れ目の内部において対向するカット面は、それぞれ当接している。

[0052] ＝＝＝まとめ＝＝＝

以上説明したように、金属細線の代わりに、樹脂基板１１０に設けた共通電極１７０，１７０Ａで半導体素子１２０と電気的に接続するため、抵抗成分、インダクタンス成分を減らせ、半導体装置１００として特性を向上させることができる。

[0053] また、共通電極１７０，１７０Ａは、メッキで厚く形成可能であるため、金属細線と比べ、厚みや面積が広いため、抵抗値は大幅に低減できる。

[0054] また、樹脂基板１１０がポリイミド樹脂からなるため、半導体素子１２０は、大電流、高発熱のパワートランジスタを採用できる。

[0055] また、従来用いたシムと一体のリードである第１～第３接続部材１３０，１４０，１４２Ａを採用し、半田による接続部をなくしたので、その部分の抵抗分も減らせるという特長を有する。

[0056] 更には、半導体素子１２０の厚み、接着層１１１の厚みおよびアイランド１３１の厚みを合算した厚みと、第２接続部材１４０の導電部１４１の厚みと、が同じ厚みで形成される。そのため、アイランド１３１の裏面と導電部１４１の裏面とが面一になる（図１）ため、金型などに、平らに配置が可能となる。

[0057] また、シムに相当する部分は、半田が省略されるほか、ヒートシンクとしての機能も持たせられるため、大電流対応ができ、過渡的な熱破壊にも対応が可能である。特に、ソース電極に対応する第２接続部材１４０は、図９に示す符号１９００に相当する部分に厚さのあるシムに相当する部分が設けられるため、熱量を大きく貯めることができ、ヒートシンクとしての機能を持たせられ、熱破壊防止としてもその効果は大である。

符号の説明

[0058] １００　半導体装置

１１０　樹脂基板

１１１　接着層

１２０　半導体素子

１２１　第１電極

１２２　制御電極

１２３　第２電極

１３０　第１接続部材

１３１　アイランド

１３２　第１リード

１４０　第２接続部材

１４１　導電部

１４２　第２リード

１５０　第１ビア

１６０　第２ビア

１７０　共通電極

１８０　封止樹脂

請求の範囲

[請求項1] 一方の面に接着層を有する、可撓性の樹脂基板と、

前記接着層を介して前記樹脂基板の一方の面に設けられた半導体素子と、

前記半導体素子における前記樹脂基板と反対側の面に固着されるアイランドと、前記アイランドと一体的に形成され、前記樹脂基板の一方の面と平行な一方向に延出する第１リードと、を有する第１接続部材と、

前記樹脂基板の一方の面において前記半導体素子と隣り合って設けられ、前記樹脂基板に固着される導電部と、前記導電部と一体的に形成され、前記一方向とは異なる他方向に延出する第２リードと、を有する第２接続部材と、

前記半導体素子の表面電極が露出するように前記樹脂基板に設けられる第１コンタクト孔に、導電材料を導入して形成される第１ビアと、

前記導電部が露出するように前記樹脂基板に設けられる第２コンタクト孔に、導電材料を導入して形成される第２ビアと、

前記樹脂基板の他方の面に設けられ、前記第１ビアと前記第２ビアとを接続する共通電極と、

を備えることを特徴とする半導体装置。

[請求項2] 前記導電部は、前記第２リードよりも厚みが厚くなるように形成されている

ことを特徴とする請求項１に記載の半導体装置。

[請求項3] 前記導電部は、少なくとも、前記半導体素子の厚みと前記アイランドの厚みを合算した厚みを有する

ことを特徴とする請求項２に記載の半導体装置。

[請求項4] 前記第２接続部材の第２リードの裏面は、前記第１リードの裏面と面一になるように形成される

ことを特徴とする請求項１乃至請求項３の何れか一項に記載の半導体装置。

[請求項5] 前記樹脂基板は、ポリイミド樹脂で形成され、

前記共通電極は、メッキで形成される

ことを特徴とする請求項４に記載の半導体装置。

[請求項6] 前記共通電極は、銅板または銅箔層で形成され、

前記第１ビアを形成する前記導電材料は、ロウ材である

ことを特徴とする請求項４に記載の半導体装置。

[請求項7] 前記第１リードおよび前記第２リードが外側に延在するように、前記樹脂基板と、前記半導体素子と、前記導電部と、を封止する封止樹脂

をさらに備えることを特徴とする請求項１乃至請求項６の何れか一項に記載の半導体装

置。

[請求項8] 一方の面に接着層を有する、可撓性の樹脂基板と、

前記接着層を介して、前記樹脂基板の一方の面に設けられ、電流が流入または流出する第１電極と、前記第１面とは反対側の第２面に設けられ、電流が流入または流出する第２電極と、前記第１面に設けられ、前記第１電極と前記第２電極における電流の流入または流出を制御する制御電極と、を有する半導体素子と、

前記半導体素子の前記第２電極と固着されるアイランドと、前記アイランドと一体的に形成され一方向に延出する第１リードと、を有する第１接続部材と、

前記樹脂基板の一方の面において前記半導体素子と隣り合って設けられ、前記接着層に固着される第１導電部と、前記第１導電部と一体的に形成され、前記一方向とは反対側の他方向に延出する第２リードと、を有する第２接続部材と、

前記樹脂基板の一方の面において前記第２接続部材と隣り合って設

けられ、前記接着層を介して固着される第２導電部と、前記第２導電部と一体的に形成され、前記一方向とは反対側の他方向に延出する第３リードと、を有する第３接続部材と、

前記半導体素子の前記第１電極が露出するように前記樹脂基板に設けられる第１コンタクト孔に、導電材料を導入して形成される第１ビアと、

前記半導体素子の前記制御電極が露出するように前記樹脂基板に設けられる第２コンタクト孔に、導電材料を導入して形成される第２ビアと、

前記第１導電部が露出するように前記樹脂基板に設けられる第３コンタクト孔に、導電材料を導入して形成される第３ビアと、

前記第２導電部が露出するように前記樹脂基板に設けられる第６コンタクト孔に、導電材料を導入して形成される第６ビアと、

前記樹脂基板の他方の面に設けられ、前記第３ビアと前記第５ビアとを接続する第１共通電極と、

前記樹脂基板の他方の面に設けられ、前記第４ビアと前記第６ビアとを接続する第２共通電極と、

を備えることを特徴とする半導体装置。

[請求項9] 前記第１導電部および前記第２導電部は、少なくとも、前記半導体素子の厚みと前記アイランドの厚みを合算した厚みを有する

ことを特徴とする請求項８に記載の半導体装置。

[請求項10] 前記第４接続部材の第４リードは、前記第３リードと面一の高さになるように形成され、

前記第５接続部材の第５リードは、前記第３リードと面一の高さになるように形成される

ことを特徴とする請求項８または請求項９に記載の半導体装置。

[請求項11] 前記樹脂基板は、ポリイミド樹脂で形成され、

前記半導体素子は、パワー素子であり、

前記半導体素子の厚みは、４０μｍ～４００μｍである

ことを特徴とする請求項１０に記載の半導体装置。

[請求項12] 前記第３リード、前記第４リードおよび前記第５リードが延在するように、前記樹脂基板と、前記半導体素子と、前記１導電部と、前記第２導電部と、を封止する封止樹脂

をさらに備えることを特徴とする請求項８乃至請求項１１の何れか一項に記載の半導体装置。

[請求項13] 接着層を有する可撓性の樹脂基板を用意し、

前記樹脂基板の一方の面に半導体素子を設け、

前記半導体素子における前記樹脂基板と反対側の面に固着されるアイランドと、前記アイランドと一体的に形成され一方向に延出する第１リードと、を有する第１接続部材を設け、

前記樹脂基板の一方の面において前記半導体素子と隣り合って設けられ、前記樹脂基板に固着される導電部と、前記導電部と一体的に形成され、前記一方向とは反対側の他方向に延出する第２リードと、を有する第２接続部材を設け、

前記半導体素子の表面電極が露出するように前記樹脂基板に第１コンタクト孔を設け、

前記導電部が露出するように前記樹脂基板に第２コンタクト孔を設け、

前記第１コンタクト孔に導電材料を導入して第１ビアを形成しつつ、第２コンタクト孔に導電材料を導入して第２ビアと形成するとともに、前記第１ビアと前記第２ビアとを接続する共通電極を設ける

ことを特徴とする半導体装置の製造方法。

[請求項14] 接着層を有する可撓性の樹脂基板を用意し、

前記半導体素子の表面電極の位置に対応するように、前記樹脂基板に第１コンタクト孔を設け、

前記導電部の位置に対応するように、前記樹脂基板に第２コンタク

ト孔を設け、

前記樹脂基板の一方の面に半導体素子を設け、

前記半導体素子における前記樹脂基板と反対側の面に固着されるアイランドと、前記アイランドと一体的に形成され一方向に延出する第１リードと、を有する第１接続部材を設け、

前記樹脂基板の一方の面において前記半導体素子と隣り合って設けられ、前記樹脂基板に固着される導電部と、前記導電部と一体的に形成され、前記一方向とは反対側の他方向に延出する第２リードと、を有する第２接続部材を設け、

前記第１コンタクト孔に導電材料を導入して第１ビアを形成しつつ、第２コンタクト孔に導電材料を導入して第２ビアと形成するとともに、前記第１ビアと前記第２ビアとを接続する共通電極を設ける

ことを特徴とする半導体装置の製造方法。

[請求項15] 金属から成り、第１の厚みからなるアイランドと、

アイランドの一側辺に近接して設けられ、前記第１の厚みよりも厚い第２の厚みの第１導電部と、

前記第１導電部と一体の第１リードと、

アイランドの一側辺に近接して設けられ、前記第１の厚みよりも厚い第３の厚みの第２導電部と、

前記第２導電部と一体の第２リードと、

前記アイランドに裏面が設けられ、ゲート電極、ソース電極およびドレイン電極を表面に有する半導体素子と、

前記ゲート電極と第１のコンタクト孔を介して接続され、端部が第１導電部と接続されたゲート配線と、

前記ソース電極と第２のコンタクト孔を介して接続され、端部が第２導電部と接続されたソース配線と、

前記ゲート配線および前記ソース配線が表面に設けられ、前記第１のコンタクト孔および前記第２のコンタクト孔が設けられ、ポリイミ

ド樹脂から成る樹脂基板と、

を備え、

前記樹脂基板は、前記ゲート配線と前記ソース配線の間に形成されるひずみ吸収部を有する

半導体装置。

[請求項16] 前記樹脂基板裏面には接着層が設けられる

ことを特徴とする請求項１５に記載の半導体装置。

[請求項17] 前記アイランド、前記半導体チップ、前記第１導電部、前記第２導電部および前記樹脂基板を封止する封止樹脂を有する

ことを特徴とする請求項１６に記載の半導体装置。

[請求項18] 前記ゲート配線は、前記ソース配線よりも細く形成され、

前記第１のコンタクト孔の面積は、前記第２のコンタクト孔の総面積よりも小さい

ことを特徴とする請求項１７に記載の半導体装置。

[請求項19] 前記第１のコンタクト孔の数は、前記第２のコンタクト孔の数よりも少ない

ことを特徴とする請求項１７に記載の半導体装置。

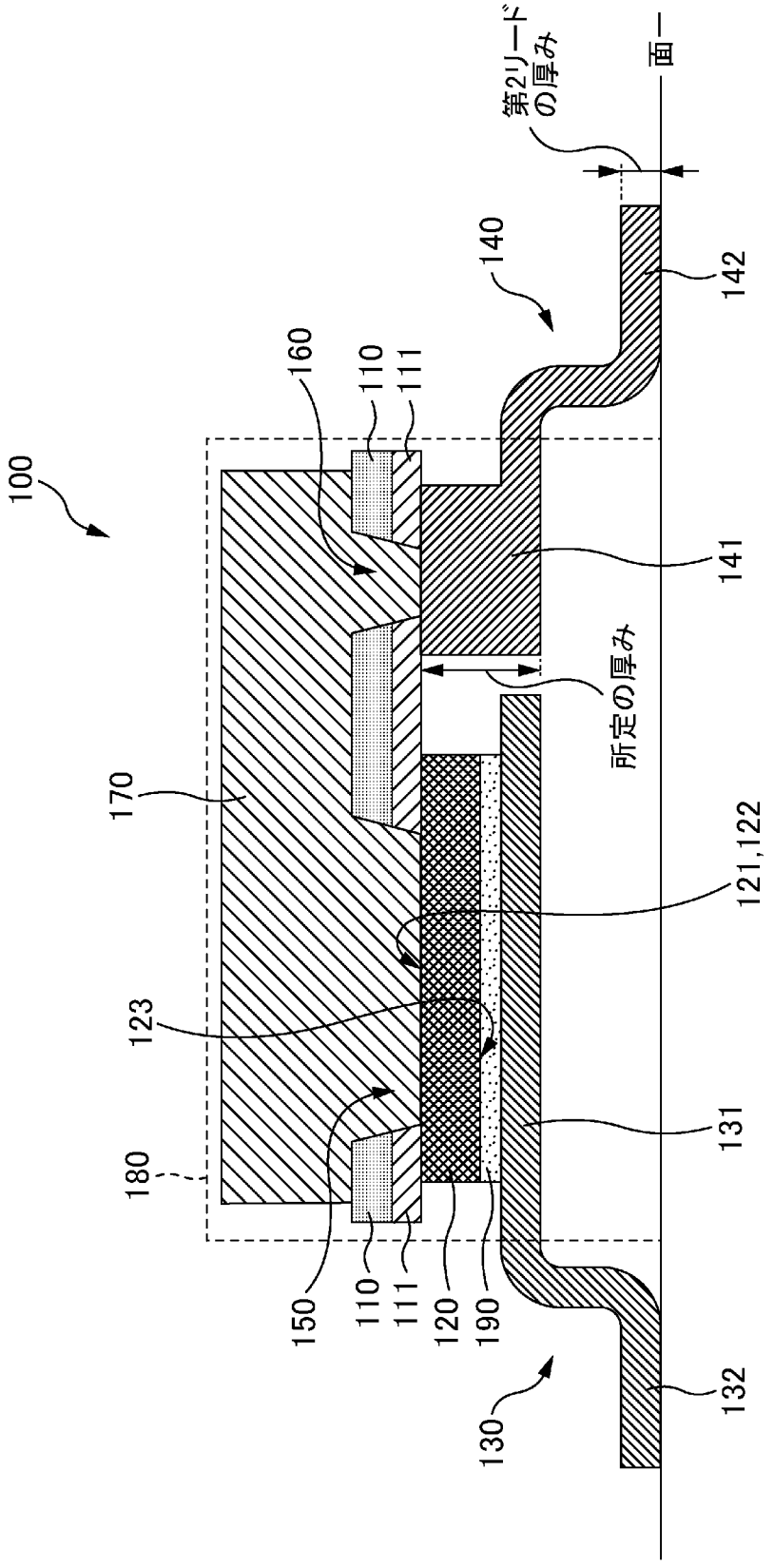
[請求項20] 前記ひずみ吸収部は、開口部またはカット面からなる

ことを特徴とする請求項１５に記載の半導体装置。

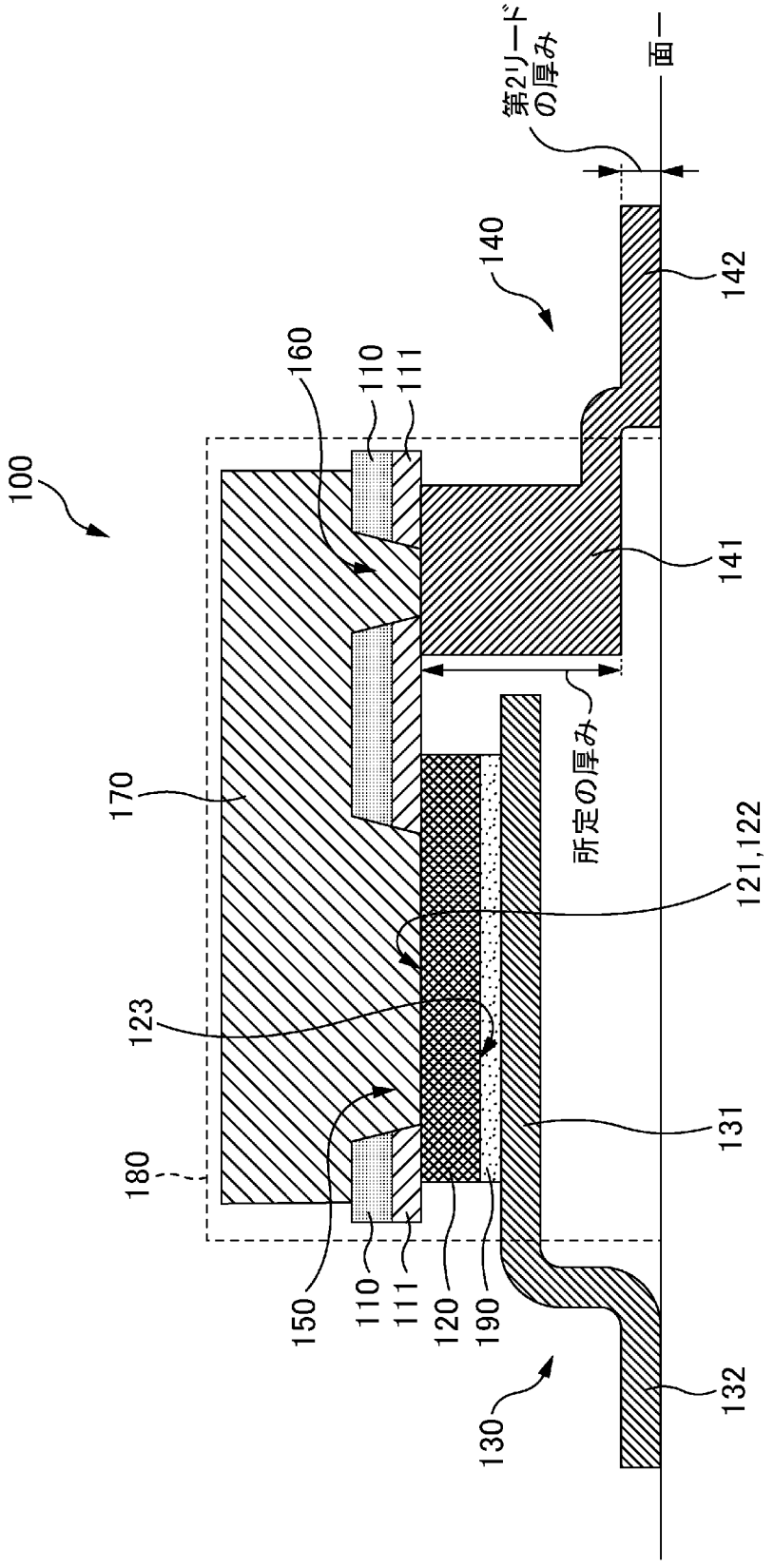
[請求項21] 前記ひずみ吸収部は、前記ゲート配線における前記第１導電部と接続された端部とは反対側の端部に形成される

ことを特徴とする請求項１５に記載の半導体装置。

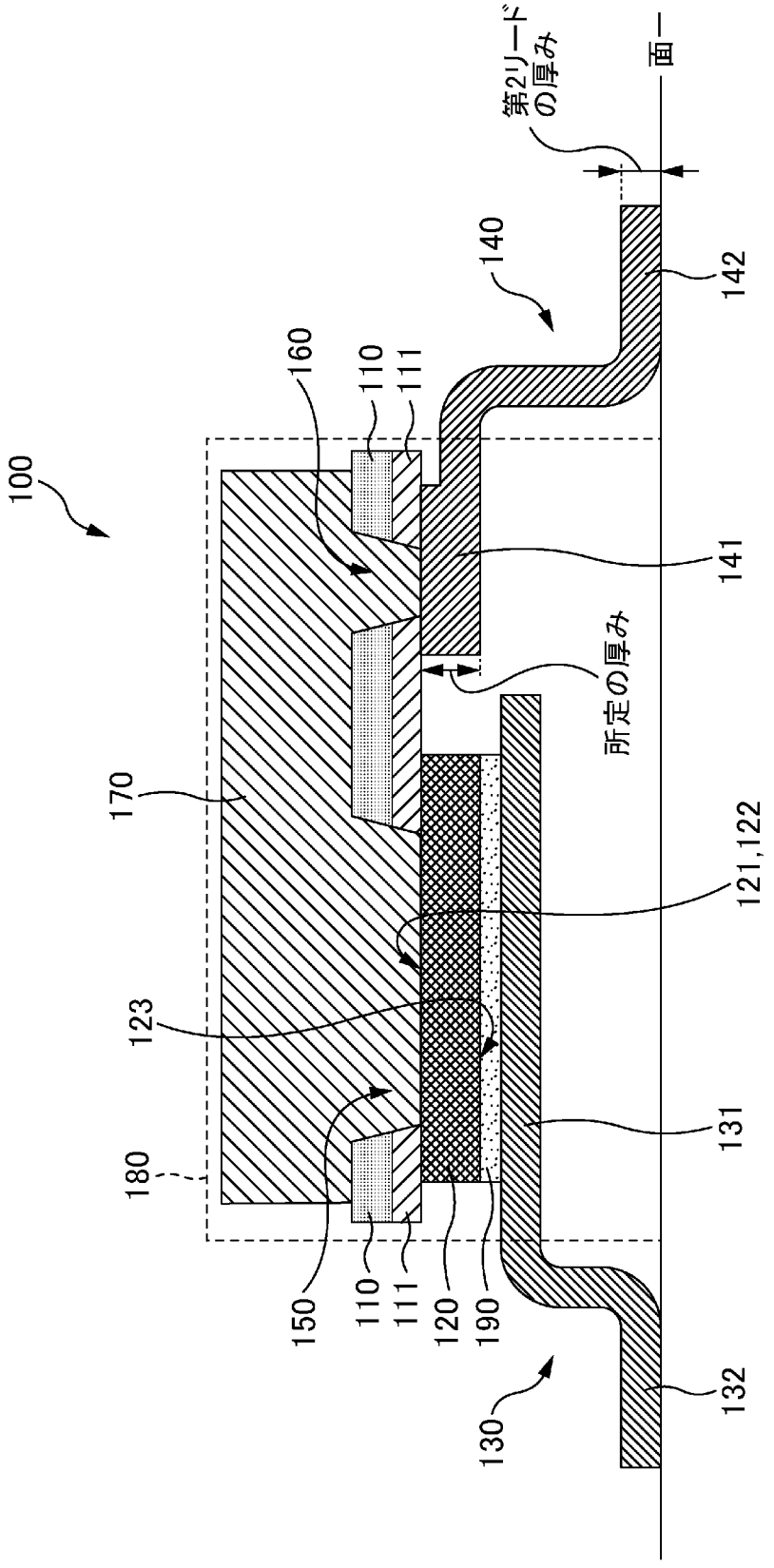
[図1]


100
110
111
120
123
121,122
131
132
130
140
141
142
150
160
170
180
190
所定の厚み
第2リードの厚み
面一

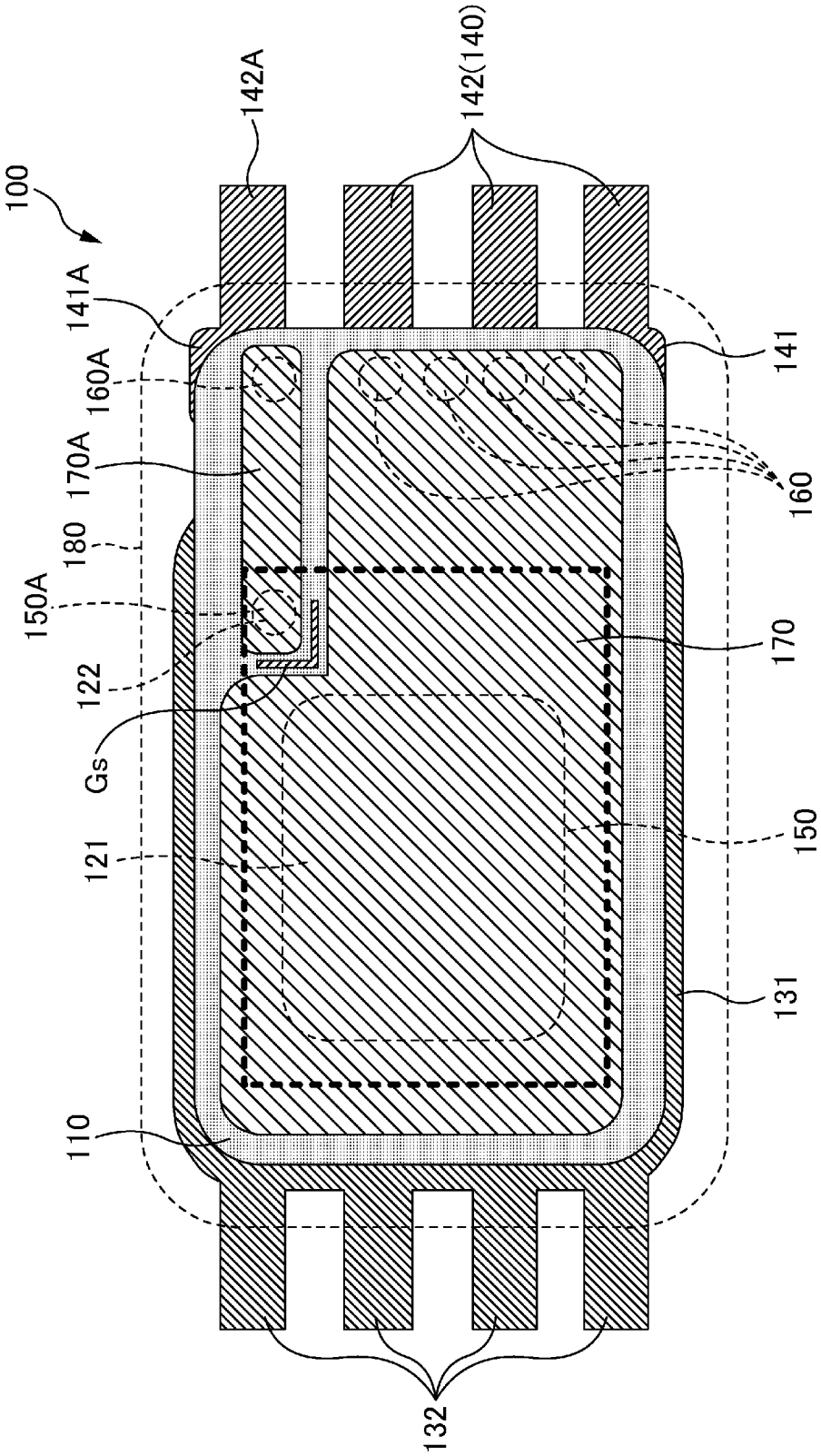
[図2]


100
110
111
120
121,122
123
130
131
132
140
141
142
150
160
170
180
190
第2リードの厚み
面一
所定の厚み

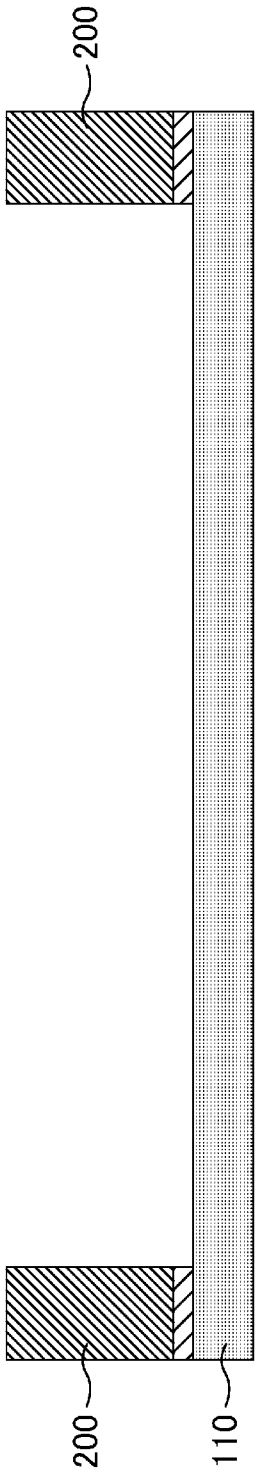
[図3]


100
160
110
111
140
142
第2リードの厚み
面一
141
所定の厚み
170
121,122
123
131
180
150
110
111
120
190
130
132

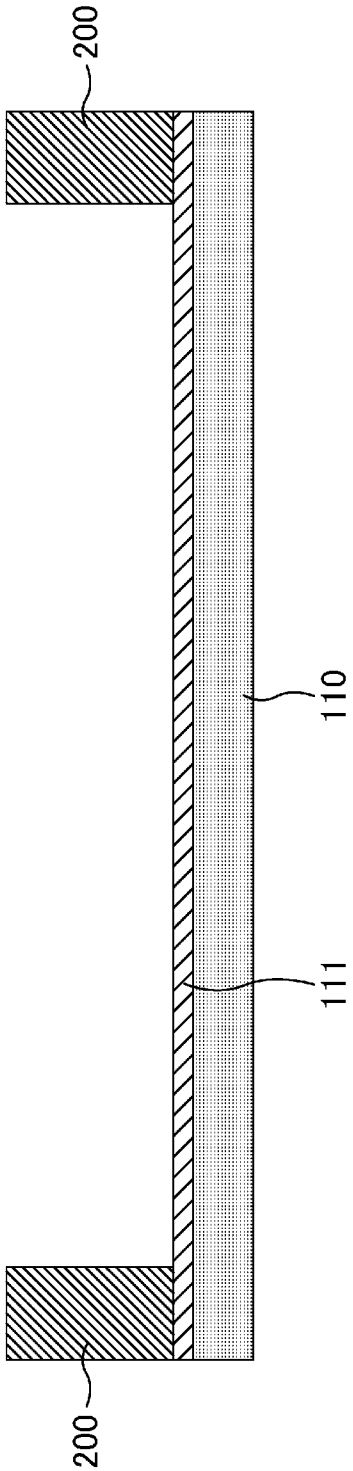
[図4]


100
142A
142(140)
141A
141
160A
170A
160
180
150A
170
122
Gs
121
150
131
110
132

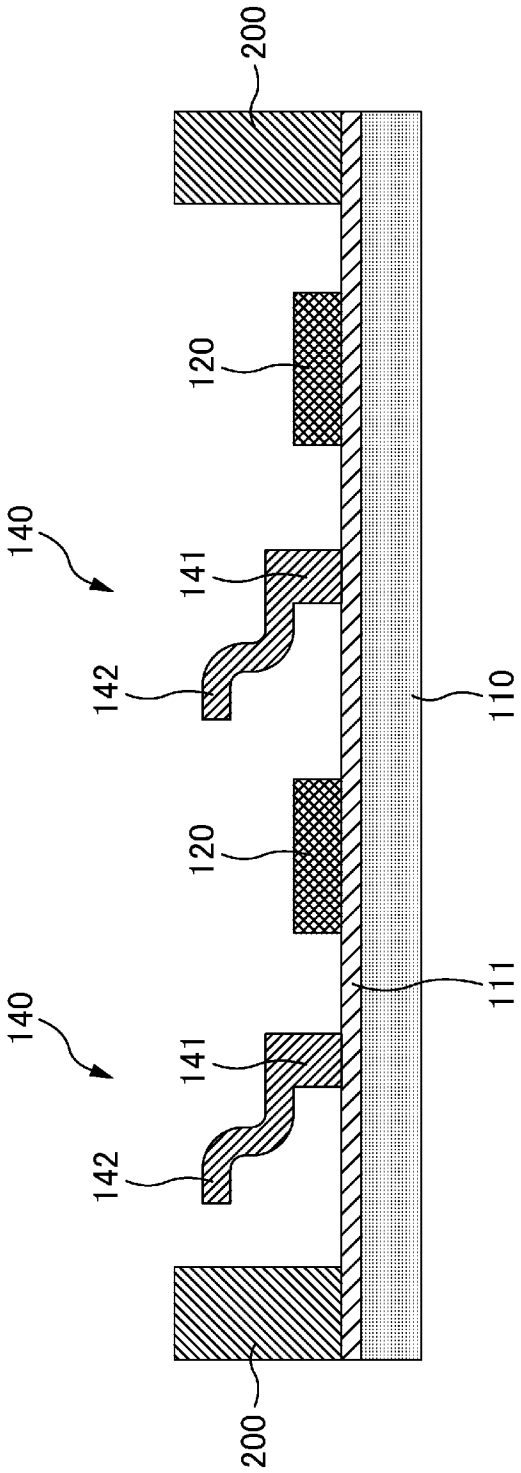
[図5A]



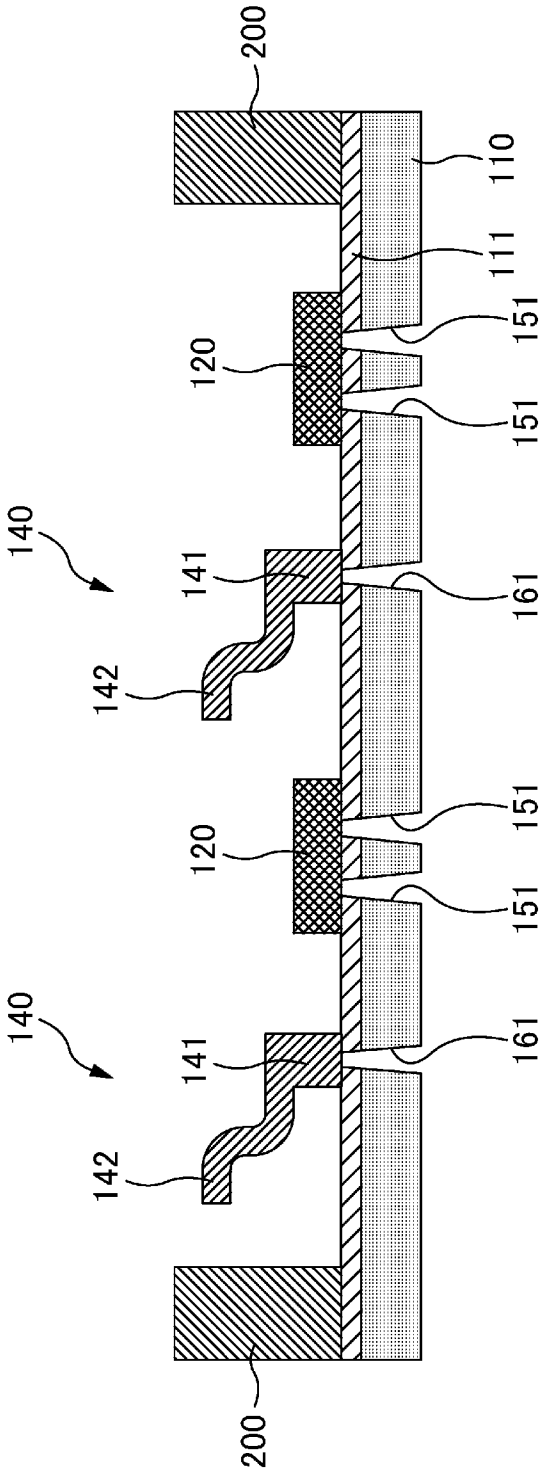
[図5B]



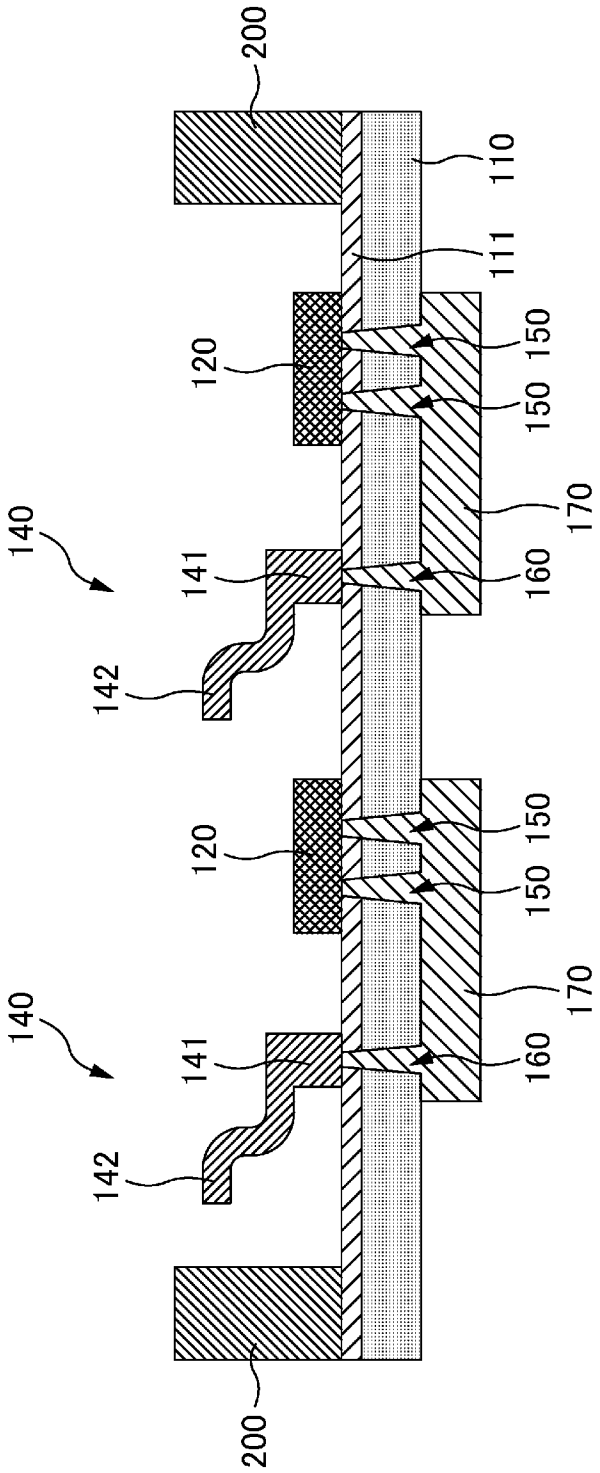
[図5C]



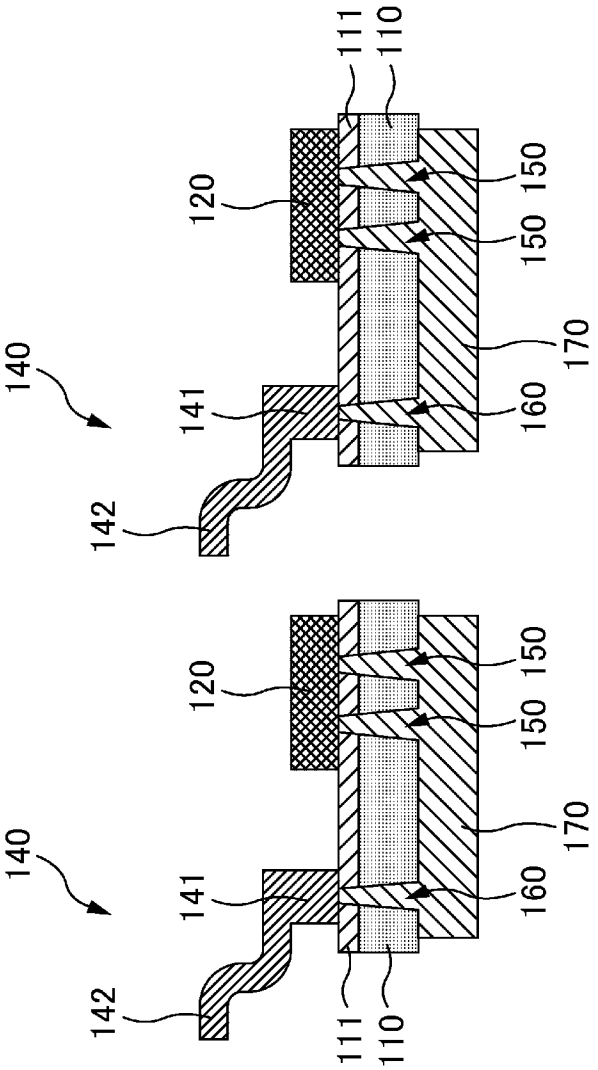
[図5D]


200
110
111
151
120
151
140
141
161
142
151
120
151
140
141
161
142
200

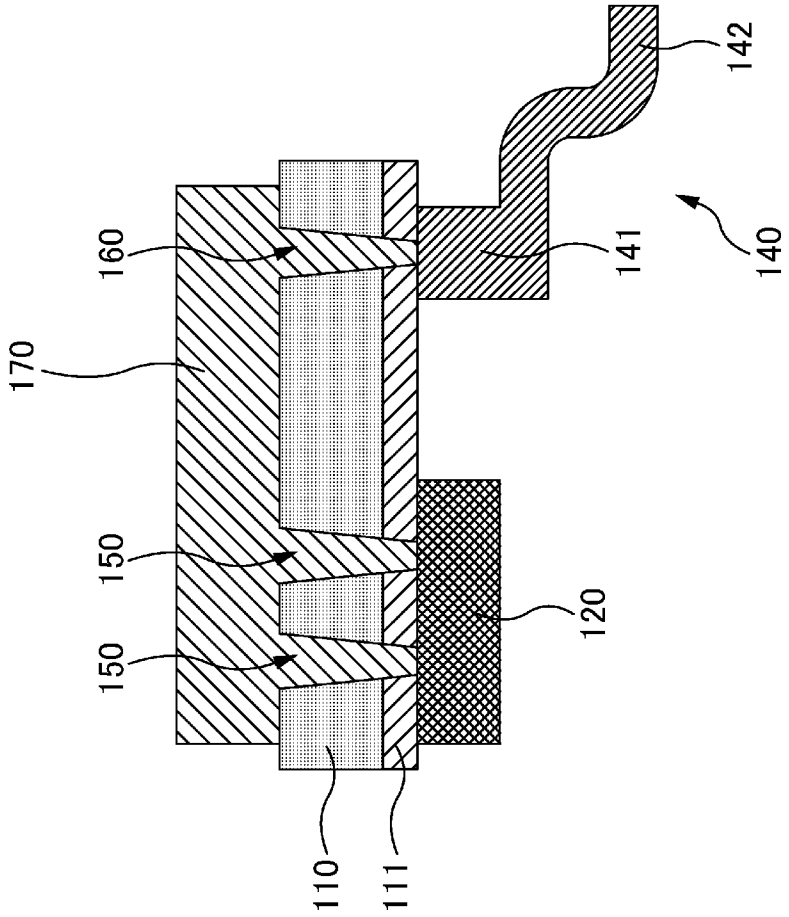
[図5E]


200
110
111
120
150
150
170
140
141
160
142
120
150
150
170
140
141
160
142
200

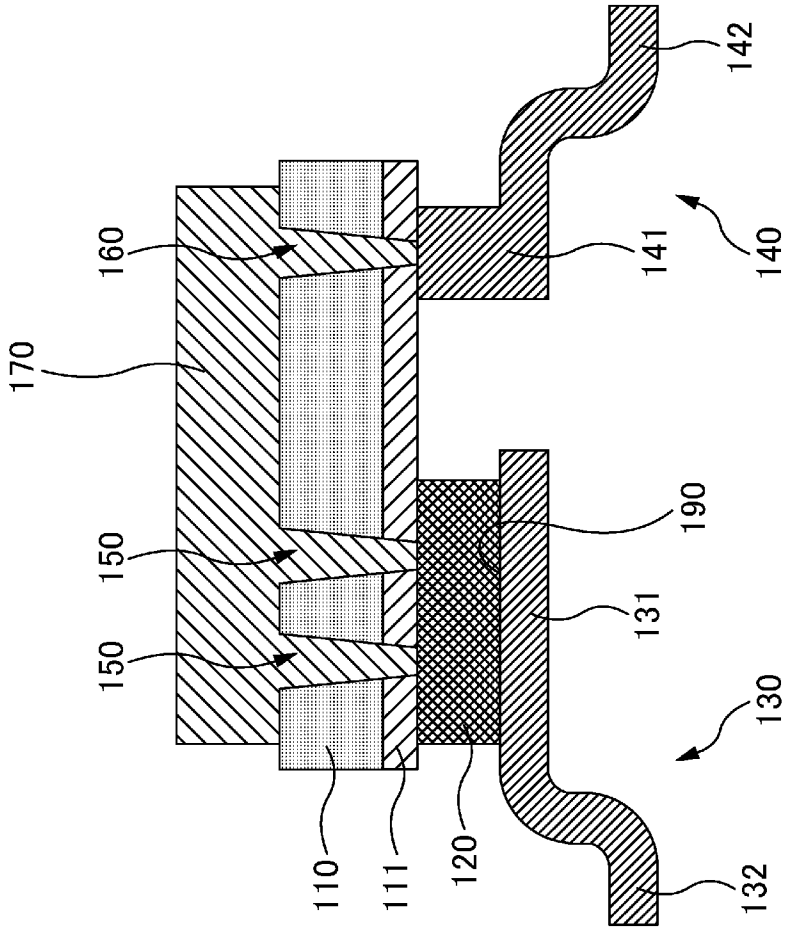
[図5F]


111
110
120
150
150
170
140
141
160
142
120
150
150
170
140
141
160
142
111
110

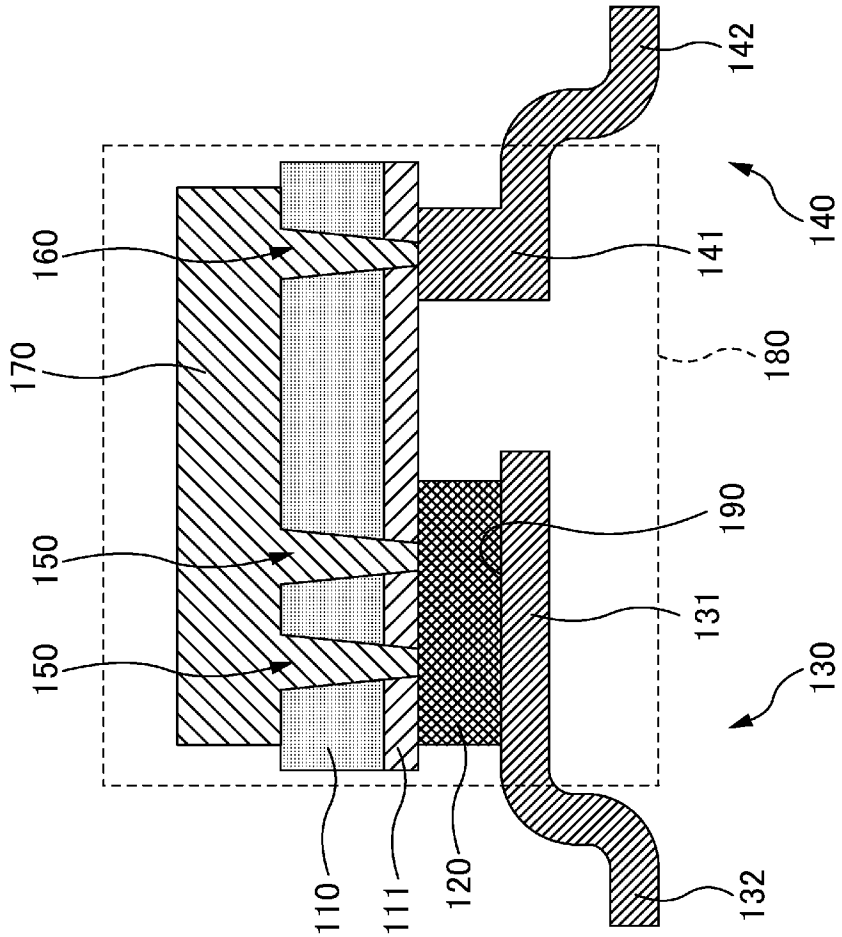
[図5G]



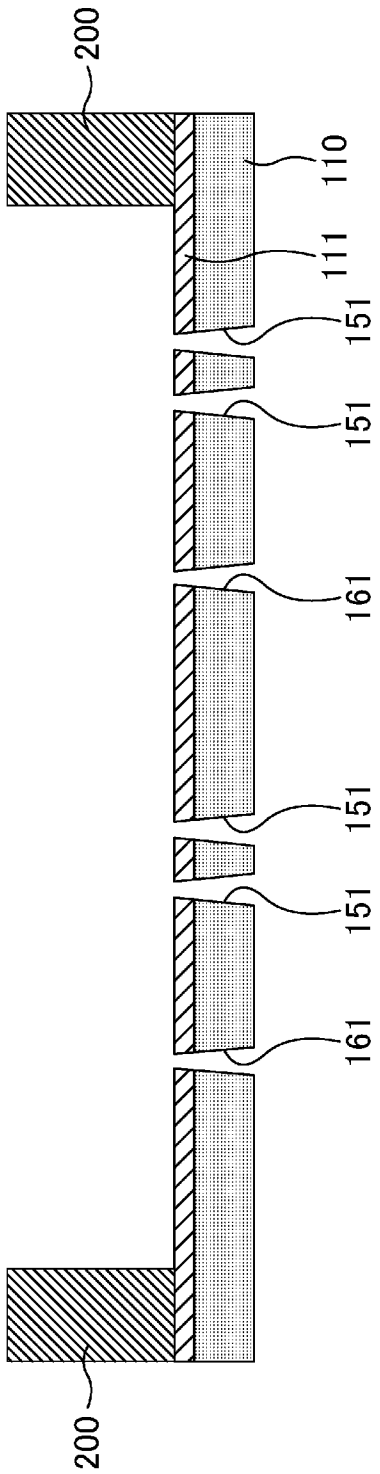
[図5H]



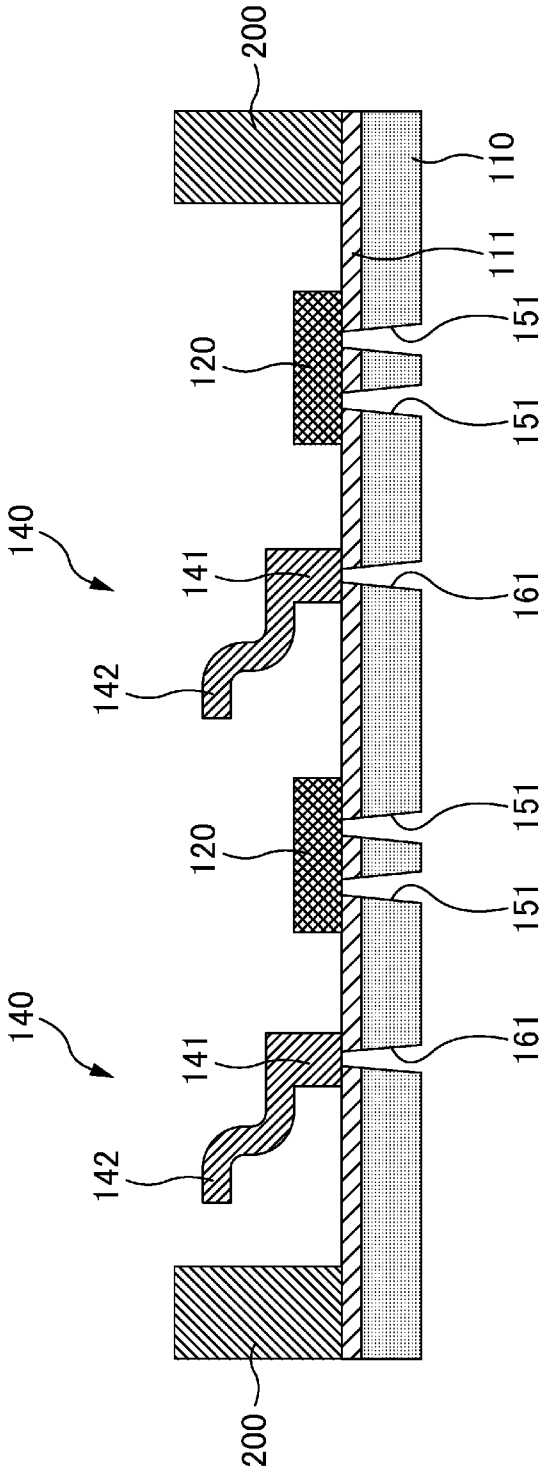
[図5I]



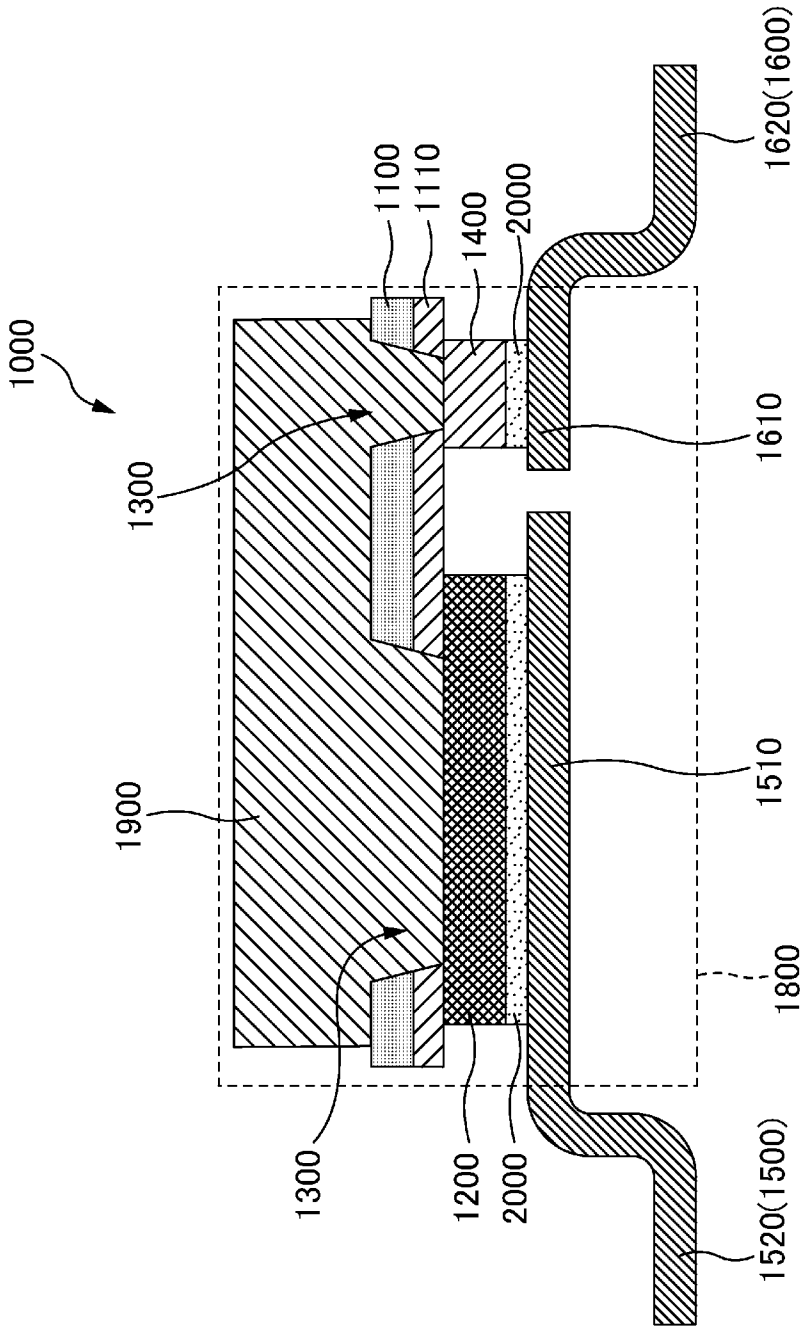
[図6A]



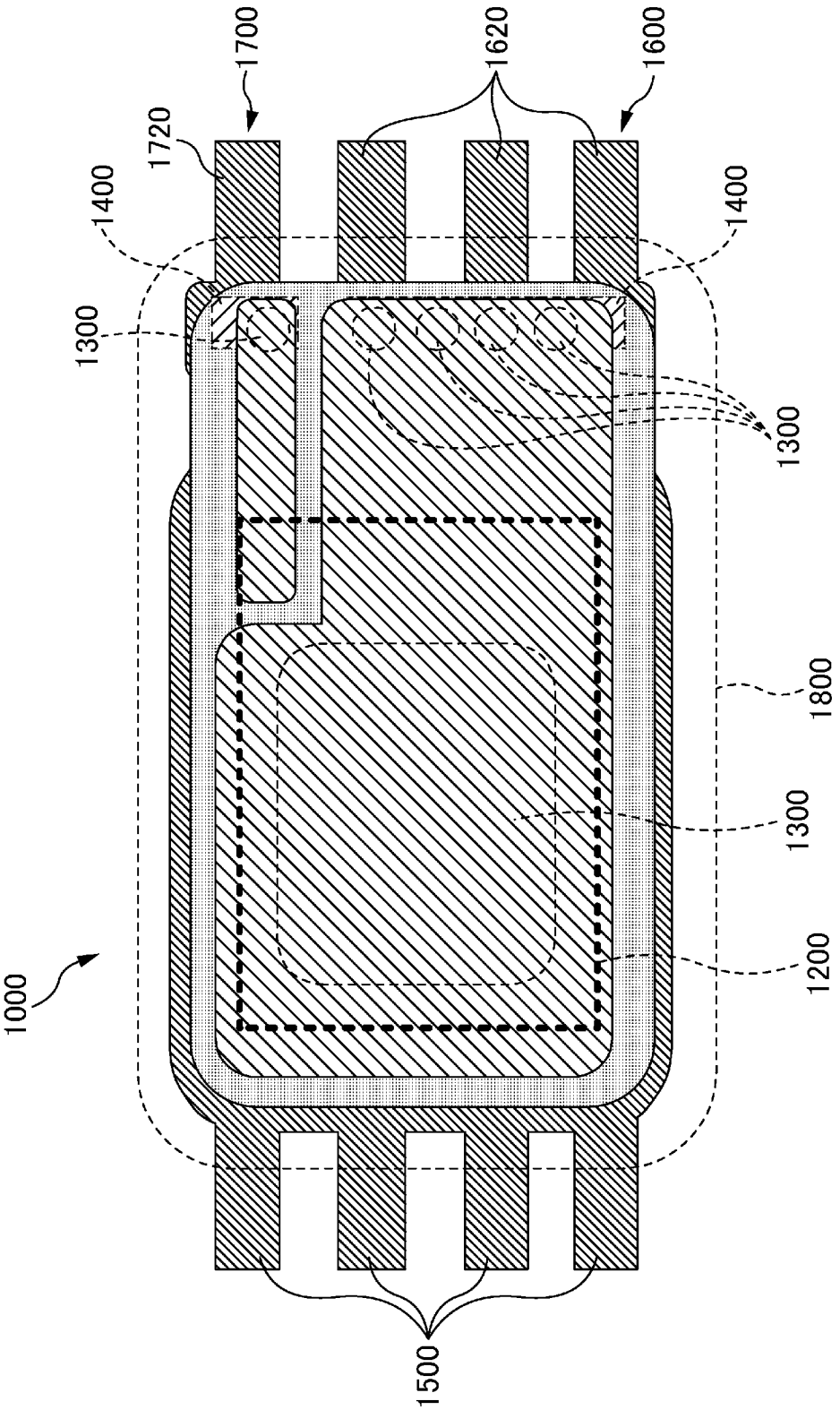
[図6B]


200
110
111
151
120
151
140
141
161
142
120
151
151
140
141
161
142
200

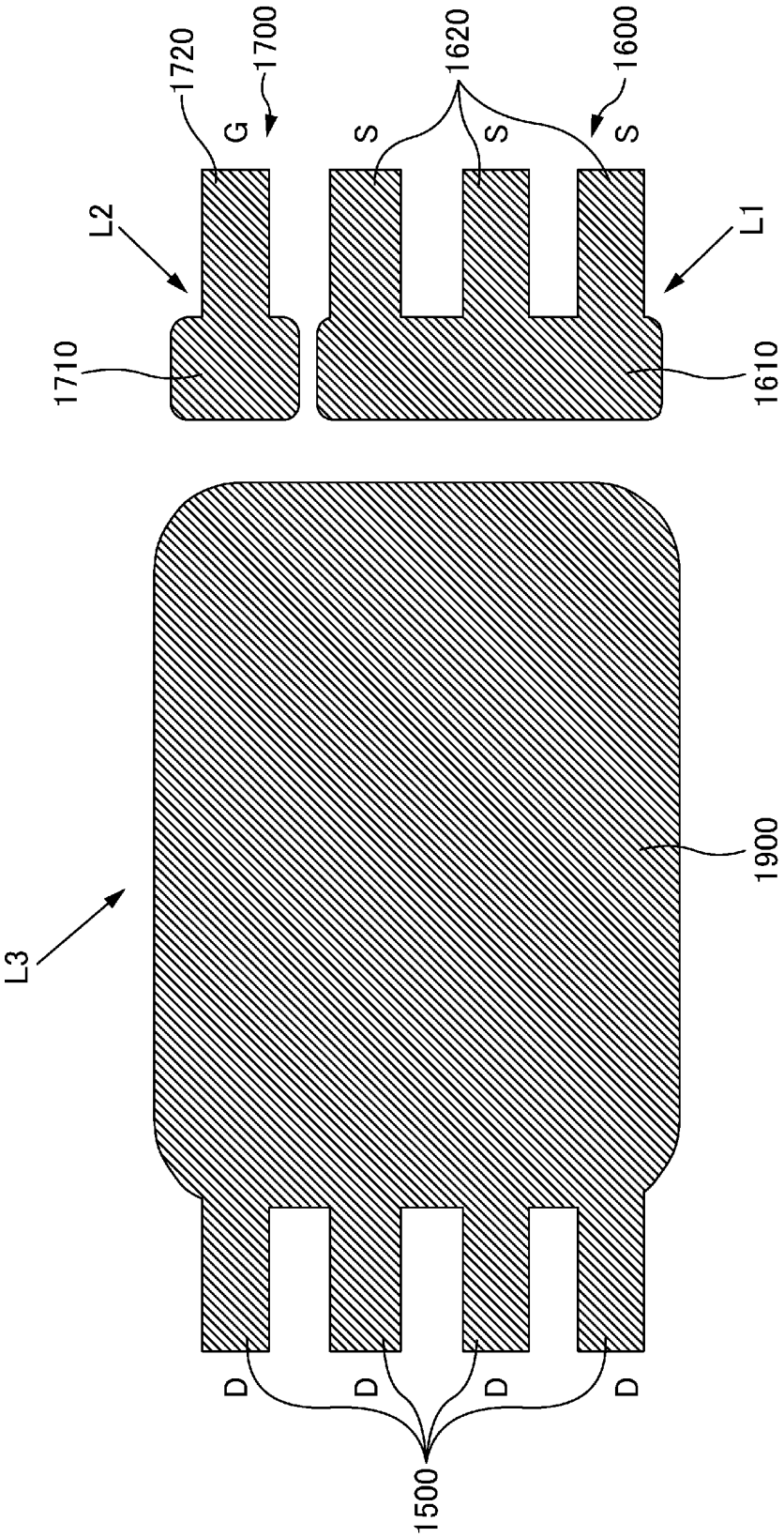
[図7]


1000
1100
1110
1400
2000
1620(1600)
1610
1300
1510
1900
1800
1300
1200
2000
1520(1500)

[図8]


1700
1620
1600
1720
1400
1400
1300
1300
1800
1300
1200
1000
1500

[図9]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/036269

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L21/60(2006.01)i, H01L23/48(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L21/60, H01L23/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-78561 A (TOSHIBA CORPORATION) 03 April 2008, paragraphs [0014]-[0020], [0033]-[0039], fig. 1-3, 10-14 & US 2008/0073794 A1, paragraphs [0032]-[0038], [0054]-[0060], fig. 1-3, 10-14 & CN 101154642 A	1-21
A	JP 2013-4943 A (RENESAS ELECTRONICS CORP.) 07 January 2013, paragraphs [0040]-[0053], fig. 3, 4 (Family: none)	1-21

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19.10.2018	30.10.2018

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/036269

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-56291 A (SHINDENGEN ELECTRIC MFG CO., LTD.) 11 March 2010, paragraphs [0014]-[0017], fig. 13-15 (Family: none)	1-21

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／０３６２６９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/60(2006.01)i, H01L23/48(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/60, H01L23/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2008-78561 A (株式会社東芝) 2008.04.03, 段落 [0014]-[0020], [0033]-[0039], 図 1-3, 10-14 & US 2008/0073794 A1, 段落 [0032]-[0038], [0054]-[0060], 図 1-3, 10-14 & CN 101154642 A	1-21
A	JP 2013-4943 A (ルネサスエレクトロニクス株式会社) 2013.01.07, 段落 [0040]-[0053], 図 3-4 (ファミリーなし)	1-21

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １９．１０．２０１８	国際調査報告の発送日 ３０．１０．２０１８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｏ　６３１２ 加藤　芳健 電話番号　０３－３５８１－１１０１　内線　３５５９

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2010-56291 A (新電元工業株式会社) 2010.03.11, 段落 [0014]-[0017], 図 13-15 (ファミリーなし)	1-21