

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成20年7月31日(2008.7.31)

【公開番号】特開2002-237539(P2002-237539A)

【公開日】平成14年8月23日(2002.8.23)

【出願番号】特願2001-296178(P2001-296178)

【国際特許分類】

H 0 1 L 21/8244 (2006.01)

H 0 1 L 27/11 (2006.01)

【F I】

H 0 1 L 27/10 3 8 1

【手続補正書】

【提出日】平成20年6月18日(2008.6.18)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体記憶装置及び半導体装置

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 互いに交叉接続された第 1 及び第 2 のインバータを含むメモリセルを有する半導体記憶装置であって、

第 1 の導電型が第 1 種、第 2 の導電型が第 2 種でそれぞれ定義され、

前記第 1 のインバータは第 1 の第 1 種電界効果トランジスタ及び第 1 の第 2 種電界効果トランジスタからなり、

前記第 2 のインバータは第 2 の第 1 種電界効果トランジスタ及び第 2 の第 2 種電界効果トランジスタからなり、

前記第 1 のインバータの出力部は前記第 1 の第 1 種電界効果トランジスタの一方電極と前記第 1 の第 2 種電界効果トランジスタの一方電極との接続部を含み、入力部は前記第 1 の第 1 種電界効果トランジスタの制御電極と前記第 1 の第 2 種電界効果トランジスタの制御電極との接続部を含み、

前記第 2 のインバータの出力部は前記第 2 の第 1 種電界効果トランジスタの一方電極と前記第 2 の第 2 種電界効果トランジスタの一方電極との接続部を含み、入力部は前記第 2 の第 1 種電界効果トランジスタの制御電極と前記第 2 の第 2 種電界効果トランジスタの制御電極との接続部を含み、

前記メモリセルは、

前記第 1 のインバータの出力部及び前記第 2 のインバータの入力部に電氣的に接続される第 1 の記憶端子に一方電極が接続され、第 1 のビット線に他方電極が接続され、制御電極にワード線が接続される、第 3 の第 1 種電界効果トランジスタと、

前記第 2 のインバータの出力部及び前記第 1 のインバータの入力部に電氣的に接続される第 2 の記憶端子に一方電極が接続され、第 2 のビット線に他方電極が接続され、制御電極にワード線が接続される、第 4 の第 1 種電界効果トランジスタとをさらに含み、

前記第 1 及び第 2 の第 1 種電界効果トランジスタを、互いに独立した第 1 及び第 2 の第

2 種ウェル領域にそれぞれ形成し、

前記第 3 及び第 4 の第 1 種電界効果トランジスタを前記第 2 及び第 1 の第 2 種ウェル領域にそれぞれ形成したことを特徴とする、

半導体記憶装置。

【請求項 2】 請求項 1 記載の半導体記憶装置であって、

前記第 1 ～ 第 4 の第 1 種電界効果トランジスタにおいて一方電極は互いに独立して形成されることを特徴とする、

半導体記憶装置。

【請求項 3】 請求項 1 記載の半導体記憶装置であって、

前記第 1 , 第 3 の第 1 種電界効果トランジスタ及び前記第 1 の第 2 種電界効果トランジスタが前記ワード線形成方向に沿って略一直線上に並んでレイアウト配置され、

前記第 2 , 第 4 の第 1 種電界効果トランジスタ及び前記第 2 の第 2 種電界効果トランジスタが前記ワード線形成方向に沿って略一直線上に並んでレイアウト配置されることを特徴とする、

半導体記憶装置。

【請求項 4】 請求項 1 記載の半導体記憶装置であって、

前記第 1 及び第 2 の第 1 種電界効果トランジスタは前記メモリセルの中心点に対して互いに点対称となるようにレイアウト配置されることを特徴とする、

半導体記憶装置。

【請求項 5】 請求項 1 記載の半導体記憶装置であって、

前記第 3 及び第 4 の第 1 種電界効果トランジスタは前記メモリセルの中心点に対して互いに点対称となるようにレイアウト配置されることを特徴とする、

半導体記憶装置。

【請求項 6】 請求項 1 記載の半導体記憶装置であって、

前記第 1 及び第 2 の第 1 種電界効果トランジスタの制御電極幅を前記第 3 及び第 4 の第 1 種電界効果トランジスタの制御電極幅より広く設定したことを特徴とする、

半導体記憶装置。

【請求項 7】 請求項 1 ないし請求項 6 のうち、いずれか 1 項に記載の半導体記憶装置であって、

前記メモリセルは、

前記第 1 のインバータの入力部と前記第 2 の記憶端子との間に介挿される第 1 の抵抗成分と、

前記第 2 のインバータの入力部と前記第 1 の記憶端子との間に介挿される第 2 の抵抗成分とをさらに含む、

半導体記憶装置。

【請求項 8】 請求項 7 記載の半導体記憶装置であって、

前記第 1 及び第 2 の抵抗成分は CoSi_2 よりも抵抗率が高い金属材料で形成された高抵抗金属配線を含む、

半導体記憶装置。

【請求項 9】 請求項 7 記載の半導体記憶装置であって、

前記第 1 及び第 2 の抵抗成分は CoSi_2 よりも抵抗率が高いポリシリコンで形成された高抵抗ポリシリコン配線を含む、

半導体記憶装置。

【請求項 10】 請求項 1 記載の半導体記憶装置であって、

前記第 3 及び第 4 の第 1 種電界効果トランジスタの制御電極及び前記ワード線は、一本のポリシリコンを共用して構成されることを特徴とする、

半導体記憶装置。

【請求項 11】 請求項 1 記載の半導体記憶装置であって、

前記ワード線は互いに独立した第 1 及び第 2 のワード線を含み、

前記第 3 の第 1 種電界効果トランジスタの制御電極は前記第 1 のワード線に接続され、

前記第４の第１種電界効果トランジスタの制御電極は前記第２のワード線に接続される、
半導体記憶装置。

【請求項１２】 請求項１１記載の半導体記憶装置であって、

前記第１のビット線は、互いにビット線対を構成する第１及び第２の部分ビット線を含み、

前記第２のビット線は、互いにビット線対を構成する第３及び第４の部分ビット線を含み、

前記第３の第１種電界効果トランジスタは、第５及び第６の第１種電界効果トランジスタを含み、前記第５の第１種電界効果トランジスタは前記第１の部分ビット線，前記第２の記憶端子間に介挿され、前記第６の第１種電界効果トランジスタは前記第２の部分ビット線，前記第１の記憶端子間に介挿され、

前記第４の第１種電界効果トランジスタは、第７及び第８の第１種電界効果トランジスタを含み、前記第７の第１種電界効果トランジスタは前記第３の部分ビット線，前記第１の記憶端子間に介挿され、前記第８の第１種電界効果トランジスタは前記第４の部分ビット線，前記第２の記憶端子間に介挿される、

半導体記憶装置。

【請求項１３】 請求項１２記載の半導体記憶装置であって、

前記第１及び第２の第１種電界効果トランジスタの制御電極幅を前記第５～第８の第１種電界効果トランジスタの制御電極幅より広く設定したことを特徴とする、
半導体記憶装置。

【請求項１４】 請求項１、請求項１１あるいは請求項１２記載の半導体記憶装置であって、

前記第１及び第２の第１種電界効果トランジスタの制御電極形成領域が前記第２及び第１の記憶端子の一部を構成するようにレイアウト配置したことを特徴とする、
半導体記憶装置。

【請求項１５】 請求項１ないし請求項１４のうち、いずれか１項に記載の半導体記憶装置であって、

前記第１及び第２の第２種電界効果トランジスタは第１種ウェル領域に形成され、

前記第１種ウェル領域は前記第１及び第２の第２種ウェル領域の間にレイアウト配置されることを特徴とする、
半導体記憶装置。

【請求項１６】 デュアルポート型のスタティックメモリセルを有する半導体装置であって、

前記スタティックメモリセルは、

第１の記憶ノードに入力が接続され、第２の記憶ノードに出力が接続される第１のインバータと、

前記第２の記憶ノードに入力が接続され、前記第１の記憶ノードに出力が接続される第２のインバータと、

一方端が前記第１の記憶ノードに接続され、他方端が第１のポート用の第１のビット線に接続され、ゲート電極が第１のワード線に接続された第１の導電型の第１のトランジスタと、

一方端が前記第１の記憶ノードに接続され、他方端が第２のポート用の第２のビット線に接続され、ゲート電極が第２のワード線に接続された第１の導電型の第２のトランジスタと、

一方端が前記第２の記憶ノードに接続され、他方端が第１のポート用の第３のビット線に接続され、ゲート電極が前記第１のワード線に接続された第１の導電型の第３のトランジスタと、

一方端が前記第２の記憶ノードに接続され、他方端が第２のポート用の第４のビット線に接続され、ゲート電極が前記第２のワード線に接続された第１の導電型の第４のトラン

ジスタとを含み、

前記第 1 のワード線と前記第 2 のワード線とが並んで配列され、

前記スタティックメモリセルは、第 2 の導電型の第 1 の領域、第 1 の第 1 の導電型の第 2 の領域、第 2 の導電型の第 3 の領域に分割され、前記第 1 から第 3 の領域は前記第 1 及び第 2 のワード線が伸びる方向に順次配置され、それぞれの領域にトランジスタが形成され、

前記第 1 の領域には、前記第 1 のトランジスタと、前記第 3 のトランジスタと、前記第 2 のインバータを構成する第 1 の導電型の第 5 トランジスタとが配置され、

前記第 2 の領域には、前記第 2 のインバータを構成する第 2 の導電型の第 7 トランジスタと前記第 1 のインバータを構成する第 2 の導電型の第 8 トランジスタとが配置され、

前記第 3 の領域には、前記第 2 のトランジスタと、前記第 4 のトランジスタと、前記第 1 のインバータを構成する第 1 の導電型の第 6 トランジスタとが配置された、
半導体装置。

【請求項 17】 請求項 16 記載の半導体装置であって、

前記第 1 から第 4 のビット線は、前記第 1 のワード線及び前記第 2 のワード線と直交する方向に配列された、
半導体装置。

【請求項 18】 請求項 16 あるいは請求項 17 に記載の半導体装置であって、

前記第 1 のトランジスタのゲート電極と前記第 3 のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第 1 のゲート電極が構成され、

前記第 2 のトランジスタのゲート電極と前記第 4 のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第 2 のゲート電極が構成される、
半導体装置。

【請求項 19】 請求項 18 記載の半導体装置であって、

前記第 5 のトランジスタのゲート電極と前記第 7 のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第 3 のゲート電極が構成され、

前記第 6 のトランジスタのゲート電極と前記第 8 のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第 4 のゲート電極が構成され、

前記第 1 から第 4 のゲート電極は前記第 1 のワード線及び前記第 2 のワード線の延びる方向に延びる、
半導体装置。

【請求項 20】 請求項 16 ないし請求項 19 のうち、いずれか 1 項に記載の半導体装置であって、

前記第 1 と前記第 5 のトランジスタの活性領域は、一体化した活性領域で形成されて接続され、

前記第 4 と前記第 6 のトランジスタの活性領域は、一体化した活性領域で形成されて接続され、

前記第 2 と前記第 5 のトランジスタの活性領域は分離され、配線を介して接続され、

前記第 3 と前記第 6 のトランジスタの活性領域は分離され、配線を介して接続された、
半導体装置。

【請求項 21】 請求項 20 記載の半導体装置であって、

前記第 2 の領域に近い順に、前記第 3 のトランジスタ、前記第 1 のトランジスタが配置され、

前記第 2 の領域に近い順に、前記第 2 のトランジスタ、前記第 4 のトランジスタが配置された、
半導体装置。

【請求項 22】 請求項 20 記載の半導体装置であって、

前記第 2 の領域に近い順に、前記第 1 のトランジスタ、前記第 3 のトランジスタが配置され、

前記第 2 の領域に近い順に、前記第 4 のトランジスタ、前記第 2 のトランジスタが配置

された、
半導体装置。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

【発明の属する技術分野】

この発明は半導体記憶装置及び半導体装置に関し、特にMOSスタティックRAMのソフトエラー耐性の向上を図ったメモリセル構造に関するものである。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

この発明は上記問題点を解決するためになされたもので、回路構成を複雑化することなくソフトエラー低減化を図ったメモリセル構造を有する半導体記憶装置及び半導体装置を得ることを目的とする。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

さらに、請求項15の発明は、請求項1ないし請求項14のうち、いずれか1項に記載の半導体記憶装置であって、前記第1及び第2の第2種電界効果トランジスタは第1種ウェル領域に形成され、前記第1種ウェル領域は前記第1及び第2の第2種ウェル領域の間にレイアウト配置される。

この発明に係る請求項16記載の半導体装置は、デュアルポート型のスタティックメモリセルを有し、前記スタティックメモリセルは、第1の記憶ノードに入力が接続され、第2の記憶ノードに出力が接続される第1のインバータと、前記第2の記憶ノードに入力が接続され、前記第1の記憶ノードに出力が接続される第2のインバータと、一方端が前記第1の記憶ノードに接続され、他方端が第1のポート用の第1のビット線に接続され、ゲート電極が第1のワード線に接続された第1の導電型の第1のトランジスタと、一方端が前記第1の記憶ノードに接続され、他方端が第2のポート用の第2のビット線に接続され、ゲート電極が第2のワード線に接続された第1の導電型の第2のトランジスタと、一方端が前記第2の記憶ノードに接続され、他方端が第1のポート用の第3のビット線に接続され、ゲート電極が前記第1のワード線に接続された第1の導電型の第3のトランジスタと、一方端が前記第2の記憶ノードに接続され、他方端が第2のポート用の第4のビット線に接続され、ゲート電極が前記第2のワード線に接続された第1の導電型の第4のトランジスタとを含み、前記第1のワード線と前記第2のワード線とが並んで配列され、前記スタティックメモリセルは、第2の導電型の第1の領域、第1の第1の導電型の第2の領域、第2の導電型の第3の領域に分割され、前記第1から第3の領域は前記第1及び第2のワード線が伸びる方向に順次配置され、それぞれの領域にトランジスタが形成され、前記第1の領域には、前記第1のトランジスタと、前記第3のトランジスタと、前記第2のインバータを構成する第1の導電型の第5トランジスタとが配置され、前記第2の領域には、前記第2のインバータを構成する第2の導電型の第7トランジスタと前記第1のインバータを構成する第2の導電型の第8トランジスタとが配置され、前記第3の領域には、

前記第 2 のトランジスタと、前記第 4 のトランジスタと、前記第 1 のインバータを構成する第 1 の導電型の第 6 トランジスタとが配置される。

また、請求項 17 記載の発明は、請求項 16 記載の半導体装置であって、前記第 1 から第 4 のビット線は、前記第 1 のワード線及び前記第 2 のワード線と直交する方向に配列される。

また、請求項 18 記載の発明は、請求項 16 あるいは請求項 17 に記載の半導体装置であって、前記第 1 のトランジスタのゲート電極と前記第 3 のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第 1 のゲート電極が構成され、前記第 2 のトランジスタのゲート電極と前記第 4 のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第 2 のゲート電極が構成される。

また、請求項 19 記載の発明は、請求項 18 記載の半導体装置であって、前記第 5 のトランジスタのゲート電極と前記第 7 のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第 3 のゲート電極が構成され、前記第 6 のトランジスタのゲート電極と前記第 8 のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第 4 のゲート電極が構成され、前記第 1 から第 4 のゲート電極は前記第 1 のワード線及び前記第 2 のワード線の延びる方向に延びる。

また、請求項 20 記載の発明は、請求項 16 ないし請求項 19 のうち、いずれか 1 項に記載の半導体装置であって、前記第 1 と前記第 5 のトランジスタの活性領域は、一体化した活性領域で形成されて接続され、前記第 4 と前記第 6 のトランジスタの活性領域は、一体化した活性領域で形成されて接続され、前記第 2 と前記第 5 のトランジスタの活性領域は分離され、配線を介して接続され、前記第 3 と前記第 6 のトランジスタの活性領域は分離され、配線を介して接続される。

また、請求項 21 記載の発明は、請求項 20 記載の半導体装置であって、前記第 2 の領域に近い順に、前記第 3 のトランジスタ、前記第 1 のトランジスタが配置され、前記第 2 の領域に近い順に、前記第 2 のトランジスタ、前記第 4 のトランジスタが配置される。

また、請求項 22 記載の発明は、請求項 20 記載の半導体装置であって、前記第 2 の領域に近い順に、前記第 1 のトランジスタ、前記第 3 のトランジスタが配置され、前記第 2 の領域に近い順に、前記第 4 のトランジスタ、前記第 2 のトランジスタが配置される。