

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年7月31日(2008.7.31)

【公開番号】特開2002-237539(P2002-237539A)

【公開日】平成14年8月23日(2002.8.23)

【出願番号】特願2001-296178(P2001-296178)

【国際特許分類】

H 01 L 21/8244 (2006.01)

H 01 L 27/11 (2006.01)

【F I】

H 01 L 27/10 3 8 1

【手続補正書】

【提出日】平成20年6月18日(2008.6.18)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体記憶装置及び半導体装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】互いに交叉接続された第1及び第2のインバータを含むメモリセルを有する半導体記憶装置であつて、

第1の導電型が第1種、第2の導電型が第2種でそれぞれ定義され、

前記第1のインバータは第1の第1種電界効果トランジスタ及び第1の第2種電界効果トランジスタからなり、

前記第2のインバータは第2の第1種電界効果トランジスタ及び第2の第2種電界効果トランジスタからなり、

前記第1のインバータの出力部は前記第1の第1種電界効果トランジスタの一方電極と前記第1の第2種電界効果トランジスタの一方電極との接続部を含み、入力部は前記第1の第1種電界効果トランジスタの制御電極と前記第1の第2種電界効果トランジスタの制御電極との接続部を含み、

前記第2のインバータの出力部は前記第2の第1種電界効果トランジスタの一方電極と前記第2の第2種電界効果トランジスタの一方電極との接続部を含み、入力部は前記第2の第1種電界効果トランジスタの制御電極と前記第2の第2種電界効果トランジスタの制御電極との接続部を含み、

前記メモリセルは、

前記第1のインバータの出力部及び前記第2のインバータの入力部に電気的に接続される第1の記憶端子に一方電極が接続され、第1のビット線に他方電極が接続され、制御電極にワード線が接続される、第3の第1種電界効果トランジスタと、

前記第2のインバータの出力部及び前記第1のインバータの入力部に電気的に接続される第2の記憶端子に一方電極が接続され、第2のビット線に他方電極が接続され、制御電極にワード線が接続される、第4の第1種電界効果トランジスタとをさらに含み、

前記第1及び第2の第1種電界効果トランジスタを、互いに独立した第1及び第2の第

2種ウェル領域にそれぞれ形成し、

前記第3及び第4の第1種電界効果トランジスタを前記第2及び第1の第2種ウェル領域にそれぞれ形成したことを特徴とする、

半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置であって、

前記第1～第4の第1種電界効果トランジスタにおいて一方電極は互いに独立して形成されることを特徴とする、

半導体記憶装置。

【請求項3】 請求項1記載の半導体記憶装置であって、

前記第1，第3の第1種電界効果トランジスタ及び前記第1の第2種電界効果トランジスタが前記ワード線形成方向に沿って略一直線上に並んでレイアウト配置され、

前記第2，第4の第1種電界効果トランジスタ及び前記第2の第2種電界効果トランジスタが前記ワード線形成方向に沿って略一直線上に並んでレイアウト配置されることを特徴とする、

半導体記憶装置。

【請求項4】 請求項1記載の半導体記憶装置であって、

前記第1及び第2の第1種電界効果トランジスタは前記メモリセルの中心点に対して互いに点対称となるようにレイアウト配置されることを特徴とする、

半導体記憶装置。

【請求項5】 請求項1記載の半導体記憶装置であって、

前記第3及び第4の第1種電界効果トランジスタは前記メモリセルの中心点に対して互いに点対称となるようにレイアウト配置されることを特徴とする、

半導体記憶装置。

【請求項6】 請求項1記載の半導体記憶装置であって、

前記第1及び第2の第1種電界効果トランジスタの制御電極幅を前記第3及び第4の第1種電界効果トランジスタの制御電極幅より広く設定したことを特徴とする、

半導体記憶装置。

【請求項7】 請求項1ないし請求項6のうち、いずれか1項に記載の半導体記憶装置であって、

前記メモリセルは、

前記第1のインバータの入力部と前記第2の記憶端子との間に介挿される第1の抵抗成分と、

前記第2のインバータの入力部と前記第1の記憶端子との間に介挿される第2の抵抗成分とをさらに含む、

半導体記憶装置。

【請求項8】 請求項7記載の半導体記憶装置であって、

前記第1及び第2の抵抗成分は CoSi_2 よりも抵抗率が高い金属材料で形成された高抵抗金属配線を含む、

半導体記憶装置。

【請求項9】 請求項7記載の半導体記憶装置であって、

前記第1及び第2の抵抗成分は CoSi_2 よりも抵抗率が高いポリシリコンで形成された高抵抗ポリシリコン配線を含む、

半導体記憶装置。

【請求項10】 請求項1記載の半導体記憶装置であって、

前記第3及び第4の第1種電界効果トランジスタの制御電極及び前記ワード線は、一本のポリシリコンを共用して構成されることを特徴とする、

半導体記憶装置。

【請求項11】 請求項1記載の半導体記憶装置であって、

前記ワード線は互いに独立した第1及び第2のワード線を含み、

前記第3の第1種電界効果トランジスタの制御電極は前記第1のワード線に接続され、

前記第4の第1種電界効果トランジスタの制御電極は前記第2のワード線に接続される
、半導体記憶装置。

【請求項12】 請求項11記載の半導体記憶装置であって、

前記第1のビット線は、互いにビット線対を構成する第1及び第2の部分ビット線を含み、

前記第2のビット線は、互いにビット線対を構成する第3及び第4の部分ビット線を含み、

前記第3の第1種電界効果トランジスタは、第5及び第6の第1種電界効果トランジスタを含み、前記第5の第1種電界効果トランジスタは前記第1の部分ビット線、前記第2の記憶端子間に介挿され、前記第6の第1種電界効果トランジスタは前記第2の部分ビット線、前記第1の記憶端子間に介挿され、

前記第4の第1種電界効果トランジスタは、第7及び第8の第1種電界効果トランジスタを含み、前記第7の第1種電界効果トランジスタは前記第3の部分ビット線、前記第1の記憶端子間に介挿され、前記第8の第1種電界効果トランジスタは前記第4の部分ビット線、前記第2の記憶端子間に介挿される、

半導体記憶装置。

【請求項13】 請求項12記載の半導体記憶装置であって、

前記第1及び第2の第1種電界効果トランジスタの制御電極幅を前記第5～第8の第1種電界効果トランジスタの制御電極幅より広く設定したことを特徴とする、
半導体記憶装置。

【請求項14】 請求項1、請求項11あるいは請求項12記載の半導体記憶装置であって、

前記第1及び第2の第1種電界効果トランジスタの制御電極形成領域が前記第2及び第1の記憶端子の一部を構成するようにレイアウト配置したことを特徴とする、
半導体記憶装置。

【請求項15】 請求項1ないし請求項14のうち、いずれか1項に記載の半導体記憶装置であって、

前記第1及び第2の第2種電界効果トランジスタは第1種ウェル領域に形成され、

前記第1種ウェル領域は前記第1及び第2の第2種ウェル領域の間にレイアウト配置されることを特徴とする、
半導体記憶装置。

【請求項16】 デュアルポート型のスタティックメモリセルを有する半導体装置であって、

前記スタティックメモリセルは、

第1の記憶ノードに入力が接続され、第2の記憶ノードに出力が接続される第1のインバータと、

前記第2の記憶ノードに入力が接続され、前記第1の記憶ノードに出力が接続される第2のインバータと、

一方端が前記第1の記憶ノードに接続され、他方端が第1のポート用の第1のビット線に接続され、ゲート電極が第1のワード線に接続された第1の導電型の第1のトランジスタと、

一方端が前記第1の記憶ノードに接続され、他方端が第2のポート用の第2のビット線に接続され、ゲート電極が第2のワード線に接続された第1の導電型の第2のトランジスタと、

一方端が前記第2の記憶ノードに接続され、他方端が第1のポート用の第3のビット線に接続され、ゲート電極が前記第1のワード線に接続された第1の導電型の第3のトランジスタと、

一方端が前記第2の記憶ノードに接続され、他方端が第2のポート用の第4のビット線に接続され、ゲート電極が前記第2のワード線に接続された第1の導電型の第4のトランジスタと、

ジスタとを含み、

前記第1のワード線と前記第2のワード線とが並んで配列され、

前記スタティックメモリセルは、第2の導電型の第1の領域、第1の第1の導電型の第2の領域、第2の導電型の第3の領域に分割され、前記第1から第3の領域は前記第1及び第2のワード線が伸びる方向に順次配置され、それぞれの領域にトランジスタが形成され、

前記第1の領域には、前記第1のトランジスタと、前記第3のトランジスタと、前記第2のインバータを構成する第1の導電型の第5トランジスタとが配置され、

前記第2の領域には、前記第2のインバータを構成する第2の導電型の第7トランジスタと前記第1のインバータを構成する第2の導電型の第8トランジスタとが配置され、

前記第3の領域には、前記第2のトランジスタと、前記第4のトランジスタと、前記第1のインバータを構成する第1の導電型の第6トランジスタとが配置された、半導体装置。

【請求項17】 請求項16記載の半導体装置であって、

前記第1から第4のビット線は、前記第1のワード線及び前記第2のワード線と直交する方向に配列された、

半導体装置。

【請求項18】 請求項16あるいは請求項17に記載の半導体装置であって、

前記第1のトランジスタのゲート電極と前記第3のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第1のゲート電極が構成され、

前記第2のトランジスタのゲート電極と前記第4のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第2のゲート電極が構成される、半導体装置。

【請求項19】 請求項18記載の半導体装置であって、

前記第5のトランジスタのゲート電極と前記第7のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第3のゲート電極が構成され、

前記第6のトランジスタのゲート電極と前記第8のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第4のゲート電極が構成され、

前記第1から第4のゲート電極は前記第1のワード線及び前記第2のワード線の延びる方向に延びる、

半導体装置。

【請求項20】 請求項16ないし請求項19のうち、いずれか1項に記載の半導体装置であって、

前記第1と前記第5のトランジスタの活性領域は、一体化した活性領域で形成されて接続され、

前記第4と前記第6のトランジスタの活性領域は、一体化した活性領域で形成されて接続され、

前記第2と前記第5のトランジスタの活性領域は分離され、配線を介して接続され、

前記第3と前記第6のトランジスタの活性領域は分離され、配線を介して接続された、半導体装置。

【請求項21】 請求項20記載の半導体装置であって、

前記第2の領域に近い順に、前記第3のトランジスタ、前記第1のトランジスタが配置され、

前記第2の領域に近い順に、前記第2のトランジスタ、前記第4のトランジスタが配置された、

半導体装置。

【請求項22】 請求項20記載の半導体装置であって、

前記第2の領域に近い順に、前記第1のトランジスタ、前記第3のトランジスタが配置され、

前記第2の領域に近い順に、前記第4のトランジスタ、前記第2のトランジスタが配置

された、

半導体装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

【発明の属する技術分野】

この発明は半導体記憶装置及び半導体装置に関し、特にMOSスタティックRAMのソフトエラー耐性の向上を図ったメモリセル構造に関するものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

この発明は上記問題点を解決するためになされたもので、回路構成を複雑化することなくソフトエラー低減化を図ったメモリセル構造を有する半導体記憶装置及び半導体装置を得ることを目的とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

さらに、請求項15の発明は、請求項1ないし請求項14のうち、いずれか1項に記載の半導体記憶装置であって、前記第1及び第2の第2種電界効果トランジスタは第1種ウェル領域に形成され、前記第1種ウェル領域は前記第1及び第2の第2種ウェル領域の間にレイアウト配置される。

この発明に係る請求項16記載の半導体装置は、デュアルポート型のスタティックメモリセルを有し、前記スタティックメモリセルは、第1の記憶ノードに入力が接続され、第2の記憶ノードに出力が接続される第1のインバータと、前記第2の記憶ノードに入力が接続され、前記第1の記憶ノードに出力が接続される第2のインバータと、一方端が前記第1の記憶ノードに接続され、他方端が第1のポート用の第1のビット線に接続され、ゲート電極が第1のワード線に接続された第1の導電型の第1のトランジスタと、一方端が前記第1の記憶ノードに接続され、他方端が第2のポート用の第2のビット線に接続され、ゲート電極が第2のワード線に接続された第1の導電型の第2のトランジスタと、一方端が前記第2の記憶ノードに接続され、他方端が第1のポート用の第3のビット線に接続され、ゲート電極が前記第1のワード線に接続された第1の導電型の第3のトランジスタと、一方端が前記第2の記憶ノードに接続され、他方端が第2のポート用の第4のビット線に接続され、ゲート電極が前記第2のワード線に接続された第1の導電型の第4のトランジスタとを含み、前記第1のワード線と前記第2のワード線とが並んで配列され、前記スタティックメモリセルは、第2の導電型の第1の領域、第1の第1の導電型の第2の領域、第2の導電型の第3の領域に分割され、前記第1から第3の領域は前記第1及び第2のワード線が伸びる方向に順次配置され、それぞれの領域にトランジスタが形成され、前記第1の領域には、前記第1のトランジスタと、前記第3のトランジスタと、前記第2のインバータを構成する第1の導電型の第5トランジスタとが配置され、前記第2の領域には、前記第2のインバータを構成する第2の導電型の第7トランジスタと前記第1のインバータを構成する第2の導電型の第8トランジスタとが配置され、前記第3の領域には、

前記第2のトランジスタと、前記第4のトランジスタと、前記第1のインバータを構成する第1の導電型の第6トランジスタとが配置される。

また、請求項17記載の発明は、請求項16記載の半導体装置であって、前記第1から第4のビット線は、前記第1のワード線及び前記第2のワード線と直交する方向に配列される。

また、請求項18記載の発明は、請求項16あるいは請求項17に記載の半導体装置であって、前記第1のトランジスタのゲート電極と前記第3のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第1のゲート電極が構成され、前記第2のトランジスタのゲート電極と前記第4のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第2のゲート電極が構成される。

また、請求項19記載の発明は、請求項18記載の半導体装置であって、前記第5のトランジスタのゲート電極と前記第7のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第3のゲート電極が構成され、前記第6のトランジスタのゲート電極と前記第8のトランジスタのゲート電極とは、接続されて一体となったゲート電極のパターンで第4のゲート電極が構成され、前記第1から第4のゲート電極は前記第1のワード線及び前記第2のワード線の延びる方向に延びる。

また、請求項20記載の発明は、請求項16ないし請求項19のうち、いずれか1項に記載の半導体装置であって、前記第1と前記第5のトランジスタの活性領域は、一体化した活性領域で形成されて接続され、前記第4と前記第6のトランジスタの活性領域は、一体化した活性領域で形成されて接続され、前記第2と前記第5のトランジスタの活性領域は分離され、配線を介して接続され、前記第3と前記第6のトランジスタの活性領域は分離され、配線を介して接続される。

また、請求項21記載の発明は、請求項20記載の半導体装置であって、前記第2の領域に近い順に、前記第3のトランジスタ、前記第1のトランジスタが配置され、前記第2の領域に近い順に、前記第2のトランジスタ、前記第4のトランジスタが配置される。

また、請求項22記載の発明は、請求項20記載の半導体装置であって、前記第2の領域に近い順に、前記第1のトランジスタ、前記第3のトランジスタが配置され、前記第2の領域に近い順に、前記第4のトランジスタ、前記第2のトランジスタが配置される。