



(12)发明专利申请

(10)申请公布号 CN 110808237 A

(43)申请公布日 2020.02.18

(21)申请号 201910983911.3

(22)申请日 2019.10.16

(71)申请人 中国电子科技集团公司第十三研究所

地址 050051 河北省石家庄市合作路113号

(72)发明人 郑宏斌 吴立丰 李晓斌 崔贝贝  
张越成 曹翠娇 张磊 李保林  
张恒晨 邓志远

(74)专利代理机构 石家庄国为知识产权事务所  
13120

代理人 王朝

(51)Int.Cl.

H01L 23/498(2006.01)

H01L 23/552(2006.01)

H01L 21/50(2006.01)

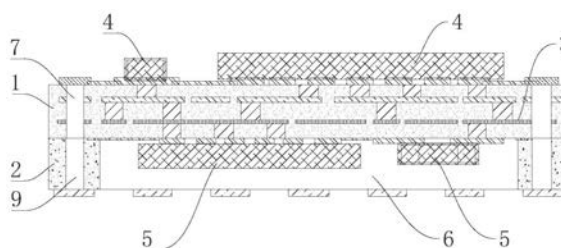
权利要求书1页 说明书5页 附图5页

(54)发明名称

小型化抗干扰电路封装结构及其制造方法

(57)摘要

本发明提供了一种小型化抗干扰电路封装结构,属于数字电路设计领域,包括上基板,上基板顶面设有顶层元器件,底面上设有底层元器件;下基板,设于上基板底部,中部留空,留空与上基板的底面形成容纳腔;屏蔽层,设于上基板内部。该小型化抗干扰电路封装结构能有效解决数字电路空间串扰的问题,体积小,占用空间少,有利于电路封装结构的小型化设计 and 应用。本发明还提供一种小型化抗干扰电路封装结构制造方法,包括步骤:制作上基板并在上基板内植入屏蔽层;制作下基板,在下基板中部留空;使上基板和下基板固接并导电连接;安装顶层元器件和底层元器件。该制造方法工艺兼容性强,有利于降低电路封装结构的制造成本。



1. 小型化抗干扰电路封装结构,其特征在于,包括:  
上基板,所述上基板顶面上设有顶层元器件,所述上基板底面上设有底层元器件;  
下基板,设于所述上基板底部,所述下基板中部留空,所述留空与所述上基板的底面形成用于容纳所述底层元器件的容纳腔;  
屏蔽层,设于所述上基板内部。
2. 如权利要求1所述的小型化抗干扰电路封装结构,其特征在于:所述上基板的外缘设有第一金属化过孔,所述上基板的顶面和底面上分别设有与所述第一金属化过孔导电连接的上基板互联焊盘;所述下基板的外缘设有分别与所述第一金属化过孔对应的第二金属化过孔,所述下基板的顶面设有与所述第二金属化过孔导电连接的下基板顶层互联焊盘,所述下基板的底面上设有与所述第二金属化过孔导电连接的下基板底层焊盘;所述屏蔽层与所述第一金属化过孔导电连接。
3. 如权利要求2所述的小型化抗干扰电路封装结构,其特征在于:所述上基板为多层印制电路板,包括多层层叠设置的印制电路板体,所述屏蔽层设于所述上基板内相邻两层印制电路板体之间。
4. 如权利要求3所述的小型化抗干扰电路封装结构,其特征在于:所述上基板内部设有上基板盲孔和与所述上基板盲孔导电连接的上基板内部导线,所述顶层元器件通过所述上基板盲孔和所述上基板内部导线形成的上基板内部导电结构与所述第一金属化过孔导电连接,所述底层元器件通过所述上基板盲孔和所述上基板内部导线形成的上基板内部导电结构与所述第一金属化过孔导电连接,所述屏蔽层与所述上基板盲孔导电连接。
5. 如权利要求2所述的小型化抗干扰电路封装结构,其特征在于:所述第一金属化过孔在所述上基板的外缘呈环形阵列分布,所述第二金属化过孔在所述下基板的外缘呈环形阵列分布。
6. 如权利要求2所述的小型化抗干扰电路封装结构,其特征在于:位于所述上基板同一板面上的至少两个相邻的所述上基板互联焊盘之间设有上基板公共连接带,至少两个相邻的所述下基板顶层互联焊盘之间设有下基板公共连接带。
7. 如权利要求1所述的小型化抗干扰电路封装结构,其特征在于:所述上基板的顶面上设有用于与所述顶层元器件焊接的顶层焊盘,所述上基板的底面上设有用于与所述底层元器件焊接的底层焊盘。
8. 如权利要求1所述的小型化抗干扰电路封装结构,其特征在于:所述下基板为多层印制电路板。
9. 如权利要求1所述的小型化抗干扰电路封装结构,其特征在于:所述屏蔽层为金属屏蔽层。
10. 小型化抗干扰电路封装结构制造方法,其特征在于,包括如下步骤:  
制作上基板,并在上基板内植入屏蔽层;  
制作下基板,在所述下基板中部留空;  
使所述上基板和所述下基板固接,并使所述上基板和所述下基板导电连接;  
将顶层元器件安装于所述上基板的顶面上,将底层元器件安装于位于所述容纳腔中的所述上基板的底面上。

## 小型化抗干扰电路封装结构及其制造方法

### 技术领域

[0001] 本发明属于数字电路设计技术领域,更具体地说,是涉及一种小型化抗干扰电路封装结构及制造该小型化抗干扰电路封装结构的制造方法。

### 背景技术

[0002] 随着微电子系统集成度越来越高,功能越来越复杂,对数字电路元器件数量和高密度布局也提出了更高的要求,需要在有限空间集成更多的数字电路元器件,而且还要考虑器件间的互相干扰和电磁屏蔽等问题,保证数字电路的高质量、高稳定工作。

[0003] 数字电路之间干扰主要有时序信号串扰、电源串扰和控制信号串扰等,其中干扰的途径主要有空间干扰和电路干扰。一般情况下,电路上的干扰可以通过RC滤波或隔离电路等措施有效排除。

[0004] 空间上的串扰,尤其是时序信号通过空间的串扰,非常容易导致器件间相互影响,使工作信号异常。目前,解决空间串扰的主要途径有在器件外周加载金属隔离墙或金属屏蔽罩。加载金属隔离墙是使金属墙壁放置在容易产生空间串扰的元器件之间,使其固定在电路基板上,再放置金属盖板,阻断信号在空间传输,但金属墙壁体积较大,需要安装固定,而且金属墙壁与电路基板的缝隙很难消除。加载金属屏蔽罩是在容易产生空间串扰的元器件的上方加盖金属材质的屏蔽罩,金属屏蔽罩的四周焊接在电路基板上,可以阻断信号通过空间传输,但金属屏蔽罩只能覆盖一个或几个器件,在电路基板上占用空间较大,利用率不高。

### 发明内容

[0005] 本发明的目的在于提供一种小型化抗干扰电路封装结构,以解决现有技术中存在的针对空间串扰设置的隔离屏蔽结构占用空间大,对电路设计的空间利用率较低的技术问题。

[0006] 为实现上述目的,本发明采用的技术方案是:提供一种小型化抗干扰电路封装结构,包括:

[0007] 上基板,所述上基板顶面上设有顶层元器件,所述上基板底面上设有底层元器件;

[0008] 下基板,设于所述上基板底部,所述下基板中部留空,所述留空与所述上基板的底面形成用于容纳所述底层元器件的容纳腔;

[0009] 屏蔽层,设于所述上基板内部。

[0010] 作为本申请的另一个实施例,所述上基板的外缘设有第一金属化过孔,所述上基板的顶面和底面上分别设有与所述第一金属化过孔导电连接的上基板互联焊盘;所述下基板的外缘设有分别与所述第一金属化过孔对应的第二金属化过孔,所述下基板的顶面设有与所述第二金属化过孔导电连接的下基板顶层互联焊盘,所述下基板的底面上设有与所述第二金属化过孔导电连接的下基板底层焊盘;所述屏蔽层与所述第一金属化过孔导电连接。

[0011] 作为本申请的另一个实施例,所述上基板为多层印制电路板,包括多层层叠设置的印制电路板体,所述屏蔽层设于所述上基板内相邻两层印制电路板体之间。

[0012] 作为本申请的另一个实施例,所述上基板内部设有上基板盲孔和与所述上基板盲孔导电连接的上基板内部导线,所述顶层元器件通过所述上基板盲孔和所述上基板内部导线形成的上基板内部导电结构与所述第一金属化过孔导电连接,所述底层元器件通过所述上基板盲孔和所述上基板内部导线形成的上基板内部导电结构与所述第一金属化过孔导电连接,所述屏蔽层与所述上基板盲孔导电连接。

[0013] 作为本申请的另一个实施例,所述第一金属化过孔在所述上基板的外缘呈环形阵列分布,所述第二金属化过孔在所述下基板的外缘呈环形阵列分布。

[0014] 作为本申请的另一个实施例,位于所述上基板同一板面上的至少两个相邻的所述上基板互联焊盘之间设有上基板公共连接带,至少两个相邻的所述下基板顶层互联焊盘之间设有下基板公共连接带。

[0015] 作为本申请的另一个实施例,所述上基板的顶面上设有用于与所述顶层元器件焊接的顶层焊盘,所述上基板的底面上设有用于与所述底层元器件焊接的底层焊盘。

[0016] 作为本申请的另一个实施例,所述下基板为多层印制电路板。

[0017] 作为本申请的另一个实施例,所述屏蔽层为金属屏蔽层。

[0018] 本发明提供的小型化抗干扰电路封装结构的有益效果在于:与现有技术相比,本发明小型化抗干扰电路封装结构,在上基板内设置屏蔽层,可实现对信号的屏蔽和隔离,并且,利用上基板和下基板的层叠放置形成了三维封装结构,配合下基板的留空结构,使得上基板与留空结构形成一个容纳腔,顶层元器件和底层元器件分别位于不同的空间内,改善元器件之间的屏蔽隔离效果。本发明的抗干扰电路封装结构,对数字电路的空间屏蔽隔离和抗干扰具有非常显著的改善作用,能够有效解决数字电路空间串扰的问题,同时,屏蔽抗干扰的结构整体体积小,占用空间少,结构简单,增加了电路布局空间和器件布局密度,能够有效提高电路设计的空间利用率,有利于电路封装结构的小型化设计和应用。

[0019] 本发明还提供一种小型化抗干扰电路封装结构制造方法,包括如下步骤:

[0020] 制作上基板,并在上基板内植入屏蔽层;

[0021] 制作下基板,在所述下基板中部留空;

[0022] 使所述上基板和所述下基板固接,并使所述上基板和所述下基板导电连接;

[0023] 将顶层元器件安装于所述上基板的顶面上,将底层元器件安装于位于所述容纳腔中的所述上基板的底面上。

[0024] 本发明提供的小型化抗干扰电路封装结构制造方法的有益效果在于:与现有技术相比,本发明小型化抗干扰电路封装结构制造方法,操作过程简单,对传统生产设备无需进行较大的改进即可进行生产,工艺兼容性强,有利于降低电路封装结构的制造成本。

## 附图说明

[0025] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

- [0026] 图1为本发明实施例采用的上基板的俯视结构示意图；
- [0027] 图2为本发明实施例采用的上基板的仰视结构示意图；
- [0028] 图3为本发明实施例采用的上基板的主视结构剖视图；
- [0029] 图4为本发明实施例采用的下基板的俯视结构示意图；
- [0030] 图5为本发明实施例采用的下基板的仰视结构示意图；
- [0031] 图6为本发明实施例采用的下基板的主视结构剖视图；
- [0032] 图7为本发明实施例采用的上基板和下基板的装配结构主视图；
- [0033] 图8为图7的内部结构剖视图；
- [0034] 图9为本发明实施例采用的上基板和下基板的装配结构仰视图；
- [0035] 图10为本发明实施例提供的小型化抗干扰电路封装结构的主视结构剖视图；
- [0036] 图11为本发明实施例提供的小型化抗干扰电路封装结构与电路基板的装配结构主视图；
- [0037] 图12为本发明实施例提供的小型化抗干扰电路封装结构制造方法的流程图。
- [0038] 其中,图中各附图标记:
- [0039] 1-上基板;2-下基板;3-屏蔽层;4-顶层元器件;5-底层元器件;6-容纳腔;7-第一金属化过孔;8-上基板互联焊盘;9-第二金属化过孔;10-下基板顶层互联焊盘;11-下基板底层焊盘;12-上基板盲孔;13-上基板内部导线;14-上基板公共连接带;15-下基板公共连接带;16-顶层焊盘;17-底层焊盘;18-电路基板

### 具体实施方式

[0040] 为了使本发明所要解决的技术问题、技术方案及有益效果更加清楚明白,以下结合附图及实施例,对本发明进行进一步详细说明。应当理解,此处所描述的具体实施例仅仅用以解释本发明,并不用于限定本发明。

[0041] 请一并参阅图1至图11,现对本发明提供的小型化抗干扰电路封装结构进行说明。所述小型化抗干扰电路封装结构,包括上基板1、下基板2和屏蔽层3;上基板1顶面上设有顶层元器件4,上基板1底面上设有底层元器件5;下基板1设于上基板2底部,下基板1中部留空,留空与上基板1的底面形成用于容纳底层元器件5的容纳腔6;屏蔽层3设于上基板1内部。

[0042] 本发明提供的小型化抗干扰电路封装结构,与现有技术相比,在上基板1内设置屏蔽层3,可实现对信号的屏蔽和隔离,并且,利用上基板1和下基板2的层叠放置形成了三维封装结构,配合下基板2的留空结构,使得上基板与留空结构形成一个容纳腔6,顶层元器件4和底层元器件5分别位于不同的空间内,改善元器件之间的屏蔽隔离效果。本发明的抗干扰电路封装结构,对数字电路的空间屏蔽隔离和抗干扰具有非常显著的改善作用,能够有效解决数字电路空间串扰的问题,同时,屏蔽抗干扰的结构整体体积小,占用空间少,结构简单,增加了电路布局空间和器件布局密度,能够有效提高电路设计的空间利用率,有利于电路封装结构的小型化设计 and 应用。

[0043] 具体地,请一并参阅图3、图8图10及图11,作为本发明提供的小型化抗干扰电路封装结构的一种具体实施方式,屏蔽层3在上基板1顶面上的正投影面积可以与上基板1顶面面积相等,也可不等(略小于上基板1顶面面积),不影响屏蔽层3的屏蔽性能。

[0044] 具体地,请参阅图3、图8图10及图11,为了方便加工,屏蔽层3平行于上基板1的板面设置。

[0045] 请一并参阅图1至图11,作为本发明提供的小型化抗干扰电路封装结构的一种具体实施方式,上基板1的外缘设有第一金属化过孔7,上基板1的顶面和底面上分别设有与第一金属化过孔7导电连接的上基板互联焊盘8;下基板2的外缘设有分别与第一金属化过孔7对应的第二金属化过孔9,下基板2的顶面设有与第二金属化过孔9导电连接的下基板顶层互联焊盘10,下基板2的底面上设有与第二金属化过孔9导电连接的下基板底层焊盘11;屏蔽层3与第一金属化过孔7导电连接。第一金属化过孔7可用于信号的传输和与地线连接。上基板1和下基板2装配后形成封装模块。

[0046] 下基板底层焊盘11用于封装模块的安装固定、信号传输和接地;第二金属化过孔9用于实现信号传输和与地线连接,同时利用第一金属化过孔7和第二金属化过孔9的指定排布方式,可实现对信号的屏蔽和隔离。

[0047] 下基板顶层互联焊盘10与上基板互联焊盘8焊接后,第一金属化过孔7和第二金属化过孔9实现互联,屏蔽层3可通过第一金属化过孔7和第二金属化过孔9与地线的连接实现接地,从而形成信号屏蔽层,能够实现信号的传输、信号的互联和接地屏蔽作用,进而实现三维的电路封装结构的上下互通。这种连接方式使得连接作业简单,信号传输及接地性能可靠,同时第一金属化过孔7和第二金属化过孔9使得信号传输通道在上基板1和下基板2上的分布更加紧凑,结构简单且占用空间小,有利于进一步提高封装结构的小型化设计。

[0048] 请参阅图3、图8图10及图11,作为本发明提供的小型化抗干扰电路封装结构的一种具体实施方式,为了提高上基板1的集成度并满足功能需求,上基板1为多层印制电路板,包括多层层叠设置的印制电路板体,为了方便设置屏蔽层3,屏蔽层3设于上基板1内相邻两层印制电路板体之间。

[0049] 参阅图3、图8图10及图11,作为本发明提供的小型化抗干扰电路封装结构的一种具体实施方式,上基板1内部设有上基板盲孔12和与上基板盲孔12导电连接的上基板内部导线13,顶层元器件4通过上基板盲孔12和上基板内部导线13形成的上基板内部导电结构与第一金属化过孔7导电连接,底层元器件5通过上基板盲孔12和上基板内部导线13形成的上基板内部导电结构与第一金属化过孔7导电连接,屏蔽层3与上基板盲孔12导电连接。上基板盲孔12用于信号传输和与地线连接,上基板内部导线13用于实现信号互联、传输和与地线连接,屏蔽层3可通过上基板盲孔12和上基板内部导线13与地线的连接实现接地,从而形成信号屏蔽层,结构紧凑,使用稳定性好。

[0050] 请参阅图1、图2、图4及图5,作为本发明提供的小型化抗干扰电路封装结构的一种具体实施方式,第一金属化过孔7在上基板1的外缘呈环形阵列分布,第二金属化过孔9在下基板2的外缘呈环形阵列分布。具体地,由于上基板1和下基板2均为矩形,因此环形阵列为矩形环状阵列,依照上基板1和下基板2边缘的走势设置,充分利用上基板1和下基板2的空间,使得上基板1和下基板2组成的封装模块整体结构更加紧凑。

[0051] 请参阅图1、图2及图4,作为本发明提供的小型化抗干扰电路封装结构的一种具体实施方式,位于上基板1同一板面上的至少两个相邻的上基板互联焊盘8之间设有上基板公共连接带14,至少两个相邻的下基板顶层互联焊盘10之间设有下基板公共连接带15。上基板公共连接带14和下基板公共连接带15根据实际需要将相邻的焊盘连接起来,共用信号互

联及接地通路。

[0052] 参阅图1至图11,作为本发明提供的小型化抗干扰电路封装结构的一种具体实施方式,上基板1的顶面上设有用于与顶层元器件4焊接的顶层焊盘16,上基板1的底面上设有用于与底层元器件5焊接的底层焊盘17。顶层焊盘18用于实现顶层元器件4的装配固定,底层焊盘19用于实现底层元器件5的装配固定。

[0053] 作为本发明提供的小型化抗干扰电路封装结构的一种具体实施方式,为了使下基板2的结构更加紧凑,下基板2为多层印制电路板。

[0054] 作为本发明提供的小型化抗干扰电路封装结构的一种具体实施方式,为保证屏蔽效果,屏蔽层3为金属屏蔽层。

[0055] 请参阅图12,本发明还提供一种小型化抗干扰电路封装结构制造方法,所述小型化抗干扰电路封装结构制造方法包括如下步骤:

[0056] 制作上基板1,并在上基板1内植入屏蔽层3;

[0057] 制作下基板2,在下基板2中部留空;

[0058] 使上基板1和下基板2固接,并使上基板1和下基板2导电连接;

[0059] 将顶层元器件4安装于上基板1的顶面上,将底层元器件5安装于位于容纳腔6中的上基板1的底面上。

[0060] 本发明提供的小型化抗干扰电路封装结构制造方法,操作过程简单,对传统生产设备无需进行较大的改进即可进行生产,工艺兼容性强,有利于降低电路封装结构的制造成本。

[0061] 作为本发明提供的小型化抗干扰电路封装结构制造方法的一种具体实施方式,使上基板1和下基板2固接,并使上基板1和下基板2导电连接具体包括:

[0062] 通过热压法使上基板1和下基板2固接;

[0063] 使位于下基板2的顶面上的下基板顶层互联焊盘10与位于上基板1底面的上基板互联焊盘8焊接,实现第一金属化过孔7和第二金属化过孔9的导电连接,形成封装模块。信号可以通过上基板互联焊盘8传输到下基板2底面的下基板底层焊盘11,从而实现信号的传输、互联、接地等功能。

[0064] 作为本发明提供的小型化抗干扰电路封装结构制造方法的一种具体实施方式,将顶层元器件4安装于上基板1的顶面上,将底层元器件5安装于位于容纳腔6中的上基板1的底面上具体包括:

[0065] 通过再流焊将顶层元器件4焊接于顶层焊盘16上;

[0066] 通过再流焊将底层元器件5焊接于底层焊盘17上。

[0067] 工作时,顶层元器件4和底层元器件5通过上基板盲孔12和上基板内部导线13等实现信号的传输与互联,最后通过位于下基板2底面的下基板底层焊盘11与外部电路连接,底层元器件5在下基板2围合空间以内,可实现信号屏蔽效果。

[0068] 作为本发明提供的抗干扰电路封装结构制造方法的一种具体实施方式,将底层元器件5安装于位于容纳腔6中的上基板1的底面上之后还包括:

[0069] 使位于下基板2底面的下基板底层焊盘11与电路基板18焊接。

[0070] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等,均应包含在本发明的保护范围之内。

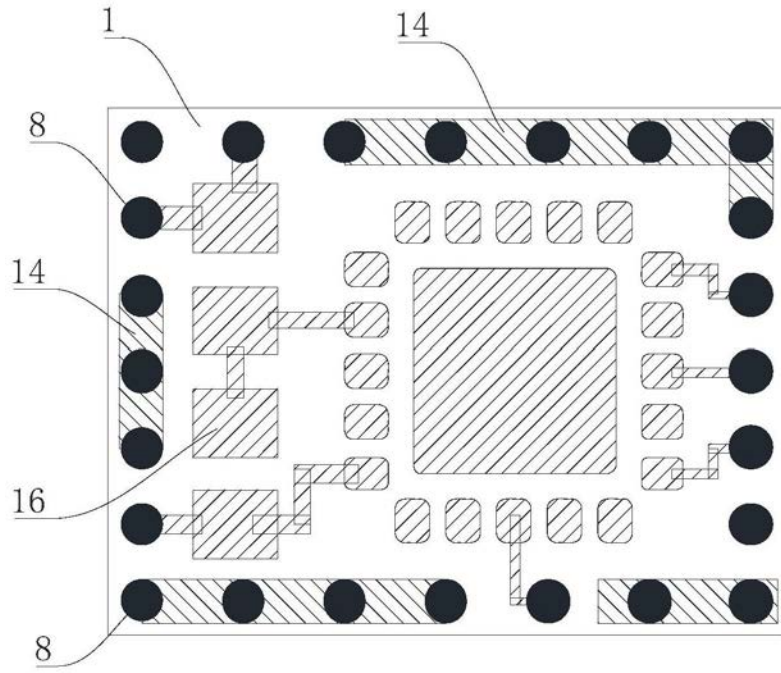


图1

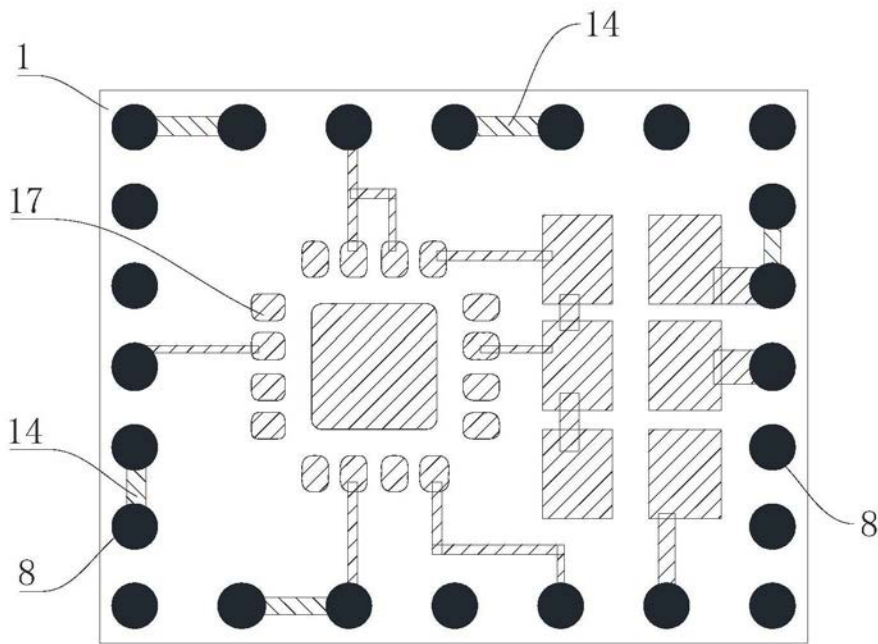


图2

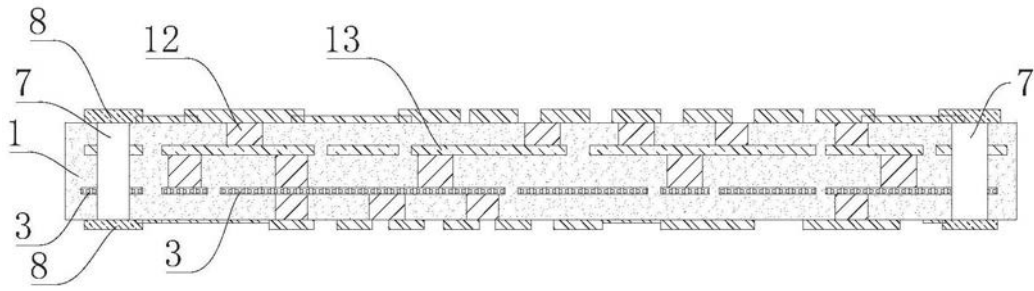


图3

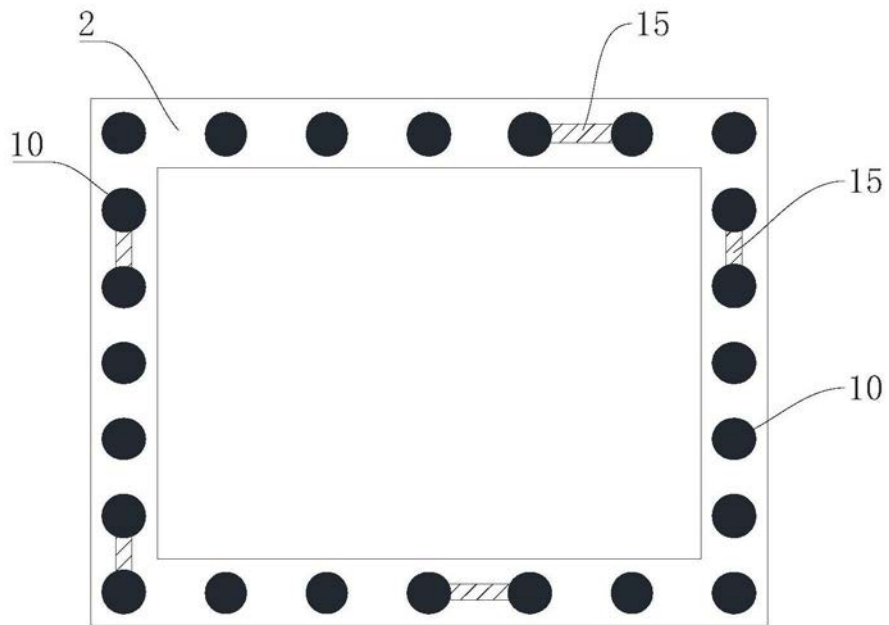


图4

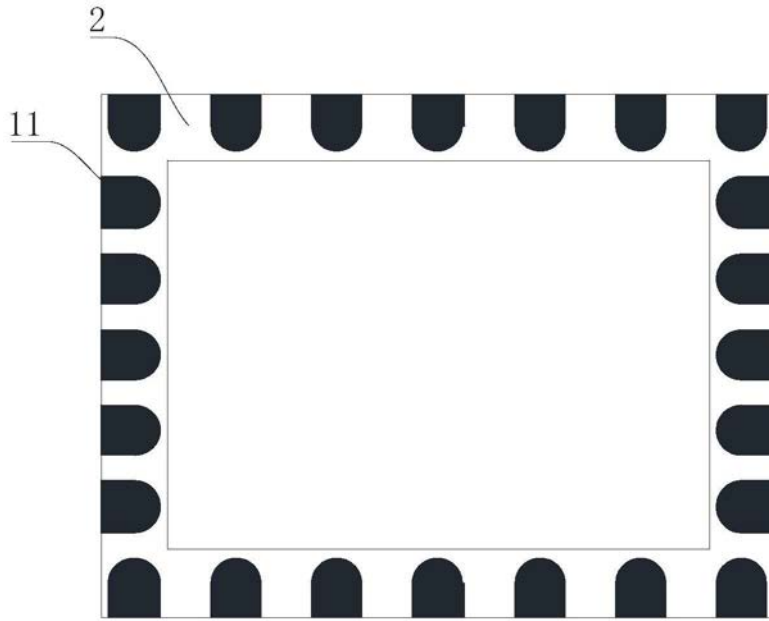


图5

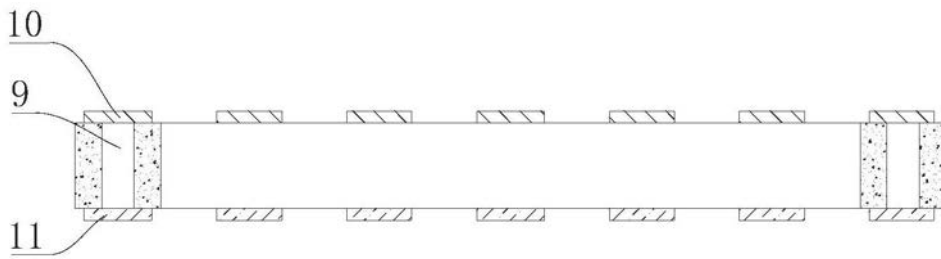


图6

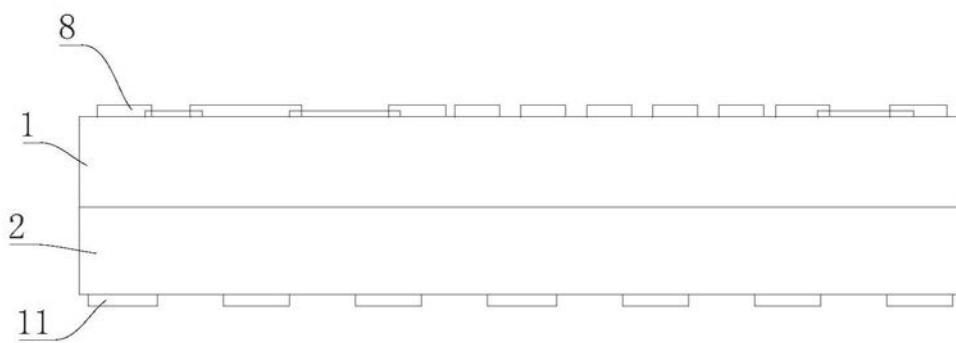


图7

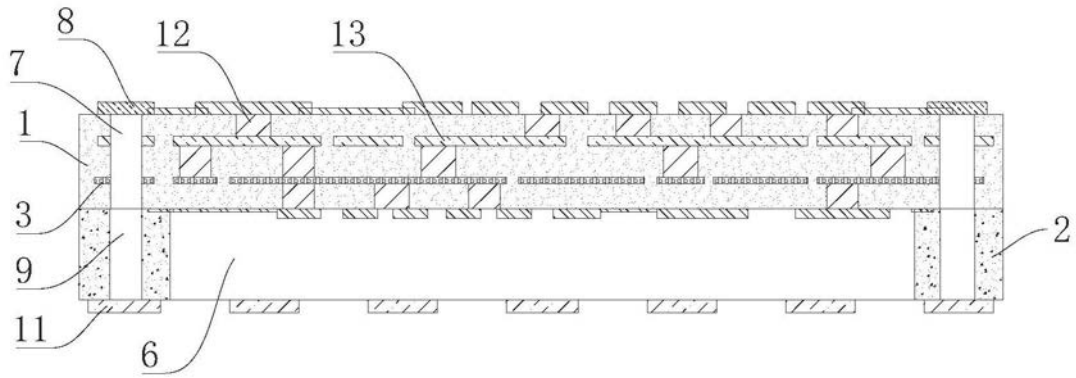


图8

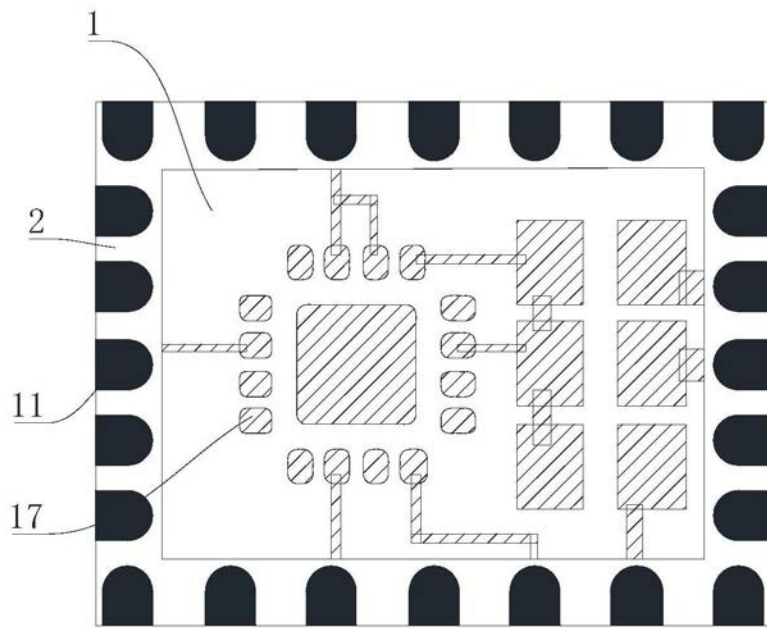


图9

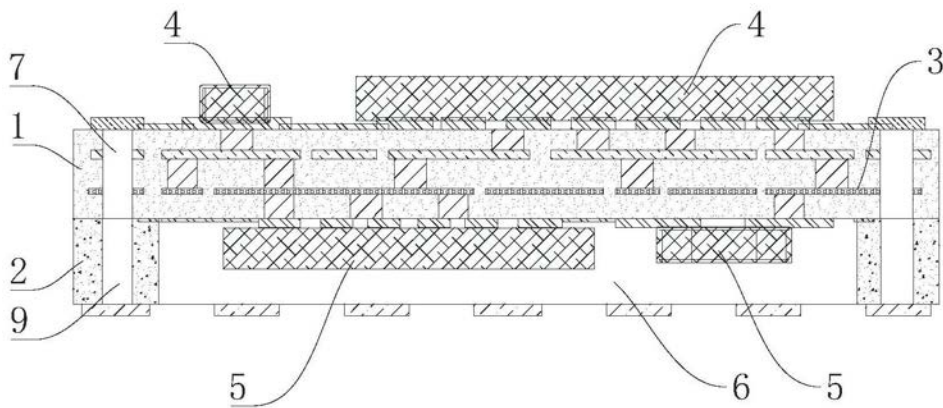


图10

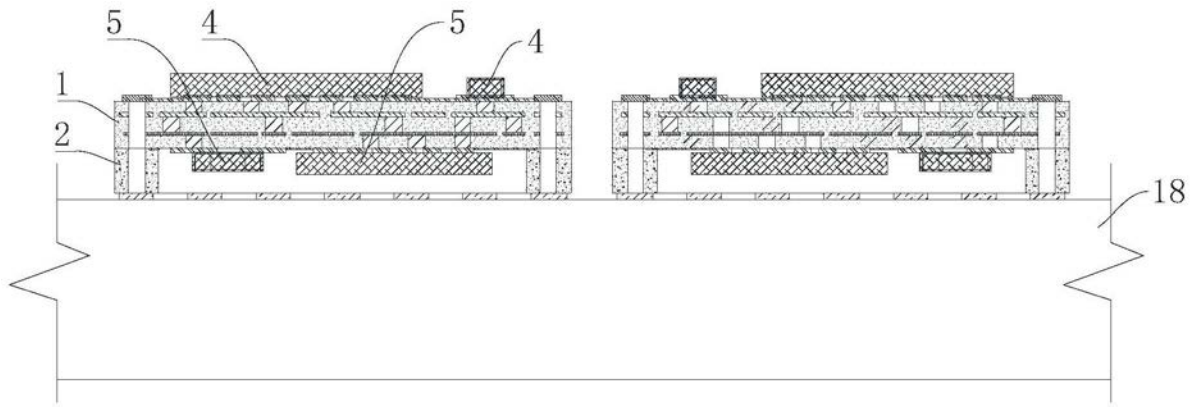


图11

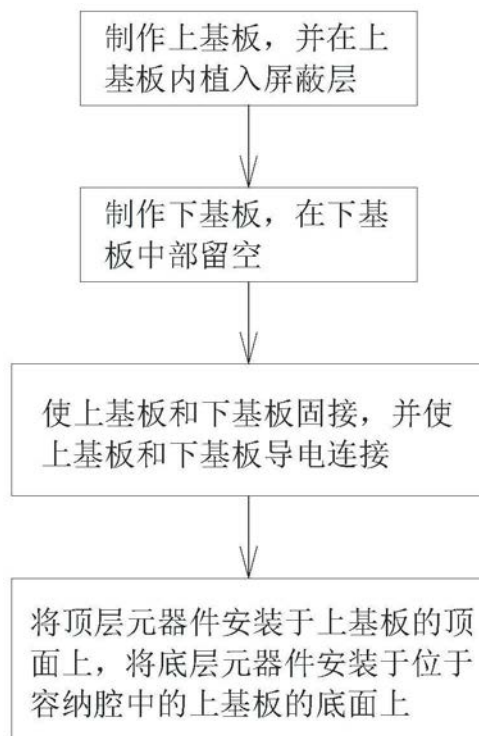


图12