(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0152265
(43) 공개일자 2023년11월03일

(51) 국제특허분류(Int. Cl.)
H03K 5/134 (2014.01) *H02J 50/10* (2016.01)
H03K 17/687 (2006.01) *H03K 5/00* (2014.01)
(52) CPC특허분류
H03K 5/134 (2015.01)
H02J 50/10 (2023.08)
(21) 출원번호 10-2022-0051783
(22) 출원일자 2022년04월27일
심사청구일자 2022년04월27일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
이형민
서울특별시 성북구 길음로 74, 508동 1304호(길음동, 길음뉴타운)
안지산
경기도 성남시 분당구 미금로 184, 113동 205호(구미동, 까치마을)
(74) 대리인
송인호, 윤형근, 최관락

전체 청구항 수 : 총 10 항

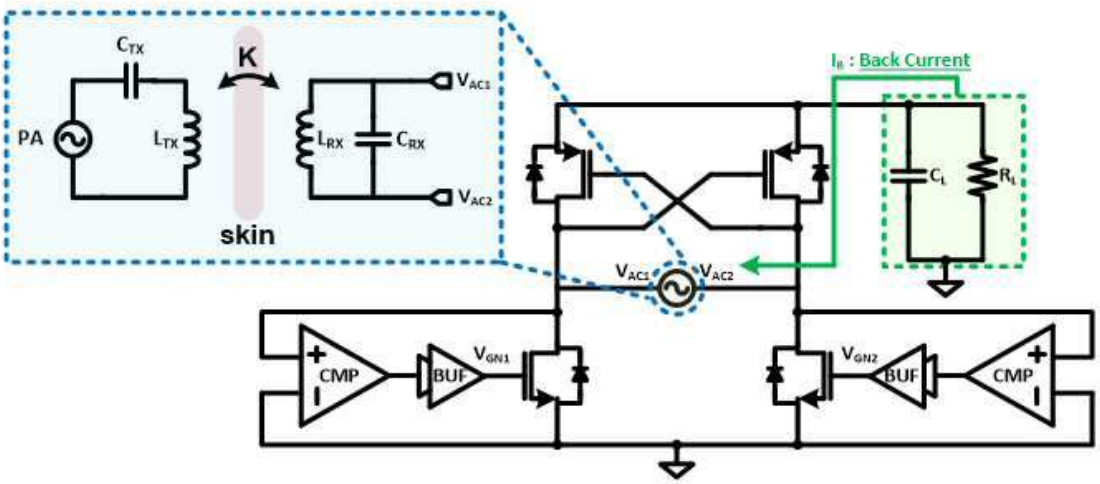
(54) 발명의 명칭 **AC-DC 정류회로의 효율 개선을 위한 디지털 피드백 기반 적응적 딜레이 조절 방법 및 장치**

(57) 요 약

본 발명은 AC-DC 정류회로의 효율 개선을 위한 디지털 피드백 기반 적응적 딜레이 조절 방법 및 장치를 개시한다. 본 발명에 따르면, 무선전력전송을 위한 스위치; 상기 스위치의 ON/OFF 타이밍에 SET 및 RESET 신호를 인가받아 상기 스위치를 구동하는 SR-래치; 상기 스위치의 ON/OFF 타이밍에서의 입력 AC 전압과 그라운드 전압의

(뒷면에 계속)

대 표 도 - 도1



크기를 비교하여 상기 크기 차이에 따른 디지털 변조값을 출력하는 디지털 피드백 기반 보상기; 상기 입력 AC 전압에 따른 초기 펄스를 입력 받고, 상기 디지털 변조값에 따라 제1 딜레이 단위로 상기 초기 펄스의 딜레이를 증가시켜 딜레이된 제1 펄스를 출력하는 코스 딜레이 라인 (Coarse Delay Line); 상기 코스 딜레이 라인에 의해 상기 입력 AC 전압이 상기 그라운드 전압이 같아지는 시점이 존재하는 경우, 상기 제1 딜레이 단위보다 작은 제2 딜레이 단위로 상기 제1 펄스의 딜레이를 세부 조정하는 파인 딜레이 라인 (Fine Delay Line); 상기 파인 딜레이 라인이 상기 제1 펄스의 딜레이를 연속적으로 조정하도록 제어하여 상기 스위치의 동작 시점을 결정하는 모드 컨트롤러; 및 상기 스위치의 동작 시점에서의 펄스를 선택하여 상기 SR-래치로 입력하는 펄스 선택기를 포함하는 디지털 피드백 기반 적응적 딜레이 조절 장치가 제공된다.

(52) CPC특허분류
H03K 17/6871 (2013.01)
H03K 2005/00032 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1415181687
과제번호	00154983
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	시장주도형 K-센서기술개발/시장선도를 위한 한국 주도형 K-Sensor 기술개발(R&D)
연구과제명	저전력 센서와 구동을 위한 자립형전원 센서 플랫폼 개발
기 여 율	1/1
과제수행기관명	고려대학교 산학협력단
연구기간	2022.04.01 ~ 2024.12.31

명 세 서

청구범위

청구항 1

AC-DC 정류회로의 효율 개선을 위한 디지털 피드백 기반 적응적 딜레이 조절 장치로서,

무선전력전송을 위한 스위치;

상기 스위치의 ON/OFF 타이밍에 SET 및 RESET 신호를 인가받아 상기 스위치를 구동하는 SR-래치;

상기 스위치의 ON/OFF 타이밍에서의 입력 AC 전압과 그라운드 전압의 크기를 비교하여 상기 크기 차이에 따른 디지털 변조값을 출력하는 디지털 피드백 기반 보상기;

상기 입력 AC 전압에 따른 초기 펄스를 입력 받고, 상기 디지털 변조값에 따라 제1 딜레이 단위로 상기 초기 펄스의 딜레이를 증가시켜 딜레이된 제1 펄스를 출력하는 코스 딜레이 라인 (Coarse Delay Line);

상기 코스 딜레이 라인에 의해 상기 입력 AC 전압이 상기 그라운드 전압이 같아지는 시점이 존재하는 경우, 상기 제1 딜레이 단위보다 작은 제2 딜레이 단위로 상기 제1 펄스의 딜레이를 세부 조정하는 파인 딜레이 라인 (Fine Delay Line);

상기 파인 딜레이 라인이 상기 제1 펄스의 딜레이를 연속적으로 조정하도록 제어하여 상기 스위치의 동작 시점을 결정하는 모드 컨트롤러; 및

상기 스위치의 동작 시점에서의 펄스를 선택하여 상기 SR-래치로 입력하는 펄스 선택기를 포함하는 디지털 피드백 기반 적응적 딜레이 조절 장치.

청구항 2

제1항에 있어서,

상기 스위치는 부하 변화에 따라 사이즈 조절이 가능한 다중 스위치 어레이인 디지털 피드백 기반 적응적 딜레이 조절 장치.

청구항 3

제1항에 있어서,

상기 초기 펄스는 상기 입력 AC 전압을 인버터를 통과시켜 생성되는 디지털 피드백 기반 적응적 딜레이 조절 장치.

청구항 4

제1항에 있어서,

상기 디지털 피드백 보상기는 상기 입력 AC 전압을 샘플링하는 샘플링 회로, 상기 입력 AC 전압과 상기 그라운드 전압을 비교하는 디지털 비교기 및 상기 입력 AC 전압과 상기 그라운드 전압의 크기 차이에 따라 업/다운 카운팅 값을 출력하는 양방향 카운터를 포함하는 디지털 피드백 기반 적응적 딜레이 조절 장치.

청구항 5

제4항에 있어서,

상기 코스 딜레이 라인은 복수의 인버터, 커패시터 및 논리연산회로를 포함하며, 상기 업/다운 카운팅 값에 따라 상기 커패시터의 개수를 조절하여 상기 초기 펄스의 딜레이를 증가시키는 디지털 피드백 기반 적응적 딜레이 조절 장치.

청구항 6

제1항에 있어서,

상기 모드 컨트롤러는 상기 코스 딜레이 라인에 의해 상기 입력 AC 전압이 상기 그라운드 전압이 같아지는 시점이 존재하는 경우, 상기 제1 펄스가 상기 제2 딜레이 단위로 빠르고 느리게 반복적으로 조정되도록 디지털 피드백하는 제1 모드를 실행하고, 상기 조정이 미리 설정된 횟수만큼 반복된 이후 제2 모드를 실행하여 상기 스위치의 동작 시점을 결정하는 디지털 피드백 기반 적응적 딜레이 조절 장치.

청구항 7

제6항에 있어서,

상기 모드 컨트롤러는 상기 제2 모드 실행 시, 상기 디지털 피드백 기반 보상기를 대기모드로 전환하는 디지털 피드백 기반 적응적 딜레이 조절 장치.

청구항 8

제6항에 있어서,

상기 모드 컨트롤러는 상기 제2 모드 실행 이후 주기적으로 상기 제1 모드로 전환하여 상기 스위치의 동작 시점을 다시 결정하는 디지털 피드백 기반 적응적 딜레이 조절 장치.

청구항 9

제6항에 있어서,

상기 모드 컨트롤러는 상기 제1 모드에서의 상기 디지털 피드백 동작을 기록하고, 상기 제2 모드로의 전환 여부를 결정하는 피드백 디텍터를 포함하는 디지털 피드백 기반 적응적 딜레이 조절 장치.

청구항 10

AC-DC 정류회로의 효율 개선을 위한 디지털 피드백 기반 적응적 딜레이 조절 방법으로서,

디지털 피드백 기반 보상기가, 무선전력전송을 위한 스위치의 ON/OFF 타이밍에서의 입력 AC 전압과 그라운드 전압의 크기를 비교하여 상기 크기 차이에 따른 디지털 변조값을 출력하는 단계;

코스 딜레이 라인 (Coarse Delay Line)이 상기 입력 AC 전압에 따른 초기 펄스를 입력 받고, 상기 디지털 변조값에 따라 제1 딜레이 단위로 상기 초기 펄스의 딜레이를 증가시켜 제1 펄스를 출력하는 단계;

파인 딜레이 라인 (Fine Delay Line)이 상기 코스 딜레이 라인에 의해 상기 입력 AC 전압이 상기 그라운드 전압이 같아지는 시점이 존재하는 경우, 상기 제1 딜레이 단위보다 작은 제2 딜레이 단위로 상기 제1 펄스의 딜레이를 세부 조정하는 단계;

모드 컨트롤러가 상기 파인 딜레이 라인이 딜레이를 연속적으로 조정하도록 제어하여 상기 스위치의 동작 시점을 결정하는 단계; 및

펄스 선택기가 상기 스위치의 동작 시점에서의 펄스를 선택하여 상기 스위치의 ON/OFF 타이밍에 SET 및 RESET 신호를 인가받아 상기 스위치를 구동하는 SR-래치로 입력하는 단계를 포함하는 디지털 피드백 기반 적응적 딜레이 조절 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 AC-DC 정류회로의 효율 개선을 위한 디지털 피드백 기반 적응적 딜레이 조절 방법 및 장치에 관한 것이다.

배 경 기 술

[0002] WPT (Wireless Power Transfer, 무선전력전송) 기술은 산업용 기기, 자동차, IoT 그리고 바이오 의학 분야에 핵심적인 기술로 대두되었다. 특히 IMD (Implantable Medical Device, 생체 이식형 반도체칩)의 경우, 특정 기

능을 수행하기 위해 지속적인 전력 공급을 필요로 한다. 기존의 배터리 기반 전력 공급의 경우, 배터리의 제한적인 수명으로 인해 주기적인 교체를 요한다는 치명적인 단점이 있었으나, WPT 기술을 접목시켜 무선으로 전력을 지속적으로 공급하여 이러한 단점을 극복할 수 있게 되었다.

[0003] 생체 내부 혹은 유독 환경 등 시스템의 제한적인 동작 환경으로 인해 에너지 공급이 물리적 한계를 지닌 경우, 시스템의 안정적인 전력수급을 위한 WPT 기술은 필수적이다. 더불어 저전력으로 다기능을 수행하는 시스템 IC에 대한 수요가 높아지면서, 시스템 무선전력 관리회로의 저전력 구현에 대한 요구사항도 증가하고 있어 관련 설계 기술에 대한 연구가 활발히 이루어지고 있다.

[0004] 무선전력 시스템의 효율은 대표적으로 PTE (Power Transfer Efficiency, 전력 전송 효율), PCE (Power Conversion Efficiency, 전력 변환 효율)로 나타낸다.

[0005] PTE는 송신단에서 수신단 부하까지의 전력 전달 효율을 나타낸다. PCE는 수신단 입력에서 부하까지의 전력 변환 효율을 나타낸다.

[0006] WPT 기술은 주로 에너지 공급이 어려운 제한적인 환경에 사용되는데, 이 경우 송/수신단 코일간의 최적화가 힘들어 필연적으로 낮은 코일 결합 계수를 갖게 되고, 이는 낮은 PTE로 이어진다. 따라서, 전체적인 WPT 시스템의 효율을 높이기 위해 전력 변환 회로의 PCE를 높이는 것이 무엇보다 중요하다.

[0007] WPT 시스템에는 다양한 구조의 전력 변환 회로가 사용된다. AC 전압을 DC 전압으로 바꾸어 주는 Rectifier (정류기), 정류된 전압을 부하에 필요한 낮은 리플을 갖는 특정 DC 전압으로 바꾸어 주는 LDO Regulator (Low Drop-Out Regulator, 선형 레귤레이터)가 대표적이다.

[0008] 이중 정류기에서는 대표적으로 두 가지 손실이 발생한다. 하나는 파워 스위치의 기생 커패시턴스에 의해 발생하는 스위칭 손실이고, 다른 하나는 스위치의 R_{on} 저항에 의해 전류가 흐를 때 발생하는 I^2R_{on} 도통 손실이 대표적이다.

[0009] 상기한 두 가지 손실을 최소화하고 PCE를 높이기 위해 회로 구조적으로 많은 연구가 이루어졌다.

[0010] 스위치 구조적 측면에서 초기에 별도의 구동회로가 필요 없는 수동 다이오드 (Passive Diode)를 사용하였다. 하지만 높은 R_{on} 저항과 큰 전압 강하의 단점이 있어 최근엔 별도의 구동회로를 통해 완전히 ON/OFF가 가능하고, 도통 손실을 최소화할 수 있는 능동 다이오드 (Active Diode)를 사용한다.

[0011] 스위치의 종류 측면에서 NMOS가 높은 Mobility (전자 이동도)로 인해 같은 R_{on} 저항 기준 스위치 크기의 최소화가 가능하고, 기생 커패시턴스 크기 또한 작아져 스위칭 손실을 줄일 수 있다. 이러한 이유로 Active PMOS에 비해 Active NMOS가 선호된다. 결과적으로, 도 1과 같은 Cross-coupled PMOS 구조와, Active NMOS를 사용한 Active 구조의 능동 정류기 (Active Rectifier)가 주로 사용된다.

[0012] 스위치 구동에도 상당한 전력이 소모된다. 기존의 정류기는 주로 아날로그 비교기를 사용하는데, 대부분의 전력이 Active NMOS를 구동하는 아날로그 비교기와 여러 기능을 구현하기 위한 컨트롤러에서 사용된다. WPT의 경우 무선전력 송/수신이 높은 주파수 대역에서 이루어지고, 스위치 구동 또한 매 주기 이루어지기 때문에, 시스템을 저전력으로 구현하고 높은 PCE를 유지하기 위해서 매 주기 발생하는 스위치 구동회로와 컨트롤러의 소비 전력을 낮추는 것이 무엇보다 중요하다.

[0013] 높은 VCR (Voltage Conversion Ratio, 전압 변환 비율)과 PCE를 위해 적절한 타이밍에 스위치가 켜지고 꺼지는 것이 중요하다. Cross-coupled PMOS의 경우, Positive Feedback으로 인해 별도의 구동회로 없이 주어진 전압 조건에 따라 스스로 ON/OFF가 가능하고, 스위칭 손실이 존재하지 않고 도통 손실만 존재한다.

[0014] Active NMOS의 경우 두 종류의 손실이 모두 존재하고, 부하 전류의 크기에 따라 지배적인 손실이 달라지기에 스위치 크기의 최적화가 필요하다. 또한, 자체적인 ON/OFF가 불가능하여 별도의 구동회로를 필요로 하고, 입력 전압이 그라운드 전압보다 낮은 경우에만 동작해야 한다.

[0015] Active NMOS가 켜지는 타이밍이 늦어지게 되면 입력전력이 출력으로 전달되지 못하는 구간이 발생하고, 꺼지는 타이밍이 늦어지게 되면 출력에서 입력으로 역전류가 흘러 효율 저하를 야기한다. 이러한 이유로 스위치 구동지연의 보상과 적절한 시간에 스위치를 ON/OFF 할 수 있는 구동회로에 대한 연구가 필요하다.

[0016] 기존 능동 정류기는 스위치를 아날로그 비교기로 동작시킨다. 입력 전압과 그라운드 전압을 비교하여 입력 전압

이 그라운드 전압보다 낮은 구간에서 스위치를 동작시켜 부하에 전력을 공급한다. 하지만 파워 스위치의 큰 사이즈로 인해 상당한 기생 게이트 커패시턴스가 발생하게 되고, 이는 도 2a와 같은 비교기와 버퍼의 Propagation Delay (전파 지연)으로 이어진다. 이에 의한 지연 시간은 입력 전압에도 영향을 받는다. ON-Delay (켜짐 지연)으로 인해 입력 전력이 출력 측으로 전달되지 못하는 구간이 발생하고, OFF-Delay (꺼짐 지연)으로 인해 출력에서 입력으로 역전류가 흘러 전력 변환 효율이 저하한다. 이와 같은 스위치 ON/OFF 지연을 보상하기 위한 회로 기술들이 등장하였는데, 대표적으로 ON/OFF 이전에 비교기에 전류를 주입하여 의도적으로 일정한 오프셋을 만들어내 비교기를 더 이른 타이밍에 동작시키는 방법과 딜레이 회로 및 아날로그 피드백을 이용해 도통 시간(Conduction Time)을 조절하는 방법이 있다.

[0017] 하지만 비교기의 동작 지연을 보상하기 위해 기존에 소개된 기술들은 몇 가지 단점이 있다. 우선, 공정 변수에 의한 스위치 기생 커패시턴스 크기와 지연 수준이 예측 불허하다. 따라서, 전류 주입 방식의 경우 구동지연 보상에 필요한 오프셋의 크기가 예측 불허하여 주입하는 전류의 양을 외부에서 조절하여야 한다는 번거로움이 있다. 또한, 스위치를 이른 타이밍에 동작시키기 위한 비교기의 전력 주입 또한 매 주기 이루어져야하기 때문에 전력 소모가 상당하다. 더불어, 비교기 전류 주입의 양이나 타이밍이 부적절한 경우 도 2b와 같은 Multiple Pulsing (한 주기 내에 스위치가 여러 번 ON/OFF 하는 현상)의 문제점이 나타나기 때문에 이를 방지하기 위한 추가적인 기술이 필요하다.

[0018] 샘플링 회로와 OTA (Operational Transconductance Amplifier, 연산 전달 컨덕턴스 증폭기) 기반의 아날로그 피드백 기법을 이용하여 비교기에 주입하는 전류의 양을 적응적으로 조절하고, 외부에서 조절할 필요 없이 자체적으로 스위치 동작 지연 보상이 가능한 기술이 개발되었다. 하지만 피드백 속도가 OTA에 의해 제한되고, 피드백을 위한 컨트롤 회로에서 전력이 추가적으로 소비된다는 단점이 있다.

선행기술문헌

특허문헌

[0019] (특허문헌 0001) KR 등록특허 10-1825142

발명의 내용

해결하려는 과제

[0020] 상기한 종래기술의 문제점을 해결하기 위해, 본 발명은 디지털 피드백 기반의 보상기법을 통해 딜레이 회로의 시간을 조절하여 스위치의 구동지연을 적응적으로 보상하고, 입력 전압 및 부하 등 동작 환경의 변화에도 최적의 타이밍에 스위치를 동작시켜 AC-DC 정류기의 효율을 높일 수 있는 디지털 피드백 기반 적응적 딜레이 조절 방법 및 장치를 제안하고자 한다.

과제의 해결 수단

[0021] 상기한 바와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따르면, AC-DC 정류회로의 효율 개선을 위한 디지털 피드백 기반 적응적 딜레이 조절 장치로서, 무선전력전송을 위한 스위치; 상기 스위치의 ON/OFF 타이밍에 SET 및 RESET 신호를 인가받아 상기 스위치를 구동하는 SR-래치; 상기 스위치의 ON/OFF 타이밍에서의 입력 AC 전압과 그라운드 전압의 크기를 비교하여 상기 크기 차이에 따른 디지털 변조값을 출력하는 디지털 피드백 기반 보상기; 상기 입력 AC 전압에 따른 초기 펄스를 입력 받고, 상기 디지털 변조값에 따라 제1 딜레이 단위로 상기 초기 펄스의 딜레이를 증가시켜 딜레이된 제1 펄스를 출력하는 코스 딜레이 라인 (Coarse Delay Line); 상기 코스 딜레이 라인에 의해 상기 입력 AC 전압이 상기 그라운드 전압이 같아지는 시점이 존재하는 경우, 상기 제1 딜레이 단위보다 작은 제2 딜레이 단위로 상기 제1 펄스의 딜레이를 세부 조정하는 파인 딜레이 라인 (Fine Delay Line); 상기 파인 딜레이 라인이 상기 제1 펄스의 딜레이를 연속적으로 조정하도록 제어하여 상기 스위치의 동작 시점을 결정하는 모드 컨트롤러; 및 상기 스위치의 동작 시점에서의 펄스를 선택하여 상기 SR-래치로 입력하는 펄스 선택기를 포함하는 디지털 피드백 기반 적응적 딜레이 조절 장치가 제공된다.

[0022] 상기 스위치는 부하 변화에 따라 사이즈 조절이 가능한 다중 스위치 어레이일 수 있다.

[0023] 상기 초기 펄스는 상기 입력 AC 전압을 인버터를 통과시켜 생성될 수 있다.

[0024] 상기 디지털 피드백 보상기는 상기 입력 AC 전압을 샘플링하는 샘플링 회로, 상기 입력 AC 전압과 상기 그라운드 전압을 비교하는 디지털 비교기 및 상기 입력 AC 전압과 상기 그라운드 전압의 크기 차이에 따라 업/다운 카운팅 값을 출력하는 양방향 카운터를 포함할 수 있다.

[0025] 상기 코스 딜레이 라인은 복수의 인버터, 커패시터 및 논리연산회로를 포함하며, 상기 업/다운 카운팅 값에 따라 상기 커패시터의 개수를 조절하여 상기 초기 펄스의 딜레이를 증가시킬 수 있다.

[0026] 상기 모드 컨트롤러는 상기 코스 딜레이 라인에 의해 상기 입력 AC 전압이 상기 그라운드 전압이 같아지는 시점이 존재하는 경우, 상기 제1 펄스가 상기 제2 딜레이 단위로 빠르고 느리게 반복적으로 조정되도록 디지털 피드백하는 제1 모드를 실행하고, 상기 조정이 미리 설정된 횟수만큼 반복된 이후 제2 모드를 실행하여 상기 스위치의 동작 시점을 결정할 수 있다.

[0027] 상기 모드 컨트롤러는 상기 제2 모드 실행 시, 상기 디지털 피드백 기반 보상기를 대기모드로 전환할 수 있다.

[0028] 상기 모드 컨트롤러는 상기 제2 모드 실행 이후 주기적으로 상기 제1 모드로 전환하여 상기 스위치의 동작 시점을 다시 결정할 수 있다.

[0029] 상기 모드 컨트롤러는 상기 제1 모드에서의 상기 디지털 피드백 동작을 기록하고, 상기 제2 모드로의 전환 여부를 결정하는 피드백 디텍터를 포함할 수 있다.

[0030] 본 발명의 다른 측면에 따르면, AC-DC 정류회로의 효율 개선을 위한 디지털 피드백 기반 적응적 딜레이 조절 방법으로서, 디지털 피드백 기반 보상기가, 무선전력전송을 위한 스위치의 ON/OFF 타이밍에서의 입력 AC 전압과 그라운드 전압의 크기를 비교하여 상기 크기 차이에 따른 디지털 변조값을 출력하는 단계; 코스 딜레이 라인(Coarse Delay Line)이 상기 입력 AC 전압에 따른 초기 펄스를 입력 받고, 상기 디지털 변조값에 따라 제1 딜레이 단위로 상기 초기 펄스의 딜레이를 증가시켜 제1 펄스를 출력하는 단계; 파인 딜레이 라인 (Fine Delay Line)이 상기 코스 딜레이 라인에 의해 상기 입력 AC 전압이 상기 그라운드 전압이 같아지는 시점이 존재하는 경우, 상기 제1 딜레이 단위보다 작은 제2 딜레이 단위로 상기 제1 펄스의 딜레이를 세부 조정하는 단계; 모드 컨트롤러가 상기 파인 딜레이 라인이 딜레이를 연속적으로 조정하도록 제어하여 상기 스위치의 동작 시점을 결정하는 단계; 및 펄스 선택기가 상기 스위치의 동작 시점에서의 펄스를 선택하여 상기 스위치의 ON/OFF 타이밍에 SET 및 RESET 신호를 인가받아 상기 스위치를 구동하는 SR-래치로 입력하는 단계를 포함하는 디지털 피드백 기반 적응적 딜레이 조절 방법이 제공된다.

발명의 효과

[0031] 본 발명에 따르면, 스위치 구동회로가 모두 디지털 방식으로 설계되어 저전력 동작이 가능하며, 또한, 모드 컨트롤러를 통한 적응적인 스위치 구동지연 보상이 가능하기 때문에 외부에서 동작 파라미터를 조절해야 하는 번거로움이 없어 동작 환경이 제한적인 어플리케이션에 적용이 가능하다.

[0032] 또한, 본 발명에 따르면, 디지털 피드백 기반의 스위치 구동지연 보상 알고리즘을 적용했기 때문에 대역폭의 제한을 받지 않아 기존 기술보다 고속으로 스위치 구동지연 보상이 가능하여 입력 전압의 변동이 지속적으로 발생하는 어플리케이션에 적용할 수 있다.

도면의 간단한 설명

[0033] 도 1은 Cross-coupled PMOS 구조와, Active NMOS를 사용한 Active 구조의 능동 정류기를 도시한 도면이다.

도 2는 종래기술에 따른 비교기와 버퍼의 전파 지연 및 Multiple Pulsing을 나타낸 도면이다.

도 3은 본 발명의 바람직한 일 실시예에 따른 디지털 피드백 기반의 스위치 구동회로를 적용한 AC-DC 정류기를 도시한 도면이다.

도 4는 본 실시예에 따른 펄스 선택기 및 디지털 피드백 기반 보상기의 상세 구성을 도시한 도면이다.

도 5 내지 도 6은 코스 딜레이 라인 및 파인 딜레이 라인의 상세 구성을 도시한 도면이다.

도 7은 본 실시예에 따른 디지털 피드백 동작 모드를 나타낸 도면이다.

도 8은 본 실시예에 따른 피드백 디텍터의 상세 구성을 도시한 도면이다.

도 9는 본 실시예에 따른 디지털 피드백 기반 적응적 딜레이 조절 장치의 시뮬레이션 결과를 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

[0034] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세하게 설명하고자 한다.

[0035] 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0037] 본 실시예는 기존 아날로그 비교기 기반의 스위치 구동에서 벗어나 Multiple Pulsing의 문제없이 회로 자체적으로 적응적인 스위치 ON/OFF 구동지연 보상이 가능한 디지털 스위치 구동회로를 제안하고자 한다.

[0038] 본 실시예에 따른 구동회로는 간단한 클락 생성기에 의해 만들어진 초기 펄스가 디지털 피드백에 의해 적응적으로 조절되는 2단계의 딜레이 회로, Coarse Delay Line (코스 딜레이 라인, 딜레이 수준이 긴 회로), Fine Delay Line (파인 딜레이 라인, 딜레이 수준이 짧은 회로)를 거친 후, 적절한 ON/OFF 타이밍에 SR-래치에 SET (ON, 상승 엣지) 및 RESET (OFF, 하강 엣지) 신호를 인가하는 방식으로 스위치를 구동한다.

[0039] 여기서, 코스 딜레이 라인은 딜레인 단위인 1LSB Δt가 큰 회로이며, 파인 딜레이 라인은 1LSB Δt가 작은 회로로 정의될 수 있다.

[0040] 스위치 구동에 사용되는 SR-래치의 경우 스위치의 ON/OFF 타이밍에서의 SET, RESET 입력에 펄스 신호가 인가되지 않는 이상 출력 Q가 유지되는 특성이 있고, 입력 전압 및 그라운드 전압이 SR-래치의 출력에 영향을 주지 않아 Multiple Pulsing 현상을 방지할 수 있다.

[0041] 추가적으로, 본 실시예에 따른 디지털 회로는 Static Current (정적전류)는 거의 소모하지 않고 대부분의 전력 소비가 Dynamic Current (동적전류)에서 이루어지는 특성이 있다.

[0042] 본 실시예에서 제안한 디지털 피드백 기반의 지연 보상에는 스위치 하나당 두 개의 디지털 비교기가 필요하다. 이때, 디지털 비교기는 대역폭의 제한을 받지 않는다는 특성이 있어 피드백 속도가 기존 아날로그 방식보다 빠르고, 필요시에만 클락을 인가하여 동작하기 때문에 전력 소모가 적어 저전력으로 디지털 피드백 알고리즘의 구현이 가능하다.

[0043] 디지털 피드백을 통해 스위치 구동지연을 보상하고, ON/OFF 최적 시점을 탐색한 후에는 구동에 필요한 정보들이 디지털 변조되어 저장되기 때문에 지속적인 알고리즘 수행을 필요로 하지 않아 디지털 회로들을 대기모드로 진입시켜 전력 소모를 줄일 수 있다. 최종적으로, 본 실시예에서는 스위치 구동에 필요한 모든 회로를 디지털 방식으로 구현하여 전력 소모를 줄이고, 스위치 구동지연을 적응적으로 보상하여 동작 환경 변화에도 고효율로 동작이 가능한 AC-DC 정류기를 제안하고자 한다.

[0044] 이하에서는 도면을 참조하여 본 실시예에 따른 AC-DC 정류기를 상세하게 설명한다.

[0045] 도 3은 본 발명의 바람직한 일 실시예에 따른 디지털 피드백 기반의 스위치 구동회로를 적용한 AC-DC 정류기를 도시한 도면이다.

[0046] 도 3을 참조하면, 본 실시예에 따른 AC-DC 정류기는 스위치(300), SR-래치(302), 디지털 피드백 기반 보상기(304), 코스 딜레이 회로(306), 파인 딜레이 회로(308), 모드 컨트롤러(310) 및 펄스 선택기(312)를 포함할 수 있다.

[0047] 본 실시예에 따른 정류기의 스위치(300)는 무선전력전송을 위해 ON/OFF되는 스위치로서, 다중 스위치 어레이를 적용하여, 부하 변화에 따라 스위치 사이즈 조절을 통한 손실 최적화 및 고효율 동작이 가능하다. 스위치 사이즈가 변화하면 게이트 기생 커패시턴스 또한 달라져 구동지연 수준이 달라지지만, 본 실시예는 하나의 디지털 스위치 구동회로가 모든 다중 스위치 어레이에 공통적으로 적용되도록 설계되어 스위치 사이즈가 변화에도 적응적인 지연 보상이 가능하다.

[0048] SR-래치(302)는 스위치(300)의 ON/OFF 타이밍에 SET 및 RESET 신호를 인가받아 스위치(300)를 구동한다.

[0049] 본 실시예에 따른 SR-래치(302)에는 디지털 피드백 기반 보상기(304)를 통해 코스 딜레이 라인(306) 및 파인 딜레이 라인(308)에서 초기 펄스의 딜레이를 조정하여 결정된 펄스가 입력된다.

[0050] 디지털 피드백 기반 보상기(304)는 스위치(300)의 ON/OFF 타이밍에서의 입력 AC 전압과 그라운드 전압의 크기를

비교하여 전압의 크기 차이에 따른 디지털 변조값을 출력한다.

[0051] 이후, 코스 딜레이 라인(306)은 입력 AC 전압에 따른 초기 펄스를 입력 받고, 상기한 디지털 변조값에 따라 제1 딜레이 단위로 초기 펄스의 딜레이를 증가시켜 딜레이된 제1 펄스를 출력한다.

[0052] 또한, 파인 딜레이 라인(308)은 코스 딜레이 라인(306)에 의해 입력 AC 전압이 그라운드 전압이 같아지는 시점이 존재하는 경우, 제1 딜레이 단위보다 작은 제2 딜레이 단위로 제1 펄스의 딜레이를 세부 조정한다.

[0053] 모드 컨트롤러(310)는 파인 딜레이 라인(308)이 제1 펄스의 딜레이를 연속적으로 조정하도록 제어하여 스위치(300)의 동작 시점을 결정하고, 펄스 선택기(312)는 스위치의 동작 시점에서의 펄스를 선택하여 SR-래치(302)로 입력한다.

[0054] 도 4는 본 실시예에 따른 펄스 선택기 및 디지털 피드백 기반 보상기의 상세 구성을 도시한 도면이고, 도 5 내지 도 6은 코스 딜레이 라인 및 파인 딜레이 라인의 상세 구성을 도시한 도면이다.

[0055] 도 4를 참조하면, 입력 AC 신호 (입력 전압, V_{AC})는 인버터 하나를 거쳐 초기 펄스를 생성한다.

[0056] 이후 초기 펄스는 디지털 피드백 기반 보상기(304)에 의해 적응적으로 조절되는 도 5 내지 도 6과 같은 두 종류의 2-비트 딜레이 회로, 즉, 코스 딜레이 회로(306)와 파인 딜레이 회로(308)를 거쳐 SR-래치(302)에 SET/RESET 펄스를 인가하는 방식으로 스위치(300)를 구동한다.

[0057] 보다 상세하게, 디지털 피드백을 통한 스위치 구동지연 보상 알고리즘을 설명하면, 인버터를 통해 생성된 초기 펄스는 두 단계의 딜레이 회로를 거치는데, 우선 파인 딜레이 라인(308) 내부에 스위치 동작의 최적 시점인 VAC = VSS 시점이 포함되도록 코스 딜레이 라인(306)의 딜레이가 적응적으로 조절된다.

[0058] 도 5와 같이, 코스 딜레이 라인(306)은 복수의 인버터, 커패시터 및 논리연산회로를 포함하며, 예를 들어, VAC = VSS 시점이 파인 딜레이 라인 내부에 들어오지 않으면 입력 AC 전압과 그라운드 전압의 크기의 차이에 따른 디지털 변조값을 출력하는 U/D Counter(양방향 카운터, 400)를 통해 코스 딜레이 라인(306)을 구성하는 인버터 사이의 커패시터의 개수를 늘려 딜레이를 증가시킨다.

[0059] 이 동작은 VAC = VSS 시점이 파인 딜레이 라인(308) 내부에 들어올 때까지 반복된다.

[0060] 도 7은 본 실시예에 따른 디지털 피드백 동작 모드를 나타낸 도면이다.

[0061] 마침내 VAC = VSS 시점이 파인 딜레이 라인(308) 내부에 들어오면, 최적의 스위치 동작 시점을 찾기 위해 도 7의 제1 모드(Mode 1)과 같은 디지털 피드백 동작을 자동으로 수행한다.

[0062] 도 7의 제1 모드는 디지털 피드백을 통해 파워 스위치 구동의 최적 시점 (VAC = VSS)을 찾아가는 모드이다.

[0063] 디지털 피드백 기반 보상기는 샘플링 회로, 디지털 비교기를 포함하고, 스위치(S_{ON}/S_{OFF}) 및 커패시터로 구성되는 샘플링 회로는 ON/OFF 시점에 $V_{AC,ON}$, $V_{AC,OFF}$ (스위치 ON/OFF 시 입력 AC 전압)을 샘플링하고, 디지털 비교기(CMP)는 샘플링된 입력 전압을 그라운드 전압과 비교한다.

[0064] 제1 모드에서 최적의 ON 시점을 탐색하는 알고리즘을 설명하면, $V_{AC,ON}$ (ON 시점의 V_{AC} 전압)이 VSS 보다 높다면 스위치 구동이 최적 시점보다 빠르다는 의미이므로 디지털 피드백을 통해 파인 딜레이 라인의 단위 딜레이인 Δt_{fine} 만큼 스위치 동작을 지연시킨다. Δt_{fine} 만큼 지연된 동작은 다음 주기의 스위치 동작에 반영된다. ON 동작이 Δt_{fine} 만큼 지연된 후에는, $V_{AC,ON}$ 은 그라운드 전압인 VSS 전압보다 낮아지게 된다. 이는 다시 스위치 구동이 최적 시점보다 느리다는 의미이므로 디지털 피드백을 통해 파인 딜레이 라인의 단위 딜레이인 Δt_{fine} 만큼 스위치 동작을 앞당긴다. 최적의 OFF 시점을 찾아가는 알고리즘도 ON 시점을 찾아가는 과정과 비슷하게 $V_{AC,OFF}$ (OFF 시점의 V_{AC} 전압)을 VSS 전압과 비교하며 수행된다.

[0065] 스위치 최적 동작 시점을 경계로 도 7a와 같은 이른 스위치 구동과 느린 스위치 구동을 반복하게 되면, 즉, 코스 딜레이 라인(306)에서 출력된 제1 펄스가 파인 딜레이 라인(308)에서의 제2 딜레이 단위로 빠르고 느리게 반복적으로 조정되도록 디지털 피드백이 반복되는 동작은 모드 컨트롤러(310)의 4-비트 Shift Register (자리 이동 레지스터)에 0,1의 정보로 기록된다.

[0066] 디지털 피드백이 미리 설정된 횟수(예를 들어, 4번)동안 반복 수행되게 되면, 모드 컨트롤러(310)는 스위치(300)를 도 7b와 같은 제2 모드 (고정된 최적 동작 모드)로 구동한다. 여기서 제2 모드는 제1 모드의 이른 스위

치 구동 펄스가 f펄스 선택기(312)의 $\Delta t_{fine}/2$ 인 수준의 지연 회로를 거쳐 도 7b와 같은 형태로 최적의 타이밍에 스위치를 구동한다.

[0067] 도 4에 도시된 바와 같이, 본 실시예에 따른 펄스 선택기(312)는 복수의 먹스(MUX) 및 미리 설정된 지연 회로(402)를 포함하면서, 스위치(300)의 최적 동작 시점을 위한 펄스를 선택하여 SR-래치(302)에 인가한다.

[0068] 구동지연의 보상이 끝나고 스위치가 제2 모드로 최적의 타이밍에 구동되면, 모드 컨트롤러(310)는 자동적으로 스위치 구동 이외에 필요하지 않은 모든 디지털 회로(디지털 피드백 기반 보상기)들을 대기모드로 진입시킨다. 디지털 회로가 대기모드로 동작하게 되면, 동적인 동작을 수행하지 않아 Static Power (정전전력) 만을 소모하기 때문에 정류기의 전체 소모 전력을 크게 줄일 수 있다.

[0069] 본 실시예에 따른 모드 컨트롤러는 제1 모드에서의 디지털 피드백 동작을 기록하고, 제2 모드로의 전환 여부를 결정하는 피드백 디텍터를 포함한다.

[0070] 도 8은 본 실시예에 따른 피드백 디텍터의 상세 구성을 도시한 도면이다.

[0071] 스위치의 구동지연 수준은 입력 전압에도 영향을 받는다. 설계한 회로는 코일간 각도, 이격 거리 변화 등 다양한 요인으로 인한 입력전압의 변동에 대응하고 스위치를 지속적으로 최적의 시점에 동작시키기 위해 주기적으로 동작 모드를 1로 전환하여 최적의 스위칭 시점을 탐색한다.

[0072] 결과적으로, 본 실시예에 따른 AC-DC 정류기는 부하, 송/수신 코일 결합상태 등 동작환경의 변화에도 스위치 사이즈 변화와 적응적인 구동지연 보상을 통해 정류기의 고효율 동작을 보장한다.

[0073] 도 9는 본 실시예에 따른 디지털 피드백 기반 적응적 딜레이 조절 장치의 시뮬레이션 결과를 나타낸 것이다.

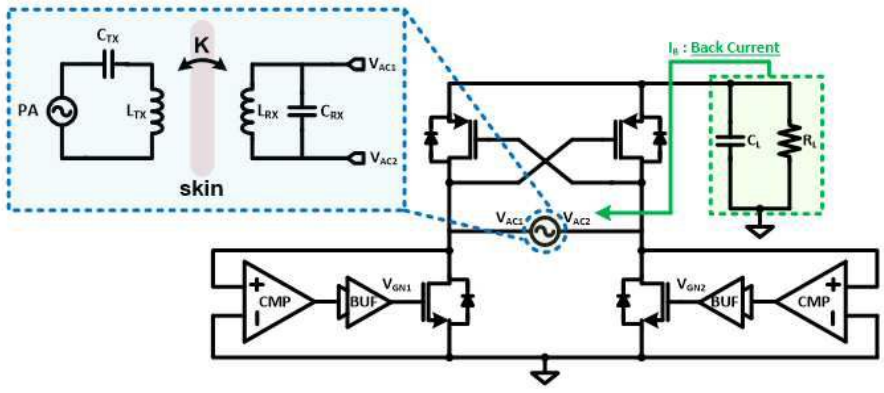
[0074] 도 9a는 디지털 피드백 동작 파형 및 모드 변화를 나타낸 것이고, 도 9b는 입/출력 전압 및 게이트 전압 파형을 나타낸 것이다.

[0075] 도 9에서 $V_{AC,peak}$ = 2V, VREC = 1.9 (VCR =95% @ R_L = 1.62 KΩ)이고, R_L = 1.62 KΩ, I_L = 1mA 부하에서 효율이 87.2%인 것을 확인할 수 있으며, 이처럼 본 실시예에 따른 장치는 디지털 피드백을 통한 적응적 구동 지연 보상이 가능하다는 것을 확인할 수 있다.

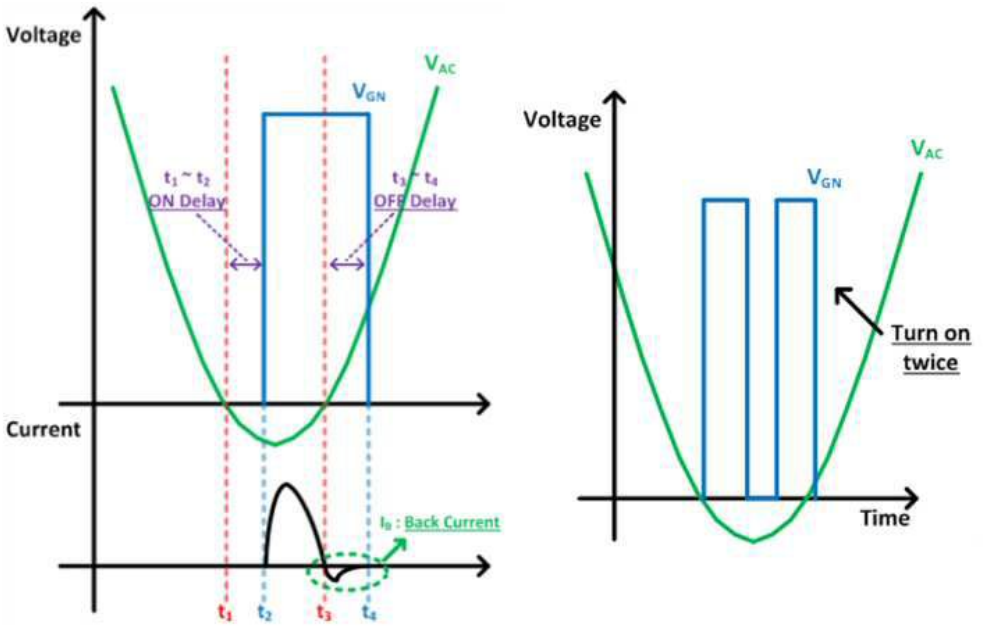
[0076] 상기한 본 발명의 실시예는 예시의 목적을 위해 개시된 것이고, 본 발명에 대한 통상의 지식을 가지는 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가가 가능할 것이며, 이러한 수정, 변경 및 부가는 하기의 특허청구범위에 속하는 것으로 보아야 할 것이다.

도면

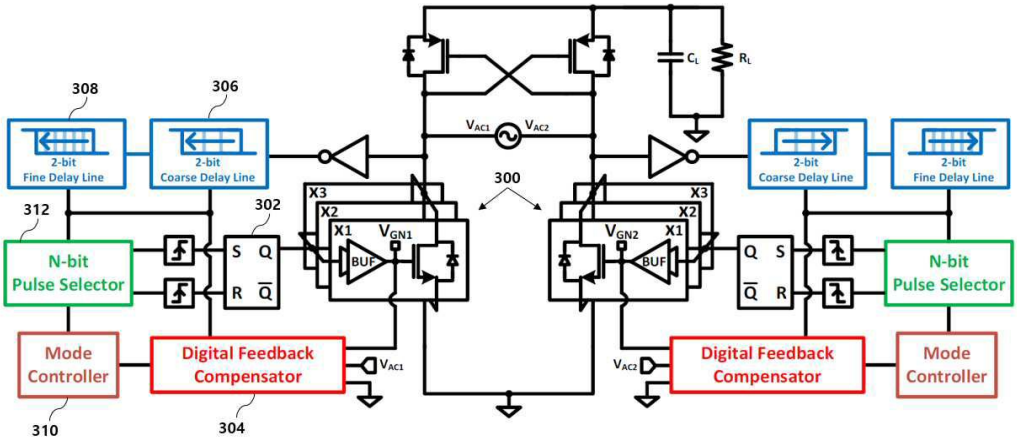
도면1



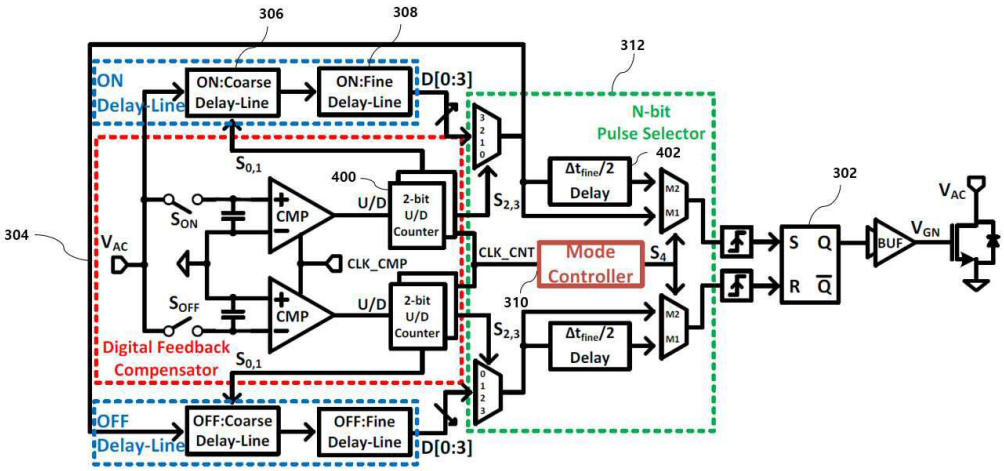
도면2


Voltage
V_{AC}
V_{GN}
$t_1 \sim t_2$
ON Delay
$t_3 \sim t_4$
OFF Delay
Current
I_0 : Back Current
t_1 t_2 t_3 t_4
Voltage
V_{AC}
V_{GN}
Turn on twice
Time

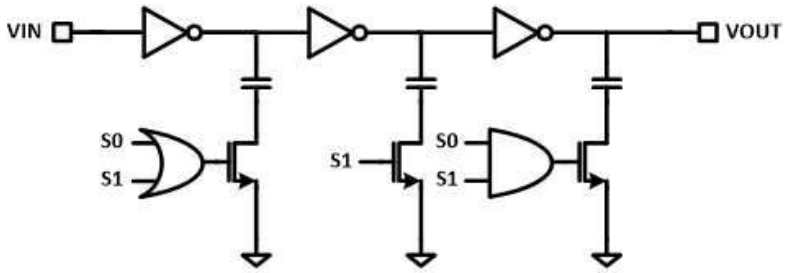
도면3


308
306
2-bit Fine Delay Line
2-bit Coarse Delay Line
312
302
N-bit Pulse Selector
Mode Controller
Digital Feedback Compensator
310
304
300
V_{AC1}
V_{AC2}
C_L
R_L
X3
X2
X1
V_{GN1}
V_{GN2}
BUF
S Q
R $\overline{Q}$

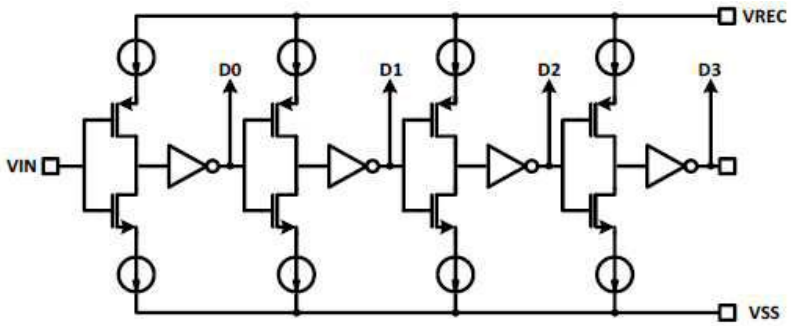
도면4


306
308
312
ON Delay-Line
ON:Coarse Delay-Line
ON:Fine Delay-Line
D[0:3]
N-bit Pulse Selector
$S_{0,1}$
S_{ON}
CMP
U/D
2-bit U/D Counter
400
$S_{2,3}$
$\Delta t_{fine}/2$ Delay
402
302
V_{AC}
304
V_{AC}
CLK_CMP
CLK_CNT
Mode Controller
S_4
S_{OFF}
310
Digital Feedback Compensator
OFF Delay-Line
OFF:Coarse Delay-Line
OFF:Fine Delay-Line
D[0:3]
V_{GN}
BUF
S Q
R $\overline{Q}$

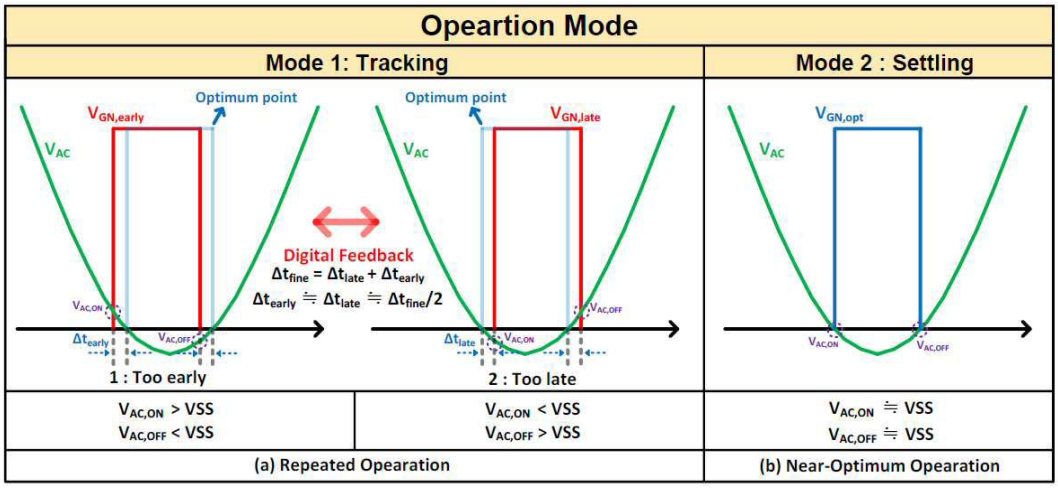
도면5


VIN
VOUT
S0
S1
S1
S0
S1

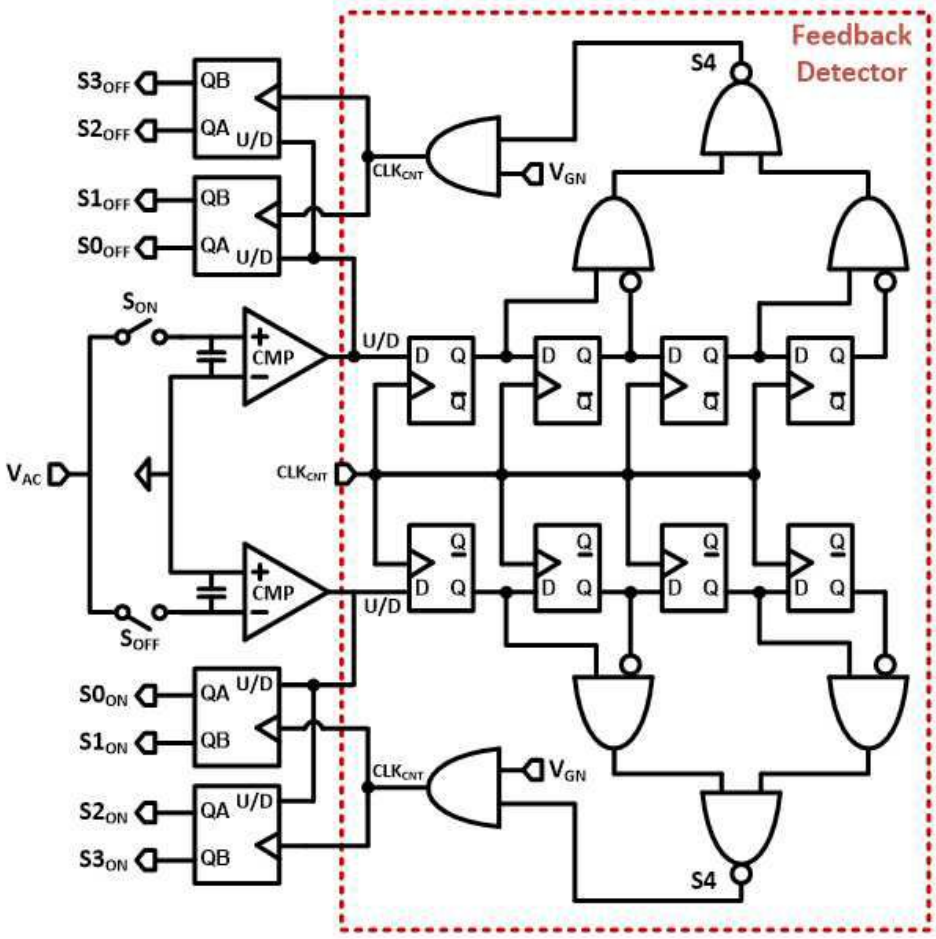
도면6


VREC
D0
D1
D2
D3
VIN
VSS

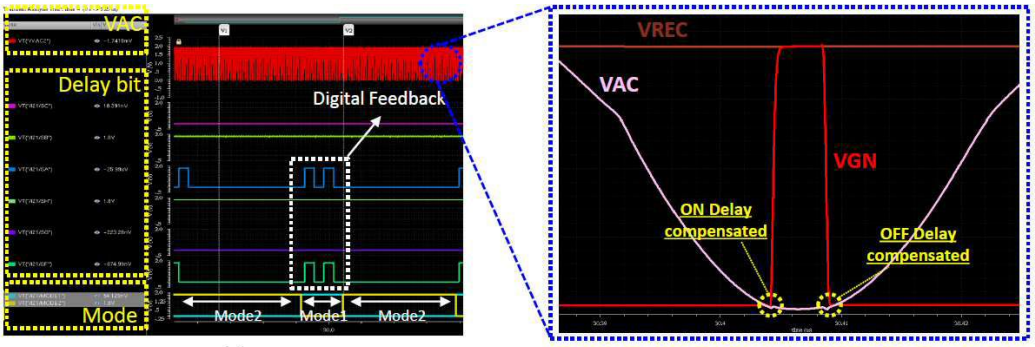
도면7


Opeartion Mode
Mode 1: Tracking
Mode 2 : Settling
Optimum point
VGN,early
VAC
Optimum point
VGN,late
VAC
VGN,opt
VAC
Digital Feedback
Δtfine = Δtlate + Δtearly
Δtearly ≒ Δtlate ≒ Δtfine/2
1 : Too early
2 : Too late
VAC,ON > VSS
VAC,OFF < VSS
VAC,ON < VSS
VAC,OFF > VSS
VAC,ON ≒ VSS
VAC,OFF ≒ VSS
(a) Repeated Opearation
(b) Near-Optimum Opearation

도면8


Feedback
Detector
S4
S3OFF
S2OFF
S1OFF
S0OFF
QB
QA
U/D
CLKCNT
VGN
SON
CMP
U/D
D Q
VAC
SOFF
S0ON
S1ON
S2ON
S3ON

도면9


VAC
Delay bit
Digital Feedback
Mode
Mode2
Mode1
Mode2
VREC
VAC
VGN
ON Delay
compensated
OFF Delay
compensated

(a) (b)