

**In der vom Anmelder eingereichten Fassung veröffentlicht**

(44) 29.03.89

(72) Belz, Dietmar, Dipl.-Ing.; Nehler, Hans-Jürgen, Dr.-Ing.; Rozek, Werner, Dr.-Ing., DD

(57) Die Erfindung betrifft eine Systembusserweiterung, die eine Kopplung multimasterfähiger Mehrrechnersysteme gewährleistet und insbesondere als Schnittstelle zwischen räumlich getrennt zueinander angeordneten Systembestandteilen wirkt. Jedem der zu verdoppelnden Systembusse ist ein als Empfänger und Sender von Adressen, Daten, Kommandos und Statussignalen dienendes Erweiterungsmodul zugeordnet, zwischen denen eine Kabelverbindung besteht. Die Übertragung erfolgt ohne Veränderungen, so daß beide Busseiten eine logische Einheit bilden und diese wie auch jene Seite für sich multimasterfähig bleibt. Fig. 2

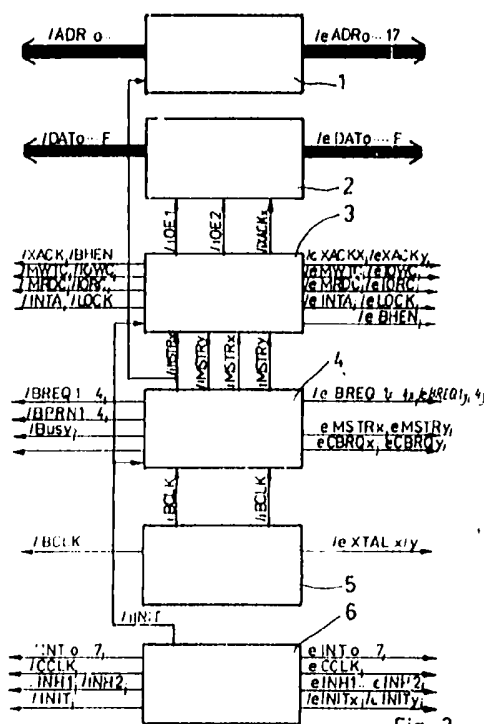


Fig. 2

## Patentanspruch:

Systembuserweiterung zur Kopplung multimasterfähiger Mehrrechnersysteme, auf deren räumlich voneinander getrennte Systembusse ein Masterzugriff zur Adreß-, Daten- und Kommandoübertragung an einen Slave durch Busarbitration erfolgt, **gekennzeichnet** dadurch, daß jedem Systembus ein als Sende- und Empfangseinheit von Adressen, Daten, Kommandos und Statussignalen dienendes Erweiterungsmodul zugeordnet ist, zwischen denen eine Kopplung über ein Übertragungskabel erfolgt, und bei jedem Erweiterungsmodul ein Busarbitrageblock, der taktmäßig versorgt durch einen Busgeneratorblock einerseits über jeden Systembus charakterisierende Busseitenherrschaftleitungen mit einem Kommandosteuerungs- und Quittungssignalblock, von dem Signalleitungen zu einem Datenübertragungsblock ausgehen und andererseits eine den zum Erweiterungsmodul zugeordneten Systembus charakterisierende, negierte Busseitenherrschaftleitung mit einem Adreßübertragungsblock verbunden und ein ein Block zur Übertragung von Statussignalen vorgesehen ist, von dem eine Verbindung sowohl zum Kommandosteuerungs- und Quittungssignalblock als auch zum Busarbitrageblock besteht.

Hierzu 3 Seiten Zeichnungen

## Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine in der digitalen Datenverarbeitung einsetzbare Systembuskopplung für multimasterfähige Mehrrechnersysteme, die insbesondere als Schnittstelle zwischen räumlich getrennt zueinander angeordneten Systembestandteilen wirkt.

## Charakteristik der bekannten technischen Lösungen

Für viele Anwendungsgebiete ist es üblich und erforderlich, einen Rechner mit anderen Rechnern oder Datenstationen zu verbinden.

Das kann, wie z. B. in DD-WP 208254 beschrieben, über eine serielle Schnittstelle erfolgen, die jedoch den Nachteil eines hohen Zeitaufwandes besitzt oder die Verbindung wird durch eine Buskopplung hergestellt.

Bekannt sind Kopplungen zwischen Mastereinheiten auf einer und Slave- bzw. Mastereinheiten auf der anderen Busseite. Die bekannten technischen Lösungen haben als Ziel, durch ihre Busparameter (wie z. B. Buslast, begrenzte Busarbitrage) beschränkte Bussysteme zu erweitern, um entweder durch Ankopplung weiterer Ressourcen die Leistungsfähigkeit von Rechnersystemen zu erhöhen und/oder eine bessere Anpassung von Bus- bzw. Rechnersystemen an den technologischen oder technischen Einzelfall zu ermöglichen. So sieht das DD-WP 231672 eine technische Lösung vor, bei der ein am Systembus einer Masterkassette steckender und Einheiten zur Statusbildung und zur Verlängerungsaktivierung enthaltender Busempfänger über ein Übertragungskabel mit einem am Systembus der Slavekassette steckenden und Einheiten zur Statusübernahme, zur Synchronisation und Bussteuerung enthaltenden Bustreiber verbunden ist. Das Übertragungskabel führt Multiplexleitungen für Daten und Adressen, Interruptleitungen, Statusleitungen, eine Verlängerungs-Aktivierungs-Leitung, eine Datenfreigabesteuerleitung und eine Buszugriffs-Quittungs-Leitung.

Von Nachteil ist es, daß mit dieser technischen Lösung lediglich eine Kopplung zwischen der Masterkassette auf der einen und der Slavekassette auf der anderen Seite realisiert werden kann.

Weiterhin ist eine Schaltungsanordnung zur Kopplung systemfremder Mikroprozessoren an ein vorgegebenes Bussystem bekannt (DD-WP 237923), bei der ein Datenaustausch über einen Zwischenspeicher sowohl durch Steuersignale von einem mit dem vorgegebenen Bussystem verbundenen Interface als auch von einem mit den systemfremden Mikroprozessoren verbundenen Interface erfolgt. Eine Einzelschaltung liefert je nach Anforderung Bestätigungssignale an die Bussysteme und ein Kommandosignal an den Zwischenspeicher, wobei das Bestätigungssignal für das vorgegebene Bussystem als Aufrufsignal für einen Dekoder zur Interruptbildung für einen bestimmten systemfremden Mikroprozessor dient.

Nachteilig wirkt sich hierbei die Zwischenspeicherung der Daten aus. Damit wird der Datenaustausch insgesamt verzögert und die für den Datenaustausch zur Verfügung stehende Zeit eingeschränkt. Ein weiterer Nachteil liegt in dem für die softwaremäßige Einbindung der Kopplungsanordnung in das gesamte Rechnersystem notwendigen Aufwand.

Kopplungslösungen, wo Rechereinheiten über Peripherieprozessoren verbunden sind (DE-AS 2924899), weisen diese Nachteile ebenfalls auf, wobei zusätzliche Unterbrechungen die Zeitbilanz weiter verschlechtern.

Allen technischen Lösungen gemeinsam ist der Nachteil, daß entweder die Mastereinheiten der zu erweiternden Systembusse keinen direkten, ungehinderten Zugriff auf die Ressourcen der Einheiten der jeweils entlegenen Busseite besitzen, oder daß nur die Mastereinheit einer Busseite die Ressourcen der anderen Busseite nutzen kann, wobei auf der anderen Busseite keine Mastereinheit vorhanden sein darf.

## Ziel der Erfindung

Das Ziel der Erfindung besteht darin, die Leistungsfähigkeit multimasterfähiger Rechnersysteme unter Nutzung vorteilhafter Buseigenschaften bei Gewährleistung geringer Verarbeitungszeiten zu erhöhen.

### Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, räumlich getrennte multimasterfähige Systembusse, bei denen Interruptarbeit und Busarbitration vorgesehen sind und Busübertragungen nach dem Master/Slave-Handshake-Prinzip erfolgen, zu einem funktionell einheitlich arbeitenden multimasterfähigen Systembus zu koppeln und einen direkten, ungehinderten Zugriff der Masterseinheiten einer jeden Busseite auf die Ressourcen der jeweils anderen Busseite zu gewährleisten.

Die Aufgabe wird durch eine Systembuserweiterung zur Kopplung multimasterfähiger Mehrrechnersysteme gelöst, auf deren räumlich voneinander getrennten Systembussen ein Masterzugriff zur Adreß-, Daten- und Kommandoübertragung an einen Slave durch Busarbitration erfolgt. Erfindungsgemäß ist jedem Systembus ein als Sende- und Empfangseinheit von Adressen, Daten, Kommandos und Statussignalen dienendes Erweiterungsmodul zugeordnet, deren Kopplung über ein Übertragungskabel erfolgt. Bei jedem Erweiterungsmodul ist ein Busarbitrageblock vorgesehen, der taktmäßig versorgt durch einen Busgeneratorblock einerseits über jeden Systembus charakterisierende Busseitenherrschaftsleitungen mit einem Kommandosteuerungs- und Quittungssignalblock, von dem Signalleitungen zu einem Datenübertragungsblock ausgehen und andererseits eine den zum Erweiterungsmodul zugeordneten Systembus charakterisierende, noglierte Busseitenherrschaftsleitung mit einem Adreßübertragungsblock verbunden ist.

Außerdem ist ein Block zur Übertragung von Statussignalen vorgesehen, von dem eine Verbindung sowohl zum Kommandosteuerungs- und Quittungssignalblock als auch zum Busarbitrageblock besteht.

In einem Übertragungszyklus ermitteln die Busarbitrageblöcke der beiden Erweiterungsmodule aus den Busanforderungssignalen beider Systembusse und deren voreingestellten Prioritätenverkopplung das jeweilige Erlaubnissignal für die Erlangung der Busherrschaft des dazugehörigen Masters, wobei jeder Busarbitrageblock für den ihm zugeordneten Systembus die Erlaubnis erteilt. Aus den Erlaubnissignalen des gesamten Systembusses und aus der Kenntnis über die Lage des Sendeortes der Busanforderungssignale der sich um die nachfolgende Busherrschaft bewerbenden Master wird ein Busseitenherrschaftssignal gebildet. Über das Busseitenherrschaftssignal, das vom jeweiligen Busarbitrageblock geliefert wird, wird die Richtung der im Adreßübertragungsblock vorhandenen Adreßtreiber geschaltet. Die Schaltung erfolgt immer in Richtung der masterabgewandten Seite des entstandenen einheitlichen Systembusses, unabhängig davon, auf welcher Seite sich der Slave befindet. In die gleiche Richtung werden im Datenübertragungsblock vorhandene Datentreiber geschaltet. Für die Kommando- und Quittungssignalübertragung übernimmt die Systembuserweiterung gegenüber dem Master die Rolle des Slave und gegenüber dem Slave die des Masters. Die Übertragungsrichtung wird in Richtung der masterabgewandten Seite geschaltet, wobei die Kommandos in Abhängigkeit vom Zustand des Datenübertragungsblockes entweder direkt weitergegeben werden, oder die Weitergabe wird verzögert.

Liegt ein Lesekommando oder ein Unterbrechungsquittungssignal vor, was durch den Kommandosteuerungs- und Quittungssignalblock analysiert wird, so wird die Datenübertragungsrichtung des Datenübertragungsblockes auf der masterabgewandten Seite in entgegengesetzte Richtung umgeschaltet, wobei der Datenübertragungsblock der masterzugewandten Seite inaktiv gesetzt wird. Während dieser Umschaltung ist die Weitergabe des Lesekommandos gesperrt und nach erfolgter Umschaltung wird die Sperrung aufgehoben. Die Unterbrechungsquittungssignale des Masters werden ungehindert an die masterabgewandte Seite übertragen. Schreibkommandos werden unmittelbar weitergegeben. Handelt es sich um ein Schreibquittungssignal, so wird dessen Weiterleitung an die masterzugewandte Seite aktiviert und durchgeführt. Vom Kommandosteuerungs- und Quittungssignalblock der masterabgewandten Seite wird das Senden eines Quittungssignales durch einen auf der masterabgewandten Seite befindlichen Slave, der von einer vom Master gesendeten Adresse angesprochen wird, übertrifft. Ein empfangenes Quittungssignal wird zwischengespeichert und in Abhängigkeit des vom Master gesendeten Kommandos ausgewertet, bevor die Weiterleitung an die masterzugewandte Seite erfolgt. Beim Empfang des Quittungssignales für ein Lesekommando oder ein Unterbrechungsquittungssignal werden mit Einlaufen des Quittungssignales alle auf dem masterabgewandten Datenbus liegenden Daten im Datenübertragungsblock der masterabgewandten Seite zwischengespeichert und die Datenübertragungsblöcke beider Seiten für den Datentransport von der masterabgewandten zur masterzugewandten Seite aktiviert. Nachdem sich auf der Datenleitung der masterzugewandten Seite ein statischer Zustand eingestellt hat, wird die Weiterleitung des Quittungssignals an die masterzugewandte Seite aktiviert und durchgeführt. Vom Kommandosteuerungs- und Quittungssignalblock der masterabgewandten Seite werden die Kommandosignale, die von der masterzugewandten zur masterabgewandten Seite übertragen werden, für die abgewandte Seite inaktiv gesetzt. Nach Inaktivwerden der Kommandos vom Master setzt der Kommandosteuerungs- und Quittungssignalblock das Quittungssignal auf der masterzugewandten Seite inaktiv und der Grundzustand der Erweiterungsmodule wird hergestellt.

### Ausführungsbeispiel

Die Erfindung soll anhand der schematischen Zeichnung und bezogen auf den multimasterfähigen IEEE 796-Bus, der alle wesentlichen funktionellen und zeitspezifischen Forderungen des AMS-Busses erfüllt, näher erläutert werden. Die Zeichnungen zeigen:

Fig. 1: die Verbindung zweier erweiterter Systembusse

Fig. 2: ein Blockschaltbild eines Erweiterungsmoduls, wie es jedem Systembus zugeordnet ist

Fig. 3: ein Blockschaltbild des Kommandosteuerungs- und Quittungssignalblockes

Die Verbindung zweier erweiterter Systembusse SB 1 und SB 2 erfolgt gemäß Fig. 1 durch eine Erweiterung mit Erweiterungsmodulen EM 1 und EM 2, die über ein Kabel K miteinander verbunden sind. Jeder der Erweiterungsmodule EM 1, EM 2 ist wie in Fig. 2 dargestellt aufgebaut.

Ein Adreßübertragungsblock 1 beinhaltet tristatefähige, bidirektionale Treiber, die einerseits an Adreßleitungen /ADRO... 17 des zugeordneten Systembusses geschaltet und andererseits mit Adreßleitungen /oADRO... 17 des Übertragungskabel K verbunden sind. Die Richtungsabhängigkeit von im Adreßübertragungsblock 1 vorgesehenen Adreßbustreibern sind über eine modularinterne Leitung eines inversen Busseitenherrschaftssignals /IMSTRx mit einem Busarbitrageblock 4 verknüpft. Ein Datenübertragungsblock 2 enthält jeweils ein erstes tristatefähiges Datentreiberpaar und ein zweites tristate- und latchedfähiges

Datentreiberpaar. Die Tristatesteuereingänge des ersten Datentreiberpaars sind mit einer Signalleitung /IOE1 verbunden. Während an den Tristatesteuereingängen des zweiten latchedfähigen Datentreiberpaars eine Signalleitung /IOE2 angeschlossen ist, liegt an dessen Latchsteuereingang eine modulinterne Leitung eines Signals /IXACKx an. Durch Signalleitungen /IOE1, /IOE2 und die Leitung /IXACKx verbunden sind ein Kommandosteuerungs- und Quittungssignalblock 3 und der Datenübertragungsblock 2. Der Busarbitragerblock des dem jeweiligen Systembus zugeordneten Erweiterungsmoduls ist mit den zum jeweiligen Systembus gehörenden Busleitungen /BUSY, /CBQ, /BREQ<sub>n</sub>, /BPRN<sub>n</sub> mit  $n = 1, \dots, 4$  verbunden. Außerdem besteht eine Verbindung über modulinterne Taktleitungen /IBCLK und IBCLK zu einem Bustaktgeneratorblock 5 und über eine /IINIT-Leitung zu einer Initialisierungsstufe in einem Block 8 zur Übergabe diverser Signale. Der Busarbitragerblock 4 speist die Leitungen IMSTRx, /IMSTRx, IMSTRy und /IMSTRy sowie die zum anderen Erweiterungsmodul gehörenden Leitungen eMSTRx, eCBQx und eBREQ1x...4x und fragt die Eingangsleitungen eBREQ1y...4y, eMSTRy und eCBQy, die über das Kabel K mit dem anderen Erweiterungsmodul verkoppelt sind, ab.

Der Bustaktgeneratorblock 5 besteht aus einem Bustaktgenerator, der mit einem Muttertaktgenerator gekoppelt ist. Der Bustaktgenerator ist verbunden mit einer Bustaktleitung /BCLK sowie mit dem Busarbitragerblock 4. Der Ausgang des Muttertaktgenerators ist über eine Signalverzögerungseinheit mit dem Bustaktgenerator des gleichen Erweiterungsmoduls und über das Kabel K, Leitung /EXTACx/y, mit dem Eingang des anderen Erweiterungsmoduls verbunden.

Der Block 8 zur Übergabe diverser Signale ist busseitig mit den Busleitungen /INH1, /INH2, /INT0 — /INT7, /CCLK verbunden, die in voreingestellter Richtung getrieben, an das andere Erweiterungsmodul geführt sind. Die Busleitung /INIT ist ebenfalls am Block 8 angeschaltet, wobei im Block 8 eine interne Bereitstellung von /IINIT und das eigenständig erkannte Weiterreichen des Initialisierung-Signals entweder von der Busleitung zur Kabelleitung /eINITx oder von der /eINITy — Kabelleitung zur Busleitung /INIT erfolgt.

Der Kommandosteuerungs- und Quittungssignalblock 3 besteht, wie in Fig. 2 dargestellt, aus einer Kommandosignaleingangsstufe 7, einem tristatefähigen Kabeltreiber 8 für die Kommandosignale, einem tristatefähigen Busausgangstreiber 9 für die Kommandosignale, eine Kommandosignal-Ent- und Verriegelungsstufe 10 für die Kommandosignale, einem tristatefähigen Quittungssignal-Ein- und Ausgangstreiber 11 und einer dazugehörigen Tristatesignalsteuerung 12, einem Zwischenspeicher 13 für das Quittungssignal /XACK, Ein- und Ausgangskabeltreiber 14 für das Quittungssignal /eXACKy bzw. /eXACKx, einer Busabschaltstufe 15 für das Quittungssignal, einer Stufe 16 zur Bildung der Tristatesteuersignale /IOE1, /IOE2 für den Datenübertragungsblock 2 mit einem /INTA-Signalswischenspeicher und einer Rücksetzstufe 17 für den /INTA-Signalswischenspeicher und für den Zwischenspeicher 13.

Die Kommandosignaleingangsstufe 7 ist eingangsseitig mit den Signalleitungen /MRDC, /IORC, /MWTC, /IOWC, /LOCK, und /INTA des zugeordneten Systembusses verbunden. Die Signale /IMRDC\*, /IIORC\*, /IMWTC\*, /IIOWC\*, /ILOCK\* und /IINTA\* dieser Stufe stellen das jeweilige Ergebnis der logischen Verknüpfung mit dem Signal IMSTRx dar. Die logischen Funktionen sind:

$$\begin{aligned} /IMRDC^* &= /MRDC \wedge /IMSTRx \\ /IIORC^* &= /IORC \wedge /IMSTRx \\ /IMWTC^* &= /MWTC \wedge /IMSTRx \\ /IIOWC^* &= /IOWC \wedge /IMSTRx \\ /ILOCK^* &= /LOCK \wedge /IMSTRx \\ /IINTA^* &= /INTA \wedge /IMSTRx \end{aligned}$$

Die Signalleitungen /IMRDC\*, /IMWTC\*, /IIORC\* und /IINTA\* sind an dem Kabeltreiber 8 und an der Busabschaltstufe 15 angeschlossen. Die Signalleitung /ILOCK\* verbindet die Kommandosignaleingangsstufe 7 mit dem Kabeltreiber 8. Das Signal /BHEN führt direkt an den Kabeltreiber 8. Während der Tristateeingang des Kabeltreibers 8 mit der Signalleitung /IMSTRx verbunden ist, sind die Ausgänge mit den bidirektionalen Leitungen /eMRDC, /eIORC, /eINTA, /eBHEN, /eLOCK, /eMWTC und /eIOWC verschaltet. Auf jedem Erweiterungsmodul EM1, EM2 erfolgt ein Abgriff von diesen bidirektionalen Leitungen. So ist der Eingang der Rücksetzstufe 17 mit den Leitungen /eMWTC, /eIOWC, /eMRDC, /eIORC und /eINTA beschaltet. Eingänge der Kommando-Ent- und Verriegelungsstufe 10 sind mit den gleichen Leitungen wie die Rücksetzstufe 17 verbunden. Weitere Signalleitungen der Stufe 10 sind:

- eine Signalleitung für das zwischengespeicherte Quittungssignal IXACKx sowie dessen negiertes Signal /IXACKx
- eine Signalleitung für eine allgemeine Leseanforderung /IRD
- eine Signalleitung /IOE1 des Tristatesteuersignals des Datentreiberpaars.

Die Ausgänge der Kommando-Ent- und Verriegelungsstufe 10 sind mit den Signalleitungen /IMRDC, /IIOWC, /IMWTC, /IIOWC, /IINTA und /ILOCK, die zum tristatefähigen Busausgangstreiber 9 führen, verbunden. Weitere Eingangsgrößen des Busausgangstreibers 9 sind /eBHEN und die Signalleitung des negierten Busseitenherrschaftssignals /IMSTRy, welche die Herrschaft eines Masters des jeweils anderen Systembusses charakterisiert. Ausgangsseitig ist der Busausgangstreiber 9 mit den Busleitungen /BHEN, /LOCK, /MRDC, /IORC, /INTA, /MWTC und /IOWC des zugeordneten Systembusses verbunden. Die Stufe 16 zur Bildung der Tristatesteuersignale für den Datenübertragungsblock 2 ist eingangsseitig verbunden mit den bidirektionalen Leitungen /eMRDC, /eIORC und /eINTA, mit den Busseitenherrschaftsleitungen, für die Signale IMSTRx und IMSTRy, die vom Busarbitragerblock 4 geliefert werden, der Signalleitung für IXACKy vom Eingangskabeltreiber 14 und der Rücksetzleitung /IRS für den /INTA-Zwischenspeicher. Das Signal IXACKy ist das vom jeweils anderen Erweiterungsmodul gespeicherte und gelieferte Quittungssignal. Die Ausgänge der Stufe 16 zur Bildung der Tristatesteuersignale sind mit den Signalleitungen /IOE1, /IOE2, /IRDI, /IRD verkoppelt. Während die Signalleitung /IOE2 zum Datenübertragungsblock führt, ist die Signalleitung /IOE1 einerseits am Datenübertragungsblock 2 und andererseits an die Kommando-Ent- und Verriegelungsstufe 10 angeschlossen. Die Leitung des allgemeinen Lesekommandos (/IRD = /eMRDC  $\wedge$  /eIORC) führt ebenfalls an die Stufe 10. Die Leitung des Signals /IRDI mit /IRDI = /IRD  $\wedge$  /eINTA ist mit der Tristatesignalsteuerung 12 verbunden. Der tristatefähige Quittungssignal-Ein- und Ausgangstreiber 11 ist zum einen mit der Systembusleitung /XACK des zugeordneten Systembusses gekoppelt und steht zum anderen ausgangsseitig über die Leitung /IXACK mit dem Zwischenspeicher 13 für das Quittungssignal und eingangsseitig mit den Signalleitungen IMSTRx, IXACKy und der IQAB-Leitung, die von der Busabschaltstufe 15 kommt, in Verbindung. Der Tristateeingang des Quittungssignal-Ein- und Ausgangstreibers 11 ist über die Leitung /ICs mit der Tristatesignalsteuerung 12 verschaltet. Neben der Eingangsleitung /IRDI existieren eine IXACKy-

Eingangsleitung, die vom Ein- und Ausgangskabeltreiber 14 für Quittungssignale kommt und die IMSTRy Eingangsleitung. Der Rücksetzeingang des Zwischenspeichers 13 für das Quittungssignal /IXACK ist mit der Signalleitung /IRS vorschaltend. Die logische Verknüpfung der Eingangssignale der Stufe 16 zur Bildung der Tristatesteuersignale für die Datentreiber ist neben den bereits beschriebenen Verkopplungen für /IRDI und /IRD in Tabelle 1 angegeben. In der Kommando-Ent- und Verriegelungsstufe 10 erfolgt eine Ableitung der Kommandosperr- bzw. -freigabesignale und die Weitergabe nach folgenden Gleichungen:

$$\begin{aligned} /IMWTC &= /eMWTC \vee /IXACKx \wedge /OE1 \\ /IOWC &= /eIOWC \vee /IXACKx \wedge /OE1 \\ /IMRDC &= /eMRDC \vee (/IXACKx \vee /IRD) \\ /IORC &= /eIORC \vee (/IXACKx \vee /IRD) \\ /IINTA &= /eIINTA \vee /IXACKx \end{aligned}$$

In der Rücksetzstufe 17 erfolgt eine logische Verkopplung nach der Gleichung

$$/IRS = /IINIT \wedge (/eMRDC \wedge /eIORC \wedge /eMWTC \wedge /eIOWC \wedge /eIINTA)$$

In der Busabschaltstufe erfolgt eine logische Verknüpfung nach

$$iQ_{AB} = (/IMWTC^* \wedge /IMRDC^* \wedge /IOWC^* \wedge /IORC^* \wedge /IINTA^*)$$

Im Ein- und Ausgangstreiber 11 erfolgt eine Verknüpfung von  $(iQ_{AB} \wedge /IXACKy)$  bevor das Signal an den Eingang des Quittungssignal-Ein- und Ausgangstreibers 11 gelegt wird.

In der Tristatesignalsteuerung 12 erfolgen die logischen Verknüpfungen

$$/ICS = ((/IRDI \wedge /IXACKy) \vee /IXACKy) \vee /IMSTRy.$$

Die Leitungen /eMRDC, /eIORC, /eMWTC, /eIOWC, /eIINTA, /eBHEN und /eLOCK der Erweiterungsmodule EM 1 und EM 2 sind über das Kabel K miteinander verbunden.

Bevor eine Übertragung über die durch die miteinander verbundenen Erweiterungsmodule EM 1, EM 2 gebildete Koppelstelle ausgeführt wird, geben die Master für einen Buszugriff die Busanforderungssignale  $BREQ_n$  mit  $n = 1x, \dots, 4x, 1y, \dots, 4y$  an den Busarbitrageblock 4 eines jeden Buserweiterungsmoduls EM 1, EM 2. Dazu werden z. B. die Busanforderungssignale aus dem Systembus SB 1 zum einen an dessen Busarbitrageblock 4 zum anderen über das Kabel K zum Busarbitrageblock des Erweiterungsmoduls EM 2 geführt. Entsprechend einer Prioritätenverkopplung, die in jedem der Busarbitrageblöcke realisiert ist, erhält der Master mit der höchsten Priorität die Erlaubnis für die Erlangung der Busherrschaft, die über die Systembusnalleitung /BPRN<sub>n</sub> mit  $n = 1, \dots, 4$  an den zugehörenden Master vermittelt wird. Dabei vergibt der Busarbitrageblock 4 nur die Erlaubnis für die Erlangung der Busherrschaft für die Master am Systembus SB 1 und der andere Busarbitrageblock für den Systembus SB 2. Aus den Signalen /BPRN<sub>n</sub> des gesamten Systembusses wird das Busseitenherrschaftssignal IMSTRx durch den Busarbitrageblock 4 für den Systembus SB 1 und den anderen Busarbitrageblock für den Systembus SB 2 erzeugt. Dieses Signal wird über das Kabel K zum jeweils anderen Erweiterungsmodul geführt. In bezug auf das jeweils andere Erweiterungsmodul stellt das Signal IMSTRx das Signal IMSTRy dar. Das Signal IMSTRx wird in jedem Erweiterungsmodul EM 1, EM 2 in Verbindung mit dem inaktiven Bussignal /BUSY und mit dem Taktsignal /IBCLK in den jeweiligen Zustand geschaltet. Mit dem Umschalten der Busseitenherrschaftssignale auf den Erweiterungsmodulen EM 1, EM 2 wird die Richtung der Adreßtreiber umgeschaltet, so daß die Adreßtreiber die Adressen vom Master zur masterabgewandten Seite weiterleiten können. Die Datentreiber werden entsprechend Tabelle 1 geschaltet, so daß sich ebenfalls die Datentreiber vom Master aus gesehen in Schreibflußrichtung einstellen.

Im Kommandosteuerungs- und Quittungssignaleingang 3 ist in Abhängigkeit vom Signal IMSTRx die Kommandosignaleingangsstufe 7 geöffnet (bzw. gesperrt) und der Kabeltreiber 8 befindet sich nicht im Tristatezustand (bzw. im Tristatezustand).

Um die weitere Funktionsweise besser erläutern zu können, soll der Master sich an dem Systembus SB 1 befinden. Die Zustände in dem Erweiterungsmodul EM 1 sind folgende:

Die Kommandosignaleingangsstufe 7 ist geöffnet und der Kabeltreiber 8 ist im aktiven Zustand. Der tristatefähige Busausgangstreiber 9 befindet sich im Tristatezustand. Die Zustände dieser drei Stufen ändern sich so lange nicht, bis die Busseitenherrschaft wechselt.

Der Quittungssignaltreiber befindet sich im Tristatezustand. Der Zwischenspeicher 13 ist mit inaktivem Quittungssignal beschrieben, was durch die Rücksetzstufe 17 bei inaktiven Signalen /eMRDC, /eIORC, /eMWTC, /eIOWC und /eIINTA durch das Signal /IRS eingeschrieben wird.

Für diese Busseitenherrschaft bleibt der Zwischenspeicher 13 in diesem Zustand. Der Zustand der Kommando-Ent- und Verriegelungsstufe 10 ist uninteressant, da eine Rückwirkung der Kommandos auf den Systembus SB 1 durch den Tristatezustand des Busausgangstreibers 9 unterbunden wird.

Auf dem Systembus SB 2 bestehen folgende Zustände:

Die Kommandosignaleingangsstufe 7 ist durch das Signal IMSTRx des Erweiterungsmoduls EM 2 gesperrt. Der Kabeltreiber 8 befindet sich im Tristatezustand. Die Rücksetzstufe hält bei aktivem Signal /IRS den Zwischenspeicher 13 auf inaktivem Quittungssignaleingangszustand. Der Quittungssignal-Ein- und Ausgabetreiber 11 ist aus dem Tristatezustand geschaltet und stellt eine Eingangsstufe in bezug auf den Systembus SB 2 dar. Der Busausgangstreiber 9 ist ebenfalls aus dem Tristatezustand genommen. Die Kommando-Ent- und Verriegelungsstufe 10 ist für /eIINTA-Kommandos geöffnet, für Schreibkommandos /eMWTC, /eIOWC genau dann gesperrt, wenn der Datenübertragungsblock 2 noch nicht stabil in die Schreibrichtung umgeschaltet hat. Sonst ist die Stufe 10 für die Schreibkommandos geöffnet. Für Lesekommandos /eMRDC, /eIORC ist die

Stufe 10 stets gesperrt. Die Zustände der Kommandosignaleingangsstufe 7, des Kabeltreibers 8, des Tristateeinganges des Quittungssignaleingangstreiber 11 und des Tristateeinganges des Busausgangstreiber 12 bleiben für die eingestellte Busselthenerrschaft bis zum nächsten Busselthenwechsel bestehen. Die so eingestellten Zustände stellen den Ausgangszustand dar.

Legt der Master nach Adressenausgabe und gegebenenfalls Datenausgabe (bei Schreibkommandos) ein Kommandosignal auf den Systembus SB 1, so wird dieses Signal über die Eingangsstufe 7 und den Kabeltreiber 8 des Erweiterungsmoduls EM 1 auf die entsprechende Kommandoleitung, die über das Kabel K mit dem Erweiterungsmodul EM 2 verbunden ist, übertragen. Auf dem Erweiterungsmodul EM 1 erfolgt in der Stufe 16 zur Bildung der Tristatesteuersignale für die Datentreiber die Analyse der Kommandos nach Schreib-, Lese- oder /eINTA-Kommandos.

Bei einem Schreibkommando verbleiben die Tristatesignale im Zustand nach Tabelle 1. Handelt es sich um das erste /eINTA-Kommando eines /eINTA-Zyklus, so wird es in der Stufe 16 zwischengespeichert. Aus dem zwischengespeicherten /eINTA-Signal wird das Tristatesignal, das die Schreibrichtung charakterisiert, inaktiv geschaltet, d. h. der Datenübertragungsblock 2 des Erweiterungsmoduls EM 1 befindet sich systembussseitig und kabelseitig im Tristatezustand.

Handelt es sich um ein Lesekommando, so erfolgt die gleiche Reaktion in bezug auf die Tristatesignale der Datentreiber wie bei dem /eINTA-Kommando. Auf dem Erweiterungsmodul EM 2 erfolgt in der Stufe zur Bildung der Tristatesteuersignale für die Datentreiber ebenfalls die Analyse des Kommandos, wobei dieselben Vorgänge wie auf dem Erweiterungsmodul EM 1 ablaufen.

Die Rücksetzstufen der beiden Erweiterungsmodule EM 1, EM 2 sind im inaktiven Zustand (/IRS ist inaktiv).

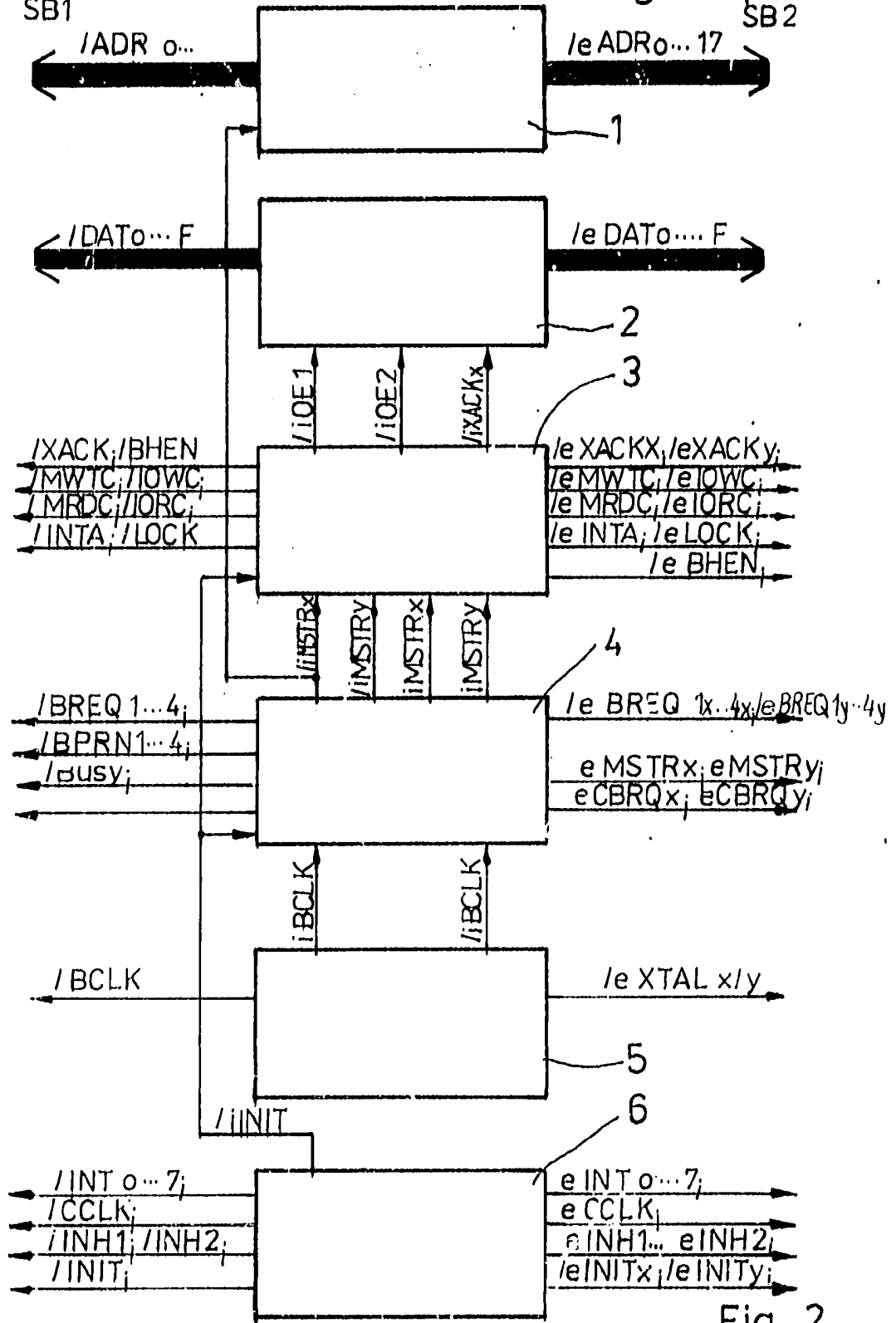
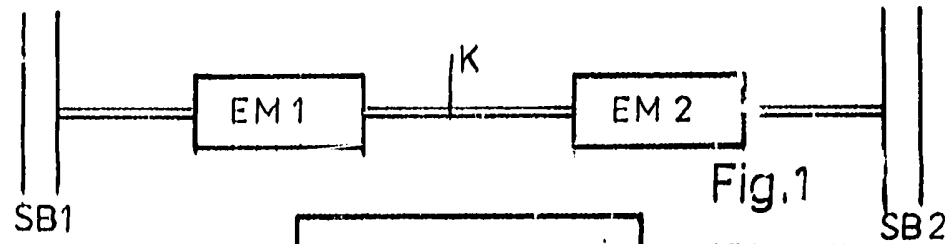
Ist adressenmäßig kein Slave am Systembus SB 2 angesprochen, so erfolgt nach Wegnahme der Kommandos die Einstellung des Ausgangszustandes.

Ist adressenmäßig ein Slave am Systembus SB 2 angesprochen, so führt er das Kommando aus und legt das Quittungssignal auf den Systembus SB 2. Der Ein- und Ausgangstreiber 11 empfängt das Quittungssignal, leitet es weiter zum Zwischenspeicher 13 und von dort über den Quittungssignalausgangstreiber 11 zum Erweiterungsmodul EM 1. Das zwischengespeicherte Quittungssignal sperrt die Kommando-Ent- und Verriegelungsstufe 10, d. h. die Kommandosignalleitungen /IMRDC, /IIORC, /IMWTC, /IIOWC und /IINTA werden mit dem inaktiven Zustand der Kommandos belegt. Der Slave kann das Quittungssignal wegnehmen.

Bei einem Schreibkommando wird das Quittungssignal über den Eingangskabeltreiber des Erweiterungsmoduls EM 1 vom Erweiterungsmodul EM 2 übernommen und unverzüglich nach Aktivwerden des Tristateausganges des Quittungssignaltreibers 11 an den Master weitergeleitet. Mit der Wegnahme des Kommandos durch den Master gehen die Erweiterungsmodule EM 1, EM 2 in ihren Ausgangszustand.

Handelt es sich um ein /eINTA- oder Lesekommando, so werden mit dem Aktivwerden des Quittungssignals die vom Slave gesendeten Daten in den latchedfähigen Datentreibern des Erweiterungsmoduls EM 2 zwischengespeichert. Mit Einlaufen des Quittungssignals auf dem Erweiterungsmodul EM 1 wird in der Stufe 16 zur Bildung der Tristatesteuersignale für die Datentreiber das entsprechende Tristatesignal aus dem inaktiven Zustand genommen.

Das Quittungssignal geht ebenfalls an die Tristatesignalsteuerung 12 für den Quittungssignaltreiber 11. Hier erfolgt eine Verzögerung des Aktivwerdens von /ICS, bis die Datentreiber stabil in die Datenrichtung zum Master geschaltet und die Daten sich stabil auf dem Systembus SB 1 eingestellt haben. Mit dem Aktivwerden des Signals /ICS ist der Ablauf wie beim Schreiben.



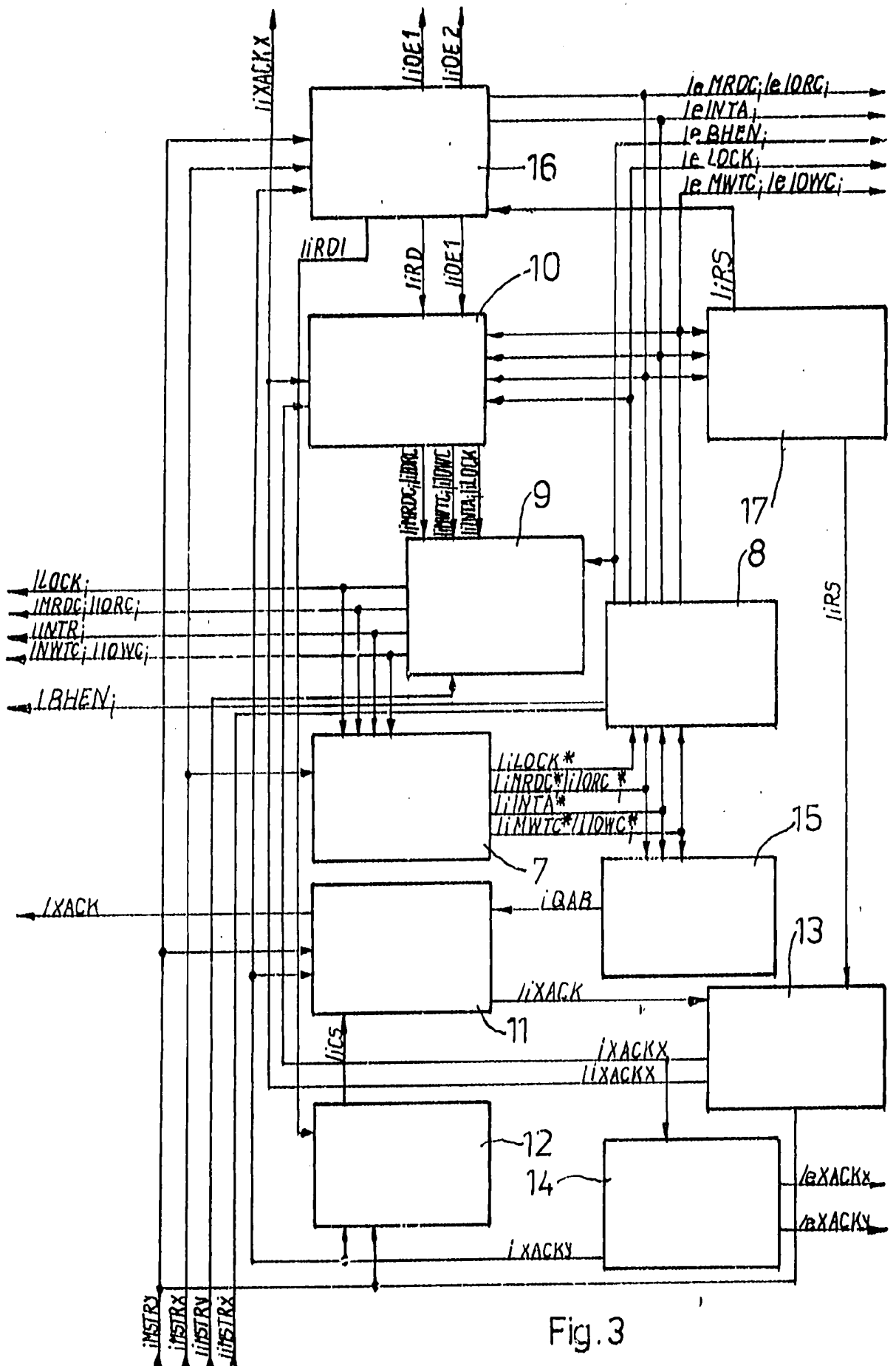


Fig. 3

Tabelle 1

| lfd.<br>Nr. | iMSTRx | iMSTRy | /e MWTC<br>/e IQWC | /e MRDC <sub>i</sub><br>/e INTA | /e IORC | eXACKy | /e OE 1 | /e OE 2 |
|-------------|--------|--------|--------------------|---------------------------------|---------|--------|---------|---------|
| 1           | H      | L      | H                  | H                               |         | L      | H       | L       |
| 2           | H      | L      | L                  | H                               |         | X      | H       | L       |
| 3           | H      | L      | H                  | L                               |         | L      | H       | H       |
| 4           | H      | L      | H                  | L                               |         | H      | L       | H       |
| 5           | L      | H      | H                  | H                               |         | L      | L       | H       |
| 6           | L      | H      | L                  | H                               |         | X      | L       | H       |
| 7           | L      | H      | H                  | L                               |         | X      | H       | L       |

X  $\hat{=}$  beliebiger Zustand

L  $\hat{=}$  LOW - Pegel

M  $\hat{=}$  Migh - Pegel