



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년01월17일
<i>G11C 7/10</i> (2006.01)	(11) 등록번호	10-0670672
<i>G11C 7/04</i> (2006.01)	(24) 등록일자	2007년01월11일

(21) 출원번호	10-2004-0088458	(65) 공개번호	10-2006-0039319
(22) 출원일자	2004년11월02일	(43) 공개일자	2006년05월08일
심사청구일자	2004년11월02일		

(73) 특허권자                    주식회사 하이닉스반도체  
                                      경기 이천시 부발읍 아미리 산136-1

(72) 발명자                        노광명  
                                      경기 수원시 영통구 영통2동 신나무실극동아파트 612동 1501호

(74) 대리인                        특허법인 신성

(56) 선행기술조사문헌	
JP02162824 A	JP11317653 A
JP62176326 A	KR1019900002542 A
KR1019980057056 A	1000468910000
* 심사관에 의하여 인용된 문헌	

심사관 : 오응기

전체 청구항 수 : 총 14 항

**(54) 반도체메모리소자**

**(57) 요약**

본 발명은 공정, 주변 온도 및 구동전원 레벨의 변동에 의해 PMOS 및 NMOS트랜지스터의 전류 구동능력비가 변하여도, IBIS 스펙을 만족시킬 수 있는 반도체메모리소자를 제공하기 위한 것으로, 이를 위한 본 발명으로 풀업-제어신호에 응답하여 출력노드의 전압을 풀업시키기 위한 풀업용 MOS트랜지스터; 상기 풀업용 MOS트랜지스터와 다른 타입의 MOS 트랜지스터로서, 상기 풀업용 MOS트랜지스터와 상기 출력노드 사이에 위치하여, 출력전류의 선형성을 증가시키는 풀업용 저항소자; 풀다운-제어신호에 응답하여 상기 출력노드의 전압을 풀다운시키기 위한 풀다운용 MOS트랜지스터; 및 상기 풀다운용 MOS 트랜지스터와 다른 타입의 MOS트랜지스터로서, 상기 풀다운용 MOS 트랜지스터와 상기 출력노드 사이에 위치하여, 출력전류의 선형성을 증가시키기 위한 풀다운용 저항소자를 구비하는 출력드라이버를 갖는 반도체메모리소자를 제공한다.

**대표도**

도 4

**특허청구의 범위**

### 청구항 1.

삭제

### 청구항 2.

풀업-제어신호에 응답하여 출력노드의 전압을 풀업시키기 위한 풀업용 MOS트랜지스터;

상기 풀업용 MOS트랜지스터와 다른 타입의 MOS 트랜지스터로서, 상기 풀업용 MOS트랜지스터와 상기 출력노드 사이에 위치하여, 출력전류의 선형성을 증가시키는 풀업용 선형소자;

풀다운-제어신호에 응답하여 상기 출력노드의 전압을 풀다운시키기 위한 풀다운용 MOS트랜지스터; 및

상기 풀다운용 MOS 트랜지스터와 다른 타입의 MOS트랜지스터로서, 상기 풀다운용 MOS 트랜지스터와 상기 출력노드 사이에 위치하여, 출력전류의 선형성을 증가시키기 위한 풀다운용 선형소자를 구비하며,

상기 풀업용 MOS트랜지스터 및 풀다운용 선형소자는 PMOS트랜지스터로 구현되고, 상기 풀다운용 MOS트랜지스터 및 풀업용 선형소자는 NMOS트랜지스터로 구현되는 것을 특징으로 하는 출력드라이버를 갖는 반도체메모리소자.

### 청구항 3.

제2항에 있어서,

상기 풀업용 MOS트랜지스터는,

상기 풀업-제어신호를 게이트 입력으로 가지며 제1 전원전압에 자신의 소스단이 접속된 제1 PMOS트랜지스터를 구비하는 것을 특징으로 하는 출력 드라이버를 갖는 반도체메모리소자.

### 청구항 4.

제3항에 있어서,

상기 풀업용 선형소자는,

제1 바이어스전압을 게이트 입력으로 가지며 상기 제1 PMOS트랜지스터의 드레인단과 상기 출력노드 사이에 드레인-소스 경로를 갖는 제1 NMOS트랜지스터를 구비하는 것을 특징으로 하는 출력 드라이버를 갖는 반도체메모리소자.

### 청구항 5.

제4항에 있어서,

상기 풀다운용 MOS트랜지스터는,

상기 풀다운-제어신호를 게이트 입력으로 가지며 제2 전원전압에 자신의 소스단이 접속된 제2 NMOS트랜지스터를 구비하는 것을 특징으로 하는 출력드라이버를 갖는 반도체메모리소자.

### 청구항 6.

제5항에 있어서,

상기 풀다운용 선형소자는,

제2 바이어스전압을 게이트 입력으로 가지며 상기 제2 NMOS트랜지스터의 드레인단과 상기 출력노드 사이에 소스-드레인 경로를 갖는 제2 PMOS트랜지스터를 구비하는 것을 특징으로 하는 출력드라이버를 갖는 반도체메모리소자.

### 청구항 7.

제6항에 있어서,

상기 제1 바이어스 전압은 상기 제1 NMOS트랜지스터가 선형영역에서 구동되도록 하기 위한 게이트 전압인 것을 특징으로 하는 출력드라이버를 갖는 반도체메모리소자.

### 청구항 8.

제6항에 있어서,

상기 제2 바이어스 전압은 상기 제2 PMOS트랜지스터가 선형영역에서 구동되도록 하기 위한 전압레벨인 것을 특징으로 하는 출력드라이버를 갖는 반도체메모리소자.

### 청구항 9.

삭제

### 청구항 10.

입력신호에 응답하여 출력노드의 전압을 풀업시키기 위한 풀업용 MOS 트랜지스터;

상기 풀업용 MOS 트랜지스터와 다른 타입의 MOS 트랜지스터로서, 상기 풀업용 MOS 트랜지스터와 상기 출력노드 사이에 위치하여, 전류의 선형성을 증가시키기 위한 풀업용 선형소자;

상기 입력신호에 응답하여 상기 출력노드의 전압을 풀다운시키기 위한 풀다운용 MOS트랜지스터;

상기 풀다운용 MOS 트랜지스터와 다른 타입의 MOS트랜지스터로서, 상기 풀다운용 MOS 트랜지스터와 상기 출력노드 사이에 위치하여, 전류의 선형성을 증가시키기 위한 풀다운용 선형소자;

상기 출력노드에 연결되어 출력을 지연시키기 위한 캐패시터; 및

상기 출력노드에 접속되어 상기 입력신호와 자신의 출력신호의 위상을 맞춰주기 위한 인버터를 구비하며,

상기 풀업용 MOS트랜지스터 및 풀다운용 선형소자는 PMOS트랜지스터로 구현되고, 상기 풀다운용 MOS트랜지스터 및 풀업용 선형소자는 NMOS트랜지스터로 구현되는 것을 특징으로 하는 지연회로를 갖는 반도체메모리소자.

### 청구항 11.

제10항에 있어서,

상기 풀업용 MOS트랜지스터는,

상기 입력신호를 게이트 입력으로 가지며 제1 전원전압에 자신의 소스단이 접속된 제1 PMOS트랜지스터를 구비하는 것을 특징으로 하는 지연회로를 갖는 반도체메모리소자.

## 청구항 12.

제10항 또는 제11항에 있어서,

상기 풀업용 선형소자는,

제1 바이어스전압을 게이트 입력으로 가지며 상기 제1 PMOS트랜지스터의 드레인단과 상기 출력노드 사이에 드레인-소스 경로를 갖는 제1 NMOS트랜지스터를 구비하는 것을 특징으로 하는 지연회로를 갖는 반도체메모리소자.

## 청구항 13.

제12항에 있어서,

상기 풀다운용 MOS트랜지스터는,

상기 입력신호를 게이트 입력으로 가지며 제2 전원전압에 자신의 소스단이 접속된 제2 NMOS트랜지스터를 구비하는 것을 특징으로 하는 지연회로를 갖는 반도체메모리소자.

## 청구항 14.

제13항에 있어서,

상기 풀다운용 선형소자는,

제2 바이어스전압을 게이트 입력으로 가지며 상기 제2 NMOS트랜지스터의 드레인단과 상기 출력노드 사이에 소스-드레인 경로를 갖는 제2 PMOS트랜지스터를 구비하는 것을 특징으로 하는 지연회로를 갖는 반도체메모리소자.

## 청구항 15.

제14항에 있어서,

상기 제1 바이어스 전압은 상기 제1 NMOS트랜지스터가 선형영역에서 구동되도록 하기 위한 게이트 전압인 것을 특징으로 하는 지연회로를 갖는 반도체메모리소자.

## 청구항 16.

제15항에 있어서,

상기 제2 바이어스 전압은 상기 제2 PMOS트랜지스터가 선형영역에서 구동되도록 하기 위한 전압레벨인 것을 특징으로 하는 지연회로를 갖는 반도체메모리소자.

명세서

발명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 설계 기술에 관한 것으로, 특히 PVT(Process, Voltage, Temperature) 변동에 상관없이 안정적인 풀업/풀다운 전류비를 갖는 반도체메모리소자에 관한 것이다.

일반적으로 출력 드라이버는 반도체메모리소자의 외부 부하로 데이터를 고속으로 전송하기 위해서 내부의 회로보다 큰 부하 구동능력을 가진다. 이러한 출력드라이버의 풀업/풀다운 특성이 일치하는 것은 중요한데, 특성에 불일치가 발생하면 출력전압 파형의 왜곡을 초래하고 이에 따라 노이즈 마진 감소, 타이밍 스퀴 발생등의 부작용이 발생하기 때문이다.

도 1은 종래기술에 따른 출력 드라이버의 회로도이다.

도 1을 참조하면, 종래기술에 따른 출력 드라이버는 풀업-제어신호(up\_ctr)를 게이트 입력으로 가지며, 전원전압 VDDQ에 자신의 소스단이 접속된 PMOS트랜지스터(PM1)와, PMOS트랜지스터(PM1)의 드레인단과 출력노드(n1) 사이에 연결된 풀업 선형저항(rs1)과, 풀다운-제어신호(dw\_ctr)를 게이트 입력으로 가지며, 전원전압 VSSQ에 자신의 소스단이 접속된 NMOS트랜지스터(NM1)와, NMOS트랜지스터(NM1)의 드레인단과 출력노드(n1) 사이에 연결된 풀다운 선형저항(rs2)을 구비한다.

전술한 바와같이 종래기술에 따른 출력드라이버는 풀다운-제어신호(dw\_ctr)의 활성화 시에는 NMOS트랜지스터(NM1)를 통해 출력노드(n1)의 전압을 풀다운 시키며, 풀업-제어신호(up\_ctr)의 활성화 시에는 PMOS트랜지스터(PM1)를 통해 출력노드(n1)의 전압을 풀업시킨다.

참고적으로, 풀업 및 풀다운 선형저항(rs1, rs2)은 출력노드(n1)에 걸리는 전압의 풀다운 및 풀업 전류의 선형성을 증가시키기 위해 각각 삽입된다.

도 2는 도 1의 출력드라이버의 출력과 DRAM IBIS(I/O Buffer Interface Specification) 규격을 함께 나타낸 도면이다.

각 좌표축 및 단위를 살펴보면, X축은 출력노드의 전압 레벨을 나타내며 단위는 V이다.

또한, 좌측 Y축은 출력드라이버의 전류를 나타내며 단위는 mA로서, 전류의 방향이 출력노드로 부터 유입되는 경우를 '+'로, 출력노드로 부터 유출되는 경우를 '-'로 정의한다.

따라서, '+' 영역에 위치하는 커브들 a'은 도 1에 도시된 출력드라이버 내 NMOS 트랜지스터의 풀다운 전류특성을 PVT 변동에 따라 나타낸 것이며, '-' 영역에 위치하는 커브들 b'은 출력 드라이버 내 PMOS트랜지스터의 풀업 전류 특성을 PVT 변동에 따라 나타낸 것이다.

특히, a'의 커브 가운데 a는 IBIS 스펙 규정에 따른 출력드라이버의 DQ 풀다운 전류를 나타낸 것으로, 도 1의 출력드라이버가 IBIS 스펙을 만족하는 것을 알 수 있다. b'의 커브 가운데 b 역시도 IBIS 스펙 규정에 따른 출력드라이버 DQS의 풀업 전류를 나타낸 것으로, 도 1의 출력드라이버가 IBIS 스펙을 만족하는 것을 알 수 있다.

또한, 우측 Y축은 출력드라이버의 풀업전류와 풀다운 전류비를 나타낸 것으로, 단위는 mA/mA이다. IBIS 스펙이 규정한 풀업전류에 대한 풀다운전류의 비율은 0.7 ~ 1.40 mA/mA으로서, c 영역이다. 전술한 바와 같이 도 1에 도시된 출력드라이버가 갖는 풀업전류/풀다운전류 비를 나타낸 것이 c 영역 안에 커브들로서, IBIS 스펙을 만족하는 것을 알 수 있다.

전술한 바와 같이 출력드라이버를 구비하는 반도체메모리소자가 IBIS 스펙을 만족하도록 하기 위해, PMOS트랜지스터 및 NMOS트랜지스터의 다수 캐리어(Majority Carrier)와 같은 물리적 차이를 고려하여 전류 구동능력이 동일해지도록 설계한다.

그럼에도 불구하고, 반도체메모리소자를 생산하는 공정의 변동 시, PMOS트랜지스터 및 NMOS트랜지스터의 전류 구동능력의 차가 심화 되어나타난다. 이러한 현상은 구동온도의 변화, 구동전원의 레벨 변동 등에 의해서도 동일하게 나타난다.

이와같이 전류 구동능력의 차가 심화되면 IBIS 스펙을 만족시키지 못하게 되어, 칩이 폐일되므로 수율이 떨어지는 문제점이 발생한다.

한편, 전술한 바와같이 PMOS트랜지스터 및 NMOS트랜지스터의 물리적 특성 차이가 PVT 변동에 의해 심화되어 칩의 폐일이 유발되는 현상은 반도체메모리소자 내 지연회로에서도 동일하게 발생하는데, 다음 도면을 참조하여 구체적으로 살펴 보도록 한다.

도 3은 다른 종래기술에 따른 지연회로의 회로도이다. 지연회로는 입력신호를 의도적으로 지연시켜 출력시키기 위한 것으로, 특히 주기신호의 시간 지연회로에서는 신호의 듀티(Duty)를 유지하기 위해 tPLH(tPLH Propagation Delay to Logic High Output, 이하 'tPLH'이라고 함)와 tPHL(tPLH Propagation Delay to Logic Low Output, 이하 'tPHL'이라고 함)의 매칭이 중요하다.

참고적으로, tPLH는 입력신호의 변화(transition)에 의해 출력신호의 레벨이 논리레벨 'L'에서 논리레벨 'H'로 변화하기까지의 지연시간을 의미하며, tPHL은 입력신호의 변화에 의해 출력신호가 논리레벨 'H'에서 'L'로 변화하기까지의 지연시간을 의미한다.

도 3을 참조하면, 다른 종래기술에 따른 지연회로는 입력신호(IN)를 게이트 입력으로 가지며, 전원전압 VDD에 자신의 소스단이 접속된 PMOS트랜지스터(PM2)와, PMOS트랜지스터(PM2)의 드레인단과 출력노드(n2) 사이에 연결된 풀업 선형저항(rs3)과, 입력신호(IN)를 게이트 입력으로 가지며, 전원전압 VSS에 자신의 소스단이 접속된 NMOS트랜지스터(NM2)와, NMOS트랜지스터(NM2)의 드레인단과 출력노드(n2) 사이에 연결된 풀다운 선형저항(rs4)과, 출력노드(n2)에 연결되어 신호를 지연시키기 위한 캐패시터(c1)과, 출력노드(n2)에 연결되어 입력신호(IN)와 출력신호(OUT2)의 위상을 맞춰주기 위한 인버터(I1)를 구비한다.

전술한 바와같은 지연회로를 갖는 반도체메모리소자는 공정 변동이나, 주변 온도, 구동전원의 레벨등에 의해 PMOS 및 NMOS트랜지스터의 구동능력의 차가 커져, tPLH과 tPHL의 비대칭이 심화되어 칩이 폐일되는 문제가 발생된다.

그러므로, PMOS 및 NMOS트랜지스터를 구비하여 출력노드를 풀업/풀다운 구동하는 출력드라이버와 지연회로를 구비하는 반도체메모리소자는 공정, 주변 온도 및 구동전원 레벨의 변동 따라 PMOS 및 NMOS트랜지스터의 전류구동능력 비가 달라지므로 칩의 폐일이 유발되는 문제점이 발생한다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 제안된 것으로, 공정, 주변 온도 및 구동전원 레벨의 변동에 의해 PMOS 및 NMOS트랜지스터의 전류 구동능력비가 변하여도, IBIS 스펙을 만족시킬 수 있는 반도체메모리소자를 제공하는데 그 목적이 있다.

### 발명의 구성

상기의 기술적 과제를 달성하기 위한 본 발명의 일측면에 따른 출력드라이버를 구비하는 반도체메모리소자는 풀업-제어 신호에 응답하여 출력노드의 전압을 풀업시키기 위한 풀업용 MOS트랜지스터; 상기 풀업용 MOS트랜지스터와 다른 타입의 MOS 트랜지스터로서, 상기 풀업용 MOS트랜지스터와 상기 출력노드 사이에 위치하여, 출력전류의 선형성을 증가시키는 풀업용 저항소자; 풀다운-제어신호에 응답하여 상기 출력노드의 전압을 풀다운시키기 위한 풀다운용 MOS트랜지스터; 및 상기 풀다운용 MOS 트랜지스터와 다른 타입의 MOS트랜지스터로서, 상기 풀다운용 MOS 트랜지스터와 상기 출력노드 사이에 위치하여, 출력전류의 선형성을 증가시키기 위한 풀다운용 선형소자를 구비한다.

본 발명의 다른 측면에 따른 지연회로를 구비하는 반도체메모리소자는 입력신호에 응답하여 출력노드의 전압을 풀업시키기 위한 풀업용 MOS 트랜지스터; 상기 풀업용 MOS 트랜지스터와 다른 타입의 MOS 트랜지스터로서, 상기 풀업용 MOS 트랜지스터와 상기 출력노드 사이에 위치하여, 전류의 선형성을 증가시키기 위한 풀업용 선형소자; 상기 입력신호에 응답하여 상기 출력노드의 전압을 풀다운시키기 위한 풀다운용 MOS트랜지스터; 상기 풀다운용 MOS 트랜지스터와 다른 타입의 MOS트랜지스터로서, 상기 풀다운용 MOS 트랜지스터와 상기 출력노드 사이에 위치하여, 전류의 선형성을 증가시키기 위한 풀다운용 선형소자; 상기 출력노드에 연결되어 출력을 지연시키기 위한 캐패시터; 및 상기 출력노드에 접속되어 상기 입력신호와 자신의 출력신호의 위상을 맞춰주기 위한 인버터를 구비한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도 4는 본 발명의 제1 실시예에 따른 반도체메모리소자의 출력드라이버를 도시한 도면이다.

도 4를 참조하면, 본 발명의 제1 실시예에 따른 출력드라이버는 풀업-제어신호(up\_ctr)에 응답하여 출력노드(n3)의 전압을 풀업시키기 위한 풀업용 MOS트랜지스터(PM3)와, 풀업용 MOS트랜지스터(PM3)와 다른 타입의 MOS 트랜지스터가 풀업용 MOS트랜지스터(PM3)와 출력노드(n3) 사이에 위치하여, 출력전류의 선형성을 증가시키는 풀업용 선형소자(NM4)와, 풀다운-제어신호(dw\_ctr)에 응답하여 출력노드(n3)의 전압을 풀다운시키기 위한 풀다운용 MOS트랜지스터(NM3)와, 풀다운용 MOS 트랜지스터(NM3)와 다른 타입의 MOS트랜지스터(PM4)로서, 풀다운용 MOS 트랜지스터(NM3)와 출력노드(n3) 사이에 위치하여, 출력전류의 선형성을 증가시키기 위한 풀다운용 선형소자(PM4)를 구비한다.

전술한 바와 같은 본 발명의 출력드라이버를 연결관계 측면에서 보다 구체적으로 살펴보도록 한다.

본 발명의 제1 실시예에 따른 출력드라이버는 풀업-제어신호(up\_ctr)를 게이트 입력으로 가지며 전원전압 VDDQ에 자신의 소스단이 접속된 PMOS트랜지스터(PM3)와, 바이어스전압 bs1을 게이트 입력으로 가지며 PMOS트랜지스터(PM3)의 드레인단과 출력노드(n3) 사이에 드레인-소스 경로를 갖는 NMOS트랜지스터(NM4)와, 풀다운-제어신호(dw\_ctr)를 게이트 입력으로 가지며 전원전압 VSSQ에 자신의 소스단이 접속된 NMOS트랜지스터(NM3)와, 바이어스전압 bs2을 게이트 입력으로 가지며 NMOS트랜지스터(NM3)의 드레인단과 출력노드(n3) 사이에 소스-드레인 경로를 갖는 PMOS트랜지스터(PM4)를 구비한다.

참고적으로, 바이어스전압 bs2 및 bs1은 PMOS트랜지스터(PM4) 및 NMOS트랜지스터(NM4)가 모두 선형영역에서 동작하도록 하는 레벨의 전압을 의미한다.

본 발명의 제1 실시예에 따른 출력드라이버는 풀업/풀다운 전류비가 PVT 변동에 따라 변하지 않고 안정적으로 유지되도록 하기 위해, 출력드라이버 내 저항소자를 다른 타입의 MOS트랜지스터로 구현한다.

따라서, 출력드라이버의 풀업/풀다운 유효저항은 한 타입의 MOS트랜지스터로 구현된 드라이버와, 그와 반대 타입의 MOS트랜지스터로 구현된 저항소자의 합으로 나타나게 되어, PVT 변동에 따라 NMOS트랜지스터 및 PMOS트랜지스터의 서로 다른 특성 변화에 관계없이, 풀업/풀다운 전류비가 일정하게 유지된다.

구체적으로, 공정의 변동으로 인해 NMOS트랜지스터의 전류 구동능력은 증가한 반면, PMOS트랜지스터의 전류 구동능력은 감소한 경우, 본 발명에 따른 출력드라이버 내 풀다운용 MOS트랜지스터의 구동능력은 증가하여도, 풀다운용 저항소자인 PMOS트랜지스터의 저항이 증가하기 때문에 풀다운 전류의 변동이 제한된다.

도 5는 구동전원의 레벨에 따른 도 1 및 도 4의 출력드라이버의 풀업 및 풀다운 전류비를 나타낸 도면으로서, X축은 출력드라이버의 전압레벨을 나타내며 단위는 V이다. 또한, Y축은 풀업전류에 대한 풀다운저항의 비로서, 단위는 mA/mA이다.

도면에 도시된  $\alpha$ 는 본 발명에 따른 출력드라이버의 전류비를 나타내며,  $\beta$  종래기술에 따른 출력드라이버의 전류비를 나타낸다. 그리고 각  $\alpha$  및  $\beta$  경우에 있어 두 라인은 PVT 변동에 따른 최대/최소 전류비를 나타낸다. 따라서, 종래기술에 따른 출력드라이버는 모든 동작 환경에서도 상기  $\beta$ 의 두 라인 사이에 언제나 위치하게 되며, 본 발명에 따른 출력드라이버도 동일하게 상기  $\alpha$ 의 두 라인 사이에 위치하게 된다.

한편, 본 발명에 따른 출력드라이버는 구동전원의 레벨에 따라 풀업/풀다운 전류비의 기울기가 완만한 반면, 종래기술에 따른 출력드라이버는 풀업/풀다운 전류비의 기울기가 급격한 것을 알 수 있다. 즉, 종래에는 구동전원 레벨 변동에 따른 풀업/풀다운 전류비의 변화가 급격한 반면, 본 발명에 따른 출력드라이버는 종래에 비해 구동전원의 레벨 변동에 따른 전류비의 변화가 적은 것을 알 수 있다.

또한, 본 발명에 따른 출력드라이버의 전류비를 나타내는  $\alpha$ 의 경우에는 종래기술에 따른  $\beta$ 의 경우에 비해 전류비의 최대값 및 최소값의 차이가 작은 것을 알 수 있다. 다시 언급하면, 본 발명에 따른 출력드라이버는 종래에 비해 PVT 변동 시 보다 출력드라이버의 전류비의 변동에 있어서 보다 적은 변동을 갖는 것을 알 수 있다.

그러므로, 본 발명의 제1 실시예에 따른 출력드라이버는 공정, 주변온도, 구동전원 레벨의 변동에 의해 NMOS 및 PMOS 트랜지스터의 소자특성이 변화하여도, 풀다운 및 풀업 경로에 양타입 모두를 구비하여 구현되기 때문에 풀업/풀다운 전류비가 일정하게 유지된다.

도 6은 본 발명의 제2 실시예에 따른 반도체메모리소자의 지연회로를 도시한 도면이다.

도 6을 참조하면, 본 발명의 제2 실시예에 따른 지연회로는 입력신호(IN)에 응답하여 출력노드(n4)의 전압을 풀업시키기 위한 풀업용 MOS 트랜지스터(PM5)와, 풀업용 MOS 트랜지스터(PM5)와 다른 타입의 MOS 트랜지스터로서 풀업용 MOS 트랜지스터(PM5)와 출력노드(n4) 사이에 위치하여, 전류의 선형성을 증가시키기 위한 풀업용 선형소자(NM6)와, 입력신호(IN)에 응답하여 출력노드(n4)의 전압을 풀다운시키기 위한 풀다운용 MOS트랜지스터(NM5)와, 풀다운용 MOS 트랜지스터(NM5)와 다른 타입의 MOS트랜지스터로서 풀다운용 MOS 트랜지스터(NM5)와 출력노드(n4) 사이에 위치하여, 전류의 선형성을 증가시키기 위한 풀다운용 선형소자(PM6)와, 출력노드(n4)에 연결되어 출력을 지연시키기 위한 캐패시터(c2)과, 출력노드(c2)에 접속되어 입력신호(IN)와 출력신호(OUT4)의 위상을 맞춰주기 위한 인버터(I2)를 구비한다.

또한, 본 발명의 제2 실시예에 따른 지연회로를 연결관계 측면에서 보다 구체적으로 살펴보면, 입력신호(IN)를 게이트 입력으로 가지며 전원전압 VDD에 자신의 소스단이 접속된 PMOS트랜지스터(PM5)와, 바이어스전압 bs3을 게이트 입력으로 가지며 PMOS트랜지스터(PM5)의 드레인단과 출력노드(n4) 사이에 드레인-소스 경로를 갖는 NMOS트랜지스터(NM6)와, 입력신호(IN)를 게이트 입력으로 가지며 전원전압 VSS에 자신의 소스단이 접속된 NMOS트랜지스터(NM5)와, 바이어스전압 bs4을 게이트 입력으로 가지며 NMOS트랜지스터(NM5)의 드레인단과 출력노드(n4) 사이에 소스-드레인 경로를 갖는 PMOS트랜지스터(PM6)와, 출력노드(n4)에 접속되어 신호를 지연시키기 위한 캐패시터(c2)과, 출력노드(n4)에 연결되어 입력신호(IN)와 출력신호(OUT4)의 위상을 맞춰주기 위한 인버터(I2)를 구비한다.

전술한 바와같이, 본 발명의 제2 실시예에 따른 지연회로는 풀다운 및 풀업 경로 각각에 MOS의 다른 타입을 모두 구비하므로, 공정, 주변온도, 및 구동전원 레벨이 변동하여도 tPHL과 tPLH가 동일하도록 유지시킬 수 있다.

도 7a는 도 3의 종래기술에 따른 지연회로의 tPHL과 tPLH를 도시한 것이며, 도 7b는 도 6의 본 발명의 제2 실시예에 따른 지연회로의 tPHL과 tPLH를 도시한 것이다.

도 7a 및 도 7b에 있어서, X축은 시간을 의미하며 단위는 ps이고, Y축은 입력신호 또는 출력신호의 전압레벨을 의미하며 단위는 V이다. 또한, 입력신호는 가는 직선으로, 출력신호는 굵은 직선으로 도시된다.

도 7a에 도시된 바와 같이, 종래기술에 따른 지연회로는 tPHL과 tPLH의 차이가 심한데 비하여, 도 7b의 본 발명에 따른 지연회로는 비록 tPHL 및 tPLH의 값 자체가 클지는 모르나, tPHL와 tPLH가 차이 없이 일정하게 유지되는 것을 알 수 있다.

그러므로, 전술한 바와 같이 풀업/풀다운 전류비가 PVT 변동에 상관없이 일정하게 유지되어야 할 필요가 있는 회로, 즉 출력 드라이버 및 지연회로를 구비하는 반도체메모리소자에 있어서, 전류의 풀업 경로 및 풀다운 경로에 서로 다른 타입의 MOS트랜지스터를 사용하여 구현함으로써, PVT 변동에 상관없이 일정하게 유지할 수 있다. 따라서, 칩의 수율을 증가시킨다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

### 발명의 효과

전술한 본 발명에 따른 반도체메모리소자는 풀업 및 풀다운 경로를 서로 다른 타입의 MOS트랜지스터를 통해 구현하므로써, PVT 변동에 상관없이 안정적인 풀업/풀다운 전류비를 유지한다.

### 도면의 간단한 설명

도 1은 종래기술에 따른 출력 드라이버의 회로도.



도 2는 도 1의 출력드라이버의 출력과 DRAM IBIS 스펙을 도시한 도면.

도 3은 다른 종래기술에 따른 지연부의 회로도.

도 4는 본 발명의 제1 실시예에 따른 출력 드라이버의 회로도.

도 5는 도 4의 출력을 도식적으로 나타낸 도면.

도 6은 본 발명의 제2 실시예에 따른 지연부의 회로도.

도 7a 및 도 7b는 도 3 및 도 6의 시뮬레이션 파형도.

\* 도면의 주요 부분에 대한 부호의 설명

PM3, PM5 : 풀업용 MOS트랜지스터

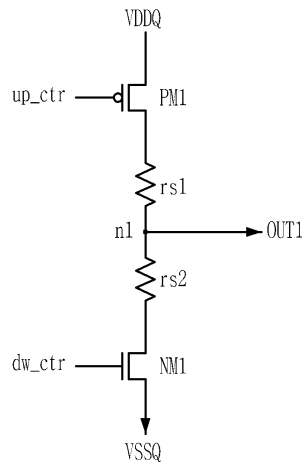
NM3, NM5 : 풀다운용 MOS트랜지스터

PM4, PM6 : 풀다운용 저항소자

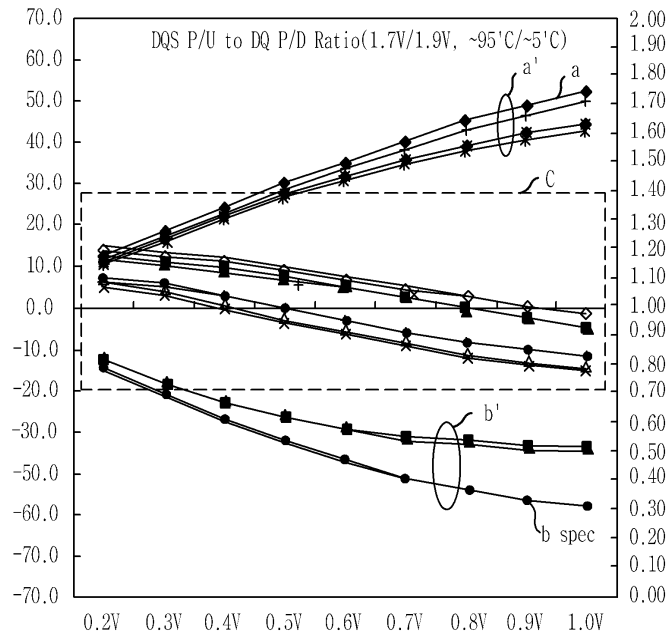
NM4, NM6 : 풀업용 저항소자

도면

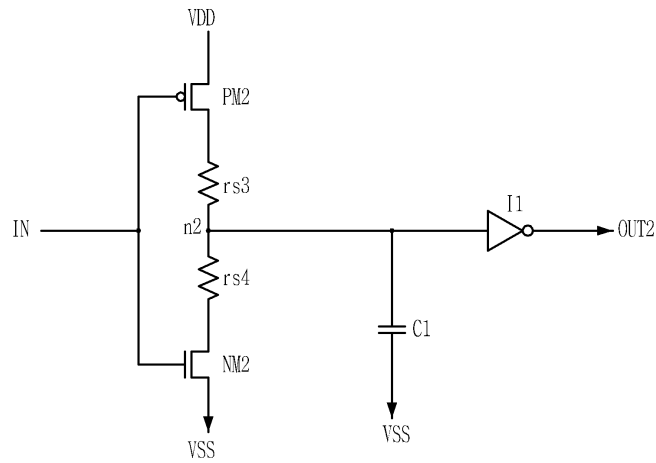
도면1



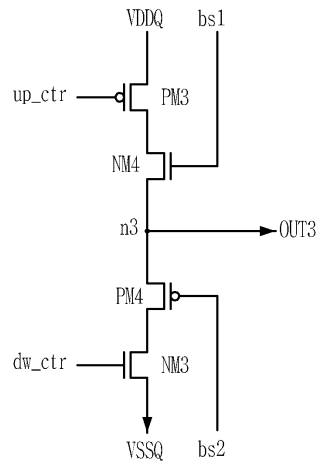
도면2



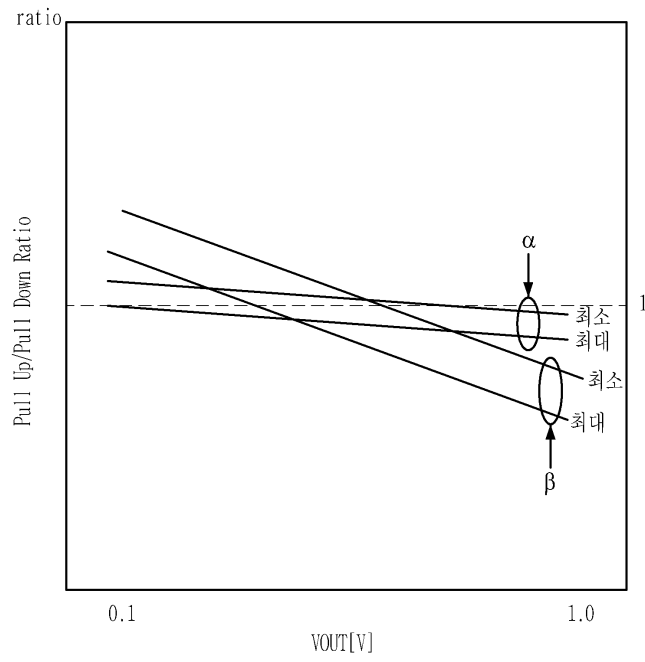
도면3



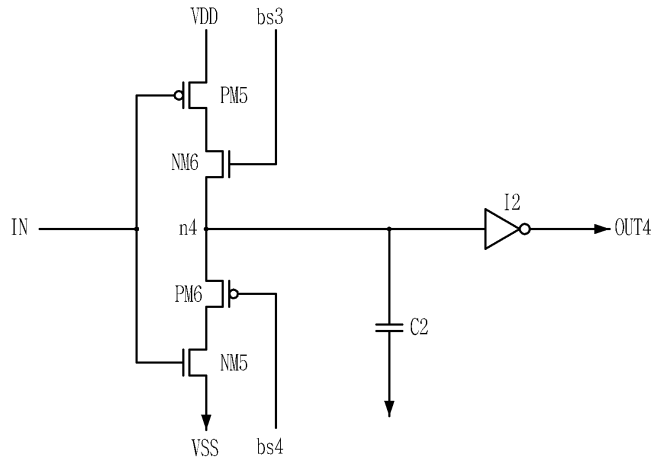
도면4



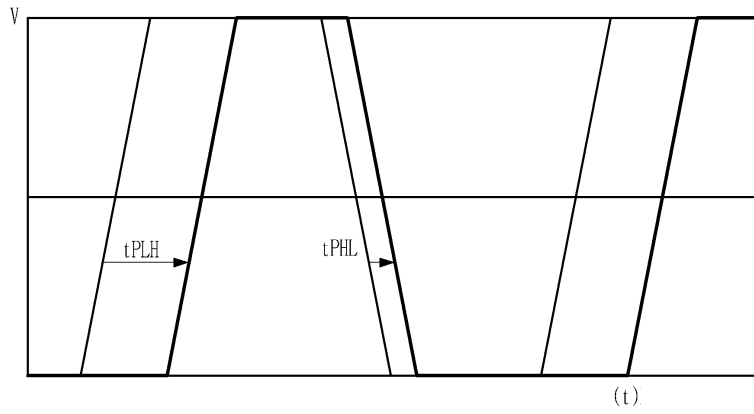
도면5



도면6



도면7a



도면7b

