



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

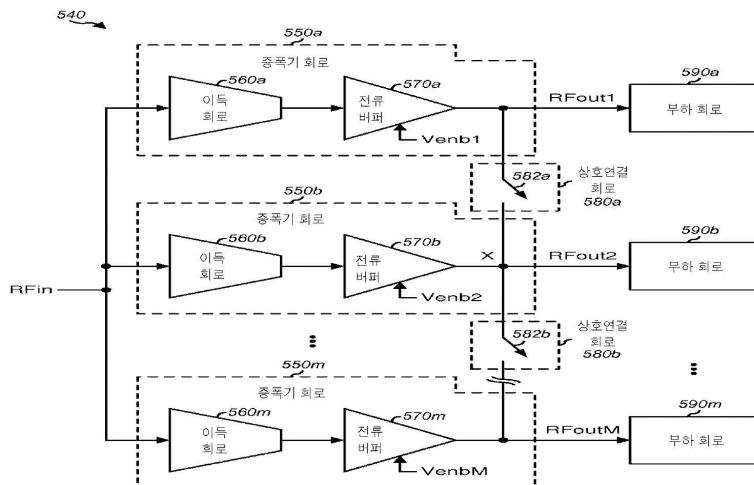
(11) 공개번호 10-2015-0077452
(43) 공개일자 2015년07월07일

- (51) 국제특허분류(Int. Cl.)
H03F 3/19 (2006.01) *H03F 1/22* (2006.01)
H03F 1/26 (2006.01) *H03F 3/21* (2006.01)
H03F 3/24 (2006.01) *H03F 3/68* (2006.01)
H03F 3/72 (2006.01)
- (52) CPC특허분류
H03F 3/19 (2013.01)
H03F 1/223 (2013.01)
- (21) 출원번호 10-2015-7013052
- (22) 출원일자(국제) 2013년10월22일
심사청구일자 없음
- (85) 번역문제출일자 2015년05월18일
- (86) 국제출원번호 PCT/US2013/066230
- (87) 국제공개번호 WO 2014/066421
국제공개일자 2014년05월01일
- (30) 우선권주장
13/656,904 2012년10월22일 미국(US)
- (71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
수, 루이
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
창, 리-청
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인
특허법인 남엔드남

전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **잡음 분할이 있는 증폭기들****(57) 요 약**

잡음 피겨를 개선하기 위한, 잡음 분할이 있는 증폭기들이 개시된다. 예시적 설계에서, 장치(예를 들어, 무선 디바이스, 접속 회로 등)는 복수의 증폭기 회로들 및 적어도 하나의 상호연결 회로를 포함한다. 증폭기 회로들은 입력 RF(radio frequency) 신호를 수신한다. 상호연결 회로(들)는 복수의 증폭기 회로들 사이에 커플링된다. 각각의 상호연결 회로는 그 상호연결 회로에 커플링된 2개의 증폭기 회로들의 내부 노드들을 또는 출력들을 쇼트시키도록 폐쇄된다. 복수의 증폭기 회로들은 복수의 전류 버퍼들에 커플링된 복수의 이득 회로들을 포함할 수 있고, 각각의 증폭기 회로는 하나의 이득 회로 및 하나의 전류 버퍼를 포함한다. 각각의 증폭기 회로는 복수의 증폭기 회로들이 인에이블될 때, 복수의 이득 회로들 각각으로부터의 전류의 일부분을 포함할 수 있는 출력 전류를 제공한다.

대 표 도

(52) CPC특허분류

H03F 1/26 (2013.01)
H03F 3/211 (2013.01)
H03F 3/245 (2013.01)
H03F 3/68 (2013.01)
H03F 3/72 (2013.01)
H03F 2200/294 (2013.01)
H03F 2200/421 (2013.01)
H03F 2200/492 (2013.01)
H03F 2200/537 (2013.01)

명세서

청구범위

청구항 1

장치로서,

입력 RF(radio frequency) 신호를 수신하도록 구성되는 복수의 증폭기 회로들; 및 적어도 하나의 상호연결 회로에 커플링된 상기 복수의 증폭기 회로들 중 적어도 2개를 쇼트(short)시키도록 구성되는 적어도 하나의 상호연결 회로를 포함하는,
장치.

청구항 2

제 1 항에 있어서,

상기 복수의 증폭기 회로들은 복수의 이득 회로들 및 복수의 전류 버퍼들을 포함하고,
각각의 증폭기 회로에 대해, 하나의 이득 회로 및 하나의 전류 버퍼를 포함하는,
장치.

청구항 3

제 2 항에 있어서,

각각의 증폭기 회로는 상기 복수의 증폭기 회로들이 입력 RF 신호를 증폭시키고 복수의 출력 RF 신호들을 제공하도록 인에이블될 때, 상기 복수의 이득 회로들 각각으로부터의 전류의 일부분을 포함하는 출력 전류를 제공하도록 구성되는,
장치.

청구항 4

제 1 항에 있어서,

상기 복수의 증폭기 회로들이 인에이블될 때, 상기 적어도 하나의 상호연결 회로는 상기 복수의 증폭기 회로들의 출력들을 쇼트시키도록 구성되는,
장치.

청구항 5

제 2 항에 있어서,

상기 복수의 증폭기 회로들이 인에이블될 때, 상기 적어도 하나의 상호연결 회로는 상기 복수의 이득 회로들의 출력을 쇼트시키도록 구성되는,
장치.

청구항 6

제 2 항에 있어서,

상기 적어도 하나의 상호연결 회로는, 상기 복수의 이득 회로들과 상기 복수의 전류 버퍼들 사이에 커플링된 복수의 캐스코드(cascode) 트랜지스터들을 포함하고,
각각의 캐스코드 트랜지스터는, 하나의 증폭기 회로 내의 이득 회로와 또 다른 증폭기 회로 내의 전류 버퍼 사이에 커플링되고,

상기 복수의 증폭기 회로들이 인에이블될 때, 상기 복수의 캐스코드 트랜지스터들은 턴온되는, 장치.

청구항 7

제 1 항에 있어서,

상기 하나의 증폭기 회로가 인에이블되고 상기 복수의 증폭기 회로들 중 나머지 증폭기 회로들이 디스에이블될 때, 상기 복수의 증폭기 회로들 중 하나는 상기 입력 RF 신호를 증폭시키고, 출력 RF 신호를 제공하도록 구성되는,

장치.

청구항 8

제 1 항에 있어서,

상기 복수의 증폭기 회로들은, 제 1 증폭기 회로 및 제 2 증폭기 회로를 포함하고,

상기 제 1 증폭기 회로는, 제 1 이득 트랜지스터 및 제 1 캐스코드 트랜지스터를 포함하고,

상기 제 2 증폭기 회로는, 제 2 이득 트랜지스터 및 제 2 캐스코드 트랜지스터를 포함하는,

장치.

청구항 9

제 8 항에 있어서,

상기 적어도 하나의 상호연결 회로는, 제 1 캐스코드 트랜지스터 및 제 2 캐스코드 트랜지스터의 드레인들 사이에 커플링된 스위치를 포함하고,

상기 스위치는, 단지 제 1 증폭기 회로 또는 제 2 증폭기 회로가 인에이블될 때 개방되고, 제 1 증폭기 회로 및 제 2 증폭기 회로 둘 모두가 인에이블될 때 폐쇄되는,

장치.

청구항 10

제 9 항에 있어서,

상기 스위치는,

상기 제 1 캐스코드 트랜지스터의 드레인과 중간 노드 사이에 커플링된 제 1 트랜지스터;

상기 중간 노드와 상기 제 2 캐스코드 트랜지스터의 드레인 사이에 커플링된 제 2 트랜지스터; 및

상기 중간 노드와 회로 접지(ground) 사이에 커플링된 제 3 트랜지스터를 포함하는,

장치.

청구항 11

제 9 항에 있어서,

상기 스위치는, 제 1 캐스코드 트랜지스터 및 제 2 캐스코드 트랜지스터의 드레인들 사이에 커플링된 트랜지스터를 포함하는,

장치.

청구항 12

제 8 항에 있어서,

상기 적어도 하나의 상호연결 회로는, 제 1 이득 트랜지스터 및 제 2 이득 트랜지스터의 드레인들 사이에 커플

령된 캐패시터를 포함하고,

상기 제 1 증폭기 회로가 인에이블될 때, 상기 제 1 캐스코드 트랜지스터는 턴온되고, 상기 제 2 캐스코드 트랜지스터는 턴오프되며,

상기 제 2 증폭기 회로가 인에이블될 때, 상기 제 2 캐스코드 트랜지스터는 턴온되고, 상기 제 1 캐스코드 트랜지스터는 턴오프되며,

상기 제 1 증폭기 회로 및 상기 제 2 증폭기 회로가 인에이블될 때, 제 1 캐스코드 트랜지스터 및 제 2 캐스코드 트랜지스터 둘 모두는 턴온되는,

장치.

청구항 13

제 8 항에 있어서,

상기 적어도 하나의 상호연결 회로는,

상기 제 1 이득 트랜지스터의 드레인과 상기 제 2 캐스코드 트랜지스터의 드레인 사이에 커플링된 제 3 캐스코드 트랜지스터; 및

상기 제 2 이득 트랜지스터의 드레인과 상기 제 1 캐스코드 트랜지스터의 드레인 사이에 커플링된 제 4 캐스코드 트랜지스터를 포함하고,

상기 제 1 증폭기 회로 및 상기 제 2 증폭기 회로 둘 모두가 인에이블될 때, 상기 제 3 캐스코드 트랜지스터 및 상기 제 4 캐스코드 트랜지스터는 턴온되는,

장치.

청구항 14

제 13 항에 있어서,

상기 제 1 증폭기 회로가 인에이블될 때, 단지 상기 제 1 캐스코드 트랜지스터가 턴온되거나, 상기 제 1 캐스코드 트랜지스터 및 제 4 캐스코드 트랜지스터 둘 모두가 턴온되는,

장치.

청구항 15

제 8 항에 있어서,

상기 제 1 이득 트랜지스터 및 상기 제 2 이득 트랜지스터의 소스들과 회로 접지 사이에 커플링된 인덕터를 더 포함하는,

장치.

청구항 16

제 8 항에 있어서,

상기 제 1 증폭기 회로에 커플링된 제 1 트랜스포머를 포함하는 제 1 부하 회로; 및

상기 제 2 증폭기 회로에 커플링된 제 2 트랜스포머를 포함하는 제 2 부하 회로를 더 포함하는,

장치.

청구항 17

방법으로서,

입력 RF(radio frequency) 신호를 복수의 증폭기 회로들에 적용시키는 단계;

상기 복수의 증폭기 회로들 중 적어도 하나가 상기 입력 RF 신호를 증폭시키고, 적어도 하나의 출력 RF 신호를

제공하는 것을 가능하게 하는 단계; 및

상기 복수의 증폭기 회로들이 인에이블될 때, 상기 복수의 증폭기 회로들을 쇼트시키는 단계를 포함하는, 방법.

청구항 18

제 17 항에 있어서,

상기 복수의 증폭기 회로들 내의 복수의 이득 회로들에 의해 상기 입력 RF 신호를 증폭시키는 단계; 및

상기 복수의 증폭기 회로들로부터의 출력 전류들을 제공하는 단계를 더 포함하고,

각각의 증폭기 회로로부터의 출력 전류는, 상기 복수의 이득 회로들 각각으로부터의 전류의 일부분을 포함하는, 방법.

청구항 19

장치로서,

입력 RF(radio frequency) 신호를 수신하도록 구성되는 복수의 증폭 수단; 및

적어도 하나의 상호연결 수단에 커플링된 상기 복수의 증폭 수단 중 적어도 2개를 쇼트시키도록 구성되는 적어도 하나의 상호연결 수단을 포함하는,

장치.

청구항 20

제 19 항에 있어서,

상기 복수의 증폭 수단은,

상기 입력 RF 신호를 증폭시키도록 구성되는 복수의 이득 수단; 및

상기 복수의 이득 수단에 커플링된 복수의 버퍼 수단을 포함하고,

상기 복수의 증폭 수단이 인에이블될 때, 각각의 증폭 수단은 상기 복수의 이득 수단 각각으로부터의 전류의 일부분을 포함하는 출력 전류를 제공하도록 구성되는,

장치.

발명의 설명

기술 분야

[0001] 본 개시는 일반적으로 전자기기에 관한 것으로, 더 구체적으로, 증폭기들에 관한 것이다.

배경 기술

[0002] 무선 통신 시스템 내의 무선 디바이스(예를 들어, 셀룰러 폰 또는 스마트폰)는 양방향 통신을 위해 데이터를 송신 및 수신할 수 있다. 무선 디바이스는 데이터 송신을 위한 송신기 및 데이터 수신을 위한 수신기를 포함할 수 있다. 데이터 송신을 위해, 송신기는 데이터로 라디오 주파수(RF) 캐리어 신호를 변조하여 변조된 RF 신호를 획득하고, 변조된 RF 신호를 증폭시켜 적절한 출력 전력 레벨을 갖는 증폭된 RF 신호를 획득하여, 증폭된 RF 신호를 안테나를 통해 기지국에 송신할 수 있다. 데이터 수신을 위해, 수신기는 안테나를 통해 수신된 RF 신호를 획득할 수 있으며, 수신된 RF 신호를 증폭 및 프로세싱하여 기지국에 의해 전송된 데이터를 복원할 수 있다.

[0003] 무선 디바이스는 다수의 캐리어들 상에서의 동시적 동작인 캐리어 어그리게이션을 지원할 수 있다. 캐리어는 통신을 위해 이용되는 주파수들의 범위를 지정할 수 있으며, 특정 특성들과 연관될 수 있다. 예를

들어, 캐리어는 캐리어 상에서의 동작을 설명하는 시스템 정보와 연관될 수 있다. 캐리어는 또한, 컴포넌트 캐리어(CC), 주파수 채널, 셀 등으로 지칭될 수 있다. 무선 디바이스에 의해 캐리어 어그리게이션을 효율적으로 지원하는 것이 바람직하다.

도면의 간단한 설명

[0004] 도 1은 무선 시스템과 통신하는 무선 디바이스를 도시한다.

[0005] 도 2a 내지 도 2d는 캐리어 어그리게이션(CA)의 4개의 예들을 도시한다.

[0006] 도 3은 도 1의 무선 디바이스의 블록도를 도시한다.

[0007] 도 4는 잡음 분할(noise splitting)이 없는 SIMO(single-input multiple-output) LNA(low noise amplifier)를 도시한다.

[0008] 도 5는 전류 버퍼 출력에서 잡음 분할이 있는 SIMO LNA를 도시한다.

[0009] 도 6a 내지 도 7c는 전류 버퍼 출력에서 잡음 분할이 있는 SIMO LNA의 일부 예시적 설계들을 도시한다.

[0010] 도 8은 이득 회로 출력에서 잡음 분할이 있는 SIMO LNA를 도시한다.

[0011] 도 9a 내지 도 9c는 이득 회로 출력에서 잡음 분할이 있는 SIMO LNA의 일부 예시적 설계들을 도시한다.

[0012] 도 10은 신호 증폭을 수행하기 위한 프로세스를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0005] 아래에서 설명되는 상세한 설명은 본 개시의 예시적 설계들의 설명으로서 의도되며, 본 개시가 실시될 수 있는 유일한 설계들만을 나타내는 것으로 의도되는 것은 아니다. "예시적"이라는 용어는, "예, 예시 또는 예증으로 역할을 하는"을 의미하는 것으로 본원에서 이용된다. 본원에 "예시적"으로서 설명된 임의의 설계는 반드시 다른 설계들보다 선호되거나 또는 유리한 것으로 해석되어서는 안 된다. 상세한 설명은 본 개시의 예시적 설계들의 완전한 이해를 제공하기 위해 특정 세부사항들을 포함한다. 본원에 설명된 예시적 설계들이 이러한 특정 세부사항들 없이 실시될 수 있다는 것이 당업자들에게 명백할 것이다. 일부 예시들에서, 잘 알려져 있는 구조들 및 디바이스들은 본원에 제시된 예시적 설계들의 신규성을 모호하게 하는 것을 회피하기 위해 블록도 형태로 도시된다.

[0006] 잡음 분할이 있고, 양호한 성능 및 다른 바람직한 특성들을 가지는 증폭기가 본원에 개시된다. 이 증폭기들은 다수의 송신된 신호들의 동시 수신을 지원하는 SIMO LNA들을 포함할 수 있다. 이 증폭기들은 다양한 타입들의 전자 디바이스들, 이를테면, 무선 통신 디바이스들에 이용될 수 있다.

[0007] 도 1은 무선 통신 시스템들(120)과 통신하는 무선 디바이스(110)를 도시한다. 무선 시스템들(120)은 LTE(Long Term Evolution) 시스템, CDMA(Code Division Multiple Access) 시스템, GSM(Global System for Mobile Communications) 시스템, WLAN(wireless local area network) 시스템 또는 일부 다른 무선 시스템일 수 있다. CDMA 시스템은 WCDMA(Wideband CDMA), CDMA 1X, EVDO(Evolution-Data Optimized), TD-SCDMA(Time Division Synchronous CDMA) 또는 CDMA의 일부 다른 버전을 구현할 수 있다. 간략성을 위해서, 도 1은 2개의 기지국들(130 및 132) 및 하나의 시스템 제어기(140)를 포함하는 무선 시스템(120)을 도시한다. 일반적으로, 무선 시스템은 많은 기지국들 및 임의의 세트의 네트워크 엔티티들을 포함할 수 있다.

[0008] 무선 디바이스(110)는 또한, UE(user equipment), 이동국, 단말, 액세스 단말, 가입자 유닛, 스테이션 등으로 지칭될 수 있다. 무선 디바이스(110)는 셀룰러 폰, 스마트폰, 태블릿, 무선 모뎀, PDA(personal digital assistant), 핸드헬드 디바이스, 램프 컴퓨터, 스마트북, 넷북, 코드리스 폰, WLAN(wireless local loop) 스테이션, 블루투스 디바이스 등일 수 있다. 무선 디바이스(110)는 무선 시스템(120)과 통신할 수 있다. 무선 디바이스(110)는 또한, 브로드캐스트 스테이션들(예를 들어, 브로드캐스트 스테이션(134))로부터 신호들을 수신하고, 하나 또는 둘 이상의 GNSS(global navigation satellite systems)에서의 위성들(예를 들어, 위성(150))로부터 신호들을 수신하는 식으로 수신할 수 있다. 무선 디바이스(110)는 LTE, WCDMA, CDMA 1X, EVDO, TD-SCDMA, GSM, 802.11 등과 같은 무선 통신을 위한 하나 또는 둘 이상의 라디오 기술들을 지원할 수 있다.

[0009] 무선 디바이스(110)는 다수의 캐리어들 상에서의 동작인 캐리어 어그리게이션을 지원할 수 있다. 캐리어 어그리게이션은 또한, 다중-캐리어 동작으로 지칭될 수 있다. 무선 디바이스(110)는 698 내지 960 메가헤르

츠(MHz)의 저-대역, 1475 내지 2170 MHz의 중간-대역 및/또는 2300 내지 2690 MHz 그리고 3400 내지 3800 MHz의 고-대역에서 동작할 수 있다. 저-대역, 중간-대역 및 고-대역은 대역들의 3개의 그룹들(또는 대역 그룹들)을 지칭하며, 각각의 대역 그룹은 다수의 주파수 대역들(또는 간단히, "대역들")을 포함한다. 각각의 대역은 최대 200 MHz를 커버할 수 있으며, 하나 또는 둘 이상의 캐리어들을 포함할 수 있다. 각각의 캐리어는 LTE에서 최대 20 MHz를 커버할 수 있다. LTE 릴리즈 11은 35개의 대역들을 지원하는데, 이 35개의 대역들은 LTE/UMTS 대역들로 지칭되며, 3GPP TS 36.101에서 리스팅된다. 무선 디바이스(110)는 LTE 릴리즈 11에서, 1개 또는 2개의 대역들에서 최대 5개의 캐리어들로 구성될 수 있다.

[0010] [0018] 일반적으로, 캐리어 어그리게이션(CA)은 2개의 타입들, 즉, 대역-내 CA 및 대역-간 CA로 카테고리화될 수 있다. 대역-내 CA는 동일한 대역 내에서의 다수의 캐리어들 상에서의 동작을 지칭한다. 대역-간 CA는 서로 다른 대역들에서의 다수의 캐리어들 상에서의 동작을 지칭한다.

[0011] [0019] 도 2a는 인접한 대역-내 CA의 예를 도시한다. 도 2a에 도시된 예에서, 무선 디바이스(110)는 저-대역에 서의 하나의 대역에서의 4개의 인접한 캐리어들로 구성된다. 무선 디바이스(110)는 동일한 대역 내에서의 다수의 인접한 캐리어들 상에서 송신들을 전송 및/또는 수신할 수 있다.

[0012] [0020] 도 2b는 인접하지 않은 대역-내 CA의 예를 도시한다. 도 2b에 도시된 예에서, 무선 디바이스(110)는 저-대역에서의 하나의 대역에서의 4개의 인접하지 않은 캐리어들로 구성된다. 캐리어들은 5 MHz, 10 MHz 또는 일부 다른 양만큼 분리될 수 있다. 무선 디바이스(110)는 동일한 대역 내에서의 다수의 인접하지 않은 캐리어들 상에서 송신들을 전송 및/또는 수신할 수 있다.

[0013] [0021] 도 2c는 동일한 대역 그룹에서의 대역-간 CA의 예를 도시한다. 도 2c에 도시된 예에서, 무선 디바이스(110)는 저-대역에서의 2개의 대역들에서의 4개의 캐리어들로 구성된다. 무선 디바이스(110)는 동일한 대역 그룹의 서로 다른 대역들에서의 다수의 캐리어들 상에서 송신들을 전송 및/또는 수신할 수 있다.

[0014] [0022] 도 2d는 서로 다른 대역 그룹들에서의 대역-간 CA의 예를 도시한다. 도 2d에 도시된 예에서, 무선 디바이스(110)는 서로 다른 대역 그룹들의 2개의 대역들에서의 4개의 캐리어들로 구성되는데, 이 4개의 캐리어들은 저-대역의 일 대역에서 2개의 캐리어들 및 중간-대역의 다른 대역에서 2개의 캐리어들을 포함한다. 무선 디바이스(110)는 서로 다른 대역 그룹들에서의 서로 다른 대역들에서의 다수의 캐리어들 상에서 송신들을 전송 및/또는 수신할 수 있다.

[0015] [0023] 도 2a 내지 도 2d는 캐리어 어그리게이션의 4개의 예들을 도시한다. 캐리어 어그리게이션은 또한, 대역 그룹들 및 대역들의 다른 결합들에 대해 지원될 수 있다.

[0016] [0024] 도 3은 도 1의 무선 디바이스(110)의 예시적 설계의 블록도를 도시한다. 이 예시적 설계에서, 무선 디바이스(110)는 1차(primary) 안테나(310)에 커플링된 트랜시버(320), 2차(secondary) 안테나(312)에 커플링된 트랜시버(322) 및 데이터 프로세서/제어기(380)를 포함한다. 트랜시버(320)는 다수의 주파수 대역들, 다수의 라디오 기술들, 캐리어 어그리게이션 등을 지원하기 위해 다수(K개)의 수신기들(330pa 내지 330pk) 및 다수(K개)의 송신기들(350pa 내지 350pk)을 포함한다. 트랜시버(322)는 다수의 주파수 대역들, 다수의 라디오 기술들, 캐리어 어그리게이션, 수신 디이버시티, 다수의 송신 안테나들로부터 다수의 수신 안테나들로의 MIMO(multiple-input multiple-output) 송신 등을 지원하기 위해 L개의 수신기들(330sa 내지 330s1) 및 L개의 송신기들(350sa 내지 350s1)을 포함한다.

[0017] [0025] 도 3에 도시된 예시적 설계에서, 각각의 수신기(330)는 LNA(340) 및 수신 회로들(342)을 포함한다. 데이터 수신을 위해, 안테나(310)는 기지국들 및/또는 다른 송신기 스테이션들로부터 신호들을 수신하고, 수신된 RF 신호를 제공하며, 이 수신된 RF 신호는 안테나 인터페이스 회로(324)를 통해 라우팅되며, 입력 RF 신호로서 선택된 수신기에 제공된다. 안테나 인터페이스 회로(324)는 스위치들, 듀플렉서들, 송신 필터들, 수신 필터들, 매칭 회로들 등을 포함할 수 있다. 아래의 설명은 수신기(330pa)가 선택된 수신기라고 가정한다. 수신기(330pa) 내에서, LNA(340pa)는 입력 RF 신호를 증폭시키며, 출력 RF 신호를 제공한다. 수신 회로들(342pa)은 RF로부터 기저대역으로 출력 RF 신호를 하향변환하고, 하향변환된 신호를 증폭시켜 필터링하며, 아날로그 입력 신호를 데이터 프로세서(380)에 제공한다. 수신 회로들(342pa)은 믹서들, 필터들, 증폭기들, 매칭 회로들, 발진기, LO(local oscillator) 생성기, PLL(phase locked loop) 등을 포함할 수 있다. 트랜시버들(320 및 322) 내의 각각의 나머지 수신기(330)는 수신기(330pa)와 유사한 방식으로 동작할 수 있다.

[0018] [0026] 도 3에 도시된 예시적 설계에서, 각각의 송신기(350)는 송신 회로들(352) 및 전력 증폭기(PA)(354)를 포함한다. 데이터 송신을 위해, 데이터 프로세서(380)는 송신될 데이터를 프로세싱(예를 들어, 인코딩 및 변조)

하며, 아날로그 출력 신호를 선택된 송신기에 제공한다. 아래의 설명은 송신기(350pa)가 선택된 송신기라고 가정한다. 송신기(350pa) 내에서, 송신 회로들(352pa)은 아날로그 출력 신호를 증폭시키고 필터링하여 기저대역으로부터 RF로 상향변환하여, 변조된 RF 신호를 제공한다. 송신 회로들(352pa)은 증폭기들, 필터들, 믹서들, 매칭 회로들, 발진기, LO 생성기, PLL 등을 포함할 수 있다. PA(354pa)는 변조된 RF 신호를 수신하여 증폭시켜, 적절한 출력 전력 레벨을 가지는 송신 RF 신호를 제공한다. 송신 RF 신호는 안테나 인터페이스 회로(324)를 통해 라우팅되며, 안테나(310)를 통해 송신된다. 트랜시버들(320 및 322) 내의 각각의 나머지 송신기(350)는 송신기(350pa)와 유사한 방식으로 동작할 수 있다.

[0019] [0027] 도 3은 수신기들(330) 및 송신기들(350)의 예시적 설계를 도시한다. 수신기 및 송신기는 또한, 도 3에 도시되지 않은 다른 회로들, 이를테면, 필터들, 매칭 회로들 등을 포함할 수 있다. 트랜시버들(320 및 322) 전부 또는 일부가 하나 또는 둘 이상의 아날로그 집적 회로(IC)들, RF IC(RFIC)들, 믹싱된-신호 IC들 등에 구현될 수 있다. 예를 들어, LNA들(340) 및 수신 회로들(342)은, RFIC일 수 있는 하나의 모듈에 구현되는 식으로 구현될 수 있다. 트랜시버들(320 및 322) 내의 회로들은 또한, 다른 방식들로 구현될 수 있다.

[0020] [0028] 데이터 프로세서/제어기(380)는 무선 디바이스(110)에 대한 다양한 기능들을 수행할 수 있다. 예를 들어, 데이터 프로세서(380)는 수신기들(330)을 통해 수신되는 데이터 및 송신기들(350)을 통해 송신되는 데이터에 대한 프로세싱을 수행할 수 있다. 제어기(380)는 트랜시버들(320 및 322) 내의 다양한 회로들의 동작을 제어할 수 있다. 메모리(382)는 데이터 프로세서/제어기(380)에 대한 프로그램 코드들 및 데이터를 저장할 수 있다. 데이터 프로세서/제어기(380)가 하나 또는 둘 이상의 ASIC(application specific integrated circuit)들 및/또는 다른 IC들 상에 구현될 수 있다.

[0021] [0029] 무선 디바이스(110)는 하나 또는 둘 이상의 SIMO LNA들을 포함할 수 있다. SIMO LNA는 단일 입력 및 다수(M)개의 출력들을 포함하며, 자신의 입력에서 단일 입력 RF 신호를 수신할 수 있고, 최대 M개의 출력들로부터의 최대 M개의 출력 RF 신호들을 제공할 수 있다. SIMO LNA는 (i) 대역-내 CA에 대한 동일한 대역에서 다수의 캐리어들 상에서 전송된 다수의 송신들 또는 (ii) 서로 다른 무선 시스템들(예를 들어, LTE 및 WCDMA)로부터의 다수의 송신된 신호들을 동시에 수신하기 위해 이용될 수 있다.

[0022] [0030] 도 4는 잡음 분할이 없는 SIMO LNA(440)의 예시적 설계의 블록도를 도시한다. SIMO LNA(440)는 M개의 부하 회로들(490a 내지 490m)에 커플링된 다수(M)개의 증폭기 회로들(450a 내지 450m)을 각각 포함한다. 모든 M개의 증폭기 회로들(450a 내지 450m)의 입력들은 함께 커플링된다. 각각의 증폭기 회로(450)는 전류 버퍼(470)에 커플링된 이득 회로(460)를 포함한다. 각각의 증폭기 회로(450)는 각각의 Venb 제어 신호를 통해 자신의 전류 버퍼(470)를 턴온함으로써 인에이블될 수 있다.

[0023] [0031] 입력 RF 신호(RFin)는 M개의 증폭기 회로들(450a 내지 450m)에 인가될 수 있다. 하나 또는 둘 이상의 증폭기 회로들(450)은 연관된 전류 버퍼들(470)을 턴온함으로써 인에이블될 수 있다. 예를 들어, N개의 증폭기 회로들(450)은 대역-내 CA에 대해 동일한 대역의 캐리어들의 N개의 세트들 상에서의 송신들을 동시에 수신하도록 인에이블될 수 있으며, 여기서, $1 \leq N \leq M$ 이다. 캐리어들의 각각의 세트는 하나 또는 둘 이상의 캐리어들을 포함할 수 있다. 각각의 인에이블되는 증폭기 회로(450)는 입력 RF 신호를 증폭시키고, 출력 RF 신호를 그것의 부하 회로(490)에 제공할 수 있다.

[0024] [0032] SIMO LNA(440) 내의 N개의 인에이블되는 증폭기 회로들(450)은 독립적으로 동작하며, 프로세싱되는 신호들 또는 서로 다른 송신들 사이에 격리(isolation)를 제공하기 위해 서로 분리되는 출력들을 가진다. 각각의 이득 회로(460)는 i_s 의 신호 전류 및 i_n 의 잡음 전류를 출력한다. 각각의 증폭기 회로(450)의 잡음 피겨(NF: noise figure)는 연관된 이득 회로(460)로부터의 잡음 전류 및 신호 전류에 의존한다. 증폭기 회로들(450)은 전형적으로 서로 다른 증폭기 회로들 사이의 입력 매칭 또는 잡음 커플링의 디그라데이션(degradation)으로 인해 단독으로 동작하는 하나의 증폭기 회로(450)와의 비교하여, 동시에 동작할 때 더 나쁜 잡음 피겨를 가진다.

[0025] [0033] 본 개시의 양상에서, 잡음 분할이 있는 SIMO LNA는 다수의 송신들 또는 신호들의 동시 수신을 지원하기 위해 이용될 수 있다. 잡음 분할은, 각각의 출력이 더 적은 잡음을 관측하며 더 양호한/더 낮은 잡음 피겨를 달성할 수 있도록, 다중 출력들 사이에서의 잡음의 "분할"을 지칭한다.

[0026] [0034] 도 5는 전류 버퍼 출력에서의 잡음 분할이 있는 SIMO LNA(540)의 예시적 설계의 블록도를 도시한다. SIMO LNA(540)는 도 3의 하나 또는 둘 이상의 LNA들(340)에 대해 이용될 수 있다. SIMO LNA(540)는 M개의 부하 회로들(590a 내지 590m)에 커플링된 다수(M)개의 증폭기 회로들(550a 내지 550m)을 각각 포함한다. 각각의

증폭기 회로(550)는 전류 버퍼(570)에 커플링된 이득 회로(560)를 포함한다. 각각의 증폭기 회로(550)는 각각의 Venb 제어 신호를 통해 자신의 전류 버퍼(570)를 턴온함으로써 인에이블될 수 있다.

[0027] [0035] 도 5에 도시된 예시적 설계에서, SIMO LNA(540)는 증폭기 회로들(550)의 출력들 사이에 커플링된 상호연결 회로들(580)을 더 포함한다. 각각의 상호연결 회로(580)는 (도 5에 도시된 바와 같은) 스위치(582)로 또는 일부 다른 회로로 구현될 수 있다. 각각의 스위치(582)는 (i) 스위치에 커플링된 2개의 증폭기 회로들(550)을 격리하기 위해 개방되거나 (ii) 2개의 증폭기 회로들(550)의 출력들을 연결시키고 이 증폭기 회로들로부터의 출력 전류들을 가산(sum)하기 위해 폐쇄될 수 있다.

[0028] [0036] 일반적으로, 임의의 수의 증폭기 회로들(550) 및 증폭기 회로들(550) 중 어느 하나는 임의의 주어진 순간에 인에이블될 수 있다. 게다가, 임의의 수의 스위치들(582) 및 스위치들(582) 중 어느 하나는 임의의 주어진 순간에 폐쇄될 수 있다. 주어진 증폭기 회로(550)는 자체적으로 그것의 부하 회로(590)를 구동시킬 수 있다. 대안적으로, 다수의 증폭기 회로들(550)은 자신들의 출력들이 자신들의 폐쇄된 스위치들(582)을 통해 함께 커플링되게 할 수 있으며, 이들의 부하 회로들(590)을 집합적으로 구동시킬 수 있다. 자신들의 출력들이 함께 커플링되게 하는 증폭기 회로들(550)의 잡음 피겨들은 잡음 분할을 통해 개선될 수 있다.

[0029] [0037] 모든 스위치들(582)이 개방되면, 각각의 증폭기 회로(550)는 단지 그것의 부하 회로(590)만을 구동시킬 수 있다. 각각의 증폭기 회로(550)에 의해 그것의 부하 회로(590)에 제공되는 출력 전류는 다음과 같이 표현될 수 있다:

$$i_m = i_{s,m} + i_{n,m} \quad \text{수식(1)}$$

[0031] 여기서, $i_{s,m}$ 은 제 m 증폭기 회로(550)로부터의 신호 전류이고,

[0032] $i_{n,m}$ 은 제 m 증폭기 회로(550)로부터의 잡음 전류이고,

[0033] i_m 은 제 m 증폭기 회로(550)로부터의 출력 전류이다.

[0034] [0038] 각각의 부하 회로(590)에서의 잡음 전력은 다음과 같이 표현될 수 있다:

$$P_{noise,m} \approx i_{n,m}^2 * R_{load} \quad \text{수식(2)}$$

[0036] 여기서, R_{load} 는 각각의 부하 회로(590)의 임피던스이고,

[0037] $P_{noise,m}$ 은 잡음 분할이 없는 제 m 부하 회로(590)에서의 잡음 전력이다.

[0038] [0039] 모든 스위치들(582)이 폐쇄되면, 모든 M 개의 증폭기 회로들(550a 내지 550m)의 출력들은 가산 노드(summing node) X에서 함께 쇼트된다. 이러한 경우, 가산 노드에서의 총 전류 i_{total} 은 다음과 같이 표현될 수 있다:

$$\begin{aligned} i_{total} &= (i_{s,1} + i_{n,1}) + (i_{s,2} + i_{n,2}) + \dots + (i_{s,M} + i_{n,M}) \\ &\approx M * i_s + (i_{n,1} + i_{n,2} + \dots + i_{n,M}) \end{aligned} \quad \text{수식(3)}$$

[0040] 여기서, i_s 는 각각의 증폭기 회로(550)로부터의 평균 신호 전류이고,

[0041] i_{total} 은 모든 M 개의 증폭기 회로들(550a 내지 550m)로부터의 총 전류이다.

[0042] [0040] M 개의 증폭기 회로들(550a 내지 550m)로부터의(또는 더 구체적으로, M 개의 이득 회로들(560a 내지 560m)로부터의) 신호 전류들($i_{s,1}$ 내지 $i_{s,M}$)은, 이들이 모든 M 개의 증폭기 회로들(550)에 인가되는 동일한 입력 RF 신호에 기초하여 생성될 수 있기 때문에, 유사하여야 한다. 따라서, 총 신호 전류는 대략 $M * i_s$ 와 동일할

수 있다. M개의 증폭기 회로들(550a 내지 550m)로부터의 잡음 전류들($i_{n,1}$ 내지 $i_{n,M}$)은 상관되지 않아야 한다. 따라서, 총 잡음 전류는 M개의 증폭기 회로들(550a 내지 550m)로부터의 잡음 전류들의 합과 동일하다.

[0043] 가산 노드에서의 총 전류는 분할되어, M개의 부하 회로들(590a 내지 590m)에 제공될 수 있다. 각각의 부하 회로(590)에 의해 수신된 전류는 다음과 같이 표현될 수 있다:

$$i_{load} = \frac{i_{total}}{M} \approx i_d + \frac{(i_{n,1} + i_{n,2} + \dots + i_{n,M})}{M}$$

수식(4)

[0045] 여기서, i_{load} 는 각각의 부하 회로(590)에 제공된 부하 전류이다.

[0046] M개의 증폭기 회로들(550a 내지 550m)로부터의 잡음 전류들은 상관되지 않아야 하고, 보강적으로 또는 상쇄적으로 더해질 수 있다. 따라서, 각각의 부하 회로(590)에서의 잡음 전력은 다음과 같이 표현될 수 있다:

$$P_{noise} \approx \frac{i_n^2 * R_{load}}{M}$$

수식(5)

[0048] 여기서, i_n 은 각각의 증폭기 회로(570)로부터의 평균 잡음 전류이고,

[0049] P_{noise} 는 잡음 분할이 있는 각각의 부하 회로(590)에서의 잡음 전력이다.

[0050] [0043] 수식들(2) 및 (5)에 도시된 바와 같이, 잡음 분할은 M배만큼 각각의 부하 회로(590)에서의 잡음 전력을 감소시킬 수 있는데, M은 자신들의 출력들이 함께 쇼트되게 하는 증폭기 회로들(550)의 수에 대응한다. 잡음 전력의 감소는 상관되지 않는 M개의 증폭기 회로들(550a 내지 550m)로부터의 잡음 전류들로 인한 것이다. 각각의 부하 회로(590)에서의 신호 전력은 증폭기 회로들(550)의 출력들이 함께 쇼트되는지 아닌지에 관계없이 대략 동일할 수 있다. 잡음 분할이 있거나 잡음 분할이 없는 일정한 신호 전력은, 유사하거나 높게 상관되는 M개의 증폭기 회로들(550a 내지 550m)로부터의 신호 전류들로 인한 것이다. 신호 전력은 대략 동일한 반면, 잡음 전력은 잡음 분할에 의해 M배 감소되기 때문에, 각각의 부하 회로(590)에서의 잡음 피겨는 잡음 분할에 의해 개선될 수 있다.

[0051] [0044] 전류 버퍼 출력에서의 잡음 분할이 있는 SIMO LNA(540)는 다양한 회로 아키텍처들로 구현될 수 있다. SIMO LNA(540)의 일부 예시적 설계들은 아래에서 설명된다. SIMO LNA(540)는 또한, 다양한 타입들의 트랜지스터들로 구현될 수 있다. NMOS(N-channel metal oxide semiconductor) 트랜지스터들로 구현되는 SIMO LNA(540)의 일부 예시적 설계들은 아래에서 설명된다.

[0052] [0045] 도 6a는 전류 버퍼 출력에서 별개의 유도성 디제너레이션(inductive degeneration) 및 잡음 분할이 있는 SIMO LNA(640a)의 예시적 설계의 개략도를 도시한다. SIMO LNA(640a)는 도 5의 SIMO LNA(540)의 일 예시적 설계이다. SIMO LNA(640a)는 2개의 증폭기 회로들(650a 및 650b) 및 스위치(682a)를 포함한다. 각각의 증폭기 회로(650)는 이득 회로(660) 및 전류 버퍼(670)를 포함한다. SIMO LNA(640a)는 입력 RF 신호를 수신하고, 입력 RF 신호는 증폭기 회로들(650a 및 650b) 둘 모두에 인가된다. 입력 RF 신호는 캐리어 어그리게이션을 위한, 캐리어들의 하나 또는 두 세트를 상에서의 송신들을 포함할 수 있는데, 각각의 세트는 하나 또는 둘 이상의 캐리어들을 포함한다. 대안적으로, 입력 RF 신호는 동시에 수신될 (예를 들어, 2개의 무선 시스템들로부터의) 2개의 송신된 신호들을 포함할 수 있다.

[0053] [0046] 도 6a에 도시된 예시적 설계에서, 각각의 이득 회로(660)는 이득 트랜지스터(664) 및 소스 디제너레이션 인덕터(666)를 포함한다. 이득 회로(660a) 내에서, 이득 트랜지스터(664a)는 입력 RF 신호를 수신하는 그것의 게이트를 가지고, 그것의 소스는 인덕터(666a)의 한 종단에 커플링되고, 그것의 드레인은 이득 회로(660a)의 출력을 형성한다. 인덕터(666a)의 다른 종단은 회로 접지에 커플링된다. 도 6a에 도시된 예시적 설계에서, 각각의 전류 버퍼(670)는 캐스코드 트랜지스터(674)를 포함한다. 전류 버퍼(670a) 내에서, 캐스코드 트랜지스터(674a)는, 전류 버퍼(670a)의 입력을 형성하고 이득 트랜지스터(664a)의 드레인에 커플링되는 그것의 소스, Venb1 제어 신호를 수신하는 그것의 게이트, 및 전류 버퍼(670a)의 출력을 형성하고 부하 회로(690a)에 커플링되는 그것의 드레인을 가진다. 증폭기 회로(650b)는 이득 트랜지스터(664b), 소스 디제너레이션 인덕터(666b) 및 캐스코드 트랜지스터(674b)를 포함하고, 이들은 증폭기 회로(650a) 내의 이득 트랜지스터(664a), 인덕터

(666a) 및 캐스코드 트랜지스터(674a)와 유사한 방식으로 커플링된다. 이득 트랜지스터들(664) 및 캐스코드 트랜지스터들(674)은 도 6a에 도시된 바와 같이, NMOS 트랜지스터들로 또는 다른 타입들의 트랜지스터들로 구현될 수 있다.

[0047] 도 6a에 도시된 예시적 설계에서, 스위치(682a)는 NMOS 트랜지스터들(684a, 684b 및 686)을 포함한다. NMOS 트랜지스터(684a)는 노드 A에 커플링된 그것의 드레인, $\overline{S_w}$ 제어 신호를 수신하는 그것의 게이트 및 전류 버퍼(670a)의 출력인 캐스코드 트랜지스터(674a)의 드레인에 커플링된 그것의 소스를 가진다. NMOS 트랜지스터(684b)는 노드 A에 커플링된 그것의 드레인, S_w 제어 신호를 수신하는 그것의 게이트 및 전류 버퍼(670b)의 출력인 캐스코드 트랜지스터(674b)의 드레인에 커플링된 그것의 소스를 가진다. NMOS 트랜지스터(686)는 노드 A에 커플링된 그것의 드레인, $\overline{S_w}$ 제어 신호를 수신하는 그것의 게이트 및 회로 접지에 커플링된 그것의 소스를 가진다. $\overline{S_w}$ 신호는 S_w 신호와 상보적이다. 스위치(682a)는 그것이 폐쇄될 때, 낮은 저항을 가질 필요가 없다. 특히, 스위치(682a)의 온 저항은 부하 회로(690)의 임피던스에 비해 낮아야 한다. 스위치(682a)는 (i) S_w 신호 상의 높은 전압으로 NMOS 트랜지스터들(684a 및 684b)을 터온하고, (ii) $\overline{S_w}$ 신호 상의 낮은 전압으로 NMOS 트랜지스터(686)를 터오프함으로써 폐쇄될 수 있다. 반대로, 스위치(682a)는 (i) S_w 신호 상의 낮은 전압을 가지는 NMOS 트랜지스터들(684a 및 684b)을 터오프하고, (ii) $\overline{S_w}$ 신호 상의 높은 전압을 가지는 NMOS 트랜지스터(686)를 터온함으로써 개방될 수 있다.

[0048] 증폭기 회로들(650a 및 650b)은 또한, 다른 방식들로 구현될 수 있다. 또 다른 예시적 설계에서, 증폭기 회로는 (소스 디제너레이션 인덕터 대신에) 회로 접지에 직접 커플링된 그것의 소스를 가지는 이득 트랜지스터를 포함할 수 있다. 또 다른 예시적 설계에서, 증폭기 회로는, 별도로 커플링되고 입력 RF 신호를 수신하는 이들의 게이트들을 가지는 2개의 이득 트랜지스터들을 포함할 수 있다. 제 1 이득 트랜지스터는 도 6a에 도시된 바와 같이, 소스 디제너레이션 인덕터에 커플링된 그것의 소스를 가질 수 있다. 제 2 이득 트랜지스터는 회로 접지에 직접 커플링된 그것의 소스를 가질 수 있다. 제 1 또는 제 2 이득 트랜지스터는 입력 RF 신호의 수신된 전력에 의존하여 선택될 수 있다.

[0049] 도 6a에 도시된 예시적 설계에서, 각각의 부하 회로(690)는 1차 코일(694) 및 2차 코일(696)을 포함하는 트랜스포머(692)를 포함한다. 코일은 또한, 인덕터 코일, 와인딩(winding), 컨덕터 등으로 지칭될 수 있다. 부하 회로(690a) 내에서, 트랜스포머(692a)는 (i) 증폭기 회로(650a)의 출력과 파워 서플라이(VDD) 사이에 커플링된 1차 코일(694a) 및 (ii) 제 1 차동 증폭 RF 신호를 제 1 다운컨버터(도 6a에 도시되지 않음)에 제공하는 2차 코일(696a)을 포함한다. 부하 회로(690b)는 (i) 증폭기 회로(650b)의 출력과 VDD 서플라이 사이에 커플링된 1차 코일(694b) 및 (ii) 제 2 차동 증폭 RF 신호를 제 2 다운컨버터(도 6a에 도시되지 않음)에 제공하는 2차 코일(696b)을 가지는 트랜스포머(692b)를 포함한다. 각각의 다운컨버터는 RF로부터 기저대역 또는 중간 주파수로의 증폭 RF 신호의 쿼드러쳐 다운컨버전(quadrature downconversion)을 수행하기 위한 2개의 미셔들을 포함할 수 있다.

[0050] 부하 회로들(690)은 또한, 다른 방식들로 구현될 수 있다. 또 다른 예시적 설계에서, 부하 회로는 증폭기 회로의 출력과 VDD 서플라이 사이에 커플링된 인덕터 및 가능하게는 캐패시터를 포함할 수 있다. 또 다른 예시적 설계에서, 부하 회로는, VDD 서플라이에 커플링된 그것의 소스 및 캐스코드 트랜지스터(674)의 드레인에 커플링된 그것의 드레인을 가지는 PMOS(P-channel metal oxide semiconductor) 트랜지스터를 포함할 수 있다. PMOS 트랜지스터는 캐스코드 트랜지스터(674)에 대한 액티브 부하를 제공할 수 있다.

[0051] 간략화를 위해, 도 6a는 2개의 부하 회로들(690a 및 690b)에 커플링된 2개의 증폭기 회로들(650a 및 650b)을 포함하는 SIMO LNA(640a)를 도시한다. SIMO LNA(640a)는 2개 초파의 부하 회로들(690)에 커플링된 2개 초파의 증폭기 회로들(650)을 포함할 수 있다.

[0052] SIMO LNA(640a)는 단일-출력 모드 또는 다중-출력 모드에서 동작할 수 있다. 단일-출력 모드에서, SIMO LNA(640a)는 입력 RF 신호를 수신하며, 하나의 출력 RF 신호를 하나의 부하 회로(690)에 제공한다. 단일-출력 모드는 (i) 캐리어 어그리게이션을 이용하지 않는 하나의 캐리어 상에서의 송신, 또는 (ii) 대역-간 CA에 대한 서로 다른 대역들에서의 캐리어들의 다수의 세트들 상에서의 송신들 중 한 세트의 캐리어들 상에서의 송신, 또는 (iii) 하나의 무선 시스템으로부터 송신된 신호를 수신하는데 이용될 수 있다. 다중-출력 모드에서, SIMO LNA(640a)는 입력 RF 신호를 수신하며, 2개의 출력 RF 신호들을 2개의 부하 회로들(690)에 제공한다. 다중-출

력 모드는 (i) 대역-내 CA에 대한 캐리어들의 2개의 세트들 상에서의 송신들 또는 (ii) 2개의 무선 시스템들로부터 2개의 송신된 신호들을 수신하는데 이용될 수 있다.

[0060] 도 6b는 RFout1이 인에이블되는 단일-출력 모드에서의 SIMO LNA(640a)의 동작을 도시한다. 이러한 경우, 캐스코드 트랜지스터(674a)는 턴온되고, 캐스코드 트랜지스터(674b)는 턴오프된다. 게다가, 스위치(682a)는, 트랜지스터들(684a 및 684b)을 턴오프하고 트랜지스터(686)를 턴온함으로써 개방된다. 증폭기 회로(650a)는 입력 RF 신호를 증폭시키며, 제 1 출력 RF 신호(RFout1)를 제공한다. 증폭기 회로(650a)는 개방된 스위치(682a)를 통해 증폭기 회로(650b)로부터 격리된다.

[0061] 도 6c는 RFout2가 인에이블되는 단일-출력 모드에서의 SIMO LNA(640a)의 동작을 도시한다. 이러한 경우, 캐스코드 트랜지스터(674b)는 턴온되고, 캐스코드 트랜지스터(674a)는 턴오프되며, 스위치(682a)는 개방된다. 증폭기 회로(650b)는 입력 RF 신호를 증폭시키며, 제 2 출력 RF 신호(RFout2)를 제공한다. 증폭기 회로(650b)는 개방된 스위치(682a)를 통해 증폭기 회로(650a)로부터 격리된다.

[0062] 도 6d는 다중-출력 모드에서의 SIMO LNA(640a)의 동작을 도시한다. 이러한 경우, 캐스코드 트랜지스터들(674a 및 674b) 둘 모두는 턴온된다. 게다가, 스위치(682a)는, 트랜지스터들(684a 및 684b)을 턴온하고 트랜지스터(686)를 턴오프함으로써 폐쇄된다. 증폭기 회로들(650a 및 650b)은 입력 RF 신호를 증폭시키고, 이들의 출력 전류들은 가산된다. 총 전류의 대략 절반은 RFout1 신호로서 제공된다. 나머지 전류는 RFout2 신호로서 제공된다.

[0063] 도 7a는 전류 버퍼 출력에서 별개의 유도성 디제너레이션 및 잡음 분할이 있는 SIMO LNA(640b)의 예시적 설계의 개략도를 도시한다. SIMO LNA(640b)는 도 5의 SIMO LNA(540)의 또 다른 예시적 설계이다. SIMO LNA(640b)는 2개의 증폭기 회로들(650a 및 650b) 및 스위치(682b)를 포함한다. 각각의 증폭기 회로(650)는 (i) 이득 트랜지스터(664) 및 소스 디제너레이션 인덕터(666)를 포함하는 이득 회로(660) 및 (ii) 캐스코드 트랜지스터(674)를 포함하는 전류 버퍼(670)를 포함한다. 스위치(682b)는 증폭기 회로(650a)의 출력에 커플링된 그것의 소스, Sw 제어 신호를 수신하는 그것의 게이트 및 증폭기 회로(650b)의 출력에 커플링된 그것의 드레인을 가지는 NMOS 트랜지스터(688)를 포함한다. MOS 트랜지스터(예를 들어, NMOS 트랜지스터(688))는 대칭적 구조로 구현될 수 있고, MOS 트랜지스터의 소스 및 드레인은 상호교환 가능할 수 있다. SIMO LNA(640b)는 도 6b 내지 도 6d에 대해 위에서 설명된 바와 같이, 단일-출력 모드 또는 다중-출력 모드에서 동작할 수 있다.

[0064] 도 6a 및 도 7a는 2개의 증폭기 회로들의 출력들을 셔트시키는데 이용될 수 있는 스위치의 2개의 예시적 설계들을 도시한다. 스위치는 또한, 다른 방식들로 구현될 수 있다. 또 다른 예시적 설계에서, 캐패시터 및/또는 레지스터는 하나 또는 둘 이상의 MOS 트랜지스터들과 직렬로 커플링될 수 있고, 이러한 직렬 결합은 2개의 증폭기 회로들의 출력들 사이에 커플링될 수 있다. 캐패시터 및/또는 레지스터는 잡음 피겨에서의 트레이드오프를 이용하여 격리를 개선할 수 있다.

[0065] 도 7b는 전류 버퍼 출력에서 공유되는 유도성 디제너레이션 및 잡음 분할이 있는 SIMO LNA(640c)의 예시적 설계의 개략도를 도시한다. SIMO LNA(640c)는 도 5의 SIMO LNA(540)의 또 다른 예시적 설계이다. SIMO LNA(640c)는 2개의 증폭기 회로들(652a 및 652b) 및 스위치(682a)를 포함한다. 각각의 증폭기 회로(652)는 (i) 이득 트랜지스터(664)를 포함하는 이득 회로(662) 및 (ii) 캐스코드 트랜지스터(674)를 포함하는 전류 버퍼(670)를 포함한다. 이득 회로들(662a 및 662b) 내의 이득 트랜지스터들(664a 및 664b)은 이득 트랜지스터들(664a 및 664b)의 소스들에 커플링된 한 종단 및 회로 접지에 커플링된 다른 종단을 가지는 소스 디제너레이션 인덕터(666)를 공유한다. SIMO LNA(640c)는 도 6b 내지 도 6d에 대해 위에서 설명된 바와 같이, 단일-출력 모드 또는 다중-출력 모드에서 동작할 수 있다.

[0066] 도 7c는 전류 버퍼 출력에서 잡음 분할이 있는 SIMO LNA(640c) 및 트랜스포머-기반 신호 분할이 있는 부하 회로(691)의 예시적 설계의 개략도를 도시한다. SIMO LNA(640c)는 소스 디제너레이션 인덕터(666)뿐만 아니라 스위치(682a)를 공유하는 2개의 증폭기 회로들(652a 및 652b)을 포함하고, 이들은 도 7b에 설명된 바와 같이 커플링된다. 부하 회로(691)는 증폭기 회로들(652a 및 652b)에 커플링된다. 도 7c에 도시된 예시적 설계에서, 부하 회로(691)는 1차 코일(693) 및 2개의 2차 코일들(695a 및 695b)을 가지는 트랜스포머를 포함한다. 1차 코일(693)은 증폭기 회로(652a)의 출력에 커플링된 하나의 종단, 증폭기 회로(652b)의 출력에 커플링된 다른 종단 및 VDD 서플라이에 커플링된 센터 탭(center tap)을 가진다. 2차 코일들(695a 및 695b)은 1차 코일(693)에 자기적으로 커플링된다. 2차 코일(695a)은 제 1 차동 증폭 RF 신호를 제 1 다운컨버터에 제공한다. 2차 코일(695b)은 제 2 차동 증폭 RF 신호를 제 2 다운컨버터에 제공한다. 예시적 설계에서, 2차 코일들(695a 및 695b)은 서로에 관해 대칭적일 수 있다.

[0067]

[0060] 도 8은 이득 회로 출력에서 잡음 분할이 있는 SIMO LNA(840)의 예시적 설계의 블록도를 도시한다. SIMO LNA(840)는 도 3의 하나 또는 둘 이상의 LNA들(340)에 대해 이용될 수 있다. SIMO LNA(840)는 M개의 부하 회로들(890a 내지 890m)에 각각 커플링되는 다수(M개)의 증폭기 회로들(850a 내지 850m)을 포함한다. 각각의 증폭기 회로(850)는 전류 베퍼(870)에 커플링된 이득 회로(860)를 포함한다. 각각의 증폭기 회로(850)는 각각의 Venb 제어 신호를 통해 그것의 전류 베퍼(870)를 턴온함으로써 인에이블될 수 있다.

[0068]

[0061] 도 8에 도시된 예시적 설계에서, SIMO LNA(840)는 이득 회로들(860)의 출력들 사이의 상호연결 회로들(880)을 더 포함한다. 상호연결 회로들(880)은 모든 인에이블되는 이득 회로들(860)로부터의 출력 전류들이 함께 가산되게 한다. 그 다음, 모든 인에이블되는 이득 회로들(860)로부터의 총 전류는 모든 인에이블되는 증폭기 회로들(850)의 전류 베퍼들(870) 사이에서 분할될 수 있다. 상호연결 회로들(880)은 아래에서 설명되는 바와 같은 다양한 방식들로 구현될 수 있다.

[0069]

[0062] 이득 회로 출력에서 잡음 분할이 있는 SIMO LNA(840)는 다양한 회로 아키텍처들 및 다양한 타입들의 트랜지스터들로 구현될 수 있다. NMOS 트랜지스터들로 구현되는 SIMO LNA(840)의 일부 예시적 설계들이 아래에서 설명된다.

[0070]

[0063] 도 9a는 이득 회로 출력에서 별개의 유도성 디제너레이션 및 잡음 분할이 있는 SIMO LNA(940a)의 예시적 설계의 개략도를 도시한다. SIMO LNA(940a)는 도 8의 SIMO LNA(840)의 일 예시적 설계이다. SIMO LNA(940a)는 2개의 증폭기 회로들(950a 및 950b), 및 AC 커플링 캐패시터(982)로 구현되는 상호연결 회로(980a)를 포함한다. 각각의 증폭기 회로(950)는 (i) 이득 트랜지스터(964) 및 소스 디제너레이션 인덕터(966)를 포함하는 이득 회로(960) 및 (ii) 캐스코드 트랜지스터(974)를 포함하는 전류 베퍼(970)를 포함한다. 캐패시터(982)는 이득 회로들(960a 및 960b)의 출력들 사이에 커플링되며, 이득 회로들(960a 및 960b)의 출력들을 전기적으로 쇼트시키도록 작동한다. 전류 베퍼들(970a 및 970b)이 격리를 제공할 수 있기 때문에, 이득 회로들(960)의 출력들은 스위치들을 이용할 필요성 없이, 캐패시터(982)를 통해 함께 효과적으로 쇼트될 수 있다. SIMO LNA(940a)는 입력 RF 신호를 수신하는데, 이는 증폭기 회로들(950a 및 950b) 둘 모두에 인가된다. 증폭기 회로들(950a 및 950b)은 2개의 출력 RF 신호들(RFout1 및 RFout2)을 각각 제공한다.

[0071]

[0064] 도 9a는 상호연결 회로(980a)가 캐패시터(982)로 구현되는 예시적 설계를 도시한다. 캐패시터(982)는 그것의 임피던스가 캐스코드 트랜지스터들(974)의 트랜스컨덕턴스(또는 $1/g_m$)에 비해 작도록 충분히 커야한다. 상호연결 회로는 또한, 다른 회로들과 다른 방식들로 구현될 수 있다.

[0072]

[0065] SIMO LNA(940a)는 단일-출력 모드 또는 다중-출력 모드에서 동작할 수 있다. 단일-출력 모드에서, SIMO LNA(940a)는 입력 RF 신호를 수신하며, RFout1 또는 RFout2일 수 있는 하나의 출력 RF 신호를 제공한다. 다중-출력 모드에서, SIMO LNA(940a)는 입력 RF 신호를 수신하며, 2개의 출력 RF 신호들(RFout1 및 RFout2)을 제공한다.

[0073]

[0066] 도 9b는 이득 회로 출력에서 공유된 유도성 디제너레이션 및 잡음 분할이 있는 SIMO LNA(940b)의 예시적 설계의 개략도를 도시한다. SIMO LNA(940b)는 도 8의 SIMO LNA(840)의 또 다른 예시적 설계이다. SIMO LNA(940b)는 2개의 증폭기 회로들(952a 및 952b) 및 상호연결 회로(980a)를 포함한다. 각각의 증폭기 회로(952)는 (i) 이득 트랜지스터(964)를 포함하는 이득 회로(962) 및 (ii) 캐스코드 트랜지스터(974)를 포함하는 전류 베퍼(970)를 포함한다. 이득 회로들(962a 및 962b) 내의 이득 트랜지스터들(964a 및 964b)은 이득 트랜지스터들(964a 및 964b)의 소스들에 커플링된 한 종단 및 회로 접지에 커플링된 다른 종단을 가지는 소스 디제너레이션 인덕터(966)를 공유한다. SIMO LNA(940b)는 단일-출력 모드 또는 다중-출력 모드에서 동작할 수 있다.

[0074]

[0067] 도 9c는 이득 회로 출력에서 공유된 유도성 디제너레이션 및 잡음 분할이 있는 SIMO LNA(940c)의 예시적 설계의 개략도를 도시한다. SIMO LNA(940c)는 도 8의 SIMO LNA(840)의 또 다른 예시적 설계이다. SIMO LNA(940c)는 2개의 증폭기 회로들(952a 및 952b), 소스 디제너레이션 인덕터(966) 및 상호연결 회로(980b)를 포함한다. 상호연결 회로(980b)는 2개의 크로스-커플링된 캐스코드 트랜지스터들(984a 및 984b)을 포함한다. 캐스코드 트랜지스터(984a)는 이득 트랜지스터(964a)의 드레인에 커플링된 그것의 소스, Venb12 제어 신호를 수신하는 그것의 게이트 및 증폭기 회로(952b)의 출력에 커플링된 그것의 드레인을 가진다. 캐스코드 트랜지스터(984b)는 이득 트랜지스터(964b)의 드레인에 커플링된 그것의 소스, Venb21 제어 신호를 수신하는 그것의 게이트 및 증폭기 회로(952a)의 출력에 커플링된 그것의 드레인을 가진다.

[0075]

[0068] SIMO LNA(940c)는 단일-출력 모드 또는 다중-출력 모드에서 동작할 수 있다. RFout1이 인에이블되는 단일-출력 모드에서, 증폭기 회로(952a)는 인에이블될 수 있고, 증폭기 회로(952b)는 디스에이블될 수 있으며,

NMOS 트랜지스터들(984a 및 984b)은 턴오프될 수 있고, 증폭기 회로(952a)는 RFout1 신호를 제공할 수 있다. 대안적으로, 증폭기 회로(952a)는 인에이블될 수 있고, 이득 트랜지스터(964b) 및 캐스코드 트랜지스터(984b)는 인에이블될 수 있으며, 캐스코드 트랜지스터들(974b 및 984a)은 디스에이블될 수 있고, 증폭기 회로(952a)는 RFout1 신호를 제공할 수 있다.

[0076] [0069] RFout2가 인에이블되는 단일-출력 모드에서, 증폭기 회로(952b)는 인에이블될 수 있고, 증폭기 회로(952a)는 디스에이블될 수 있으며, NMOS 트랜지스터들(984a 및 984b)은 턴오프될 수 있고, 증폭기 회로(952b)는 RFout2 신호를 제공할 수 있다. 대안적으로, 증폭기 회로(952b)는 인에이블될 수 있고, 이득 트랜지스터(964a) 및 캐스코드 트랜지스터(984a)는 인에이블될 수 있으며, 캐스코드 트랜지스터들(974a 및 984b)은 디스에이블될 수 있고, 증폭기 회로(952b)는 RFout2 신호를 제공할 수 있다.

[0077] [0070] 다중-출력 모드에서, 증폭기 회로들(952a 및 952b) 둘 모두가 인에이블될 수 있고, NMOS 트랜지스터들(984a 및 984b)은 인에이블될 수 있으며, 증폭기 회로들(952a 및 952b)은 RFout1 및 RFout2 신호들을 각각 제공할 수 있다. 다중-출력 모드에서, 이득 회로(962a)는 그 출력 전류의 절반을 캐스코드 트랜지스터(974a)에 제공하고, 그 출력 전류의 다른 절반을 캐스코드 트랜지스터(984a)에 제공할 수 있다. 유사하게, 이득 회로(962b)는 그 출력 전류의 절반을 캐스코드 트랜지스터(974b)에 제공하고, 그 출력 전류의 다른 절반을 캐스코드 트랜지스터(984b)에 제공할 수 있다. 캐스코드 트랜지스터들(974a 및 984b)로부터의 전류들은 증폭기 회로(952a)의 출력에서 가산될 수 있다. 캐스코드 트랜지스터들(974b 및 984a)로부터의 전류들은 증폭기 회로(952b)의 출력에서 가산될 수 있다. 캐스코드 트랜지스터들(984a 및 984b)은, 낮은 임피던스를 이득 트랜지스터들(964a 및 964b)에 제공하면서, 이득 트랜지스터들(964a 및 964b)의 드레인들을 함께 효과적으로 쇼트시킨다. 증폭기 회로들(952a 및 952b)의 잡음 피겨들은, 캐스코드 트랜지스터들(984a 및 984b)을 턴온하고 다중-출력 모드에서 이득 트랜지스터들(964a 및 964b)의 출력 전류들을 분할함으로써, 획득된 잡음 분할을 통해 개선될 수 있다.

[0078] [0071] 도 9a 및 도 9c는 이득 회로들(960) 사이의 상호연결 회로(980)의 2개의 예시적 설계들을 도시한다. 이득 회로들 사이의 상호연결 회로는 또한, 다른 방식들로 구현될 수 있다. 또 다른 예시적 설계에서, 상호연결 회로는 NMOS 트랜지스터로 구현될 수 있고, 이는 도 7a의 NMOS 트랜지스터(688)에 대해 도시된 바와 같이 커플링될 수 있다. 또 다른 예시적 설계에서, 상호연결 회로는 2개의 직렬 NMOS 트랜지스터들 및 센트 NMOS 트랜지스터로 구현될 수 있는데, 이는 도 6a의 직렬 NMOS 트랜지스터들(684a 및 684b) 및 센트 NMOS 트랜지스터(686)에 대해 도시되는 바와 같이 커플링될 수 있다. 상호연결 회로는 다양한 방식들로 구현될 수 있으며, 상호연결 회로에서 볼 때 낮은 임피던스를 가져야 한다.

[0079] [0072] 도 6a 내지 도 9c는 이득 트랜지스터 및 캐스코드 트랜지스터를 포함하는 LNA의 몇몇 예시적 설계들을 도시한다. 또 다른 예시적 설계에서, LNA는 인버터와 유사한 방식으로 커플링된 NMOS 트랜지스터 및 PMOS(P-channel metal oxide semiconductor) 트랜지스터를 포함할 수 있다. 또 다른 예시적 설계에서, LNA는 차동 페어를 포함할 수 있다. LNA는 또한, 다른 방식들로 구현될 수 있다.

[0080] [0073] 본원에 설명되는 잡음 분할이 있는 SIMO LNA들은 다양한 애플리케이션들에 대해 이용될 수 있다. SIMO LNA들은 캐리어 어그리게이션을 위한, (예를 들어, 동일한 대역에서의) 다수의 캐리어들 상에서의 송신들을 수신하는데 이용될 수 있다. SIMO LNA들은 또한, 다수의 무선 시스템들(예를 들어, LTE 및 GSM, EVDO 및 CDMA 1X, WLAN 및 Bluetooth 등)로부터 (예를 들어, 동일한 대역에서) 송신된 신호들을 동시에 수신하는데 이용될 수 있다. SIMO LNA들은 또한, 서로 다른 서비스들에 대한 송신들(예를 들어, 음성 및 데이터)을 동시에 수신하는데 이용될 수 있다. SIMO LNA들은 단일-출력 모드에서 단일 출력 RF 신호를 제공하거나, 다중-출력 모드에서 다중 출력 RF 신호들을 제공할 수 있다.

[0081] [0074] 본원에 설명된 잡음 분할이 있는 SIMO LNA들은 다양한 이점들을 제공할 수 있다. 첫째, 이러한 SIMO LNA들은 선형성과 같은 다른 성능 메트릭들을 희생하지 않고 잡음 분할로 인한 더 양호한 잡음 피겨를 가질 수 있다. 둘째, SIMO LNA들은 작은 추가 다이 면적으로 구현될 수 있으며, 전류 소비를 증가시키지 않는다. 셋째, 잡음 분할은 동일한 입력 RF 신호를 공유하는 둘 또는 셋 이상의 증폭기 회로들을 가지는 임의의 회로에 인가될 수 있다.

[0082] [0075] 예시적 설계에서, 장치(예를 들어, 무선 디바이스, IC, 회로 모듈 등)는 복수의 증폭기 회로들 및 적어도 하나의 상호연결 회로를 포함할 수 있다. 복수의 증폭기 회로들(예를 들어, 도 5의 증폭기 회로들(550a 내지 550m) 또는 도 8의 증폭기 회로들(850a 내지 850m))은 자신들의 입력들이 함께 커플링되게 할 수 있으며, 입력 RF 신호를 수신할 수 있다. 적어도 하나의 상호연결 회로(예를 들어, 도 5의 상호연결 회로들(580) 또는 도

8의 상호연결 회로들(880))는 적어도 하나의 상호연결 회로에 커플링된 복수의 증폭기 회로들 중 적어도 2개를 쇼트시킬 수 있다. 각각의 상호연결 회로는 그 상호연결 회로에 커플링된 2개의 증폭기 회로들의 내부 노드들 또는 출력들을 쇼트시키도록 폐쇄될 수 있다.

[0083] [0076] 예시적 설계에서, 복수의 증폭기 회로들은 복수의 이득 회로들(예를 들어, 도 5의 이득 회로들(560) 또는 도 8의 이득 회로들(860)) 및 복수의 전류 베퍼들(예를 들어, 도 5의 전류 베퍼들(570) 또는 도 7의 전류 베퍼들(870))을 포함할 수 있다. 각각의 증폭기 회로는 하나의 전류 베퍼에 커플링된 하나의 이득 회로를 포함할 수 있다. 예시적 설계에서, 각각의 이득 회로는, 입력 RF 신호를 수신하고 이득 회로가 인에이블될 때 증폭된 신호를 제공하는 이득 트랜지스터를 포함할 수 있다. 예시적 설계에서, 각각의 전류 베퍼는, 연관된 이득 회로로부터 증폭된 신호를 수신하고, 전류 베퍼가 인에이블될 때 출력 RF 신호를 제공하는 캐스코드 트랜지스터를 포함할 수 있다.

[0084] [0077] 예시적 설계에서, 복수의 증폭기 회로들 중 하나는, 입력 RF 신호를 증폭시키고, 이 하나의 증폭기 회로가 인에이블될 때 하나의 출력 RF 신호를 제공할 수 있다. 나머지 증폭기 회로들은 디스에이블될 수 있다. 예시적 설계에서, 복수의 증폭기 회로들은, 입력 RF 신호를 증폭시키고 복수의 출력 RF 신호들을 제공하도록 인에이블될 수 있다. 각각의 증폭기 회로는, 복수의 증폭기 회로들이 인에이블될 때, 복수의 이득 회로들 각각으로 부터의 전류의 일부분을 포함하는 출력 전류를 제공할 수 있다.

[0085] [0078] 예시적 설계에서, 전류 베퍼 출력에서의 잡음 분할은, 예를 들어, 도 5에 도시된 바와 같이, 구현될 수 있다. 적어도 하나의 상호연결 회로는 복수의 증폭기 회로들의 출력들 사이에 커플링된 적어도 하나의 스위치(예를 들어, 도 5의 스위치들(582))를 포함할 수 있다. 각각의 스위치는 그 스위치에 커플링된 2개의 증폭기 회로들의 출력들을 쇼트시키도록 폐쇄될 수 있다. 적어도 하나의 상호연결 회로 또는 스위치는, 복수의 증폭기 회로들이 인에이블될 때, 복수의 증폭기 회로들의 출력들을 쇼트시킬 수 있다.

[0086] [0079] 또 다른 예시적 설계에서, 이득 회로 출력에서의 잡음 분할이, 예를 들어, 도 8에 도시된 바와 같이, 구현될 수 있다. 예시적 설계에서, 적어도 하나의 상호연결 회로는 복수의 이득 회로들의 출력들 사이에 커플링된 적어도 하나의 캐패시터(예를 들어, 도 9a의 캐패시터(982))를 포함할 수 있다. 각각의 캐패시터는 그 캐패시터에 커플링된 2개의 이득 회로들의 출력들을 쇼트시킬 수 있다. 적어도 하나의 상호연결 회로는, 복수의 증폭기 회로들이 인에이블될 때, 복수의 이득 회로들의 출력들을 쇼트시킬 수 있다. 또 다른 예시적 설계에서, 적어도 하나의 상호연결 회로는 복수의 이득 회로들과 복수의 전류 베퍼들 사이에 커플링된 복수의 캐스코드 트랜지스터들(예를 들어, 도 9c의 캐스코드 트랜지스터들(984))을 포함할 수 있다. 각각의 캐스코드 트랜지스터는 하나의 증폭기 회로 내의 이득 회로와 또 다른 증폭기 회로 내의 전류 베퍼 사이에 커플링될 수 있다. 복수의 캐스코드 트랜지스터들은 복수의 증폭기 회로들이 인에이블될 때 턴온될 수 있다.

[0087] [0080] 예시적 설계에서, 복수의 증폭기 회로들은 제 1 및 제 2 증폭기 회로들을 포함할 수 있다. 제 1 증폭기 회로(예를 들어, 도 6a의 증폭기 회로(650a))는 제 1 이득 트랜지스터(예를 들어, 이득 트랜지스터(664a)) 및 제 1 캐스코드 트랜지스터(예를 들어, 캐스코드 트랜지스터(674a))를 포함할 수 있다. 제 2 증폭기 회로(예를 들어, 증폭기 회로(650b))는 제 2 이득 트랜지스터(예를 들어, 이득 트랜지스터(664a)) 및 제 2 캐스코드 트랜지스터(예를 들어, 캐스코드 트랜지스터(674a))를 포함할 수 있다. 예시적 설계에서, 별개의 소스 디제너레이션 인덕터는 각각의 이득 회로에 대해 이용될 수 있다. 제 1 증폭기 회로는 제 1 이득 트랜지스터의 소스와 회로 접지 사이에 커플링된 제 1 인덕터(예를 들어, 인덕터(666a))를 포함할 수 있다. 제 2 증폭기 회로는 제 2 이득 트랜지스터의 소스와 회로 접지 사이에 커플링된 제 2 인덕터(예를 들어, 인덕터(666b))를 포함할 수 있다. 또 다른 예시적 설계에서, 공유된 소스 디제너레이션 인덕터(예를 들어, 도 7b의 인덕터(666))는 제 1 및 제 2 이득 트랜지스터들에 대해 이용될 수 있으며, 이 이득 트랜지스터들의 소스들과 회로 접지 사이에 커플링될 수 있다.

[0088] [0081] 예시적 설계에서, 적어도 하나의 상호연결 회로는 제 1 및 제 2 캐스코드 트랜지스터들의 드레인들 사이에 커플링된 스위치(예를 들어, 도 6a의 스위치(682a) 또는 도 7a의 스위치(682b))를 포함할 수 있다. 스위치는 단지 제 1 또는 제 2 증폭기 회로만이 인에이블될 때 개방될 수 있으며, 제 1 및 제 2 증폭기 회로들 둘 모두가 인에이블될 때 폐쇄될 수 있다. 예시적 설계에서, 스위치는 제 1, 제 2 및 제 3 트랜지스터들을 포함할 수 있다. 제 1 트랜지스터(예를 들어, 도 6a의 NMOS 트랜지스터(684a))는 제 1 캐스코드 트랜지스터의 드레인 및 중간 노드 사이에 커플링될 수 있다. 제 2 트랜지스터(예를 들어, NMOS 트랜지스터(684b))는 중간 노드와 제 2 캐스코드 트랜지스터의 드레인 사이에 커플링될 수 있다. 제 3 트랜지스터(예를 들어, NMOS 트랜지스터(686))는 중간 노드와 회로 접지 사이에 커플링될 수 있다. 또 다른 예시적 설계에서, 스위치는 제 1 및 제 2

캐스코드 트랜지스터들의 드레인들 사이에 커플링된 트랜지스터(예를 들어, 도 7a의 NMOS 트랜지스터(688))를 포함할 수 있다. 스위치는 또한, 다른 방식들로 구현될 수 있다.

[0089] [0082] 또 다른 예시적 설계에서, 적어도 하나의 상호연결 회로는 제 1 및 제 2 이득 트랜지스터들의 드레인들 사이에 커플링된 캐페시터(예를 들어, 도 9a의 캐페시터(982))를 포함할 수 있다. 제 1 증폭기 회로가 인에이블될 때, 제 1 캐스코드 트랜지스터는 턴온될 수 있고, 제 2 캐스코드 트랜지스터는 턴오프될 수 있다. 제 2 증폭기 회로가 인에이블될 때, 제 2 캐스코드 트랜지스터는 턴온될 수 있고, 제 1 캐스코드 트랜지스터는 턴오프될 수 있다. 제 1 및 제 2 증폭기 회로들이 인에이블될 때, 제 1 및 제 2 캐스코드 트랜지스터들 둘 모두는 턴온될 수 있다.

[0090] [0083] 또 다른 예시적 설계에서, 적어도 하나의 상호연결 회로는 제 3 및 제 4 캐스코드 트랜지스터들을 포함할 수 있다. 제 3 캐스코드 트랜지스터(예를 들어, 도 9c의 캐스코드 트랜지스터(984a))는 제 1 이득 트랜지스터의 드레인과 제 2 캐스코드 트랜지스터의 드레인 사이에 커플링될 수 있다. 제 4 캐스코드 트랜지스터(예를 들어, 캐스코드 트랜지스터(984b))는 제 2 이득 트랜지스터의 드레인과 제 1 캐스코드 트랜지스터의 드레인 사이에 커플링될 수 있다. 제 1 및 제 2 증폭기 회로들 둘 모두가 인에이블될 때, 제 3 및 제 4 캐스코드 트랜지스터들은 턴온될 수 있다. 제 1 증폭기 회로가 인에이블될 때, 단지 제 1 캐스코드 트랜지스터만이 턴온될 수 있거나, 제 1 및 제 4 캐스코드 트랜지스터들 둘 모두가 턴온될 수 있다. 제 2 증폭기 회로가 인에이블될 때, 단지 제 2 캐스코드 트랜지스터가 턴온될 수 있거나, 제 2 및 제 3 캐스코드 트랜지스터들 둘 모두가 턴온될 수 있다.

[0091] [0084] 장치는 제 1 및 제 2 증폭기 회로들에 각각 커플링된 제 1 및 제 2 부하 회로들을 포함할 수 있다. 예시적 설계에서, 제 1 부하 회로(예를 들어, 도 6a의 부하 회로(690a))는 제 1 증폭기 회로에 커플링된 제 1 트랜스포머(예를 들어, 트랜스포머(692a))를 포함할 수 있다. 제 2 부하 회로(예를 들어, 부하 회로(690b))는 제 2 증폭기 회로에 커플링된 제 2 트랜스포머(예를 들어, 트랜스포머(692b))를 포함할 수 있다. 제 1 및 제 2 부하 회로들은 또한, 다른 방식들로 구현될 수 있다.

[0092] [0085] 도 10은 신호 증폭을 수행하기 위한 프로세스(1000)의 예시적 설계를 도시한다. 프로세스(1000)는 무선 디바이스에 의해 또는 일부 다른 엔티티에 의해 수행될 수 있다. 입력 RF 신호는, 자신들의 입력들이 함께 커플링되게 할 수 있는 복수의 증폭기 회로들에 인가될 수 있다(블록(1012)). 복수의 증폭기 회로들 중 적어도 하나는, 입력 RF 신호를 증폭시키고 적어도 하나의 출력 RF 신호를 제공하도록 인에이블될 수 있다(블록(1014)). 복수의 증폭기 회로들은, 잡음 분할을 수행하고 잡음 피겨를 개선하기 위해, 복수의 증폭기 회로들이 인에이블될 때 적어도 하나의 상호연결 회로를 통해 쇼트될 수 있다(블록(1016)). 각각의 상호연결 회로는 상호연결 회로에 커플링된 2개의 증폭기 회로들의 내부 노드들 또는 출력들을 쇼트시킬 수 있다.

[0093] [0086] 블록(1014)의 예시적 설계에서, 입력 RF 신호는 복수의 증폭기 회로들 내의 복수의 이득 회로들로 증폭될 수 있다. 복수의 증폭기 회로들은 출력 전류들을 제공할 수 있다. 각각의 증폭기 회로로부터의 출력 전류는 복수의 이득 회로들 각각으로부터의 전류의 일부분을 포함할 수 있다.

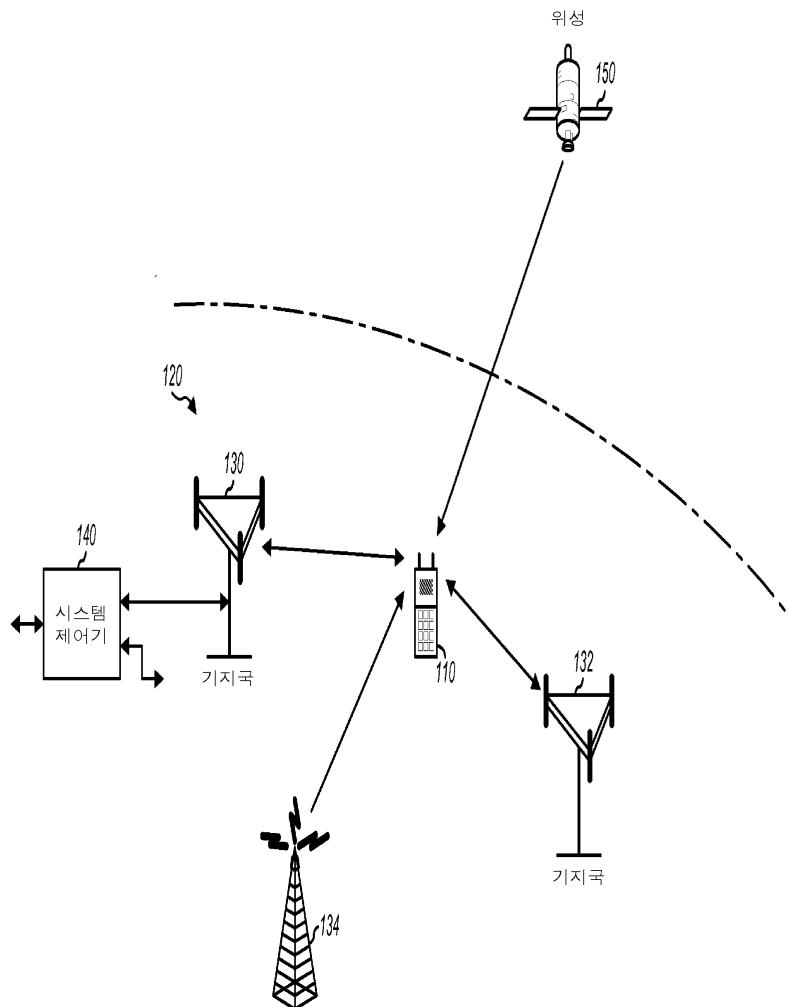
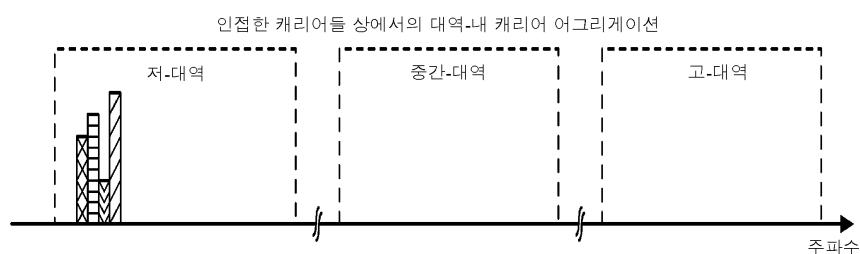
[0094] [0087] 본원에 설명된 잡음 분할(noise splitting)이 있는 증폭기들(예를 들어, SIMO LNA들)은 IC, 아날로그 IC, RFIC, 막상된-신호 IC, ASIC, PCB(printed circuit board), 전자 디바이스 등에 구현될 수 있다. 잡음 분할이 있는 증폭기들은 또한, 다양한 IC 프로세스 기술들, 이를테면, CMOS(complementary metal oxide semiconductor), NMOS, PMOS, BJT(bipolar junction transistor), BiCMOS(bipolar-CMOS), SiGe(silicon germanium), GaAs(gallium arsenide), HBT(heterojunction bipolar transistor)들, HEMT(high electron mobility transistor)들, SOI(silicon-on-insulator) 등으로 제조될 수 있다.

[0095] [0088] 본원에 설명된 잡음 분할이 있는 증폭기를 구현하는 장치는 독립형 디바이스일 수 있거나 또는 더 큰 디바이스의 일부일 수 있다. 디바이스는 (i) 독립형 IC, (ii) 데이터 및/또는 명령들을 저장하기 위한 메모리 IC들을 포함할 수 있는 하나 또는 둘 이상의 IC들의 세트, (iii) RF 수신기(RFR) 또는 RF 송신기/수신기(RTR)와 같은 RFIC, (iv) 이동국 모뎀(MSM)과 같은 ASIC, (v) 다른 디바이스들 내에 내장될 수 있는 모듈, (vi) 수신기, 셀룰러 폰, 무선 디바이스, 핸드셋 또는 모바일 유닛, (vii) 동일 수 있다.

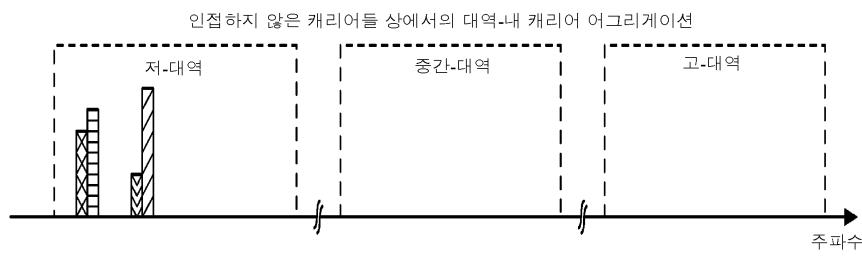
[0096] [0089] 하나 또는 둘 이상의 예시적 설계들에서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어 또는 이들의 임의의 결합으로 구현될 수 있다. 소프트웨어로 구현되는 경우, 기능들은 컴퓨터 판독가능한 매체 상에 하나 또는 둘 이상의 명령들 또는 코드로서 저장되거나 또는 이들을 통해 송신될 수 있다. 컴퓨터 판독가능한 매체는 하나의 장소에서 다른 장소로 컴퓨터 프로그램의 이전을 가능하게 하는 임의의 매체를 포함하는 통신 매체들

및 컴퓨터 저장 매체들 둘 다를 포함한다. 저장 매체들은 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체들일 수 있다. 제한이 아닌 예로서, 이러한 컴퓨터 관독가능한 매체는 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장소, 자기 디스크 저장소 또는 다른 자기 저장 디바이스들, 또는 원하는 프로그램 코드를 명령들 또는 데이터 구조들의 형태로 전달 또는 저장하기 위해 이용될 수 있고 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 또한, 임의의 연결수단이 컴퓨터 관독가능한 매체로 적절히 지정된다. 예를 들어, 소프트웨어가 동축 케이블, 광섬유 케이블, 트위스티드 페어(twisted pair), 디지털 가입자 회선 (DSL), 또는 (적외선, 라디오, 및 마이크로웨이브와 같은) 무선 기술들을 이용하여 웹사이트, 서버, 또는 다른 원격 소스로부터 송신되는 경우, 동축 케이블, 광섬유 케이블, 트위스티드 페어, DSL, 또는 (적외선, 라디오, 및 마이크로웨이브와 같은) 무선 기술들이 매체의 정의 내에 포함된다. 본원에서 이용되는 바와 같은 디스크 (disk 및 disc)는 컴팩트 디스크(disc)(CD), 레이저 디스크(disc), 광 디스크(disc), 디지털 다목적 디스크 (disc)(DVD), 플로피 디스크(disk) 및 블루-레이 디스크(disc)를 포함하며, 여기서 디스크(disk)들은 통상적으로 데이터를 자기적으로 재생하는 반면, 디스크(disc)들은 레이저들을 이용하여 데이터를 광학적으로 재생한다. 위의 것들의 결합들은 또한 컴퓨터 관독가능한 매체들의 범위 내에 포함되어야 한다.

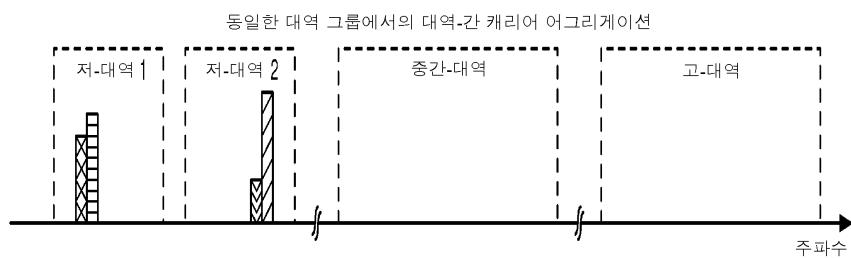
[0097] [0090] 본 개시의 이전의 설명은 임의의 당업자가 본 개시를 실시하거나 또는 이용할 수 있도록 제공된다. 본 개시에 대한 다양한 변경들은 당업자들에게 용이하게 명백할 것이고, 본원에서 정의되는 일반적인 원리들은 본 개시의 범위를 벗어나지 않으면서 다른 변형들에 적용될 수 있다. 따라서, 본 개시는 본원에 설명된 예들 및 설계들에 제한되는 것으로 의도된 것이 아니라, 본원에 개시된 원리들 및 신규한 특징들과 일치하는 가장 넓은 범위를 따를 것이다.

도면**도면1****도면2a**

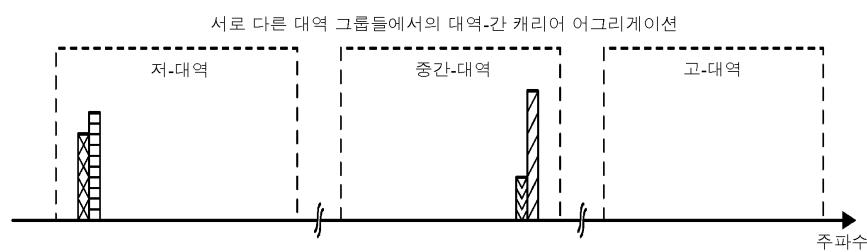
도면2b



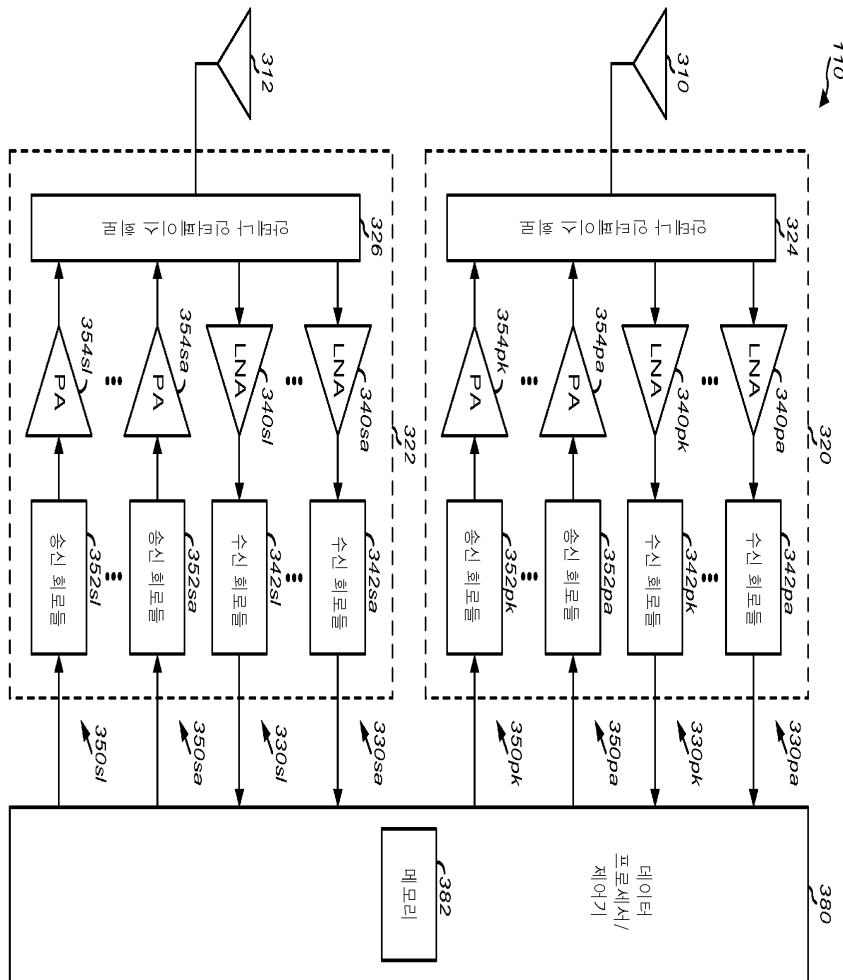
도면2c



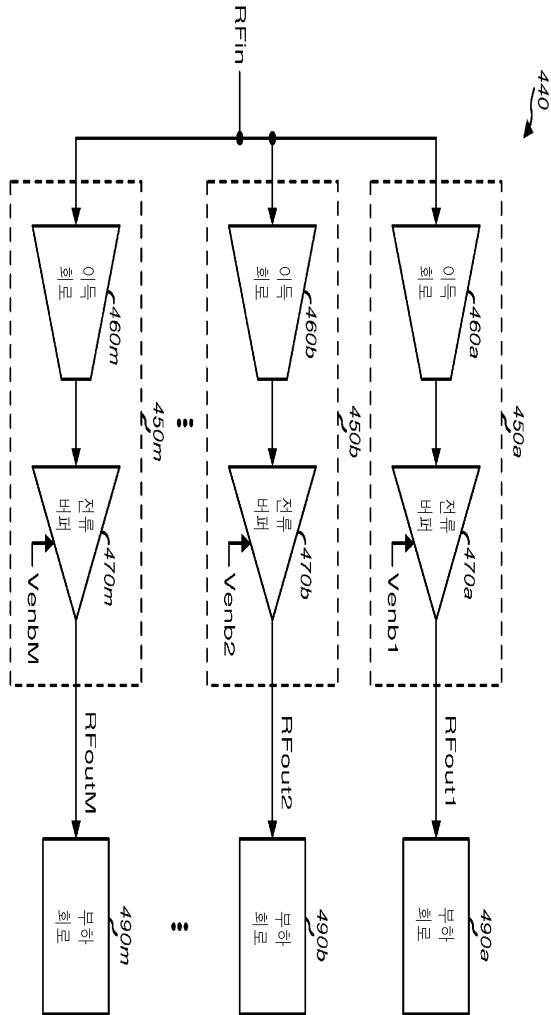
도면2d



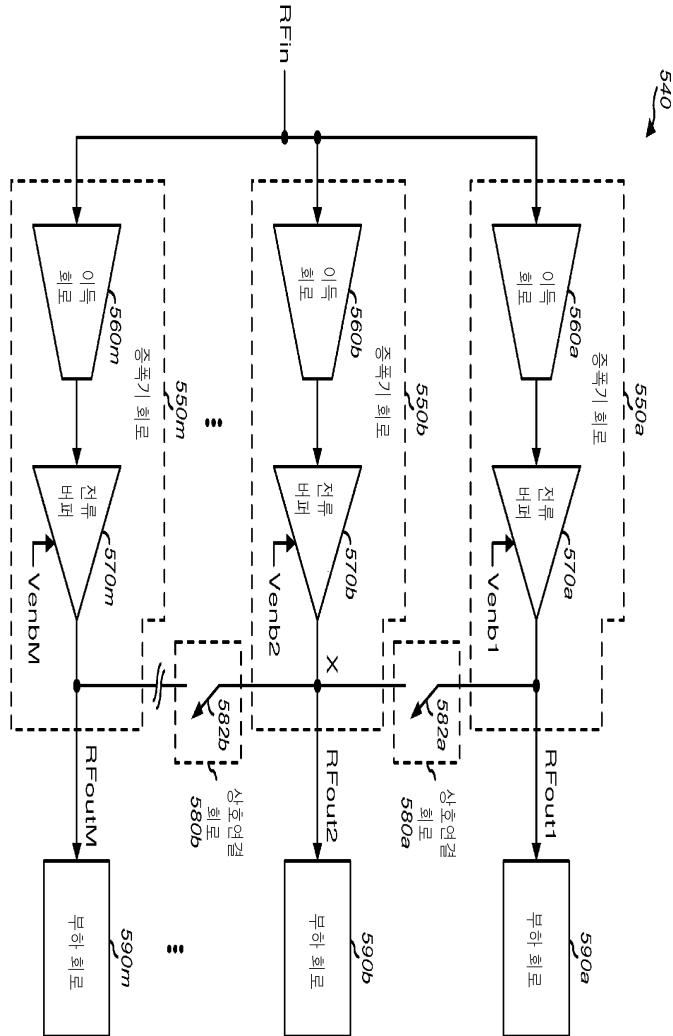
도면3



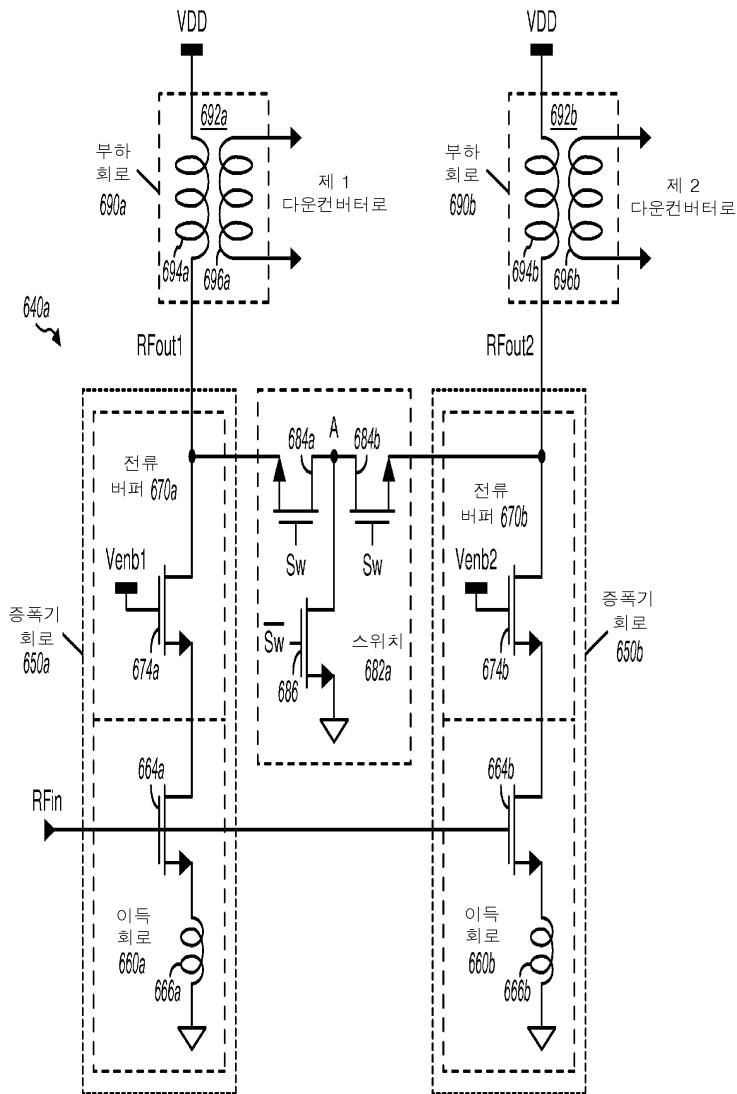
도면4



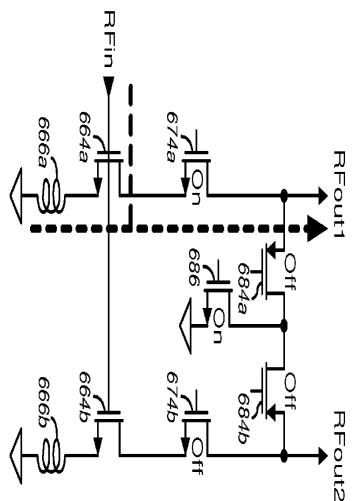
도면5



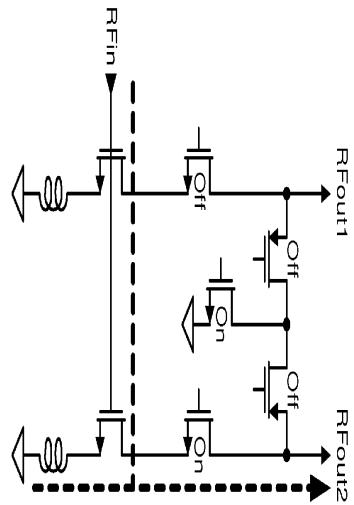
도면6a



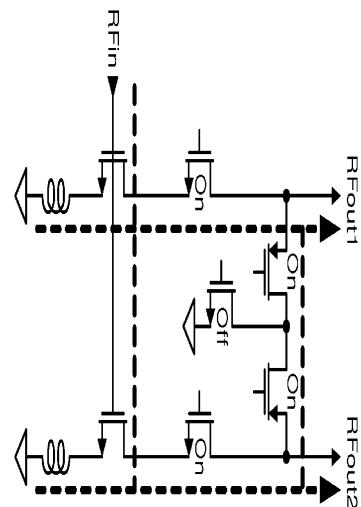
도면6b



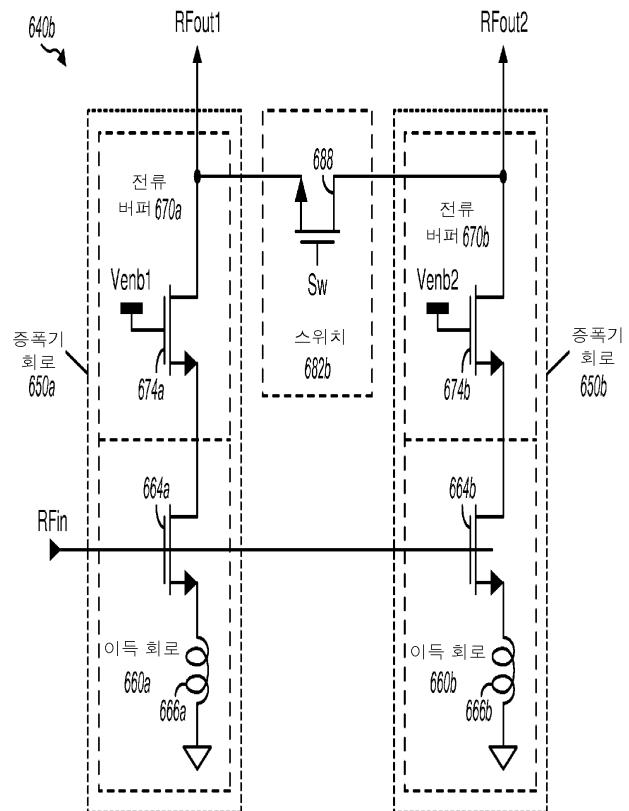
도면6c



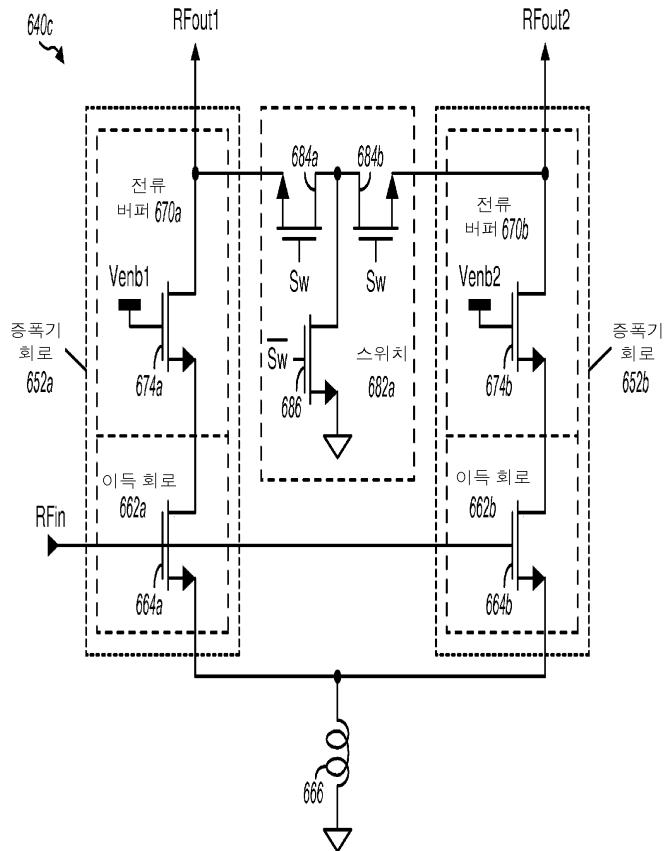
도면6d



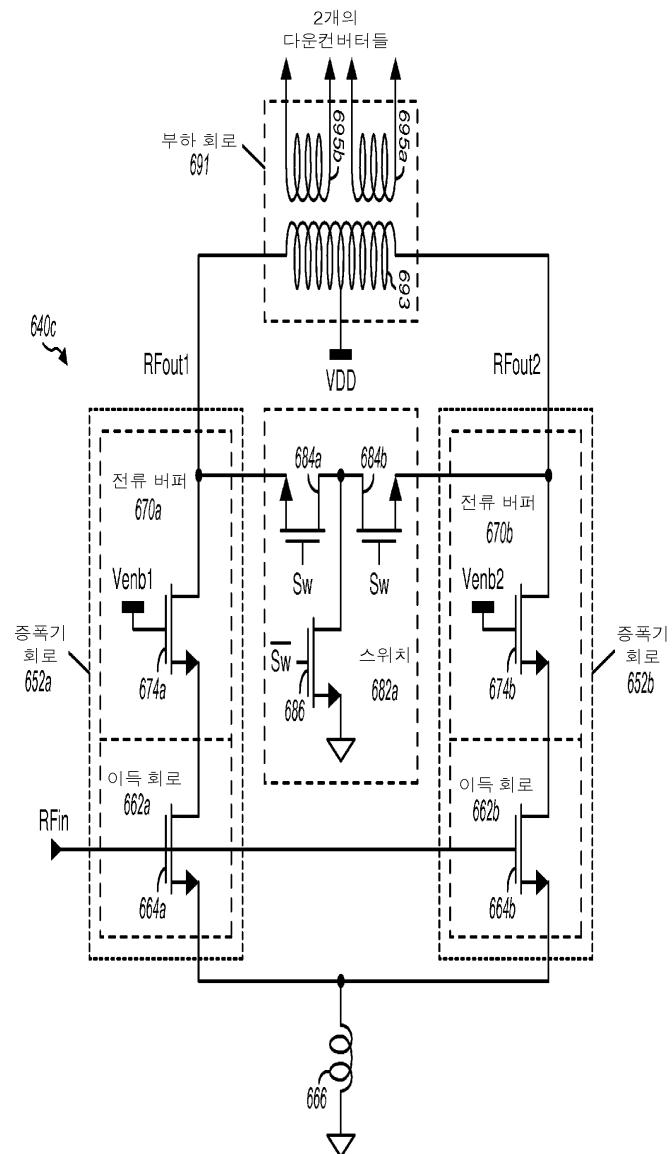
도면7a



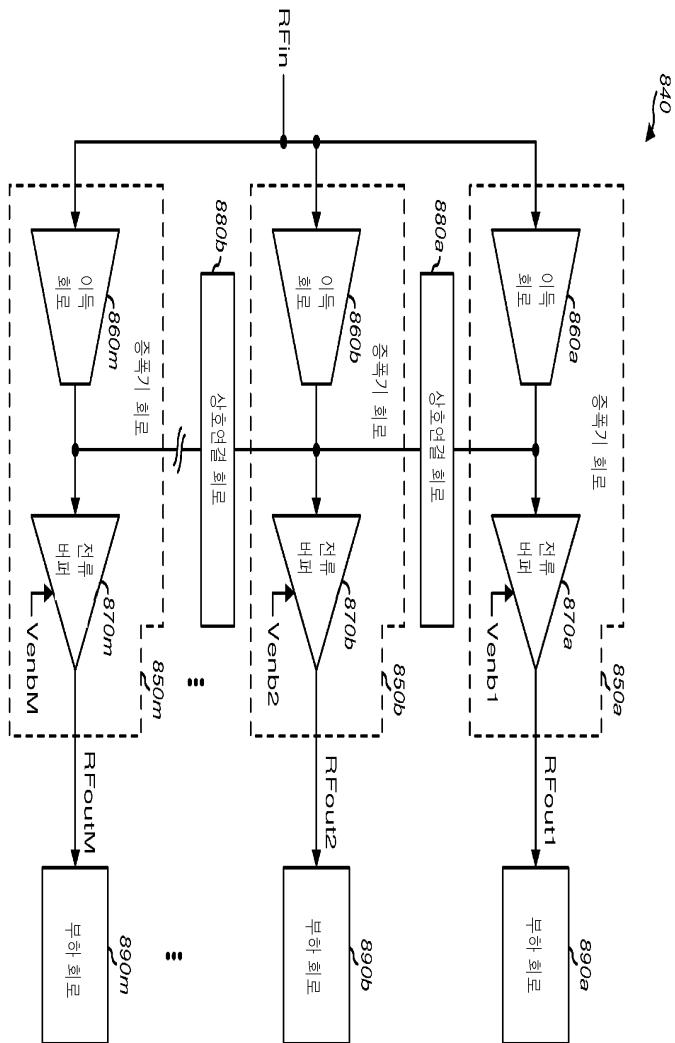
도면7b



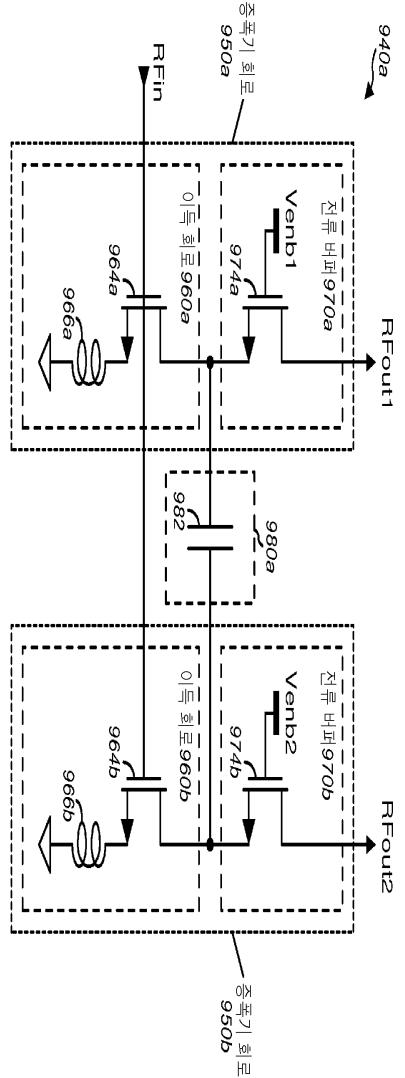
도면7c



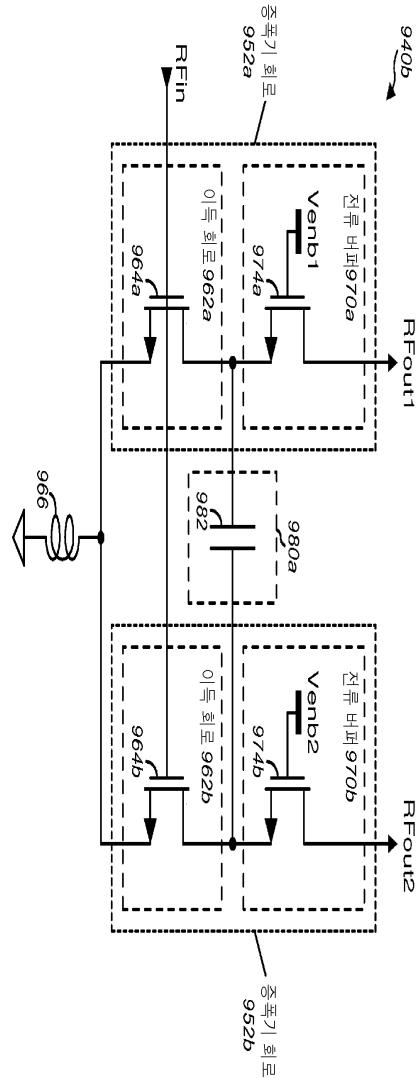
도면8



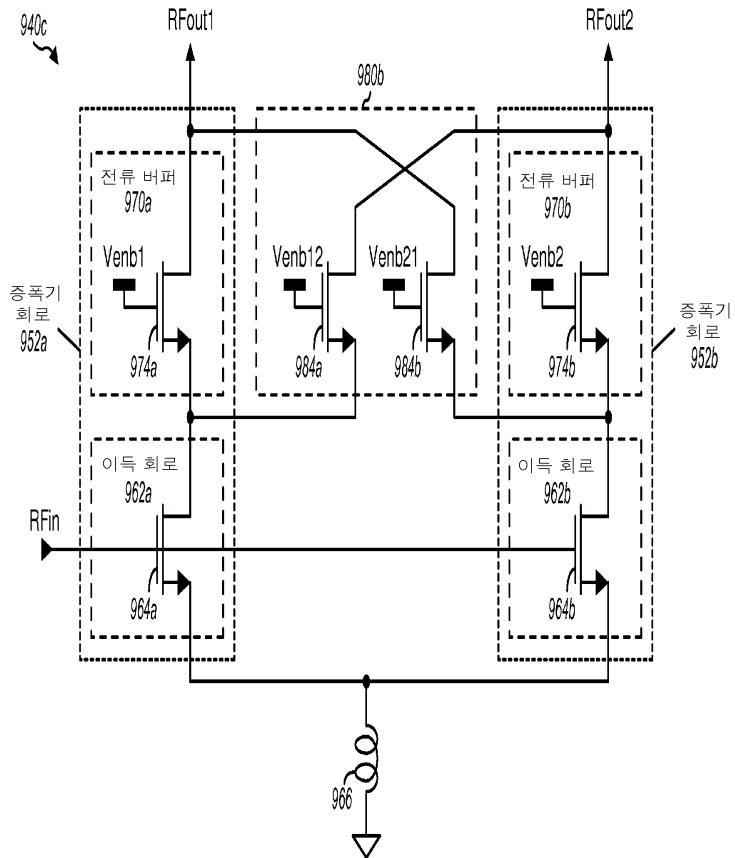
도면9a



도면9b



도면9c



도면10

