

公告本

發明專利說明書

589789

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：92108424 ※IPC分類：H03K 17/22

※申請日期：92.4.11

壹、發明名稱

(中文) 半導體裝置

(英文) SEMICONDUCTOR DEVICE

貳、發明人(共1人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 川久保智廣

(英文) Tomohiro KAWAKUBO

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku,

Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本

(英文) JAPAN

參、申請人(共1人)

姓名或名稱：(中文) 日商・富士通股份有限公司

(英文) FUJITSU LIMITED

住居所或營業所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku,

Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本

(英文) JAPAN

代表人：(中文) 秋草直之

(英文) Naoyuki Akikusa

☐ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

捌、聲明事項

☐ 本案係符合專利法第二十條第一項□第一款但書或□第二款但書規定之期間，其日期為：_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____
2. _____
3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 日本； 2002.8.28； 特願 2002-249437
2. _____
3. _____
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____
2. _____
3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

【發明所屬之技術領域】

發明領域

本發明係有關於一種半導體裝置，更特別地，係有關於一種輸出一個起動器訊號來把一內部電路初始化的半導體裝置。

【先前技術】

發明背景

在一半導體裝置中的內部電路在起動時間必須被初始化俾可避免在該半導體裝置被起動之後該內部電路的不定狀態(indefinite state)。一半導體裝置在起動時間藉著一內部起動器電路來輸出一個起動器訊號俾可重置其之內部電路(見日本專利早期公開公告第 2002-124861 號案，第 2 項，第 9 圖，例如)。

第 7 圖是為顯示在一習知半導體裝置中之起動器訊號的圖示。在第 7 圖中所示的起動器電路係形成於一半導體裝置中並且藉著一個起動器訊號來把一內部電路初始化。該起動器電路包括電晶體 Q9 到 Q11、反相器電路 Z11 和 Z12、及電阻器 R5 到 R7。

該等電阻器 R5 和 R6 係被串聯地連接在電源 VDD 與電源 VDD 的地線之間。

該電晶體 Q9 是為一 n-通道 MOS 電晶體。該電晶體 Q9 的閘極係連接到一個連接有該等電阻器 R5 和 R6 的點。該電晶體 Q9 的源極係連接到該電源 VDD 的地線。該電

玖、發明說明

晶體 Q9 的汲極係經由電阻器 R7 來連接到該電源 VDD。

該電晶體 Q10 是為一 p-通道 MOS 電晶體。該電晶體 Q11 是為一 n-通道 MOS 電晶體。該等電晶體 Q10 和 Q11 的閘極係彼此連接且係連接到該電晶體 Q9 的汲極。該電晶體 Q10 的源極係連接到該電源 VDD。該電晶體 Q10 的汲極係連接到該電晶體 Q11 的汲極。該電晶體 Q11 的源極係連接到該電源 VDD 的地線。

該反相器電路 Z11 係連接到該等電晶體 Q10 和 Q11 的汲極。該反相器電路 Z12 的輸入側係連接到該反相器電路 Z11 的輸出側。該等反相器電路 Z11 和 Z12 中之每一者反相並輸出一個輸入訊號。

現在，該起動器電路的運作將會作說明。

當電力被施加到該半導體裝置時，該電源 VDD 的電壓上升而且在該連接有該等電阻器 R5 和 R6 之點的電壓上升。該電晶體 Q9 的源極-汲極區域在該連接有該等電阻器 R5 和 R6 之點的電壓上升到該電晶體 Q9 的臨界電壓之前係處於不導通狀態(off state)。因此，該電源 VDD 的電壓(“H”狀態)係輸入到該等電晶體 Q10 和 Q11 的閘極且僅該電晶體 Q11 的源極-汲極區域變成導通狀態。該電源 VDD 之地線的電壓(“L”狀態)係經由該電晶體 Q11 來輸入到該反相器電路 Z11。該反相器電路 Z11 把一個處於“L”狀態的訊號反相並且輸出一個處於“H”狀態的訊號。該反相器電路 Z12 輸出一個處於“L”狀態的起動器訊號 sttx。

當在該連接有該等電阻器 R5 和 R6 之點的電壓上升到

玖、發明說明

該電晶體 Q9 的臨界電壓時(當該電源 VDD 的電壓上升到
在其之下該內部電路能夠執行正常運作的電壓時)，該電晶
體 Q9 的源極-汲極區域變成導通狀態。因此，該電源 VDD
之地線的電壓(“L”狀態)係輸入到該等電晶體 Q10 和 Q11 的
5 閘極且僅該電晶體 Q10 的源極-汲極區域變成導通狀態。該
電源 VDD 的電壓(“H”狀態)係經由該電晶體 Q10 來輸入到
該反相器電路 Z11。該反相器電路 Z11 把一個處於”H”狀態
的訊號反相並且輸出一個處於”L”狀態的訊號。該反相器電
路 Z12 輸出該處於”H”狀態的起動器訊號 sttx。在該半導體
10 裝置中之內部電路的初始化在該起動器訊號 sttx 從”L”狀態
上升到”H”狀態時終止。

如上所述，當該電源 VDD 的電壓上升到預定的電壓時
，從第 7 圖中所示之起動器電路輸出的起動器訊號 sttx 係
從”L”狀態上升到”H”狀態。在該半導體裝置中的內部電路
15 係被初始化而然後執行正常的運作。

順便一提，就電力消耗係低的半導體裝置而言，電流
必須被降低若干微安培。

然而，就習知半導體裝置而言，在該內部電路的初始
化之後，即使在正常的運作時間，電源 VDD 的電壓係被供
20 應到該起動器電路而電流係流過該等電阻器 R5 到 R7。結
果，電力被消耗。

【發明內容】

發明概要

本發明係在以上所述的背景環境下被作成。本發明之

玖、發明說明

目的是為提供一種半導體裝置，該半導體裝置在正常運作時間切斷輸入到一起動器電路的電源電壓俾可降低電力消耗。

為了達成以上之目的，一種把一內部電路初始化的半導體裝置係被提供。這半導體裝置包括一個用於根據輸入之電源電壓來輸出一個把一內部電路初始化之起動器訊號的起動器訊號產生電路、一個用於保持和輸出該起動器訊號的門電路、及一個用於在該起動器訊號被輸出之時切斷輸入到該起動器訊號產生電路之電源電壓的切斷電路。

本發明之以上和其他目的、特徵和優點將會由於後面配合該等描繪本發明之作為例證之較佳實施例之附圖的說明而變得明顯。

圖式簡單說明

第 1 圖是為用於說明為本發明基礎之原理的圖示。

第 2 圖是為本發明之第一實施例之半導體裝置的方塊圖。

第 3 圖是為顯示在第 2 圖中所示之半導體裝置中之起動器電路的圖示。

第 4 圖是為顯示在電源電壓、分割電壓、與起動器訊號之間之關係的圖示，第 4(a)圖是為顯示該電源電壓與該分割電壓的圖示，第 4(b)圖是為顯示該起動器訊號的圖示。

第 5 圖是為顯示本發明之第二實施例之半導體裝置中之起動器電路的圖示。

玖、發明說明

第 6 圖是為顯示在第 5 圖中所示之起動器電路中之時序的圖示，(a)到(f)顯示在該起動器電路內之不同部份中之電壓的波形。

第 7 圖是為顯示在一習知半導體裝置中之起動器電路的圖示。

【實施方式】

較佳實施例之詳細說明

本發明的實施例現在將會配合該等圖式作說明。

第 1 圖是為用於說明為本發明基礎之原理的圖示。如
10 在第 1 圖中所示，一半導體裝置包括一起動器訊號產生電路 1、一門電路 2、及一切斷電路 3。

該電源 VDD 的電壓係輸入到該起動器訊號產生電路 1
。該起動器訊號產生電路 1 根據該電源 VDD 的電壓來輸出一個用於把在該半導體裝置中之內部電路初始化的起動器
15 訊號 sttx。例如，當電力被施加到該電源 VDD 時，該電源 VDD 的電壓上。該起動器訊號產生電路 1 在該電源 VDD 的電壓上升到在其之下該半導體裝置中之內部電路能夠執行正常之運作的電壓時輸出一個起動器訊號 sttx。

該門電路 2 保持和輸出一個從該起動器訊號產生電路
20 1 輸出的起動器訊號 sttx。

當一起動器訊號 sttx 從該起動器訊號產生電路 1 輸出時(當一個從該起動器訊號產生電路 1 輸出的起動器訊號 sttx 係由該門電路 2 保持時)，該切斷電路 3 切斷輸入到該起動器訊號產生電路 1 之電源 VDD 的電壓。

玖、發明說明

現在，在第 1 圖中所執行的運作將會作說明。

假定電力被施加到該電源 VDD 且該電源 VDD 的電壓上升。當輸入到該起動器訊號產生電路 1 之電源 VDD 的電壓上升到在其之下該半導體裝置中之內部電路能夠執行正常之運作的電壓時，該起動器訊號產生電路 1 輸出一起動器訊號 sttx。

該門電路 2 保持並輸出從該起動器訊號產生電路 1 輸出的起動器訊號 sttx。

當該起動器訊號 sttx 從該門電路 2 輸出時，該切斷電路 3 切斷輸入到該起動器訊號產生電路 1 之電源 VDD 的電壓。即使該電源 VDD 之電壓到該起動器訊號產生電路 1 的輸入係由該切斷電路 3 切斷，該起動器訊號 sttx 不會變成不穩定，因為它係由該門電路 2 保持。

如上所述，當該電源 VDD 的電壓上升到在其之下該內部電路能夠執行正常之運作的電壓時，該起動器訊號產生電路 1 輸出一起動器訊號 sttx 且該門電路 2 保持和輸出它。然後，該切斷電路 3 切斷輸入到該起動器訊號產生電路 1 之電源 VDD 的電壓。這樣係降低該半導體裝置的電力消耗。

本發明之第一實施例現在將會作說明。

第 2 圖是為本發明之第一實施例之半導體裝置的方塊圖。如在第 2 圖中所示，一半導體裝置包含一起動器電路 11、電源電路 12a,12b,...、一記憶體細胞 13、及一重置電路 14。

玖、發明說明

被供應到該半導體裝置之電源 VDD 的電壓係輸入到該起動器電路 11。當該電源 VDD 的電壓上升到在其之下該等電源電路 12a,12b,...能夠執行正常之運作的電壓時，該起動器電路 11 輸出一個用於把該等電源電路 12a,12b,...初始化的起動器訊號 sttx。那就是說，該起動器電路 11 於電力被施加到該電源 VDD 之時把該等電源電路 12a,12b,...的不定狀態初始化。

該電源電路 12a 係由一個從該起動器電路 11 輸出的起動器訊號 sttx 初始化。該電源 VDD 的電壓係輸入到該電源電路 12a。該電源電路 12a 產生一個內部電壓 VA 並且把它輸出到該記憶體細胞 13。

該電源電路 12b 係由一個從該起動器電路 11 輸出的起動器訊號 sttx 初始化。該電源 VDD 的電壓係輸入到該電源電路 12b。該電源電路 12b 產生一個內部電壓 VB 並且把它輸出到該重置電路 14。

該重置電路 14 係藉著從該電源電路 12b 供應的電壓 VB 來運作。該重置電路 14 輸出一個用於把該記憶體細胞 13 重置的重置訊號。

第 3 圖是為顯示在第 2 圖中所示之半導體裝置中之起動器電路的圖示。在第 3 圖中所示的起動器電路 11 包括電晶體 Q1 到 Q5、反相器電路 Z1 到 Z4、電阻器 R1 到 R3、及一電容器 C1。當該電源 VDD 的電壓上升到在其之下該等電源電路 12a,12b,...能夠執行正常之運作的電壓時，該起動器電路 11 輸出一個用於把該等電源電路 12a,12b,...初

玖、發明說明

始化的起動器訊號 sttx。

該電晶體 Q1 是為一 p-通道 MOS 電晶體。該電晶體 Q1 的源極和汲極係分別連接到該電源 VDD 和電阻器 R1。該電晶體 Q1 的閘極係連接到該反相器電路 Z4 的輸出側。

5 該等電阻器 R1 和 R2 係串聯地連接。該電阻器 R1 的一端係連接到該電晶體 Q1 的汲極。該電阻器 R2 的一端係連接到該電源 VDD 的地線。

 該電晶體 Q2 是為一 n-通道 MOS 電晶體。該電晶體 Q2 的閘極係連接到一個連接有該等電阻器 R1 和 R2 的點
10 。該電晶體 Q2 的源極係連接到該電源 VDD 的地線。該電晶體 Q2 的汲極係連接到該電阻器 R3 的一端。該電阻器 R3 的另一端係連接到該電源 VDD。

 該電晶體 Q3 是為一 p-通道 MOS 電晶體。該電晶體 Q4 是為一 n-通道 MOS 電晶體。該等電晶體 Q3 和 Q4 的閘
15 極係彼此連接且係連接到該電晶體 Q2 的汲極。該電晶體 Q3 的源極係連接到該電源 VDD。該電晶體 Q3 的汲極係連接到該電晶體 Q4 的汲極。該電晶體 Q4 的源極係連接到該電晶體 Q5 的汲極。該等電晶體 Q3 和 Q4 構成一反相器電路 A1。

20 該電晶體 Q5 是為一 n-通道 MOS 電晶體。該電晶體 Q5 的閘極係連接到該反相器電路 Z1 的輸出側。該電晶體 Q5 的源極係連接到該電源 VDD 的地線。該反相器電路 Z1 的輸入側係連接到該電晶體 Q1 的閘極。

 該反相器電路 Z2 的輸入側係連接到該等電晶體 Q3 和

玖、發明說明

Q4 的汲極。該反相器電路 Z2 的輸出側係連接到該反相器電路 Z4 的輸入側。該反相器電路 Z3 的輸入側係連接到該反相器電路 Z2 的輸出側。該反相器電路 Z3 的輸出側係連接到該反相器電路 Z2 的輸入側。該等反相器電路 Z2 和 Z3 5 構成一門電路 A2。

該電容器 C1 係連接在一把該電晶體 Q1 之閘極與該反相器電路 Z4 之輸出側連接的導線與該電源 VDD 的地線之間以致於該電晶體 Q1 之閘極的電壓和該反相器電路 Z4 的輸出側於電力被施加到該電源 VDD 之時會與該電源 VDD 10 之地線的電壓(“L”狀態)相同。後面兩種方法中之一者會被使用代替連接該電容器 C1。其中一種方法是為連接一個用於把該電晶體 Q1 之閘極與該反相器電路 Z4 之輸出側置於”L”狀態的柑夾電路。另一種方法是為於電力被施加到該電源 VDD 之時把該電晶體 Q1 的閘極從該反相器電路 Z4 的 15 輸出側斷接並且把輸入到該半導體裝置之處於”L”狀態的一個外部訊號輸入到該電晶體 Q1 的閘極。

現在，在第 3 圖中所示之起動器電路 11 的運作將會作說明。

假設電力係施加到該電源 VDD。這時，從該反相器電路 Z4 輸出的一個起動器訊號 sttx 係處於”L”狀態。一個處於”L”狀態的停止訊號 stop 係輸入到該電晶體 Q1 的閘極。一個處於”H”狀態的停止訊號 stop 係經由該反相器電路 Z1 來輸入到該電晶體 Q5 的閘極。結果，該電晶體 Q1 的源極-汲極區域變成導通狀態且該電源 VDD 的電壓係由該等 20

玖、發明說明

串聯地連接的電阻器 R1 和 R2 分割。於該連接有該等電阻器 R1 和 R2 之點的電壓係輸入到該電晶體 Q2 的閘極。

該等電阻器 R1 和 R2 的值係被設定以致於在該連接有該等電阻器 R1 和 R2 之點的電壓於該電源 VDD 之電壓上
5 升到在其之下該等電源電路 12a,12b,...能夠執行正常之運作之電壓之時將會到達該電晶體 Q2 的臨界電壓。

當該電源 VDD 的電壓上升且在該連接有該等電阻器 R1 和 R2 之點的電壓到達該電晶體 Q2 的臨界電壓時，該電晶體 Q2 的源極-汲極區域變成導通狀態。結果，該電晶
10 體 Q2 之汲極的電壓變成與該電源 VDD 之地線的電壓相同。因此，該電源 VDD 之地線的電壓，即，一個處於”L”狀態的訊號會被輸入到該反相器電路 A1。

處於”H”狀態的該停止訊號 stop 係經由該反相器電路 Z1 來輸入到該電晶體 Q5，所以該電晶體 Q5 的源極-汲極
15 區域係處於導通狀態且該反相器電路 A1 係處於運作狀態。該反相器電路 A1 因此把處於”L”狀態的輸入訊號反相並且輸出一個處於”H”狀態的產生訊號。

該門電路 2 把從該反相器電路 A1 輸出之處於”H”狀態的訊號反相、保持一產生訊號的”L”狀態、並且把它輸出到
20 該反相器電路 Z4。

該反相器電路 Z4 把從該門電路 A2 輸出之處於”L”狀態的訊號反相並且輸出一個處於”H”狀態的起動器訊號 sttx。再者，該反相器電路 Z4 將藉由把從該門電路 A2 輸出之處於”L”狀態之訊號反相來獲得的訊號輸出到該等電晶體

玖、發明說明

Q1 和 Q5 作為處於”H”狀態的停止訊號 stop。

該起動器訊號 sttx 之從”L”狀態到”H”狀態的轉態把該等電源電路 12a,12b,...初始化。

處於”H”狀態的停止訊號 stop 把該電晶體 Q1 的源極-
5 汲極區域置於不導通狀態。因此，一電流不經由該等電阻器 R1 和 R2 來從該電源 VDD 流到該地線。處於”H”狀態的停止訊號 stop 亦把該電晶體 Q5 的源極-汲極區域置於不導通狀態並且停止該反相器電路 A1 的運作。來自該反相器電路 A1 的輸出變成一懸浮狀態，但是處於”H”狀態的起動
10 器訊號 sttx 係由該門電路 A2 保持。

如上所述，當該電源 VDD 的電壓上升到在其之下該等電源電路 12a,12b,...能夠執行正常之運作的電壓時，該起動器電路 11 保持並輸出一個起動器訊號 sttx 並且由於該等電晶體 Q1 和 Q5 的作用而切斷該電源 VDD 的輸入電壓。

15 由一起動器訊號 sttx 初始化的電路不受限於該等電源電路 12a,12b,...。被包括於該半導體裝置內的其他內部電路可以被初始化。

第 4 圖是為顯示在電源電壓、分割電壓、與起動器訊號之間之關係的圖示。第 4(a)圖是為顯示該電源電壓與該
20 分割電壓的圖示。第 4(b)圖是為顯示該起動器訊號的圖示。在第 4(a)圖中所示的波形 B1 和 B2 分別表示該電源 VDD 之電壓的波形和在該連接有該等電阻器 R1 和 R2 之點的電壓。在第 4(b)圖中所示的波形 B3 表示一個從該反相器電路 Z4 輸出的起動器訊號 sttx。表示在該連接有電阻器 R1

玖、發明說明

和 R2 之點之電壓的波形 B2 係在該等電阻器 R1 和 R2 之電阻值是為相同的情況下得到。

當電力被施加到該電源 VDD 時，該電源 VDD 的電壓上升，如由波形 B1 所示。該等電阻器 R1 和 R2 的電阻值
5 係相同。據此，如由波形 B2 所示，在該連接有該等電阻器 R1 和 R2 之點的電壓是為該電源 VDD 之電壓的一半而且逐漸上升。假設該電晶體 Q2 的臨界電壓是為 v_1 。如由波形 B3 所示，該起動器訊號 sttx 於時間 t1 從”L”狀態改變成”H”狀態。該起動器訊號 sttx 的電壓根據仍然正在上升
10 之該電源 VDD 的電壓來從時間 t1 上升到時間 t2。

如上所述，在電力被施加到該電源 VDD 之後的時間 t1，該起動器訊號 sttx 被輸出，那就是說，當該電源 VDD 的電壓上升到在其之下於該半導體裝置中之內部電路能夠執行正常之運作的電壓時。

15 現在，本發明的第二實施例將會作說明。

第 5 圖是為顯示在本發明之第二實施例之半導體裝置中之起動器電路的圖示。就在第 3 圖中所示之本發明之第一實施例的起動器電路而言，如果一個短中斷係出現於被施加之電源 VDD 的電壓時，該短中斷無法被偵測而一內部
20 電路無法被初始化。這樣的原因是為該電源 VDD 的電壓係由該電晶體 Q1 切斷。在第二實施例之半導體裝置中的起動器電路包括一個用於在短中斷出現於被施加之電源之電壓之情況中偵測一短中斷及用於釋放該電源之電壓之切斷的偵測電路。與在第 3 圖中所示之起動器電路 11 中之組件

玖、發明說明

相同之在第 5 圖中所示之起動器電路中的組件係由相同的符號標示而且它們的說明將會被省略。

在第 5 圖中所示的起動器電路 21 包括一偵測電路 22，該偵測電路 22 包含電晶體 Q6 至 Q8、一反相器電路 Z6、一電容器 C2、和一電阻器 R4。此外，該起動器電路 21 包括在第 3 圖中所示的起動器電路 11、NAND 電路 Z5,Z7 和 Z8、一電容器 C3、反相器電路 Z9 和 Z10、及一設定脈衝產生電路 23。

該偵測電路 22 將會首先作說明。

10 該偵測電路 22 偵測一個在該電源 VDD 之電壓上的短中斷(下降)並且輸出一個用於釋放該電源 VDD 之電壓之輸入之由於在該起動器電路 11 中之電晶體 Q1 和 Q5 之作用之切斷的訊號。

該電晶體 Q6 是為一 n-通道 MOS 電晶體。該電晶體 15 Q6 的汲極和閘極被連接。那就是說，二極體連接係對該電晶體 Q6 執行。該電晶體 Q6 的閘極和汲極係連接到電源 VPP。該電晶體 Q6 的源極係連接到該電阻器 R4。該電源 VPP 是為一個增加並輸出該電源 VDD 之電壓的電壓源。該電源 VPP 的電壓係比該電源 VDD 的電壓高。當一短中 20 斷出現於該電源 VDD 的電壓時，由於在該半導體裝置中的電容，該電源 VPP 的電壓會比該電源 VDD 的電壓更慢地下降。

該電晶體 Q7 是為一 p-通道 MOS 電晶體。該電晶體 Q7 的閘極係連接到該電源 VDD。該電晶體 Q7 的源極係連

玖、發明說明

接到該電阻器 R4。該電晶體 Q7 的汲極係連接到該電晶體 Q8 的汲極。

該電晶體 Q8 是為一 n-通道 MOS 電晶體。該電晶體 Q8 的閘極係連接到該電源 VDD。該電晶體 Q8 的源極係連接到該電源 VDD 的地線。該等電晶體 Q7 和 Q8 構成一反相器電路 D1。

該反相器電路 Z6 的輸入側係連接到該等電晶體 Q7 和 Q8 的汲極。該反相器電路 Z6 的輸出側係連接到該等 NAND 電路 Z8 和 Z5 的輸入側。

該電容器 C2 的一端係連接到該電阻器 R4 而該電容器 C2 的另一端係連接到該電源 VPP 的地線。

現在，該偵測電路 22 的運作將會作說明。

假設電力係被施加到該電源 VDD 及假設該半導體裝置係處於正常的運作。該電源 VPP 的電壓係由該電晶體 Q6 的二極體特性降低並且被輸入到該電晶體 Q7 的源極。該電晶體 Q6 係被選擇或者該等電晶體 Q6 的多級連接係被執行以致於該電晶體 Q7 之源極的電壓將會與該電源 VDD 的電壓相同。結果，當該半導體裝置係處於正常的運作時，在該電晶體 Q7 的源極與閘極之間係沒有電位差且該電晶體 Q7 的源極-汲極區域係被置於不導通狀態。

該電源 VDD 的電壓係輸入到該電晶體 Q8 的閘極且該電晶體 Q8 的源極-汲極區域係被置於導通狀態。因此，該電源 VDD 之地線的電壓產生在該電晶體 Q8 的汲極。這表示一個處於”L”狀態的訊號被輸出。該反相器電路 Z6 把該

玖、發明說明

處於”L”狀態的訊號反相並且輸出一個處於”H”狀態的訊號。

。 假設一短中斷係出現於被施加之電源 VDD 的電壓。由於在該半導體裝置中的電容，該電源 VPP 的電壓比該電源 VDD 的電壓更慢地下降。再者，該電源 VPP 的電壓係由於該電阻器 R4 和電容器 C2(CR 低通濾波器)而慢慢地下降。

該電晶體 Q7 之源極的電壓慢慢地下降。另一方面，被輸入有該電源 VDD 之電壓之該電晶體 Q7 之閘極的電壓係由於該短中斷而急速地下降。結果，在該電晶體 Q7 之源極與閘極之間的電位差變寬且該電晶體 Q7 的源極-汲極區域變成導通狀態。因此，該電源 VPP 的電壓，那就是說，一個處於”H”狀態的訊號產生在該電晶體 Q7 的汲極而且被輸出到該反相器電路 Z6。該反相器電路 Z6 把該處於”H”狀態的訊號反相並且輸出一個處於”L”狀態的訊號。

現在，就該等電晶體 Q7 和 Q8 作為反相器電路 D1 的說明將會被敘述。比該電源 VDD 之電壓更慢地下降之該電源 VPP 的電壓係被供應到該反相器電路 D1 作為驅動電力。該電源 VDD 的電壓係被輸入到該反相器電路 D1 作為一輸入訊號。端視該電源 VDD 的電壓(於正常運作時間的電壓或於短中斷時間的較低電壓)而定，該反相器電路 D1 輸出一個處於”H”或”L”狀態的訊號。

如上所述，該偵測電路 22 偵測在該電源 VDD 之電壓中的短中斷(下降)並且從該反相器電路 Z6 輸出一個用於釋

玖、發明說明

放該電源 VDD 之電壓之輸入之由於在該起動器電路 11 中之該等電晶體 Q1 和 Q5 之作用的訊號。

回到第 5 圖的說明，該 NAND 電路 Z5 的輸入側係連接到在該起動器電路 11 中之反相器電路 Z4 的輸出側和在該偵測電路 22 中之反相器電路 Z6 的輸出側。該 NAND 電路 Z5 係連接到該設定脈衝產生電路 23。該 NAND 電路 Z5 輸出一個設定訊號 setx。

當該電源 VDD 的電壓在電力被施加或者一短中斷之後上升時，一設定訊號 setx 變成”L”狀態。然後，該設定脈衝產生電路 23 保持該設定訊號 setx 的”L”狀態一段預定的時間並且輸出一個處於”H”狀態的設定脈衝訊號 setpx。

該 NAND 電路 Z7 係連接到該設定脈衝產生電路 23。該 NAND 電路 Z7 的輸出側係連接到該 NAND 電路 Z8 的輸入側。該 NAND 電路 Z7 的輸出側亦被連接到該電容器 C3 和該反相器電路 Z9 的輸入側。該電容器 C3 防止一停止訊號 stop 在起動時間由於，例如，由該電源 VDD 所引致的耦合雜訊而變成”H”狀態。該 NAND 電路 Z7 的輸出側亦係連接到該電晶體 Q1 的閘極。

該 NAND 電路 Z8 的輸入側係連接到該反相器電路 Z6 的輸出側。該 NAND 電路 Z8 的輸出側係連接到該 NAND 電路 Z7 的輸入側。該等 NAND 電路 Z7 和 Z8 構成一正反器 (FF) 電路 D2。NOR 電路可以構成該 FF 電路 D2。

該反相器電路 Z9 的輸入側係連接到該 NAND 電路 Z7 的輸出側。該反相器電路 Z10 的輸入側係連接到該反相器

玖、發明說明

電路 Z9 的輸出側。該反相器電路 Z10 輸出一個起動器訊號 sttx。

現在，在第 5 圖中所示之半導體裝置中之該起動器電路 21 的運作將會藉由使用一時序圖來作說明。該起動器電路 11 和偵測電路 22 已被描述如上，所以它們之運作的詳細說明將會被省略。

第 6 圖是為顯示在第 5 圖中所示之起動器電路中之時序的圖示，(a)到(f)顯示在該起動器電路內之不同部份中之電壓的波形。第(a)圖顯示該電源 VDD 電壓的波形。第 6(b)圖顯示該電源 VPP 之電壓的波形。第 6(c)圖顯示一個從該 NAND 電路 Z5 輸出之設定訊號 setx 之電壓的波形。第 6(d)圖顯示一個從該設定脈衝產生電路 23 輸出之設定脈衝訊號 setpx 之電壓的波形。第 6(e)圖顯示一個從該反相器電路 Z10 輸出之起動器訊號 sttx 之電壓的波形。第 6(f)圖顯示一個從該 FF 電路 D2 輸出之停止訊號 stop 之電壓的波形。

如在第 6(a)圖中所示，假設電力於時間 t1 被施加到該電源 VDD。如在第 6(a)圖中所示，該電源 VDD 的電壓上升。

如在第 6(f)圖中所示，該停止訊號 stop 係處於”L”狀態。那就是說，該等電晶體 Q1 和 Q5 的汲極-源極區域係處於導通狀態而且該起動器電路 11 係處於可運作狀態。

如在第 6(c)圖中所示，從該 NAND 電路 Z5 輸出之設定訊號 setx 的電壓隨著電源 VDD 之電壓上的增加而上升

玖、發明說明

。

假設該電源 VDD 的電壓上升及假設在該起動器電路 11 中之該連接有電阻器 R1 和 R2 之點的電壓到達該電晶體 Q2 的臨界電壓。然後，一個處於”H”狀態的訊號係從該反相器電路 Z4 輸出。再者，由於在該電源 VDD 之電壓上之增加的結果，在該偵測電路 22 中的反相器電路 D1 輸出一個處於”L”狀態的訊號而且在該偵測電路 22 中的反相器電路 Z6 輸出一個處於”H”狀態的訊號。

據此，如在第 6(c)圖中所示，從該 NAND 電路 Z5 輸出的該設定訊號 setx 在時間 t2 變成”L”狀態。

如在第 6(d)圖中所示，該設定脈衝產生電路 23 從時間 t2 起保持該設定訊號 setx 的”L”狀態一段預定的時間而然後輸出處於”H”狀態的設定脈衝訊號 setpx。

該設定脈衝訊號 setpx 係輸入到該 FF 電路 D2。當處於”H”狀態的設定脈衝訊號 setpx 被輸入時，該 FF 電路 D2 保持和輸出一個處於”H”狀態的訊號。

從該 FF 電路 D2 輸出之處於”H”狀態的訊號係由該等反相器電路 Z9 和 Z10 反相並且在如第 6(e)圖中所示之時間 t2 被輸出作為處於”H”狀態的起動器訊號 sttx。再者，如在第 6(f)圖中所示，處於”L”狀態的停止訊號 stop 於時間 t2 改變成”H”狀態。然後，該停止訊號 stop 把該等電晶體 Q1 和 Q5 的源極-汲極區域置於不導通狀態。結果，輸入到該起動器電路 11 之電源 VDD 的電壓被切斷。

如上所述，從該起動器電路 11 和 NAND 電路 Z5 輸出

玖、發明說明

的設定訊號 setx 係由該 FF 電路 D2 保持而輸入到該起動器電路 11 之電源 VDD 的電壓被切斷。藉由如此做，由該半導體裝置所消耗的電流量能夠被降低。

如在第 6(a)圖中所示，假設一短中斷係在時間 t3 出現於該電源 VDD 的電壓。

當該短中斷出現於該電源 VDD 的電壓時，藉由提升該電源 VDD 之電壓來被產生之電源 VPP 的電壓下降，如在第 6(b)圖中所示。該電源 VPP 的電壓係由於，例如，在該半導體裝置中的電容而比該電源 VDD 的電壓更緩慢地下降。

由於在該電源 VDD 之電壓上之由該短中斷所引致之下降的結果，在該偵測電路 22 中的反相器電路 D1 輸出一個處於”H”狀態的訊號。因此，一個處於”L”狀態的訊號係從該偵測電路 22 中的反相器電路 Z6 輸出。假設在該偵測電路 22 偵測該電源 VDD 之電壓上之下降及從該反相器電路 Z6 輸出處於”L”狀態之訊號時的時間為 t4。

從該反相器電路 Z6 輸出之處於”L”狀態的訊號係輸入到該 NAND 電路 Z5。據此，如在第 6(c)圖中所示，該 NAND 電路 Z5 在時間 t4 輸出一個處於”H”狀態的設定訊號 setx(一個處於”H”狀態的訊號從該反相器電路 Z4 輸出)。該電源 VDD 的電壓係下降而該 NAND 電路 Z5 輸出具有視該電源 VDD 之電壓而定之電壓之處於”H”狀態的設定訊號 setx。

如在第 6(d)圖中所示，從該設定脈衝產生電路 23 輸出

玖、發明說明

之設定脈衝訊號 setpx 的電壓係根據該電源 VDD 的電壓來下降。該設定脈衝訊號 setpx 在時間 t4 係處於”H”狀態。

該 FF 電路 D2 以從該偵測電路 22 輸出之處於”L”狀態的訊號和從該設定脈衝產生電路 23 輸出之處於”H”狀態的訊號為基礎來設定及輸出一個處於”L”狀態的訊號。

從該 FF 電路 D2 輸出之處於”L”狀態的訊號係由該等反相器電路 Z9 和 Z10 反相並且係在時間 t4 被輸出作為處於”L”狀態的起動器訊號 sttx，如在第 6(e)圖中所示。再者，如在第 6(f)圖中所示，處於”H”狀態的停止訊號 stop 係在時間 t4 改變成”L”狀態。然後，該停止訊號 stop 使該等電晶體 Q1 和 Q5 的源極-汲極區域成導通狀態。結果，輸入到該起動器電路 11 之電源 VDD 之電壓的切斷係被釋放。

當該電源 VDD 的電壓開始上升時(在時間 t5)，在電力被施加到該電源 VDD 時被執行的相同運作將會被重覆。其之說明因此將會被省略。

如上所述，在該電源 VDD 之電壓中的短中斷係由該偵測電路 22 偵測而且輸入到該起動器電路 11 之電源 VDD 之電壓的切斷係被釋放。藉由如此做，即使在一短中斷出現於該電源 VDD 的電壓時，一內部電路能夠被初始化。

如在前文所說明，在本發明中，一個以電源電壓為基礎來從一起動器訊號產生電路輸出的起動器訊號係由一門電路保持而輸入到該起動器訊號產生電路的電源電壓被切斷。這樣係降低一半導體裝置的電力消耗。

玖、發明說明

前文係被考量僅作為本發明之原理的例證而已。此外，由於各式各樣的變化和改變對於熟知此項技術之人仕來說會隨時出現，本發明係不受限於被顯示和說明的確實結構與應用，而據此，所有適當的變化和等效物會被視為落在後附之申請專利範圍與其之等效物中之本發明之範圍之內。

【圖式簡單說明】

第 1 圖是為用於說明為本發明基礎之原理的圖示。

第 2 圖是為本發明之第一實施例之半導體裝置的方塊圖。

第 3 圖是為顯示在第 2 圖中所示之半導體裝置中之起動器電路的圖示。

第 4 圖是為顯示在電源電壓、分割電壓、與起動器訊號之間之關係的圖示，第 4(a)圖是為顯示該電源電壓與該分割電壓的圖示，第 4(b)圖是為顯示該起動器訊號的圖示。

第 5 圖是為顯示本發明之第二實施例之半導體裝置中之起動器電路的圖示。

第 6 圖是為顯示在第 5 圖中所示之起動器電路中之時序的圖示，(a)到(f)顯示在該起動器電路內之不同部份中之電壓的波形。

第 7 圖是為顯示在一習知半導體裝置中之起動器電路的圖示。

【圖式之主要元件代表符號表】

玖、發明說明

Q9	電晶體	Q4	電晶體
Q10	電晶體	Q5	電晶體
Q11	電晶體	Z1	反相器電路
Z11	反相器電路	Z2	反相器電路
Z12	反相器電路	Z3	反相器電路
R5	電阻器	Z4	反相器電路
R6	電阻器	R1	電阻器
R7	電阻器	R2	電阻器
VDD	電源	R3	電阻器
sttx	起始器訊號	C1	電容器
1	起動器訊號產生電路	A1	反相器電路
2	門電路	A2	門電路
3	切斷電路	stop	停止訊號
11	起動器電路	B1	波形
12a	電源電路	B2	波形
12b	電源電路	B3	波形
13	記憶體細胞	21	起動器電路
14	重置電路	22	偵測電路
VA	內部電壓	Q6	電晶體
VB	內部電壓	Q7	電晶體
Q1	電晶體	Q8	電晶體
Q2	電晶體	Z6	反相器電路
Q3	電晶體	C2	電容器

玖、發明說明

R4	電阻器	23	設定脈衝產生電路
Z5	NAND 電路	VPP	電源
Z7	NAND 電路	D1	反相器電路
Z8	NAND 電路	setx	設定訊號
C3	電容器	setpx	設定脈衝訊號
Z9	反相器電路	D2	正反器電路
Z10	反相器電路		

肆、中文發明摘要

一種半導體裝置具有把一內部電路初始化的功能。一起動器訊號產生電路根據輸入的電源電壓來輸出一個用於把該半導體裝置中之內部電路初始化的起動器訊號。一門電路保持並輸出該起動器訊號。一切斷電路在該起動器訊號被輸出時切斷該電源電壓到該起動器訊號產生電路的輸入。那就是說，根據該電源電壓輸出的該起動器訊號係由該門電路保持而輸入到該起動器訊號產生電路的電源電壓係被切斷。結果，電力消耗被降低。

伍、英文發明摘要

A semiconductor device that has the function of initializing an internal circuit. A starter signal generation circuit outputs a starter signal for initializing the internal circuit in the semiconductor device on the basis of input power supply voltage. A latch circuit holds and outputs the starter signal. A shutoff circuit shuts off input of the power supply voltage to the starter signal generation circuit when the starter signal is output. That is to say, the starter signal output on the basis of the power supply voltage is held by the latch circuit and the power supply voltage input to the starter signal generation circuit is shut off. As a result, consumption of power is reduced.

陸、(一)、本案指定代表圖爲：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

1 起動器訊號產生電路

2 門電路

3 切斷電路

sttx 起動器訊號

VDD 電源

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

1.一種具有把一內部電路初始化之功能的半導體裝置，該裝置包含：

一起動器訊號產生電路，該起動器訊號產生電路係用於根據該輸入之電源電壓來輸出一個把該內部電路初始化的起動器訊號；

一門電路，該門電路係用於保持和輸出該起動器訊號；及

一切斷電路，該切斷電路係用於在該起動器訊號被輸出之時切斷輸入到該起動器訊號產生電路的電源電壓。

2.如申請專利範圍第 1 項所述之半導體裝置，其中，該起動器訊號產生電路在該電源電壓上升到在其之下該內部電路執行正常之運作的電壓時輸出該起動器訊號。

3.如申請專利範圍第 1 項所述之半導體裝置，更包含一用於偵測在該電源電壓上之下降及用於輸出一偵測訊號的偵測電路，其中，該切斷電路釋放該由於該偵測訊號之作用的切斷。

4.如申請專利範圍第 3 項所述之半導體裝置，其中，當在藉由提升該電源電壓來被獲得之上升電壓與該電源電壓之間出現一預定的差異時，該偵測電路輸出該偵測訊號。

5.如申請專利範圍第 4 項所述之半導體裝置，更包含一個用於保持該上升電壓的電壓保持電路。

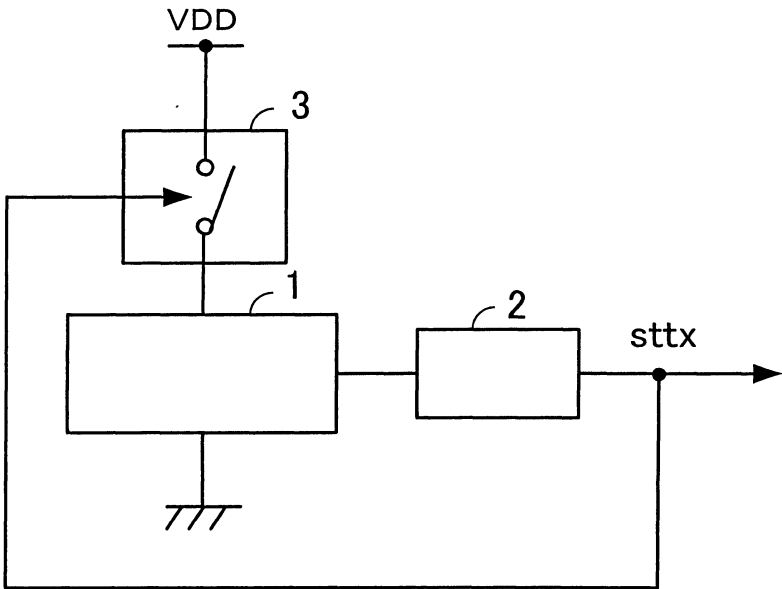
6.如申請專利範圍第 4 項所述之半導體裝置，其中，該偵

拾、申請專利範圍

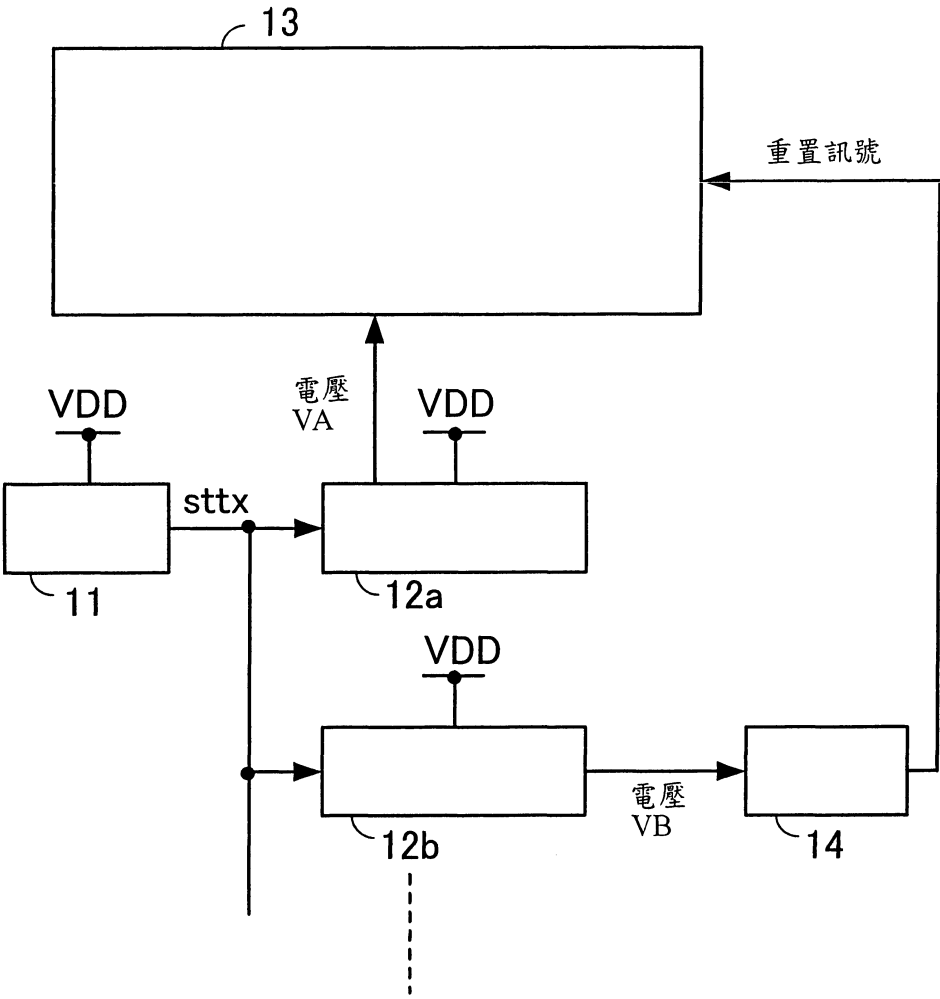
測電路是為一個輸入該電源電壓且使用該上升電壓作為
電源的反相器電路。

5 7.如申請專利範圍第 6 項所述之半導體裝置，其中，該反
相器電路包括一個用於降低被輸入之上升電壓的電壓降
電路。

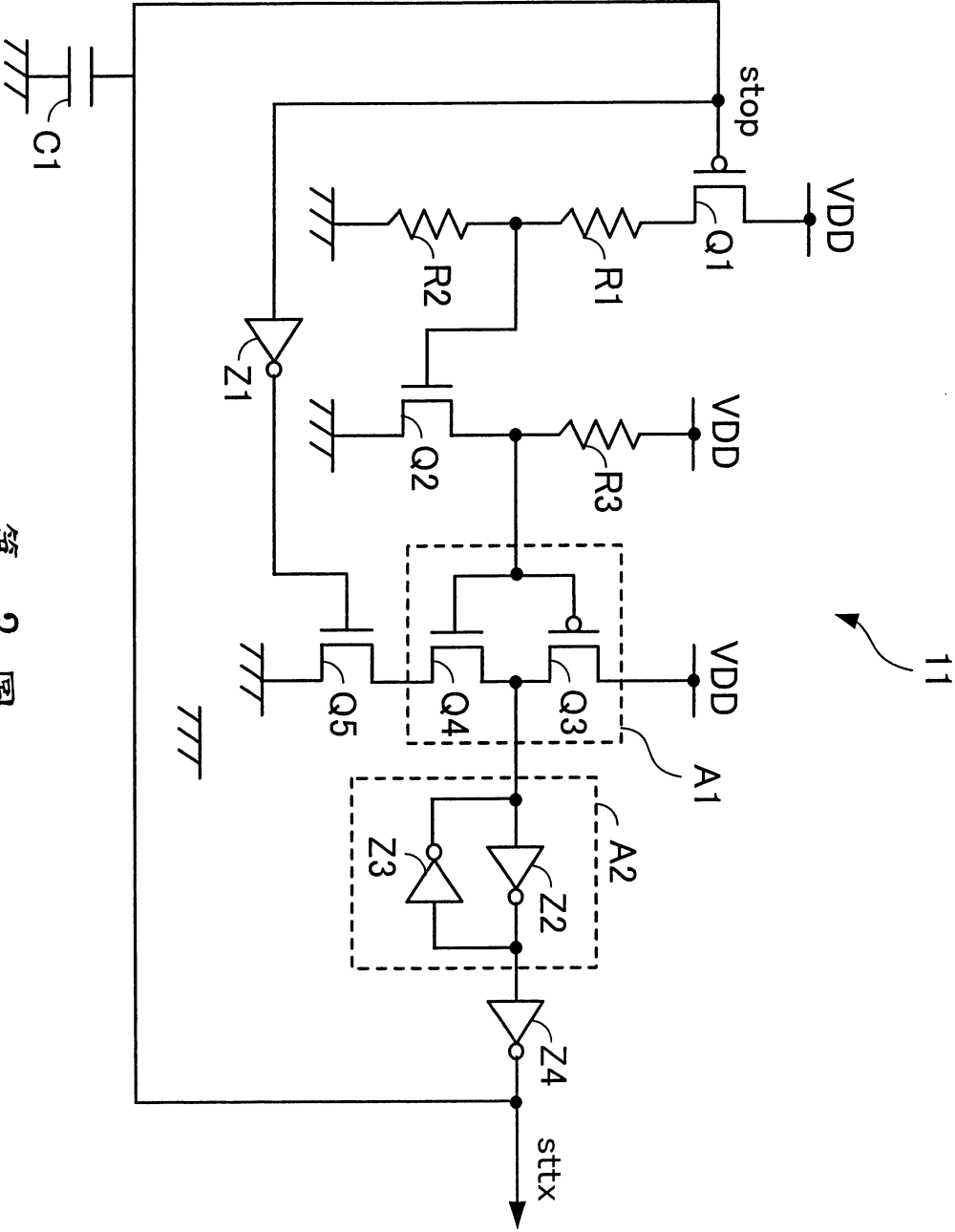
8.如申請專利範圍第3項所述之半導體裝置，更包含一
個正反器電路，該正反器電路係用於保持被輸出的
起動器訊號和被輸出的偵測訊號及係用於把該起動
器訊號和該偵測訊號輸出到該切斷電路。



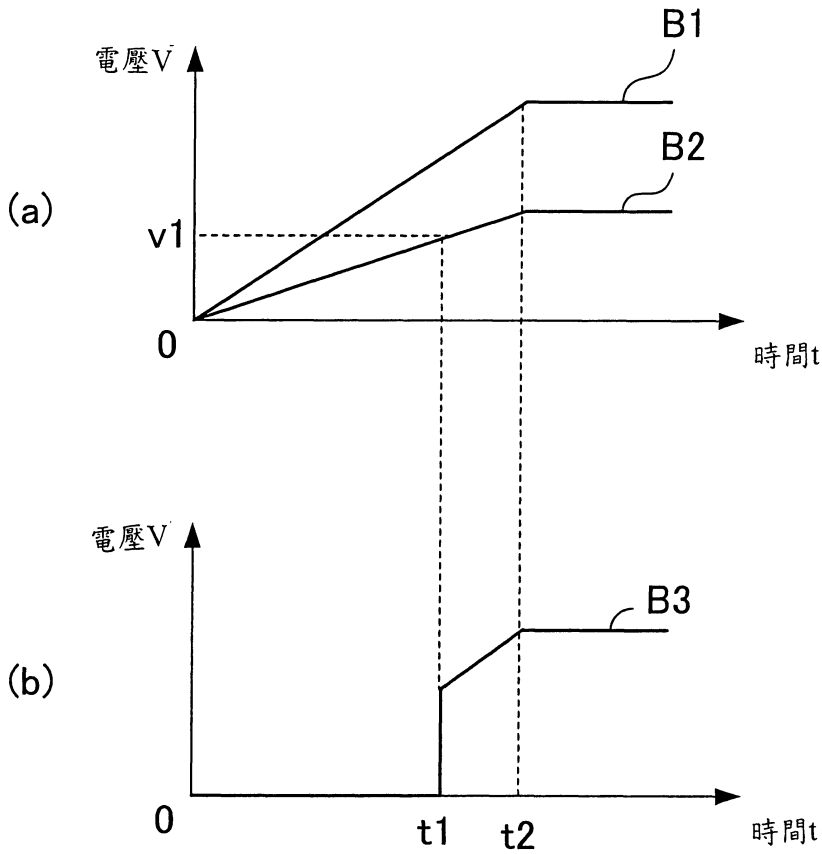
第 1 圖



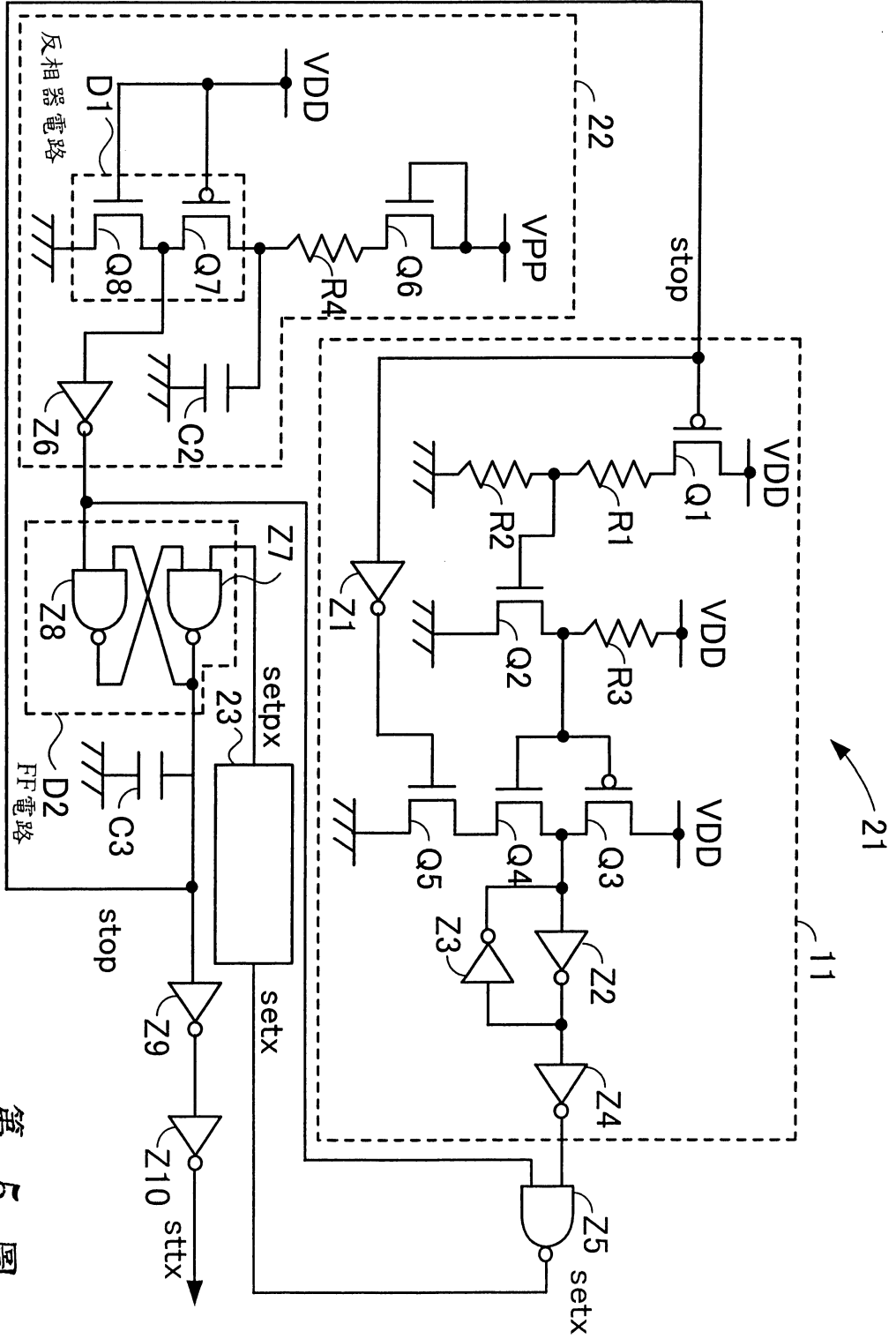
第 2 圖



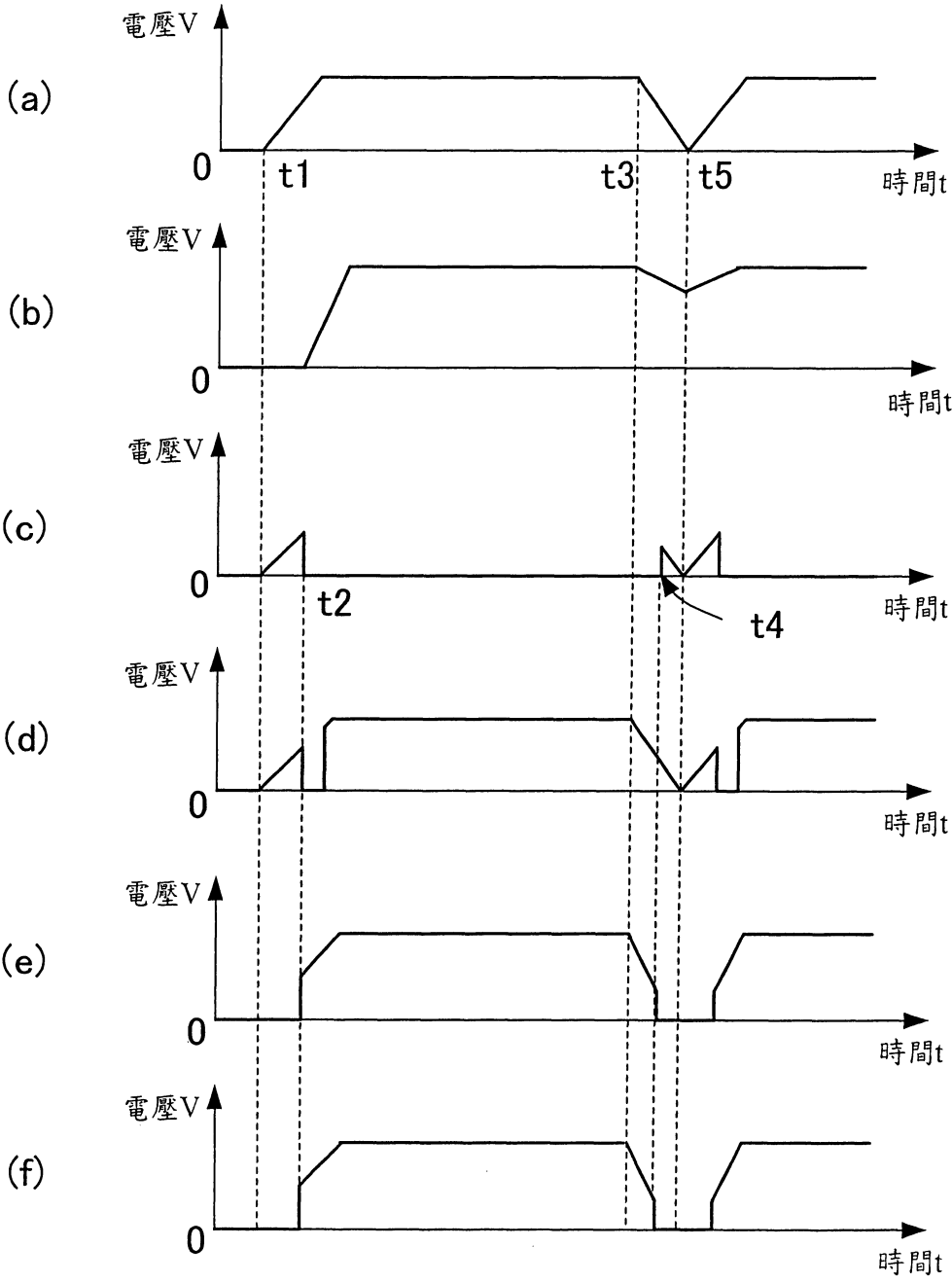
第 3 圖



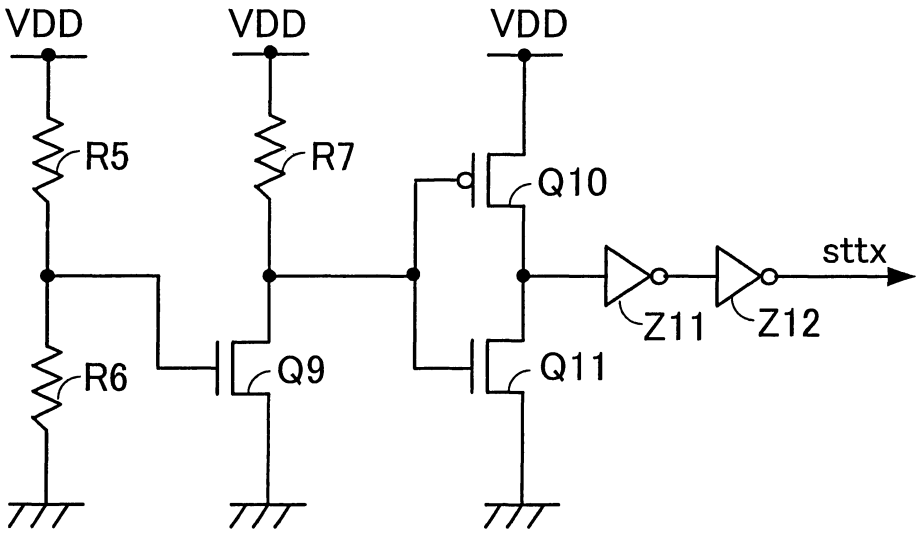
第 4 圖



第 5 圖



第 6 圖



第 7 圖