



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0124006
(43) 공개일자 2024년08월16일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>H01L 29/06</i> (2006.01) <i>H01L 21/02</i> (2006.01)
 <i>H01L 29/66</i> (2006.01) <i>B82Y 40/00</i> (2017.01)
 <i>B82Y 99/00</i> (2011.01)</p> <p>(52) CPC특허분류
 <i>H01L 29/0665</i> (2013.01)
 <i>H01L 21/02568</i> (2013.01)</p> <p>(21) 출원번호 10-2023-0016710
 (22) 출원일자 2023년02월08일
 심사청구일자 2023년02월08일</p> | <p>(71) 출원인
 고려대학교 산학협력단
 서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)</p> <p>(72) 발명자
 오승주
 서울시 중구 청구로 64, 113동 104호 (신당동, 청구e편한세상)</p> <p>이용민
 서울특별시 성북구 고려대로16길 4-15(안암동3가 하이원룸) 104호</p> <p>(74) 대리인
 최훈식</p> |
|--|---|

전체 청구항 수 : 총 20 항

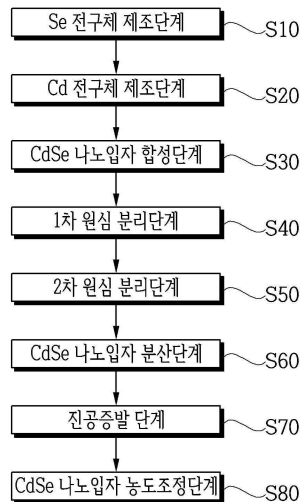
(54) 발명의 명칭 **저온 공정을 위한 CdSe 나노입자 합성방법 및 이를 이용한 유연기관 기반의 소자 제조방법**

(57) 요약

본 발명은 저온 공정을 위한 CdSe 나노입자 합성방법 및 이를 이용한 유연기관 기반의 소자 제조방법에 관한 것으로서, (a) Se(Selenium) 전구체를 제조하는 단계; (b) Cd(Cadmium) 전구체를 제조하는 단계; (c) 상기 Cd(Cadmium) 전구체에 상기 Se(Selenium) 전구체를 주입하여 20초 내지 40초 동안 반응시킴에 의해 2.9nm~3.5nm의 입자 크기를 갖는 CdSe 나노입자로 합성하는 단계;를 포함하는 CdSe 나노입자 합성방법 및 이를 이용하는 유연기관 기반의 소자 제조방법을 제안한다.

본 발명에 따르면, 전자 이동도와 전하 밀도 및 광감도 등의 동작특성을 향상시킬 수 있고 우수한 전기적 및 광학적 특성을 발휘할 수 있으며 저온 어닐링을 이용한 제작이 가능하므로 다양한 유연기관을 사용할 수 있는 장점을 제공할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 21/02623 (2013.01)

H01L 21/02664 (2013.01)

H01L 29/66969 (2013.01)

B82Y 40/00 (2013.01)

B82Y 99/00 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711157673
과제번호	2022R1A2C4001517
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	(이공)중견연구자지원사업(신진중견연계)
연구과제명	픽셀리스 적외선 이미지 센서 구현을 위한 광증폭 양자점 박막 소재 연구
기 여 율	1/2
과제수행기관명	고려대학교
연구기간	2022.03.01 ~ 2023.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711154699
과제번호	2018M3D1A1059001
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	(원천)미래소재디스커버리사업
연구과제명	Small form-factor용 초고효율 적외선 흡수 소재 개발
기 여 율	1/2
과제수행기관명	고려대학교
연구기간	2022.01.16 ~ 2023.01.15

명세서

청구범위

청구항 1

- (a) Se(Selenium) 전구체를 제조하는 단계;
- (b) Cd(Cadmium) 전구체를 제조하는 단계;
- (c) 상기 Cd(Cadmium) 전구체에 상기 Se(Selenium) 전구체를 주입하여 20초 내지 40초 동안 반응시킴에 의해 일정 입자 크기를 갖는 CdSe 나노입자로 합성하는 단계; 를 포함하는 것을 특징으로 하는 저온 공정을 위한 CdSe 나노입자 합성방법.

청구항 2

제 1항에 있어서,

상기 (a)단계에서는,

- (1) Se(Selenium), Oleic acid(OA; 올레산), 1-Octadecene(ODE; 1-옥타데센)을 교반 혼합하는 단계;
- (2) 상기 (1)단계의 교반 혼합물에 대해 100~150℃의 온도 조건으로 처리하여 산소 및 습기를 제거하는 단계;
- (3) 상기 (2)단계를 마친 교반 혼합물에 대해 200~250℃에서 3~5시간 동안 두어 Se(Selenium)을 용해시킴으로써 Se 전구체를 완성하는 단계; 를 포함하는 것을 특징으로 하는 저온 공정을 위한 CdSe 나노입자 합성방법.

청구항 3

제 2항에 있어서,

상기 (2)단계에서는 진공 분위기 하에서 수행하고,

상기 (3)단계에서는 질소 분위기 하에서 수행하는 것을 특징으로 하는 저온 공정을 위한 CdSe 나노입자 합성방법.

청구항 4

제 1항에 있어서,

상기 (b)단계에서는,

- (1) CdO(Cadmium oxide), Oleic acid(OA; 올레산), 1-Octadecene(ODE; 1-옥타데센)을 교반 혼합하는 단계;
- (2) 상기 (1)단계의 교반 혼합물에 대해 100~150℃의 온도 조건으로 처리하여 산소 및 습기를 제거하는 단계;
- (3) 상기 (2)단계를 마친 교반 혼합물에 대해 200~250℃에서 30분~90분 동안 두어 CdO(Cadmium oxide)을 용해시킴으로써 Cd 전구체를 완성하는 단계; 를 포함하는 것을 특징으로 하는 저온 공정을 위한 CdSe 나노입자 합성방법.

청구항 5

제 1항에 있어서,

상기 (c)단계에서는,

2.9nm~3.5nm의 입자 크기를 갖는 CdSe 나노입자로 합성하는 것을 특징으로 하는 저온 공정을 위한 CdSe 나노입자 합성방법.

청구항 6

제 5항에 있어서,

상기 CdSe 나노입자는 구형 입자 기준으로 단위 부피당 1.70nm~1.95nm의 표면적을 갖는 것을 특징으로 하는 저온 공정을 위한 CdSe 나노입자 합성방법.

청구항 7

제 1항에 있어서,

상기 (c)단계에서는,

200~280℃의 온도 조건 하에서 Cd(Cadmium) 전구체에 Se(Selenium) 전구체를 주입하는 것을 특징으로 하는 저온 공정을 위한 CdSe 나노입자 합성방법.

청구항 8

제 1항에 있어서,

(d) 합성된 CdSe 나노입자에 iso-propanol(IPA)와 아세톤(acetone)을 투입하여 원심분리를 진행하는 단계;

(e) 톨루엔(toluene)과 에탄올(ethanol)을 추가하여 원심분리를 1회 이상 추가 진행함으로써 CdSe 나노입자를 균일한 입자 크기로 석출하는 단계;

(f) 석출된 CdSe 나노입자에 대해 헥산(hexane)에 분산시키는 단계; 를 더 포함하는 것을 특징으로 하는 저온 공정을 위한 CdSe 나노입자 합성방법.

청구항 9

제 8항에 있어서,

(g) 상기 CdSe 나노입자에 대해 진공 처리를 수행하여 용매로 사용된 1-Octadecene(ODE; 1-옥타데센)을 증발시키는 단계;

(h) 상기 용매를 증발시킨 CdSe 나노입자를 옥탄(octane)에 분산시켜 농도를 맞추는 단계; 를 더 포함하는 것을 특징으로 하는 저온 공정을 위한 CdSe 나노입자 합성방법.

청구항 10

(A) CdSe 나노입자를 합성하는 단계;

(B) 유연기판을 구비하되, 유연기판 위에 게이트 전극을 형성하는 단계;

(C) 유연기판 위에 게이트 유전막을 형성하는 단계;

(D) 게이트 유전막 위에 합성된 CdSe 나노입자를 코팅하여 CdSe 나노입자 박막을 형성하는 단계;

(E) CdSe 나노입자 박막에 금속할라이드 리간드로 치환을 수행하는 단계;

(F) 리간드 치환된 CdSe 나노입자 박막 위에 소스-드레인 전극을 형성하는 단계;

(G) 200℃ 미만의 온도에서 저온 열처리를 수행하는 단계; 를 포함하며,

상기 (A)단계는,

청구항 1 내지 청구항 9 중에서 어느 한 항에 의한 저온 공정을 위한 CdSe 나노입자 합성방법으로 수행되는 것을 특징으로 하는 유연기판 기반의 소자 제조방법.

청구항 11

제 10항에 있어서,

상기 유연기판은,

PET(Polyethylene Terephthalate), HDPE(High Density Polyethylene), ABS(Acrylonitrile Butadiene Styrene), Nylon, PC(PolyCarbonate), PP(PolyPropylene), PS(PolyStyrene), Kapton 중에서 선택된 어느 1종의 폴리머기판이 사용되는 것을 특징으로 하는 유연기판 기반의 소자 제조방법.

청구항 12

제 10항에 있어서,
상기 게이트 전극과 소스-드레인 전극은 각각,
알루미늄(Al) 소재로 이루어진 것을 특징으로 하는 유연기판 기반의 소자 제조방법.

청구항 13

제 10항에 있어서,
상기 게이트 유전막은,
산화알루미늄(Al_2O_3) 소재로 이루어진 것을 특징으로 하는 유연기판 기반의 소자 제조방법.

청구항 14

제 13항에 있어서,
상기 게이트 유전막은,
원자층 증착(Atomic Layer Deposition; ALD) 방식으로 형성시킨 것을 특징으로 하는 유연기판 기반의 소자 제조 방법.

청구항 15

제 10항에 있어서,
상기 (D)단계에서는,
스프레이 코팅, 스핀 코팅, 슬롯 다이 코팅, 롤 코팅, 바 코팅, 딥 코팅, 스크린 프린팅, 그라비아 프린팅 중에서도 선택된 어느 1종의 코팅방식이 사용된 것을 특징으로 하는 유연기판 기반의 소자 제조방법.

청구항 16

제 10항에 있어서,
상기 (E)단계에서의 금속할라이드 리간드는,
짧은 리간드 치환을 위해 $InCl_3$, $InBr_3$, InI_3 중에서 선택된 어느 1종인 것을 특징으로 하는 유연기판 기반의 소자 제조방법.

청구항 17

제 16항에 있어서,
상기 (E)단계에서의 금속할라이드 리간드는,
아세톤(acetone)에 용해시킨 리간드가 사용되는 것을 특징으로 하는 유연기판 기반의 소자 제조방법.

청구항 18

제 10항에 있어서,
상기 (E)단계는,
20℃~30℃ 범위의 상온에서 수행되는 것을 특징으로 하는 유연기판 기반의 소자 제조방법.

청구항 19

제 10항에 있어서,
상기 (G)단계는,

110℃~160℃의 온도에서 어닐링(annealing) 처리하는 것을 특징으로 하는 유연기관 기반의 소자 제조방법.

청구항 20

제 10항에 있어서,

상기 유연기관 기반의 소자는 트랜지스터, LED, 광전지, 광검출소자 중에서 어느 1종인 것을 특징으로 하는 유연기관 기반의 소자 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 저온 공정을 위한 CdSe(Cadmium selenide) 나노입자 합성방법 및 이를 이용한 유연기관 기반의 소자 제조방법에 관한 것으로서, 더욱 상세하게는 전자 이동도와 전하 밀도 및 광감도 등의 동작특성을 향상시킬 수 있도록 하며 저온 공정을 통해 유연기관 기반의 소자 제작을 용이하게 하면서 변형을 방지하여 양질의 제품 생산을 가능하게 하고 우수한 전기적 및 광전기적 특성을 갖게 함은 물론 경제성을 구현할 수 있도록 한 저온 공정을 위한 CdSe 나노입자 합성방법 및 이를 이용한 유연기관 기반의 소자 제조방법에 관한 것이다.

배경 기술

[0002] 최근 다양한 유연기관 기반의 소자들이 개발되고 있으며, 이를 기반으로 한 유연 디스플레이 및 회로들 또한 빠르게 발전하고 있다. 이러한 유연기관 기반의 소자들을 제작하기 위해서는 필수적으로 전자 소자의 핵심 소자인 트랜지스터가 유연기관 위에서 구동이 가능해야 한다.

[0003] 그러나, 현재 상용화되고 있는 실리콘 기반의 트랜지스터의 경우, 제조시 고온 공정이 요구됨과 동시에 스트레인(strain)을 견디지 못하는 문제가 있기 때문에 유연기관에 적합하지 않다.

[0004] 이와 같이 스트레인(strain)을 견디지 못할 경우 입자가 깨지거나 전극이 파괴되는 문제점이 발생된다.

[0005] 이를 극복하기 위해, CdSe 나노입자를 활용한 트랜지스터를 연구 및 제작하고 있지만, 이 또한 채널 생성을 위한 열처리시 200℃ 이상의 열처리 공정이 요구되고 있어 개선이 요구되고 있는 실정에 있다.

[0006] 그럼에도 불구하고, 유연기관에 적용 가능한 많은 반도체 후보들 중에 가장 촉망받는 소재는 나노입자이고, 그 중에서 CdSe 나노입자는 트랜지스터 등의 제작에 많이 사용되고 있다.

[0007] 하지만, 종래에 있어 CdSe 나노입자는 합성 후 벌크가 되지 않게 하기 위해서 긴 유기 리간드인 oleic acid(OA; 올레산)에 의해 감싸져 있기 때문에 전기적 물성을 증가시키기 위해 짧은 리간드로 치환하는 공정이 요구되고 있다. 이러한 리간드 치환과 동시에 도펀트로 사용된 소재의 분자가 CdSe 나노입자 표면과 결합하여 도핑이 가능하게 되며, 이렇게 도핑된 도펀트는 CdSe 나노입자에 전자를 공급해주는 도너로써 많이 사용되고 있으나, 종래에는 유연기관 기반의 트랜지스터 제작시 모두 최소 200℃ 이상의 열처리가 수행되고 있다.

[0008] 이와 같은 종래의 공정 처리온도는 유연기관으로 사용되는 고분자(polymer)의 변형을 초래하는 온도이므로 CdSe 나노입자가 유연기관에 사용되기 위해서는 종래의 공정 방식을 개선 및 처리온도를 낮출 필요성이 제기되고 있다.

[0009] 즉, 고분자 유연기관을 기반으로 하는 트랜지스터 등의 소자 제작을 위해서는 저온 공정법이 필요하다.

[0010] 부연하여, 긴 유기 리간드를 가진 나노 입자를 메탈 할라이드(metal halide) 리간드로 치환하는 경우, 리간드 치환과 더불어 금속 소재의 도핑(doping)이 동시에 발생한다. 이때 나노입자는 표면에 가장 많은 준위를 가지고 있으며, 나노 입자의 표면적은 나노입자의 크기가 감소할수록 커지므로 이러한 특성을 활용할 필요성이 있다.

[0011] 한편, 종래 선행기술문헌을 살펴보면, 국내공개특허 제10-1995-0015662호에서 개시된 '박막트랜지스터 제조방법', 국내등록특허 제10-0792407호에서 개시된 '플렉시블 기관 상에 나노 입자를 이용한 전면 게이트 박막트랜지스터 및 그 제조 방법', 국내등록특허 제10-0626033호에서 개시된 '박막 트랜지스터를 구비한 기관의 제조방법, 이에 따라제조된 박막 트랜지스터를 구비한 기관, 평판 표시장치의 제조방법, 및 이에 따라 제조된 평판 표시장치' 등을 참조할 수 있다.

선행기술문헌

특허문헌

- [0012] (특허문헌 0001) 대한민국 공개특허공보 제10-1995-0015662호
(특허문헌 0002) 대한민국 등록특허공보 제10-0792407호
(특허문헌 0003) 대한민국 등록특허공보 제10-0626033호

발명의 내용

해결하려는 과제

- [0013] 본 발명은 상술한 종래의 문제점을 해소 및 이를 감안하여 안출된 것으로서, 전자 이동도와 전하 밀도 및 광감도 등의 동작특성을 향상시킬 수 있도록 하며 저온 공정을 통해 유연기판 기반의 소자 제작을 용이하게 하면서 변형을 방지하여 양질의 제품 생산을 가능하게 하는 저온 공정을 위한 CdSe 나노입자 합성방법 및 이를 이용한 유연기판 기반의 소자 제조방법을 제공하는데 그 목적이 있다.
- [0014] 본 발명은 리간드 치환 공정시 리간드 치환 및 도핑 효율을 높여 우수한 전기적 및 광전기적 특성을 발휘할 수 있도록 하며, 저온 어닐링 공정을 통해 경제성을 구현할 수 있도록 한 저온 공정을 위한 CdSe 나노입자 합성방법 및 이를 이용한 유연기판 기반의 소자 제조방법을 제공하는데 그 목적이 있다.
- [0015] 본 발명은 저온 어닐링을 수행할 수 있도록 함으로써 다양한 유연기판의 사용을 가능하게 하며, 원료의 조성에 따른 변수를 없앨 수 있도록 한 저온 공정을 위한 CdSe 나노입자 합성방법 및 이를 이용한 유연기판 기반의 소자 제조방법을 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0016] 상기의 목적을 달성하기 위한 본 발명에 따른 저온 공정을 위한 CdSe 나노입자 합성방법은, (a) Se(Selenium) 전구체를 제조하는 단계; (b) Cd(Cadmium) 전구체를 제조하는 단계; (c) 상기 Cd(Cadmium) 전구체에 상기 Se(Selenium) 전구체를 주입하여 20초 내지 40초 동안 반응시킴에 의해 일정 입자 크기를 갖는 CdSe 나노입자로 합성하는 단계;를 포함하는 것을 특징으로 한다.
- [0017] 여기에서, 상기 (a)단계에서는, (1) Se(Selenium), Oleic acid(OA; 올레산), 1-Octadecene(ODE; 1-옥타데센)을 교반 혼합하는 단계; (2) 상기 (1)단계의 교반 혼합물에 대해 100~150℃의 온도 조건으로 처리하여 산소 및 습기를 제거하는 단계; (3) 상기 (2)단계를 마친 교반 혼합물에 대해 200~250℃에서 3~5시간 동안 두어 Se(Selenium)을 용해시킴으로써 Se 전구체를 완성하는 단계;를 포함하는 구성일 수 있다.
- [0018] 여기에서, 상기 (b)단계에서는, (1) CdO(Cadmium oxide), Oleic acid(OA; 올레산), 1-Octadecene(ODE; 1-옥타데센)을 교반 혼합하는 단계; (2) 상기 (1)단계의 교반 혼합물에 대해 100~150℃의 온도 조건으로 처리하여 산소 및 습기를 제거하는 단계; (3) 상기 (2)단계를 마친 교반 혼합물에 대해 200~250℃에서 30분~90분 동안 두어 CdO(Cadmium oxide)을 용해시킴으로써 Cd 전구체를 완성하는 단계;를 포함하는 구성일 수 있다.
- [0019] 여기에서, 상기 (c)단계에서는, 2.9nm~3.5nm의 입자 크기를 갖는 CdSe 나노입자로 합성하는 구성일 수 있다.
- [0020] 또한, 상기의 목적을 달성하기 위한 본 발명에 따른 유연기판 기반의 소자 제조방법은, (A) CdSe 나노입자를 합성하는 단계; (B) 유연기판을 구비하되, 유연기판 위에 게이트 전극을 형성하는 단계; (C) 유연기판 위에 게이트 유전막을 형성하는 단계; (D) 게이트 유전막 위에 합성된 CdSe 나노입자를 코팅하여 CdSe 나노입자 박막을 형성하는 단계; (E) CdSe 나노입자 박막에 금속할라이드 리간드로 치환을 수행하는 단계; (F) 리간드 치환된 CdSe 나노입자 박막 위에 소스-드레인 전극을 형성하는 단계; (G) 200℃ 미만의 온도에서 저온 열처리를 수행하는 단계;를 포함하며, 상기 (A)단계는 상술한 바와 같은 저온 공정을 위한 CdSe 나노입자 합성방법으로 수행되는 것을 특징으로 한다.
- [0021] 이하에서는 과제의 해결수단에 대해 더욱 다양한 실시예들을 상세하게 기재하고 있으며, 이하에서 기재하는 더욱 구체적이고 상세한 설명들을 통해 본 발명에 따른 이해의 폭을 넓힐 수 있다 할 것이다.

발명의 효과

[0022] 본 발명에 따르면, CdSe 나노입자의 크기와 인듐(indium) 도핑 농도의 상관관계를 파악할 수 있고 이를 활용하여 인듐이 도핑된 양질의 CdSe 나노입자를 합성할 수 있으며, 인듐이 도핑된 양질의 CdSe 나노입자를 사용하여 유연기관 기반을 갖는 유연성 트랜지스터나 LED 등의 유연성 소자를 제조할 수 있다.

[0023] 본 발명에 따르면, 전자 이동도와 전하 밀도 및 광감도 등의 동작특성을 향상시킬 수 있고 저온 공정을 통한 유연기관 기반의 소자 제작을 용이하게 하면서 스트레인 등에 변형을 방지할 수 있는 양질의 유연성 소자를 생산 및 제조할 수 있다.

[0024] 본 발명에 따르면, 리간드 치환 공정시 리간드 치환 및 도핑 효율을 동시에 높일 수 있고 이를 통해 우수한 전기적 및 광전기적 특성을 발휘할 수 있으며, 저온 어닐링 공정을 통해 경제성을 구현할 수 있는 유용함을 달성할 수 있다.

[0025] 본 발명에 따르면, 저온 어닐링을 이용한 제작이 가능하므로 다양한 유연기관을 사용할 수 있는 유용함을 달성할 수 있고, 원료의 조성에 따른 변수를 없앨 수 있으며, 균등하면서도 우수한 특성을 발휘할 수 있는 CdSe 나노입자 합성 및 이를 이용한 우수한 유연기관 기반의 소자를 제조할 수 있는 유용함을 달성할 수 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 실시예에 따른 저온 공정을 위한 CdSe 나노입자 합성방법을 나타낸 공정 순서도이다.

도 2는 본 발명의 실시예에 따른 유연기관 기반의 소자 제조방법을 나타낸 공정 순서도이다.

도 3은 본 발명의 실시예에 따른 유연기관 기반의 소자 제조방법에 의해 제조된 소자의 구조를 나타낸 예시도이다.

도 4는 본 발명의 실시예에 따른 저온 공정을 위한 CdSe 나노입자 합성방법에 의해 합성된 CdSe 나노입자를 나타낸 분석 데이터로서, a) 내지 c)는 합성된 나노입자의 크기에 따른 투과전자현미경(TEM) 이미지이고, d) 내지 f)는 합성된 나노입자의 크기에 따른 흡수 스펙트럼(검정색) 및 광발광(PL) 스펙트럼(빨강색)을 나타낸 이미지이다.

도 5는 본 발명에 있어 입자 크기별 리간드 치환 및 열처리 온도에 따른 전기적 및 광전기적 특성을 검출하기 위해 나타낸 드레인 전류(I_D)와 게이트 전압(V_G) 측정 데이터로서, a)는 3.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반이고, b)는 4.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반이며, c)는 5.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반의 측정 데이터이다.

도 6은 본 발명에 있어 입자 크기별 리간드 치환 및 열처리 온도에 따른 전기적 및 광전기적 특성을 검출하기 위해 나타낸 전하밀도 측정 데이터로서, a)는 3.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반이고, b)는 4.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반이며, c)는 5.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반의 측정 데이터이다.

도 7은 본 발명에 있어 리지드 기관 기반의 리간드 치환을 갖는 소자(FET)의 입자 크기별 및 열처리 온도에 따른 광전기적 특성을 측정한 데이터로서, a)는 3.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반이고, b)는 4.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반이며, c)는 5.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반의 측정 데이터이다.

도 8은 본 발명에 있어 유연 기관 기반의 리간드 치환을 갖는 소자(FET)의 전기적 및 광전기적 특성을 검출 및 분석하기 위해 나타낸 이미지 및 측정 데이터로서, a)는 3.3nm CdSe 나노입자 박막 및 리간드 치환을 갖는 소자(FET)를 나타낸 도식 및 구조도이고, b) 150℃ 및 200℃에서 열처리(어닐링)한 소자(FET)에 대한 전류(I_D)-전압(V_G) 특성을 나타낸 측정 데이터이고, c)는 150℃에서 열처리(어닐링)한 소자(FET)에 대해 0.2% 스트레인(strain)을 가한 실험을 통한 소자(FET)의 안정성을 테스트한 데이터이며, d)는 열처리(어닐링) 온도에 따른 소자(FET)의 광전기적 특성을 나타낸 측정 데이터이다.

발명을 실시하기 위한 구체적인 내용

[0027] 본 발명에 대해 첨부한 도면을 참조하여 바람직한 실시예를 설명하면 다음과 같으며, 이와 같은 상세한 설명을 통해서 본 발명의 목적과 구성 및 그에 따른 특징들을 보다 잘 이해할 수 있게 될 것이다.

[0028] 본 발명의 실시예에 따른 저온 공정을 위한 CdSe 나노입자 합성방법은 도 1에 나타낸 바와 같이, Se(Selenium)

전구체 제조단계(S10), Cd(Cadmium) 전구체 제조단계(S20), CdSe 나노입자 합성단계(S30)를 포함한다.

- [0029] 이와 같은 CdSe 나노입자 합성에는 용기나 플라스크 등이 활용될 수 있다.
- [0030] 상기 Se(Selenium) 전구체 제조단계(S10)는 Se(Selenium) 전구체를 제조하기 위한 공정으로서, 하기 단계의 순서로 진행될 수 있다.
- [0031] (1) Se(Selenium), Oleic acid(OA; 올레산), 용매인 1-Octadecene(ODE; 1-옥타데센)을 교반 혼합한다.
- [0032] (2) 상기 (1)단계의 교반 혼합물에 대해 100~150℃의 온도에서 10~30분 동안 처리하여 산소 및 습기를 제거한다.
- [0033] 이때에는 진공 분위기 하에서 수행함이 바람직하다.
- [0034] 여기에서, 상기 온도 조건에서 100℃ 미만일 경우에는 빠른 습기 제거가 불가능하고, 150℃를 초과시에는 Oleic acid(OA; 올레산)과 1-Octadecene(ODE; 1-옥타데센)의 기화를 야기할 수 있다.
- [0035] (3) 상기 (2)단계를 마친 교반 혼합물에 대해 200~250℃에서 3~5시간 동안 두어 Se(Selenium)을 용해시킴으로써 Se 전구체를 완성한다.
- [0036] 이때에는 질소 분위기 하에서 수행함이 바람직하다.
- [0037] 여기에서, 상기에서 200℃ 미만 및 3시간 미만일 경우에는 Se(Selenium)이 Oleic acid(OA; 올레산)과 1-Octadecene(ODE; 1-옥타데센)의 혼합물에 용해되지 않으며, 250℃ 초과 및 5시간 초과시에는 Se(Selenium)이 재석출될 수 있다.
- [0038] 상기 Cd(Cadmium) 전구체 제조단계(S20)는 Cd(Cadmium) 전구체를 제조하기 위한 공정으로서, 하기 단계의 순서로 진행될 수 있다.
- [0039] (1) CdO(Cadmium oxide), Oleic acid(OA; 올레산), 용매인 1-Octadecene(ODE; 1-옥타데센)을 교반 혼합한다.
- [0040] (2) 상기 (1)단계의 교반 혼합물에 대해 100~150℃의 온도에서 10~30분 동안 처리하여 산소 및 습기를 제거한다.
- [0041] 이때에도 진공 분위기 하에서 수행할 수 있다.
- [0042] 여기에서도, 상기 온도 조건에서 100℃ 미만일 경우에는 빠른 습기 제거가 불가능하고, 150℃를 초과시에는 Oleic acid(OA; 올레산)과 1-Octadecene(ODE; 1-옥타데센)의 기화를 야기할 수 있다.
- [0043] (3) 상기 (2)단계를 마친 교반 혼합물에 대해 200~250℃에서 30분~90분 동안 두어 CdO(Cadmium oxide)을 용해시킴으로써 Cd 전구체를 완성한다.
- [0044] 이때에도 질소 분위기 하에서 수행할 수 있다.
- [0045] 여기에서, 상기에서 200℃ 미만 및 30분 미만일 경우에는 Cd(Cadmium)이 Oleic acid(OA; 올레산)과 1-Octadecene(ODE; 1-옥타데센)의 혼합물에 용해되지 않으며, 250℃ 초과 및 90분 초과시에는 Cd(Cadmium)이 재석출될 수 있다.
- [0046] 상기 CdSe 나노입자 합성단계(S30)는 상기 Cd(Cadmium) 전구체에 상기 Se(Selenium) 전구체를 주입하여 상호 반응시킴에 의해 일정 입자 크기를 갖는 CdSe 나노입자로 합성하는 공정이다.
- [0047] 상기 CdSe 나노입자 합성단계(S30)는 상기 Cd(Cadmium) 전구체에 상기 Se(Selenium) 전구체를 주입하여 20초 내지 40초 동안 반응시킴에 의해 2.9nm~3.5nm의 입자 크기를 갖는 CdSe 나노입자로 합성함이 바람직하며, 이와 같은 입자 크기로의 성장 및 합성을 통해 전자 이동도와 전하 밀도 및 광감도 등의 동작특성을 향상시킬 수 있다.
- [0048] 이때에는 200~280℃의 온도 조건 하에서 Cd(Cadmium) 전구체에 Se(Selenium) 전구체를 주입함이 바람직하다.
- [0049] 여기에서, 2.9nm~3.5nm의 입자 크기를 갖는 CdSe 나노입자로 합성하는 이유는 이하에서 기술하는 유연기관 기반의 소자 제조시 리간드 치환에 따른 리간드 측 도표효율을 높여줄 수 있으며, 이를 통해 전자 이동도와 전하 밀도 및 광감도 등의 동작특성을 향상시켜줄 수 있다.
- [0050] 여기에서, 2.9nm~3.5nm의 입자 크기를 갖도록 합성된 CdSe 나노입자는 구형 입자 기준으로 단위 부피당

1.70nm~1.95nm의 표면적을 갖도록 합성함이 동작특성의 향상을 위해 더욱 바람직하다.

- [0051] 여기에서, 상기 온도 조건에 있어 200℃ 미만일 경우에는 CdSe 나노입자 합성을 위한 최소 열에너지가 충족되지 않아 나노입자의 합성이 불가능하고, 280℃를 초과시에는 Cd(Cadmium) 전구체가 재석출될 수 있다.
- [0052] 또한, 본 발명에서는 상술한 방법으로 합성된 CdSe 나노입자에 대해 균일한 입자를 취하기 위해 하기와 같은 공정을 더 진행할 수 있다.
- [0053] 즉, 1차 원심분리단계(S40), 2차 원심분리단계(S50), CdSe 나노입자 분산단계(S60)를 더 포함한다.
- [0054] 상기 1차 원심분리단계(S40)는 상기 S10단계 내지 S30단계를 통해 합성된 CdSe 나노입자에 이소프로판올(isopropanol; IPA)과 아세톤(acetone)을 투입하여 원심분리를 진행하는 단계이다.
- [0055] 상기 2차 원심분리단계(S50)는 상기 1차 원심분리단계(S40) 이후에 톨루엔(toluene)과 에탄올(ethanol)을 추가하여 원심분리를 1회 이상 추가 진행함으로써 CdSe 나노입자를 균일한 입자 크기로 석출하는 단계이다.
- [0056] 이때에는 3회에 걸쳐 원심분리를 수행할 수 있다.
- [0057] 상기 CdSe 나노입자 분산단계(S60)는 상기 2차 원심분리단계(S50)를 통해 균일한 입자로 석출된 CdSe 나노입자에 대해 헥산(hexane)을 이용하여 이에 분산시키는 단계이다.
- [0058] 또한, 본 발명에서는 상술한 방법으로 합성된 CdSe 나노입자에 대해 균일한 농도를 맞추기 위해 하기와 같은 공정을 더 진행할 수 있다.
- [0059] 즉, 진공증발단계(S70), CdSe 나노입자 농도조정단계(S80)를 더 포함한다.
- [0060] 상기 진공증발단계(S70)는 상술한 S10단계 내지 S60단계까지 거친 합성된 CdSe 나노입자에 대해 진공 처리를 수행하여 용매로 사용된 1-Octadecene(ODE; 1-옥타데센)을 증발시키는 단계이다.
- [0061] 상기 CdSe 나노입자 농도조정단계(S80)는 상기 진공증발단계(S70)를 통해 용매를 증발시킨 CdSe 나노입자를 옥탄(octane)에 분산시켜 농도를 맞추는 단계이다.
- [0062] 한편, 본 발명의 실시예에 따른 유연기판 기반의 소자 제조방법은 앞서 상술한 저온 공정을 위한 CdSe 나노입자 합성방법을 이용하는 것으로서, 도 2 및 도 3에 나타난 바와 같이, CdSe 나노입자 합성단계(S110), 게이트 전극 형성단계(S120), 게이트 유전막 형성단계(S130), CdSe 나노입자 박막 형성단계(S140), 리간드 치환단계(S150), 소스-드레인 전극 형성단계(S160), 저온 열처리단계(S170)를 포함하는 구성으로 이루어진다.
- [0063] 상기 CdSe 나노입자 합성단계(S110)는 유연기판 기반의 소자 제조 및 저온의 공정 처리를 위한 CdSe 나노입자를 합성하는 단계이다.
- [0064] 상기 CdSe 나노입자 합성단계(S110)는 도 1을 참조하여 앞서 설명한 저온 공정을 위한 CdSe 나노입자 합성방법으로 진행된다.
- [0065] 즉, 상기 CdSe 나노입자 합성단계(S110)는 Se(Selenium) 전구체 제조단계(S10), Cd(Cadmium) 전구체 제조단계(S20), CdSe 나노입자 합성단계(S30)를 포함한다.
- [0066] 1차 원심분리단계(S40), 2차 원심분리단계(S50), CdSe 나노입자 분산단계(S60)를 더 포함할 수 있다.
- [0067] 진공증발단계(S70), CdSe 나노입자 농도조정단계(S80)를 더 포함할 수 있다.
- [0068] 이와 같은 상기 CdSe 나노입자 합성단계(S110)는 도 1을 참조하여 앞서 설명한 저온 공정을 위한 CdSe 나노입자 합성방법을 이용하므로 상술한 기술적 구성을 준용하기로 한다.
- [0069] 상기 게이트 전극 형성단계(S120)는 유연기판(10)을 구비하되, 유연기판 위에 게이트 전극(20)을 형성하는 단계이다.
- [0070] 상기 유연기판(10)은 PET(Polyethylene Terephthalate), HDPE(High Density Polyethylene), ABS(Acrylonitrile Butadiene Styrene), Nylon, PC(PolyCarbonate), PP(PolyPropylene), PS(PolyStyrene), Kapton 중에서 선택된 어느 1종의 폴리머기판이 사용된다.
- [0071] 상기 게이트 전극(20)은 알루미늄(Al) 소재로 이루어질 수 있으며, 다양한 금속 소재가 사용될 수 있다.
- [0072] 상기 게이트 유전막 형성단계(S130)는 유연기판(10) 위에 게이트 유전막(30)을 형성하는 단계이다.

- [0073] 상기 게이트 유전막(30)은 상기 게이트 전극(20)을 내포하는 형태로 형성된다.
- [0074] 상기 게이트 유전막(30)은 산화알루미늄(Al_2O_3) 소재로 이루어질 수 있으며, 다양한 산화물 소재가 사용될 수 있다.
- [0075] 상기 게이트 유전막(30)은 원자층 증착(Atomic Layer Deposition; ALD) 방식으로 형성시킬 수 있으며, 특별히 이에 제한되지 않는다 할 것이다.
- [0076] 상기 CdSe 나노입자 박막 형성단계(S140)는 게이트 유전막(30) 위에 합성된 CdSe 나노입자를 코팅하여 CdSe 나노입자 박막(40)을 형성하는 단계이다.
- [0077] 상기 CdSe 나노입자 박막 형성단계(S140)에서는 스프레이 코팅, 스핀 코팅, 슬롯 다이 코팅, 롤 코팅, 바 코팅, 딥 코팅, 스크린 프린팅, 그라비아 프린팅 중에서 선택된 어느 1종의 코팅방식이 사용되며, 더욱 다양한 코팅방식이 접목될 수 있다.
- [0078] 상기 리간드 치환단계(S150)는 CdSe 나노입자 박막(40)에 금속할라이드 리간드로 치환을 수행하는 단계이다.
- [0079] 상기 리간드 치환단계(S150)에서는 금속할라이드 리간드로서, 짧은 리간드 치환을 위해 인듐이 포함된 $InCl_3$, $InBr_3$, InI_3 중에서 선택된 어느 1종을 사용할 수 있다.
- [0080] 이때, 상기 금속할라이드 리간드는 아세톤(acetone)에 용해시킨 리간드를 사용함이 바람직하다.
- [0081] 이와 같은 상기 리간드 치환단계(S150)는 20℃~30℃ 범위의 상온에서 수행된다.
- [0082] 여기에서, 상기 리간드 치환시 상온이 아닌 다른 온도 영역에서 수행하는 경우에는 과도한 리간드 치환으로 인하여 박막의 박리현상이 발생될 수 있다.
- [0083] 상기 소스-드레인 전극 형성단계(S160)는 상기 리간드 치환단계(S150)를 통해 리간드 치환된 구조를 갖는 CdSe 나노입자 박막(40) 위에 소스-드레인 전극(50)을 형성하는 단계이다.
- [0084] 상기 소스-드레인 전극(50)은 알루미늄(Al) 소재로 이루어질 수 있으며, 다양한 금속 소재가 사용될 수 있다.
- [0085] 상기 저온 열처리단계(S170)는 제조되는 유연기관 기반의 소자에 대한 안정된 채널 생성을 위해 200℃ 미만의 온도에서 저온 열처리를 수행하는 단계이다.
- [0086] 이때, 상기 저온 열처리단계(S170)는 110℃~160℃의 온도에서 3~10분 동안 어닐링(annealing) 처리함이 바람직하며, 유연기관(10) 측 변형을 방지하는 등 안정된 상태를 그대로 유지할 수 있다.
- [0087] 여기에서, 상기 온도 조건에 있어 110℃ 미만일 경우에는 리간드 치환에 의해 도핑된 인듐 측 확산을 유도하지 못해 채널 생성을 어렵게 하며, 160℃를 초과할 경우에는 인듐이 과도팽되므로 인해 트랜지스터 등의 소자로서 사용이 불가능하다.
- [0088] 이와 같은 상술한 단계를 통해 유연기관 기반의 소자를 제조할 수 있고, 우수한 전기적 및 광학적 특성을 발휘할 수 있는 양질의 제품을 생산할 수 있다.
- [0089] 이때, 본 발명에 따른 제조기술을 갖는 유연기관 기반의 소자는 트랜지스터 또는 LED일 수 있다.
- [0090] 이를 통해, 본 발명에 따른 기술은 디스플레이 및 반도체 분야, 차세대 모바일 기기나 웨어러블 기기 등의 전자 기기 전범위에 걸쳐 적용할 수 있다 할 것이다.
- [0091] 이하에서는, 본 발명의 구체적인 실시예와 더불어 비교예에 따른 CdSe 나노입자 합성 및 이를 이용하여 나노입자의 크기와 리간드 치환시 인듐(indium) 도핑 농도의 상관관계를 파악하고, CdSe 나노입자 합성을 이용한 유연기관 기반의 소자 제조를 실시하였으며, 이를 통한 동작특성들을 테스트하고 그에 따른 결과를 설명하기로 한다.
- [0092] (실시예 1)
- [0093] **CdSe 나노입자의 합성**
- [0094] Se, Oleic acid(OA), 1-Octadecene(ODE)을 3-neck 플라스크에 넣어 스트링(stirring) 처리하여 Se 전구체(precursor)를 만든다. 플라스크를 진공 상태로 만들어주어 110℃에서 산소 및 습기를 제거한다. 이후 플라스크를 질소 상태로 만든 후 230℃에서 4시간 동안 Se 전구체를 용해한다.

- [0095] 이어, Cd 전구체(precursor) 제작을 위해 Cadmium oxide(CdO), Oleic acid(OA), 1-Octadecene(ODE)를 3-neck 플라스크에 넣어 스트링(stirring) 처리한다. Se 전구체와 같이 110℃에서 산소 및 습기를 제거한다. 이후 240℃에서 1시간 동안 CdO를 녹인 후 280℃에서 Se 전구체를 Cd 전구체에 주입한다.
- [0096] Se 전구체가 주입되자마자 반응하여 CdSe 나노입자가 생성되며, 반응시간에 따라 입자가 성장한다. 동일한 조건의 입자를 얻기 위해, 같은 배치에서 반응시간만 다르게 하여 크기가 다른 3.3nm, 4.3nm, 5.3nm의 CdSe 나노입자를 각각 합성하였다.
- [0097] 균일한 입자를 취하기 위해 합성된 CdSe 나노입자를 iso-propanol(IPA)와 acetone을 추가하여 원심분리를 진행한다. 이후 toluene과 ethanol을 추가하여 3회 원심분리를 진행하였으며, 석출된 CdSe 나노입자는 hexane에 분산한 후 농도를 맞추기 위해 진공을 통해 용매를 증발시킨 후 30mg/ml로 octane에 분산하였다.
- [0098] 도 4는 실시예 1에 의해 합성된 CdSe 나노입자를 나타낸 분석 데이터로서, a) 내지 c)는 합성된 나노입자의 크기에 따른 투과전자현미경(TEM) 이미지이고, d) 내지 f)는 합성된 나노입자의 크기에 따른 흡수 스펙트럼(검정색) 및 광발광(PL) 스펙트럼(빨강색)을 나타낸 이미지이다.
- [0099] 투과전자현미경(TEM) 분석에 있어, 합성된 CdSe 나노입자는 평균 직경 3.3nm, 4.3nm, 5.3nm의 크기를 갖는 CdSe 나노입자로 각각 잘 합성되었음을 보여주고 있다.
- [0100] 흡수 스펙트럼에 있어서는, 3.3nm 크기에서 흡수 피크가 503nm에 있고, 4.3nm 크기에서 흡수 피크가 550nm에 있으며, 5.3nm 크기에서 흡수 피크가 574nm에 있음을 보여주고 있다.
- [0101] 광발광(PL) 스펙트럼에 있어서는, 3.3nm 크기에서 PL 방출 피크가 517nm에 있고, 4.3nm 크기에서 PL 방출 피크가 564nm에 있으며, 5.3nm 크기에서 PL 방출 피크가 587nm에 있음을 보여주고 있다.
- [0102] (실시예 2)
- [0103] **리지드 기판 기반의 소자(FET) 제조**
- [0104] SiO₂/Si 리지드 기판을 사용하고, 실리콘(Si)을 게이트 전극으로 사용하며, 산화실리콘(SiO₂)을 게이트 유전막으로 사용하였다.
- [0105] SiO₂/Si 리지드 기판을 자외선(UV) 또는 오존(Ozone) 처리한 후 Metacryloxypropyltrimethoxysilane(MPTS) 용액에 하루 동안 담지한다. 이후 기판을 꺼내어 ethanol로 세척한 후, 게이트 유전막 위로 합성된 CdSe 나노입자를 3000rpm으로 30초 동안 스핀코팅한다. 스핀코팅된 CdSe 나노입자 박막은 acetone에 용해된 10mM InCl₃로 리간드 치환 공정을 진행하였다.
- [0106] 리간드 치환된 CdSe 나노입자 박막 위에 열 증착을 통해 알루미늄(Al)을 증착하여 소스-드레인 전극을 형성한 이후, 채널 생성을 위한 어닐링 공정으로 150℃, 200℃, 및 230℃의 온도에서 각각 열처리하였다.
- [0107] 이때, 평균 직경 3.3nm, 4.3nm, 5.3nm의 크기를 갖는 CdSe 나노입자가 각각 사용된 리지드 기판 기반의 리간드 치환을 갖는 소자(FET)를 제조하였다.
- [0108] 이러한 실시예 2는 합성된 CdSe 나노입자 측 리간드 치환 및 도핑효율을 분석함과 더불어 전기적 및 광전기적 특성을 검출하기 위한 구체적인 실시예이다.
- [0109] 도 5는 실시예 2에 따라 제조된 리지드 기판 기반의 리간드 치환을 갖는 소자(FET)의 입자 크기별 및 열처리 온도에 따른 드레인 전류(I_D)와 게이트 전압(V_G)을 측정한 데이터이다.
- [0110] 이는 입자 크기별 리간드 치환 및 열처리 온도에 따른 전기적 및 광전기적 특성을 검출하기 위한 것으로서, a)는 3.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반이고, b)는 4.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반이며, c)는 5.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반의 측정 데이터이다.
- [0111] 도 5에서는 a)에서 보여주는 바와 같이, 3.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반 및 150℃에서의 열처리시 안정된 동작특성을 갖는 소자(FET)로서 사용 가능함을 보여주고 있다.
- [0112] 또한, 도 5를 통해서는 b)와 c)에 비해 a)에서, 즉 CdSe 나노입자의 크기가 작을수록 넓은 표면적으로 인한 큰 도핑효율을 나타냄을 보여주고 있으며, 도핑의 양을 간접적으로 알 수 있는 문턱전압(threshold voltage) 또한 도 5의 a)에서 보여주는 바와 같이 150℃의 열처리 온도 및 입자의 크기가 작을수록 왼쪽 또는 음의 게이트 전

압으로 이동한 것을 확인할 수 있다.

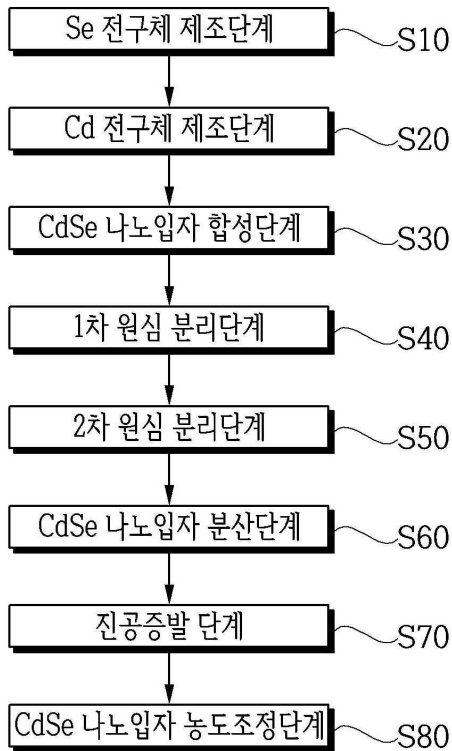
- [0113] 도 6은 실시예 2에 따라 제조된 리지드 기판 기반의 리간드 치환을 갖는 소자(FET)의 입자 크기별 및 열처리 온도에 따른 전하밀도를 측정한 데이터이다.
- [0114] 이는 입자 크기별 리간드 치환 및 열처리 온도에 따른 전기적 및 광전기적 특성을 검출하기 위한 것으로서, a)는 3.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반이고, b)는 4.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반이며, c)는 5.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반의 측정 데이터이다.
- [0115] 도 6에서는 작은 입자(3.3nm)에서 큰 입자(4.3nm 및 5.3nm) 대비 리간드 치환에 따른 높은 전하 밀도를 가짐을 나타내고 있으며, 이는 작은 입자(3.3nm)에서 리간드 치환시 더욱 높은 도핑효율을 가짐을 보여주고 있다.
- [0116] 도 6에서는 리간드 치환에 따른 인듐(Indium)의 도핑으로 인해 많은 전자들이 CdSe 나노입자로 이동하여 주입되고, 이에 기인하여 CdSe 나노입자 표면에 많은 트랩 준위를 채우게 되며, 결과적으로 높은 전하 이동도 값을 나타냄을 보여주고 있다. 또한, 기존에 비해 채널 생성을 위한 열처리 온도를 기존 200℃ 보다 낮춰 150℃에서 수행할 때 특성이 더욱 우수함을 보여주고 있어 폴리머 기판 기반의 유연성 트랜지스터나 LED 등 전자소자의 제작도 가능성을 나타내고 있다.
- [0117] 도 7은 실시예 2에 따라 제조된 리지드 기판 기반의 리간드 치환을 갖는 소자(FET)의 입자 크기별 및 열처리 온도에 따른 광전기적 특성을 측정한 데이터이다.
- [0118] 이는 입자 크기별 리간드 치환 및 열처리 온도에 따른 광전기적 특성을 검출하기 위한 것으로서, a)는 3.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반이고, b)는 4.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반이며, c)는 5.3nm 나노입자로 합성된 CdSe 나노입자 박막 기반의 측정 데이터이다.
- [0119] 이때, 도면의 이미지 상에서 직선의 형태는 광전류를 나타내고 점선의 형태는 암전류를 나타내며, $3.82\text{mW} \cdot \text{cm}^{-2}$ 의 강도를 가진 532nm 발광다이오드의 조명 하에서 측정한 암전류와 광전류를 보여주는 데이터이다.
- [0120] 어닐링 온도가 상승하면 모든 전류가 증가하여 인듐에서 캐리어를 받게 되는데, 같은 온도에서 가장 큰 광전류는 3.3nm 나노입자로 합성된 CdSe 나노입자 박막에서 관찰되고, 가장 낮은 광전류는 5.3nm 나노입자로 합성된 CdSe 나노입자 박막에서 관찰되었다.
- [0121] 응답성은 150℃에서 CdSe 나노입자의 직경이 증가하는 순서대로 3.11 ± 1.45 , 0.05 ± 0.01 및 $0.03 \pm 0.0087 \text{ A} \cdot \text{W}^{-1}$ 을 나타내었고, 200℃에서 7.02 ± 2.63 , 0.45 ± 0.29 및 $0.29 \pm 0.11 \text{ A} \cdot \text{W}^{-1}$ 을 나타내었으며, 230℃에서 38.4 ± 4.76 , 5.04 ± 2.1 및 $0.53 \pm 0.14 \text{ A} \cdot \text{W}^{-1}$ 을 나타내었다.
- [0122] 이와 같은 광전기적 특성을 나타낸 측정 결과데이터는 CdSe 나노입자의 직경이 작으면서 큰 표면적 비율을 포함하는 부분에서 더욱 효과적인 도핑이 이루어짐을 보여주는 것이며, 이는 폴리머를 사용한 유연 기판 기반의 전자소자 제작도 가능성을 나타내고 있다.
- [0123] (실시예 3)
- [0124] **유연 기판 기반의 소자(FET) 제조**
- [0125] 250 μm PET기판에 Al(알루미늄)에 의한 게이트 전극을 형성한 후, 원자층증착(ALD)을 통해 80nm 두께의 산화알루미늄(Al_2O_3)에 의한 게이트 유전막을 형성한다.
- [0126] 산화알루미늄(Al_2O_3)에 의한 게이트 유전막 위에 실시예 1에서와 같은 방식으로 합성된 CdSe 나노입자를 3000rpm으로 30초 동안 스핀코팅한다. 스핀코팅된 CdSe 나노입자 박막은 acetone에 용해된 10mM InCl_3 로 리간드 치환 공정을 진행하였다.
- [0127] 리간드 치환된 CdSe 나노입자 박막 위에 열 증착을 통해 알루미늄(Al)을 증착하여 소스-드레인 전극을 형성한 이후, 채널 생성을 위한 어닐링 공정으로 150℃, 200℃의 온도에서 각각 열처리하였다.
- [0128] 이때, 평균 직경 3.3nm의 크기를 갖는 CdSe 나노입자가 사용된 유연 기판 기반의 리간드 치환을 갖는 소자(FET)를 제조하였다.
- [0129] 도 8은 실시예 3에 따라 제조된 유연 기판 기반의 리간드 치환을 갖는 소자(FET)의 전기적 및 광전기적 특성을

검출 및 분석하기 위해 나타낸 이미지 및 측정 데이터이다.

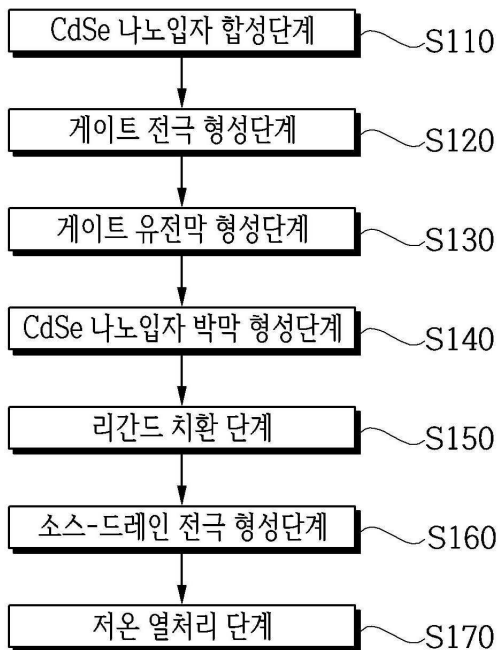
- [0130] 도 8의 a)는 실시예 3에 따라 제조된 3.3nm CdSe 나노입자 박막 및 리간드 치환을 갖는 소자(FET)를 나타낸 도식 및 구조도이고, b) 150℃ 및 200℃에서 열처리(어닐링)한 소자(FET)에 대한 전류(I_D)-전압(V_G) 특성을 나타낸 측정데이터이고, c)는 150℃에서 열처리(어닐링)한 소자(FET)에 대해 0.2% 스트레인(strain)을 가한 실험을 통한 소자(FET)의 안정성을 테스트한 데이터이며, d)는 열처리(어닐링) 온도에 따른 소자(FET)의 광전기적 특성을 나타낸 측정 데이터이다.
- [0131] 도 8의 b) 및 d)에서 검정색은 150℃에서 열처리하여 제조된 소자이고, 빨강색은 200℃에서 열처리하여 제조된 소자이다.
- [0132] 도 8의 b)에서는 150℃에서의 열처리시 소자(FET)로서 동작이 가능한 전류-전압 특성을 보여주고 있으며, 200℃에서의 열처리시 소자(FET)로서 사용이 불가능한 전류-전압 동작특성을 보여주고 있다.
- [0133] 도 8의 c)에서는 제작된 소자(FET)의 안정성을 확인하기 위해 스트레인 사이클 테스트를 조사한 것으로서, 0.2% 스트레인을 적용 및 100주기를 반복하였으며, 시작부터 100주기까지 온(On) 전류와 함께 오프(Off) 전류도 유지됨을 보여주고 있다.
- [0134] 도 8의 d)에서는 150℃에서 열처리된 유연 기판 기반의 소자가 갖는 광(암)전류가 200℃에서 열처리된 유연 기판 기반의 소자가 갖는 광(암)전류에 비해 높은 동작특성을 보여주고 있으면서 응답성에 있어서도 우수한 동작특성을 보여주고 있다.
- [0135] 즉, 실시예 3에 따라 제조된 유연기판 기반의 소자에 있어 200℃에 비해 이보다 낮은 온도의 150℃에서 열처리시 정상적인 구동이 이루어지고 안정된 동작특성을 나타내고 있다.
- [0136] 이에 따라, 본 발명에서는 CdSe 나노입자의 크기와 인듐(indium) 도핑 농도의 상관관계를 파악할 수 있고 이를 활용하여 인듐이 도핑된 양질의 CdSe 나노입자를 합성할 수 있으며, 인듐이 도핑된 양질의 CdSe 나노입자를 사용하여 유연기판 기반을 갖는 유연성 전자소자를 제조할 수 있으며, 전자 이동도와 전하 밀도 및 광감도 등의 동작특성을 향상시킬 수 있는 CdSe 나노입자를 합성할 수 있고 리간드 치환 및 저온 어닐링의 접목으로 우수한 전기적 및 광전기적 특성을 발휘할 수 있는 유연기판 기반의 소자 제작이 용이하며 경제성을 구현할 수 있는 장점을 제공할 수 있다.
- [0137] 이상에서 설명한 실시예는 본 발명의 바람직한 실시예를 설명한 것에 불과하고 이러한 실시예에 극히 한정되지 않는다 할 것이며, 본 발명의 기술적 사상과 청구범위 내에서 이 기술분야의 당해업자에 의하여 다양한 수정과 변형 또는 단계의 치환 등이 이루어질 수 있다 할 것이며, 이는 본 발명의 기술적 권리범위 내에 속한다 할 것이다.

도면

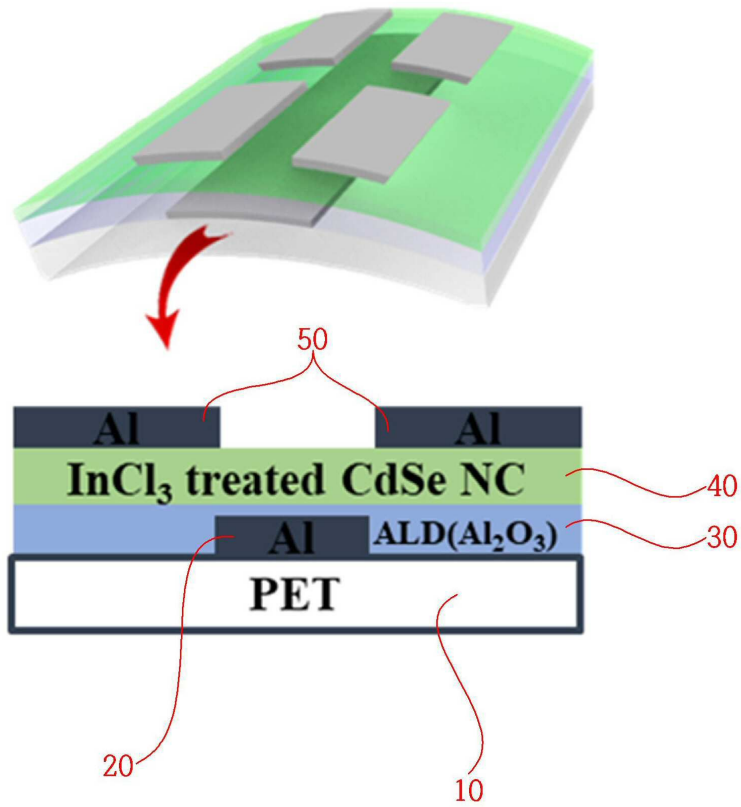
도면1



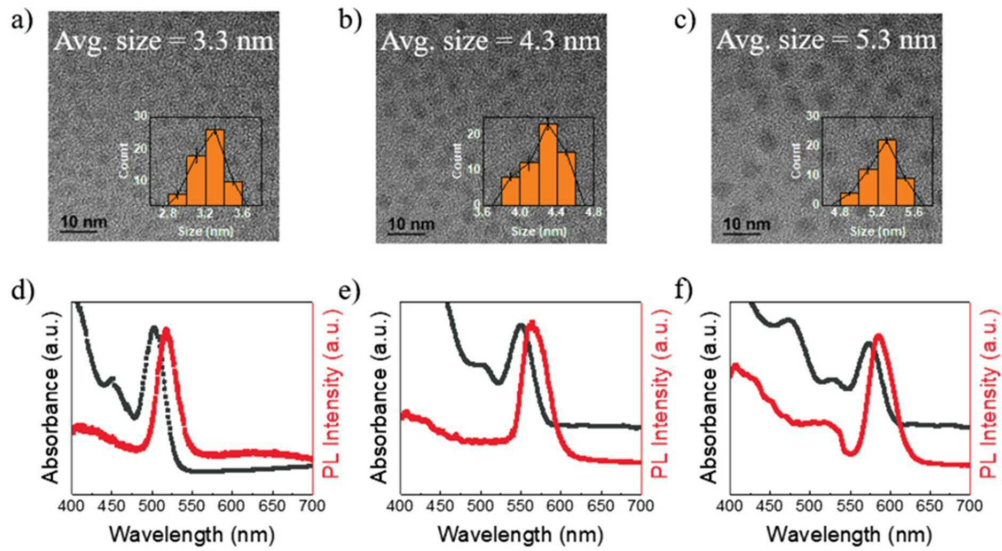
도면2



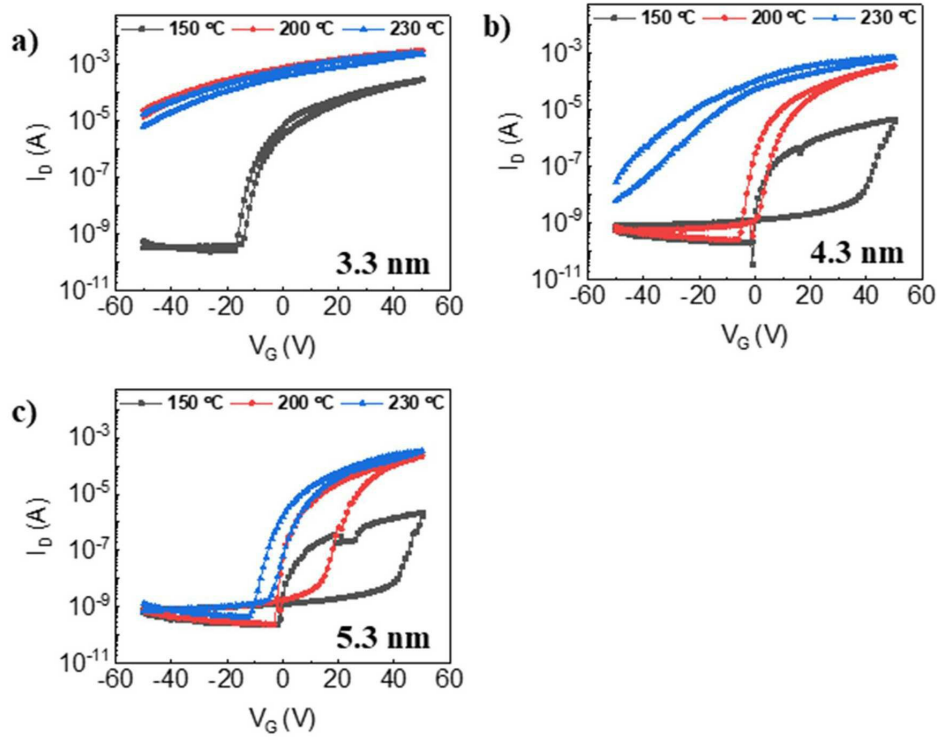
도면3



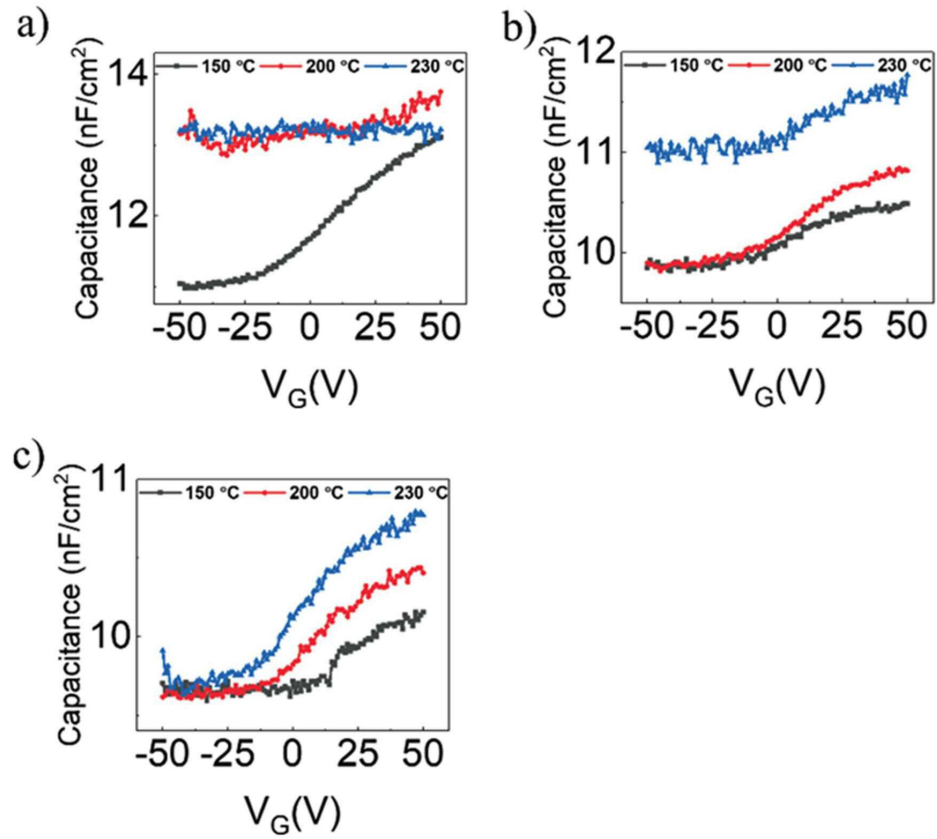
도면4



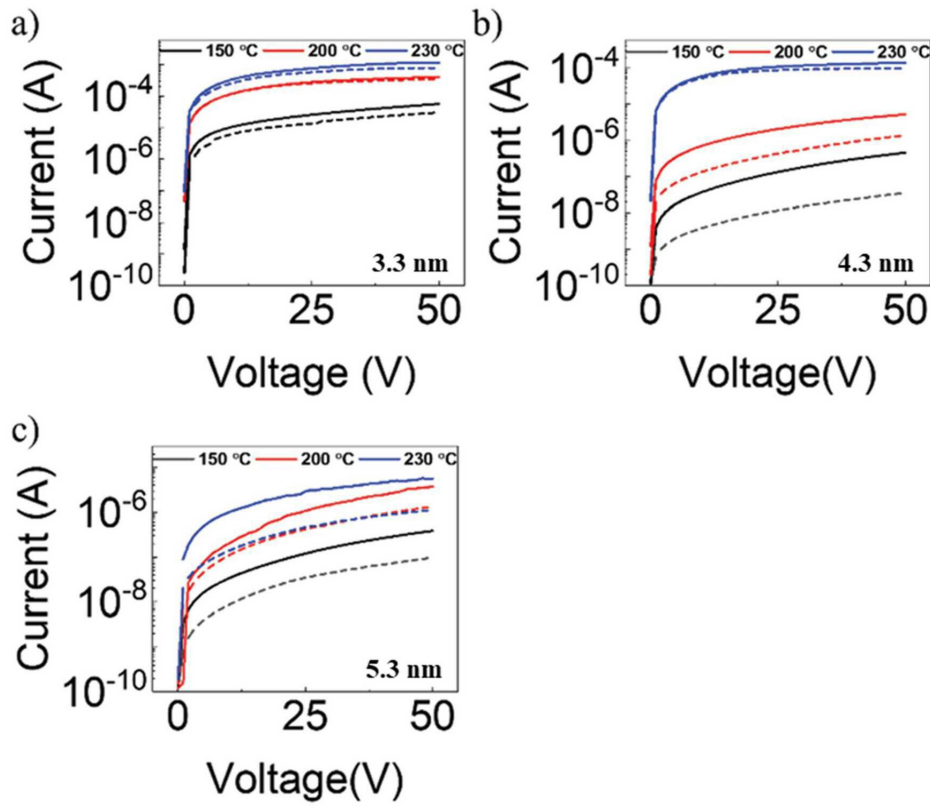
도면5



도면6



도면7



도면8

