

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
G09G 3/36

(45) 공고일자 1999년07월 15일  
(11) 등록번호 10-0207299  
(24) 등록일자 1999년04월 12일

(21) 출원번호	10-1994-0037228	(65) 공개번호	특1995-0020376
(22) 출원일자	1994년12월27일	(43) 공개일자	1995년07월24일
(30) 우선권 주장	93-331624 1993년12월27일 일본(JP)		
	93-331625 1993년12월27일 일본(JP)		
	94-313815 1994년12월16일 일본(JP)		

- (73) 특허권자            샤프 가부시끼가이샤    쓰지 하루오  
일본 오사카후 오사카시 아베노구 나가이쵸 22방 22고
- (72) 발명자  
가또우 겐이찌  
일본국 나라쵸 덴리시 이찌노모토쵸 2613-1-1006  
구보따 야스시  
일본국 나라쵸 사쿠라이시 아사쿠라다이니시 5-1093-267  
요네다 히로시  
일본국 나라쵸 이꼬마시 하기노다이 5-1-2-303  
사카이 다모쯔  
일본국 나라쵸 덴리시 이찌노모토쵸 2613-1-319
- (74) 대리인            구영창

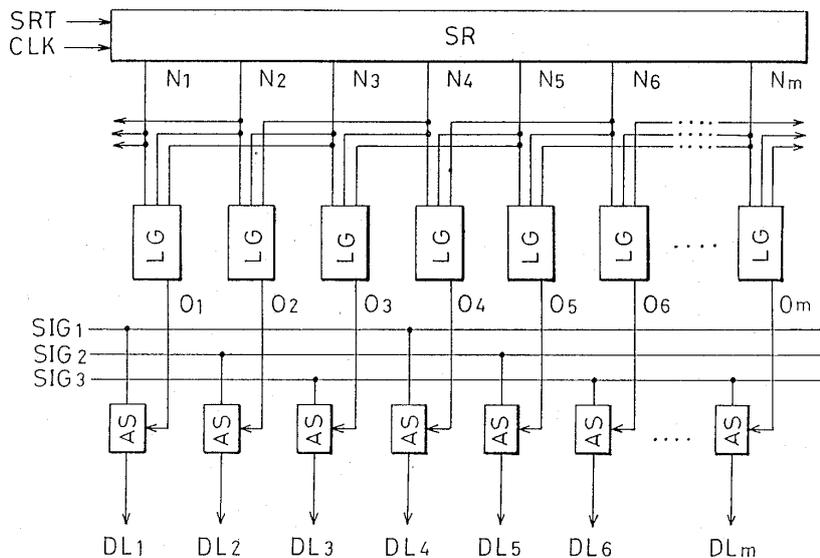
심사관 : 이상목

(54) 화상 표시 장치 및 주사 회로

요약

본 발명은 n계열의 시프트 레지스터와, 영상 입력 신호의 샘플링을 행하는 아날로그 스위치를 갖고, n계열의 클럭 신호와, n × m 계열의 영상 입력 신호가 입력되는 데이터 신호선 구동 회로가 구비되어 있고, 시프트 레지스터의 연속되는 L단의 출력 펄스의 논리 연산 결과에 의해, 상기 아날로그 스위치가 제어되는 액티브 매트릭스형 화상 표시 장치 및 시프트 레지스터를 이용하지 않는 주사 회로에 관한 것이다. 여기에서, n은 10이상의 정수이고, m, L은 20이상의 정수이다. 상기의 화상 표시 장치에 의하면, 시프트 레지스터의 계열을 증가시키지 않아도 영상 신호의 샘플링을 확실하게 실행할 수 있다. 그 결과, 화상 표시 장치의 소형화 경량화를 꾀함과 동시에, 화상 표시 장치의 불량률을 적게할 수 있다. 또한, 상기의 주사 회로에 의하면 시프트 레지스터를 이용한 종래의 주사 회로와 비교하여 수율이 커진다.

대표도



## 명세서

### [발명의 명칭]

화상 표시 장치 및 주사 회로

### [도면의 간단한 설명]

제1도는 본 발명에 관한 화상 표시 장치의 데이터 신호선 구동 회로의 구성을 도시한 블록도.

제2도는 제1도의 데이터 신호선 구동 회로에 있어서의 각 신호선 상의 신호를 도시한 파형도.

제3도는 본 발명에 관한 화상 표시 장치의 데이터 신호선 구동 회로의 다른 구성을 도시한 블록도.

제4도는 제3도의 데이터 신호선 구동 회로에 있어서의 각 신호선 상의 신호를 도시한 파형도.

제5도는 본 발명에 관한 화상 표시 장치의 데이터 신호선 구동 회로의 그 외의 구성을 도시한 블록도.

제6도는 제5도의 데이터 신호선 구동 회로에 있어서의 각 신호선 상의 신호를 도시한 파형도.

제7도는 제5도의 데이터 신호선 구동 회로에 있어서의 논리 회로의 한 예를 도시한 것으로, 다이내믹형 부정 논리곱 회로의 회로도.

제8도는 본 발명에 관한 화상 표시 장치의 데이터 신호선 구동 회로의 그 외의 구성을 도시한 블록도.

제9도는 제8도의 데이터 신호선 구동 회로에 있어서의 각 신호선 상의 신호를 도시한 파형도.

제10도는 제8도의 데이터 신호선 구동 회로에 있어서의 논리 회로의 한 예를 도시한 것으로, 다이내믹형 부정 논리합 회로의 회로도.

제11도는 시프트 레지스터의 한 예를 도시한 회로도.

제12도는 시프트 레지스터의 다른 예를 도시한 회로도.

제13도는 제11도 및 제12도의 시프트 레지스터에 있어서의 클럭형 인버터의 한 예를 도시한 회로도.

제14도는 본 발명에 관한 표시 장치용 주사 회로의 구성을 도시한 블록도.

제15도는 제14도의 주사 회로의 입력 신호 및 출력 신호의 한 예를 도시한 파형도.

제16도는 본 발명에 관한 표시 장치용 주사 회로의 다른 구성을 도시한 회로도.

제17도는 제14도의 주사 회로의 입력 신호 및 출력 신호의 다른 예를 도시한 파형도.

제18도 제14도의 주사 회로의 입력 신호 및 출력 신호의 그 외의 예를 도시한 파형도.

제19도는 제14도의 주사 회로에 있어서의 AND 회로의 구성의 한 예를 도시한 회로도.

제20도는 본 발명의 주사 회로에 이용되는 인코더 회로의 한 예를 도시한 블록도.

제21도는 제20도의 인코더 회로의 입력 신호 및 출력 신호를 도시한 파형도.

제22도는 주사 회로의 다른 구체예를 도시한 회로도.

제23도는 제22도의 주사 회로의 동작을 도시한 파형도.

제24도는 제22도의 주사 회로의 출력단의 구체예를 도시한 회로도.

제25(a)도는 제24도에 있어서의 3입력의 다이내믹식 NAND 회로의 내부 구성을 도시한 회로도이며, 제 25(b)도는 제24도에 있어서의 3입력 다이내믹식 NOR 회로의 내부 구성을 도시한 회로도.

제26도는 액티브 매트릭스형 화상 표시 장치의 개략적인 구성을 도시한 블록도.

제27도는 주사 회로의 그 외의 구체예를 도시한 회로도.

제28도는 제27도의 주사 회로의 동작을 도시한 회로도.

제29도는 주사 회로의 그 외의 구체예를 도시한 회로도.

제30도는 제29도의 주사 회로의 동작을 도시한 파형도.

제31도는 주사 회로의 그 외의 구체예를 도시한 회로도.

제32도는 제31도의 주사 회로의 동작을 도시한 파형도.

제33도는 주사 회로의 그 외의 구체예를 도시한 회로도.

제34도는 제33도의 주사 회로의 동작을 도시한 파형도.

제35(a)도는 주사 회로의 출력 신호선의 전압을 유지하는 구성을 도시한 회로도.

제35(b)도는 주사 회로의 출력 신호선의 전압을 유지하는 다른 구성을 도시한 회로도.

제36도는 종래의 화상 표시 장치의 한 예를 도시한 블록도.

제37도는 제36도의 화상 표시 장치로서의 액정 표시 장치에 있어서의 화소의 구성을 도시한 회로도.

제38도는 제36도의 화상 표시 장치에 있어서의 점 순차 구동 방식의 데이터 신호선 구동 회로의 구성예를



지 않는다. 그 결과, 대화면화에 의해 데이터 신호선(DL1, DL2 ... )의 시정수(용량과 저항의 곱)가 커지면 데이터를 확실하게 기록할 수 없게 되어 표시품위를 손상할 우려가 있다. 특히, 구동력이 작은 트랜지스터로 아날로그 스위치(AS)를 구성한 경우 표시 품위를 손상하기 쉽다.

선 순차 구동 방식은 제39도에 도시한 바와 같이, 현재의 수평 주사 기간의 영상 신호를 일단 샘플링 용량(Csa)에 축적하고, 다음의 수평 주사 기간에 그것을 버퍼(OP 앰프)(AMP)를 통하여 데이터 신호선(DL1, DL2 ...)로 출력하고 있다. 샘플링 용량(Csa)의 캐패시턴스는 데이터 신호선(DL1, DL2 ...)의 그것보다도 보통 작기 때문에, 영상 입력 신호선(SIG)로부터 샘플링 용량(Csa)로의 영상 신호의 기록은 단시간에 끝난다. 게다가, 부하가 큰 데이터 신호선(DL1, DL2 ...)으로의 기록은 다음의 수평 주사 기간에 행해지기 때문에, 데이터를 확실하게 기록할 수 있다.

그러나, 샘플링 용량(Csa)에 보유된 전하가 아날로그 스위치(AS1 ... 및 AS2 ...)의 리크 전류에 의해 감소하는 것을 방지함과 동시에, 버퍼(AMP ...)로의 전송시에 있어서의 용량 분할에 의해 감소하는 것을 방지하기 위하여 샘플링 용량(Csa)의 캐패시턴스를 증가시키면, 상기의 점 순차 구동 방식의 경우와 마찬가지로 데이터를 확실하게 기록할 수 없게 된다.

이 문제를 해결하기 위하여, 특허공평5-22917호 공보에 개시된 데이터 수호선 구동 회로는 제40도에 도시한 바와 같이, 3계열의 시프트 레지스터(SR1~SR3)를 구비하고 있고, 영상 신호를 샘플링하는 아날로그 스위치(AS ...)중의 제3n + 1번째, 제3n + 2번째, 제3n + 3번째의 아날로그 스위치(AS)를 각각 시프트 레지스터(SR1, SR2, SR3)에 접속하고 있다. 여기에서 n = 0, 1, 2 ...이다.

이 구동 회로에서는 본래 동작 주파수의 3분의 1인 주파수를 갖고, 각각 조금씩 위상을 지연한 클럭 신호(CLK1~CLK3)에 따라 3계열의 시프트 레지스터(SR1~SR3)가 구동된다. 이에 따라, 구동력이 작은 다결정 실리콘 박막 트랜지스터에 의해서도 데이터를 확실하게 기록할 수 있다.

그러나, 상기 종래의 구성은 시프트 레지스터가 복수 계열 필요하기 때문에, 데이터 신호선 구동 회로의 점유 면적이 커짐과 동시에 화상 표시 장치의 비용이 증가하게 된다. 또한, 화상 표시 장치의 소형화, 경량화를 방해하게 되는 문제점을 갖고 있다. 특히, 다결정 실리콘 박막 트랜지스터를 사용한 경우, 단결정 실리콘 기판상에 형성되는 IC에 비하여, 소자의 미세화가 곤란하기 때문에 면적 증가가 현저하다. 또한, 소자수의 증가에 의해 소자 결함의 발생률도 커진다는 문제점도 갖고 있다.

다결정 실리콘 박막 트랜지스터의 트랜지스터 특성은 다결정 실리콘 재료의 고상 성장 기술이나 레이저 어닐링 기술 또는 미세화 기술 등의 진전에 따라서 최근 향상되어 오고 있다. 이에 따라, 1계열의 시프트 레지스터에 의해서도, 요구되는 동작 주파수가 얻어질 가능성이 나타났다. 그러나 대화면화나 고계조화에 의해 아날로그 스위치의 부하가 커지고 있기 때문에, 특성이 향상된 다결정 실리콘 박막 트랜지스터에 의해서도 영상 신호의 확실한 기록이 곤란해지고 있다.

다음에, 데이터 신호선 구동 회로(SD) 및 주사 신호선 구동 회로(GD)에 이용되고, 영상 신호의 샘플링 타이밍 또는 주사 신호선에 인가하는 신호의 온/오프의 타이밍을 제어하는 매트릭스형 표시 장치 구동 회로용의 주사 회로를 제41도에 도시하였다.

주사 회로는 마스터 슬레이브형인 시프트 레지스터(905)를 이용하고 있다. 시프트 레지스터(905)는 클럭 신호선(901)로부터 입력되는 신호에 기초하여 스타트펄스 신호선(902)로부터 입력되는 펄스 신호를 일정 방향으로 전송하여 출력 신호선(903-1, 903-2 ...)으로 순차 출력한다.

홀수번째의 출력 신호선(903-1, 903-3, 903-5)에는 제42도에 도시한 바와 같이, 클럭 신호선(901)의 신호의 상승에 동기된 신호가 출력되고 있고, 짝수번째의 출력 신호선(903-2, 903-4, 903-6)에는 클럭 신호선(901)의 신호의 하강에 동기된 신호가 출력되고 있다.

출력 신호선(903-1, 903-2 ...)에 있어서 인접한 신호선에서의 신호는 서로 온 상태인 기간이 중복하고 있다. 이 때문에, 출력 신호선(903-1, 903-2 ...)에서 인접한 신호선에서의 신호의 논리곱을 AND 회로(906-1, 906-2 ...)에서 구하여 출력 신호선(904-1, 904-2 ...)으로 출력함으로써 출력 신호선(904-1, 904-2 ...)마다 타이밍이 다른 펄스 신호를 얻고 있다.

시프트 레지스터(905)는 구체적으로는 제43도에 도시한 바와 같이, 인버터를 직렬로 접속한 회로로 되어 있다. 이 때문에, 시프트 레지스터(905)를 구성하는 트랜지스터에 결함이 발생되면, 결함이 발생된 트랜지스터보다 후단의 회로가 정상적으로 작동하지 못하게 된다는 문제점을 갖고 있다.

시프트 레지스터(905)가 1출력당 10개의 트랜지스터로 구성되어 있다고 하고, AND 회로(906-1, 906-2 ...)가 각각 6개의 트랜지스터로 구성되어 있다고 하고, 1개의 트랜지스터가 양품일 확률이 P(0dPd1)이라고 하면, L단째의 출력이 정상으로 얻어질 확률은  $P^{10 \times (L+1) + 6}$  이 된다. 또한, 1단째로부터 L단째까지의 출력이 정상으로 얻어지는 확률은  $P^{16 \times L + 10}$  이 된다. 이 때문에, 시프트 레지스터(905)의 단수가 커지면 출력이 정상적으로 얻어지는 확률이 낮아져 버린다.

또한, 다결정 Si를 이용하여 표시 패널과 구동 회로를 일체화한 경우, 트랜지스터의 특성이 일정하지 않거나, 정전 파괴 등에 의해 트랜지스터가 정상적으로 동작하기 어렵다. 이 때문에, 단결정을 이용한 IC와 비교하여 불량률이 현저하게 높아진다.

또한, 3관식 프러젝터 등의 화상 표시 장치에서는 쌍방향 주사가 가능한 주사 회로가 필요하기 때문에, 제44도에 도시한 바와 같이, 쌍방향 시프트가 가능한 시프트 레지스터(905')가 필요하게 된다. 이 경우, 시프트 레지스터(905')의 1출력당 16개의 트랜지스터가 필요해지기 때문에, 주사 회로의 L단째의 출력

신호가 얻어질 확률은  $P^{10 \cdot (L+1) \cdot 6}$  이 된다. 따라서, 한 방향 주사를 행하는 주사 회로에 있어서의 확률보다도 더욱 작아진다.

그래서, 특공평23-13316호 공보에 개시된 방법에서는 동일한 회로를 병렬로 설치하여 결함이 발생된 쪽 회로의 배선을 절단함으로써 불량률을 작게 하고 있다.

그러나, 이 방법은 회로 규모가 2배로 되어 버리기 때문에, 결함이 생기는 부분도 2배가 되어 버린다. 또한, 결함이 발생된 회로를 식별하여 그 회로의 배선을 절단하는 공정도 필요하게 된다. 그 결과, 검사 및 수정에 장시간을 요하며 생산성이 저하한다.

한편, 특공평5-70157호 공보의 개시된 방법에서는, 복수개의 샘플링 스위치를 직렬로 접속하고, 각각의 온/오프를 다른 신호로 제어함으로써, 시프트 레지스터를 이용하지 않고 샘플링을 행하도록 하고 있다. 이에 따라, 데이터 신호선을 구동하는 회로의 표시 패널에 일체로 설치된 부분과, 표시 패널과는 별개로 설치된 부분과의 접속선의 수를 저감하고 있다.

그러나, 이 방법은 복수개의 샘플링 스위치를 직렬로 접속하고 있기 때문에, 온 저항이 커져 버린다. 온 저항을 작게 하고자 하면, 샘플링 스위치를 구성하는 트랜지스터의 크기를 크게 할 필요가 있다. 그 결과, 회로 규모가 커지는 문제점을 갖고 있다.

또한, 샘플링 스위치의 온/오프를 제어하는 신호선에는 거대한 트랜지스터가 다수 접속되기 때문에, 그들 트랜지스터에 의한 부하에 의해서 지연이 발생되어 버리는 문제점을 갖고 있다. 또한, 이 방법은 데이터 신호선을 구동하는 회로에만 이용될 수 밖에 없고, 따라서, 주사 신호선을 구동하는 회로에 이용되는 것은 불가능하다.

또한, 수평 주사선 1840라인 × 수직 주사선 1035라인의 HDTV 규격(고화질 텔레비전 규격)의 화상을 표시하는 화상 표시 장치에 제45도에 도시한 바와 같이 예를 들면, 수평 주사선 1024라인 × 수직 주사선 768라인의 XGA 규격(Extended Graphic Array 규격)의 화상을 표시하고 싶은 경우, 표시 패널상의 상하 좌우의 화상이 표시되지 않는 부분을 귀선 기간 내에 다음의 표시 데이터를 표시하는 장소까지 주사하지 않으면 안된다. 이 때문에, 귀선 기간만큼 빠른 동작 주파수로 주사할 필요가 있다. 또한, 보통의 동작 주파수로 화상을 표시하는 경우, 제46도에 도시한 바와 같이, 표시를 행하는 선두의 신호 입력 장소를 제어하기 위하여 스타트 펄스 입력 장소를 선택 가능하게 하는 셀렉터를 추가할 필요가 있다. 그 결과, 구동 회로가 역시 대규모로 되어 버리는 문제점을 갖고 있다.

그래서, ISSCC 94(1994 IEEE International Solid-State Circuits Conference)와 PAPER TA9.1은 디코더 회로를 구비한 주사 회로를 제안하고 있다. 그러나, 이 방법으로서는, 트랜지스터 수가 많기 때문에 회로 규모가 커진다.

본 발명의 목적은 시프트 레지스터의 계열을 불필요하게 증가시키지 않고 영상 신호의 샘플링을 확실하게 실행할 수 있는 데이터 신호선 구동 회로를 구비한 화상 표시 장치를 제공함에 있다.

이 목적을 달성하기 위하여, 본 발명의 액티브 매트릭스형 화상 표시 장치는 열방향으로 배열된 복수의 데이터 신호선과, 행방향으로 배열된 복수의 주사 신호선과, 상기 데이터 신호선과 주사 신호선의 교점에 화상의 표시를 행하는 화소가 배치되어 있는 화소 어레이와, 이 데이터 신호선에 영상 신호를 공급하는 데이터 신호선 구동회로와, 상기 주사 신호선에 주사 펄스를 공급하는 주사 신호선 구동 회로를 구비하고 있고, 데이터 신호선 구동 회로에는 n계열의 클럭 신호와, n × m 계열의 영상 입력 신호가 입력되고, 데이터 신호선 구동 회로는 n계열의 시프트 레지스터와, 상기 영상 입력 신호의 샘플링을 행하는 아날로그 스위치를 갖고, 시프트 레지스터의 복수단의 출력 펄스의 논리 연산 결과에 따라 상기 아날로그 스위치가 제어되는 구성이다. 여기에서, n은 10이상의 정수이고 m은 20이상의 정수이다.

이것에 의하면, 시프트 레지스터의 계열수(n)보다도 영상 입력 신호의 계열수(n × m)가 크기 때문에, 1계열의 시프트 레지스터를 이용한다고 해도 영상 신호의 샘플링을 확실하게 실행할 수 있다. 이 때문에, 표시 품위를 떨어뜨리지 않고 구동 회로의 점유 면적을 억제할 수 있다. 그 결과, 화상 표시 장치의 소형화, 경량화를 꾀할 수 있음과 동시에 화상 표시 장치의 불량률을 적게 할 수 있다.

본 발명의 다른 목적은 간단한 회로 구성에 의해 불량률을 적게 하여 수율을 향상시킬 수 있는 주사 회로를 제공하는 데 있다.

이 목적을 달성하기 위하여, 본 발명의 매트릭스 표시 장치 구동 회로용 주사 회로는 신호 입력용 m라인의 펄스 신호선과, 신호 출력용 L라인의 출력 신호선과, 펄스 신호선에 입력되는 신호에 기초하여 출력 신호선에 출력하는 신호의 온/오프를 순차 전환하는 전환 수단을 구비하고 있고, 상기 전환 수단은 m라인의 펄스 신호선 중 n라인의 펄스 신호선에 입력되는 신호에 기초하여 논리 연산에 의해 각 출력 신호선으로 출력하는 신호의 온/오프를 행하고 또한, 논리 연산에 이용하는 n라인의 펄스 신호선의 조합은 출력 신호선마다 다르게 되어 있고, n은  $mCn \geq L$ 인 조건을 만족하고 있다.

이것에 의하면, 시프트 레지스터를 이용하고 있지 않기 때문에, 출력 신호선으로부터 출력 신호가 얻어질 확률이 시프트 레지스터를 이용한 종래의 주사 회로와 비교하여 훨씬 커진다. 게다가, 종래의 주사 회로와 비교하여 간단한 회로 구성이다. 따라서, 주사 회로의 수율이 종래보다도 커진다.

본 발명의 또 다른 목적, 특징 및 우수한 점은 다음과 같이 기재된 바에 의해 충분히 알 수 있을 것이다. 또한, 본 발명의 이익은 첨부 도면을 참조한 다음의 설명으로 명백해 질 것이다.

본 발명에 관한 화상 표시 장치의 데이터 신호선 구동 회로의 실시예를 제1도 내지 제3도를 기준으로 설명하면 다음과 같다.

본 실시예의 데이터 신호선 구동 회로는 제1도에 도시한 바와 같이, 클럭 신호(CLK)에 동기하며 m단의 출력(N1, N2, N3 ...)에 펄스 신호를 순차 출력하는 1계열의 시프트 레지스터(SR)과, 시프트 레지스터(SR)에 있어서의 인접하는 3단의 출력[Ni, Ni+1, Ni+2(i: 양의 정수)]에 기초하여 논리 연산을 행하고, 연산 결

과를 출력하는  $m$ 개의 논리 회로(LG  $\cdots$ )와, 논리 회로(LG  $\cdots$ )의 출력( $O_1, O_2, O_3 \cdots$ )로부터의 신호에 기초하여 3계통의 영상 입력 신호선(SIG1~SIG3)의 어느 하나를 데이터 신호선(DL1, DL2, DL3  $\cdots$ )에 접속하는  $m$ 개의 아날로그 스위치(AS  $\cdots$ )를 구비하고 있다.

시프트 레지스터(SR)의 실제의 회로예를 제11도에 도시하였다. 또한, 이 회로에는  $m$ 단의 출력( $N_1, N_2, N_3, \cdots, N_m$ ) 중의 2단만이 도시되어 있다. 또한, 이 회로에 이용되고 있는 클럭형 인버터의 내부 회로예를 제13도에 도시하였다.

상기의 구성에 있어서, 시프트 레지스터(SR)의 각 단은 스타트 펄스(SRT) 및 클럭 신호(CLK)에 기초하여 제2도에 도시한 바와 같이, 출력( $N_1, N_2, N_3, \cdots$ )에 펄스를 순차 출력한다. 논리 회로(LG)는 시프트 레지스터(SR)의 3개의 출력( $N_i, N_{i+1}, N_{i+2}$ )의 논리합(OR)을 구함으로써 출력( $N_i$ )로부터의 펄스의 3배의 폭을 갖는 펄스를 생성하여 출력( $O_i$ )로 출력한다.

3배의 폭을 갖는 펄스는 전후 각각 2개의 펄스와 중첩되어 있다. 이 때문에, 이 펄스로 아날로그 스위치(AS)를 제어함으로써 단일 계열의 영상 신호를 샘플링하면, 인접 화소 정보의 혼입을 초래하여 표시에 결함이 발생하는 경우가 있다. 이것을 방지하기 위하여 영상 입력 신호선(SIG1~SIG3)로부터의 3계열의 영상 신호를 샘플링하고 있다. 영상 입력 신호선(SIG1~SIG3)에는 각각  $3m-2, 3m-1, 3m$ 번째( $m$ : 양의 정수)의 화소 데이터가 통상의 3배 시간으로 신장되어 입력되어 있는 것이 바람직하다.

또한, 인접 화소의 상관은 통상 높기 때문에, 단일 계열의 영상 신호를 이용하여도 거의 정확한 데이터를 데이터 신호선(DL1, DL2  $\cdots$ )에 기록할 수 있다. 왜냐하면, 샘플링 기간의 초기의 2/3기간에서 대략의 전위 레벨을 기록하고, 나머지 1/3기간에 정확한 샘플링 전위 레벨을 기록할 수 있기 때문이다.

본 발명에 관한 화상 표시 장치의 데이터 신호선 구동 회로의 다른 실시예를 제3도에 도시하였다.

본 실시예의 데이터 신호선 구동 회로는 클럭 신호(CLK)에 동기하여  $m$ 단의 출력( $N_1, N_2, N_3, \cdots$ )에 펄스 신호를 순차 출력하는 1계열의 시프트 레지스터(SR)과, 시프트 레지스터(SR)에서의 두 개의 출력( $N_i, N_{i+2}$ )에 기초하여 논리 연산을 행하여, 연산 결과를 출력하는  $m$ 개의 논리 회로(LG  $\cdots$ )과, 논리 회로(LG  $\cdots$ )의 출력( $O_1, O_2, O_3 \cdots$ )로부터의 신호에 기초하여 3계통의 영상 입력 신호선(SIG1~SIG4)의 어느 하나를 데이터 신호선(DL1, DL2, DL3  $\cdots$ )에 접속하는  $m$ 개의 아날로그 스위치(AS  $\cdots$ )를 구비하고 있다.

시프트 레지스터(SR)의 실제의 회로예를 제11도에 도시하였다. 또한, 이 회로에는  $m$ 단의 출력( $N_1, N_2, N_3, \cdots, N_m$ ) 중의 2단만이 도시되어 있다. 이 회로에 이용되고 있는 클럭형 인버터는 상기와 동일하다.

상기의 구성에 있어서, 시프트 레지스터(SR)의 각 단은 스타트 펄스(SRT) 및 클럭 신호(CLK)에 기초하여 제4도에 도시한 바와 같이, 출력( $N_1, N_2, N_3, \cdots$ )에 펄스를 순차 출력한다. 논리 회로(LG)는 시프트 레지스터(SR)의 1개씩 걸른 2개의 출력( $N_i, N_{i+2}$ )의 논리합(OR)을 구함으로써 출력( $N_i$ )로부터의 펄스의 2배의 폭을 갖는 펄스를 생성하여 출력( $O_i$ )로 출력한다.

2배의 폭을 갖는 펄스는 전후 각각 2개의 펄스와 중첩되어 있다. 이 때문에, 이 펄스로 아날로그 스위치(AS)를 제어함으로써 단일 계열의 영상 신호를 샘플링하면, 인접 화소 정보의 혼입을 초래하여 표시에 결함이 발생하는 경우가 있다. 이것을 방지하기 위하여 영상 입력 신호선(SIG1~SIG4)로부터의 4계열의 영상 신호를 샘플링하고 있다. 영상 입력 신호선(SIG1~SIG4)에는 각각  $4m-3, 4m-2, 4m-1, 4m$ 번째의 화소 데이터가 통상의 4배 시간으로 신장되어 입력되어 있는 것이 바람직하다.

또한, 인접 화소의 상관은 통상 높기 때문에, 단일 계열의 영상 신호를 이용하여도 거의 정확한 데이터를 데이터 신호선(DL1, DL2  $\cdots$ )에 기록할 수 있다. 왜냐하면, 샘플링 기간의 초기의 3/4기간에서 대략의 전위 레벨을 기록하고, 나머지 1/4기간에 정확한 전위 레벨을 기록할 수 있기 때문이다.

상기 2개의 실시예에 있어서, 시프트 레지스터(SR)의 출력 펄스는 정극성 펄스이며, 논리 회로(LG)는 논리합 출력을 생성하는 논리합 회로이다. 논리합 회로는 보통 부정 논리곱 회로와 반전 회로(인버터)의 조합에 의해 구성된다.

아날로그 스위치(AS)는 N채널형 트랜지스터 또는 P채널형 트랜지스터로 구성되지만, 넓은 전압 범위의 영상 신호를 보다 정확하게 전송하기 위해서는 N채널형 트랜지스터와 P채널형 트랜지스터를 병렬로 접속한 CMOS 스위치로 구성되는 것이 바람직하다. 이러한 점은 다음의 실시예에서도 마찬가지이다.

상기의 실시예에 유사한 실시예로서, 시프트 레지스터(SR)의 출력 펄스가 부정성 펄스이며, 논리 회로(LG)가 논리합 출력을 생성하는 논리합 회로인 데이터 신호선 구동 회로를 사용해도 좋다. 논리합 회로는 통상, 부정 논리곱 회로와 반전 회로(인버터)의 조합에 의해 구성된다.

이 경우, 아날로그 스위치는 부극성 신호에 의해 개폐가 제어되는 구성으로 되어 있을 필요가 있지만 상술한 바와 같이, 아날로그 스위치가 CMOS 스위치로 구성되어 있을 경우에는 N채널형 트랜지스터와 P채널형 트랜지스터로 게이트 입력을 교체하면 좋다.

이상의 실시예에서는, 논리 회로(LG)와 논리합 회로 또는 논리곱 회로를 이용하였지만, 통상의 CMOS 논리 회로에 있어서는 논리합(OR) 또는 논리곱(AND) 출력을 생성하는 것 보다도 부정 논리곱(NAND) 또는 부정 논리합(NOR)의 출력을 생성하는 편이 용이하고, 회로 규모의 축소에도 유용하다. 이 때문에, 다음의 실시예에서 도시한 바와 같이, 논리 회로(LG)는 부정 논리곱(NAND) 또는 부정 논리합(NOR)로 구성되는 것이 바람직하다. 또한, 이들 실시예에서는 시프트 레지스터(SR)로서 제11도의 회로를 채용한 데이터 신호선 구동 회로의 구성에 및 파형에 대하여 설명하였지만 제12도의 회로를 채용하여도 동일한 작용 효과가 있

다.

본 발명에 관한 화상 표시 장치의 데이터 신호선 구동 회로의 다른 실시예를 제5도에 도시하였다.

본 실시예의 데이터 신호선 구동 회로는 부극성 펄스를 출력하는 시프트 레지스터(SR)과, 시프트 레지스터(SR)의 3개의 출력[ $N_i \#$ ,  $N(i+1) \#$ ,  $N(i+2) \#$ ]의 부정 논리곱을 출력하는 논리 회로(NAND  $\dots$ )를 구비하고 있다. 논리 회로(NAND)에는 예를 들면, 다이내믹형 부정 논리곱 회로가 사용된다.

다이내믹형 부정 논리곱 회로는 제7도에 도시한 바와 같이, 병렬 접속된 3개의 P채널형 MOS 트랜지스터와, 이들 P채널형 MOS 트랜지스터에 직렬 접속된 1개의 N채널형 MOS 트랜지스터로 이루어져 있다.

3개의 P채널형 MOS 트랜지스터의 각 게이트 전극에는 시프트 레지스터(SR)으로부터의 부극성 출력[ $N_i \#$ ,  $N(i+1) \#$ ,  $N(i+2) \#$ ]가 입력되고 있고, N채널형 MOS 트랜지스터의 게이트 전극에는 3단 앞의 부정 논리곱 회로의 출력( $0(i+3)$ )이 입력되고 있다.

상기의 구성에 있어서, 3개의 P채널형 MOS 트랜지스터의 어느 하나가 도통 상태가 되면 출력( $0i$ )가 하이 레벨이 된다. 따라서, 아날로그 스위치(AS)가 도통한다. 한편 3개의 P채널형 MOS 트랜지스터 모두가 차단 상태가 되면, 3단 앞의 부정 논리곱 회로의 출력( $0(i+3)$ )이 하이 레벨이 된다. 그 결과, N채널형 MOS 트랜지스터가 도통 상태가 되기 때문에, 출력( $0i$ )이 로우 레벨이 된다. 따라서, 아날로그 스위치(AS)가 차단된다.

시프트 레지스터(SR)의 출력( $N_1 \#$ ,  $N_2 \# \dots$ )의 파형 및 논리 회로(NAND  $\dots$ )의 출력( $0_1$ ,  $0_2$ ,  $\dots$ )의 파형을 제6도에 도시하였다. 도면에서 제2도와 동일한 출력 ( $0_1$ ,  $0_2$ ,  $\dots$ )가 얻어지는 것을 알 수 있다.

논리 회로(NAND)에 다이내믹형 부정 논리곱 회로를 채용하면, 소자수를 삭감할 수 있기 때문에 데이터 신호선 구동 회로의 점유 면적을 축소할 수 있다. 본 실시예와 같이 3입력의 부정 논리곱 회로인 경우, 스테틱형 부정 논리곱 회로는 6개의 트랜지스터가 필요하게 되지만, 다이내믹형 부정 논리곱 회로는 4개의 트랜지스터로 완료된다.

본 발명에 관한 화상 표시 장치의 데이터 신호선 구동 회로의 다른 실시예를 제8도에 도시하였다.

본 실시예의 데이터 신호선 구동 회로는 정극성 펄스를 출력하는 시프트 레지스터(SR)과, 시프트 레지스터(SR)의 3개의 출력[ $N_i$ ,  $N(i+1)$ ,  $N(i+2)$ ]의 부정 논리합을 출력하는 논리 회로(NOR  $\dots$ )를 구비하고 있다. 논리 회로(NOR)에는 예를 들면, 다이내믹형 부정 논리합 회로가 사용된다.

다이내믹형 부정 논리합 회로는 제7도에 도시한 바와 같이, 병렬 접속된 3개의 N채널형 MOS 트랜지스터와, 이들 N채널형 MOS 트랜지스터에 직렬 접속된 1개의 P채널형 MOS 트랜지스터로 이루어져 있다.

3개의 N채널형 MOS 트랜지스터의 각 게이트 전극에는 시프트 레지스터(SR)으로부터의 정극성 출력[ $N_i \#$ ,  $N(i+1) \#$ ,  $N(i+2) \#$ ]가 입력되고 있고, P채널형 MOS 트랜지스터의 게이트 전극에는 3단 앞의 부정 논리합 회로의 출력( $0(i+3)$ )이 입력되고 있다.

상기의 구성에 있어서, 3개의 N채널형 MOS 트랜지스터의 어느 하나가 도통 상태가 되면 출력( $0i$ )가 로우 레벨이 된다. 따라서, 아날로그 스위치(AS)가 도통한다. 한편 3개의 P채널형 MOS 트랜지스터 모두가 차단 상태가 되면, 3단 앞의 부정 논리합 회로의 출력( $0(i+3)$ )이 로우 레벨이 된다. 그 결과, N채널형 MOS 트랜지스터가 도통 상태가 되기 때문에, 출력( $0i$ )이 하이 레벨이 된다. 따라서, 아날로그 스위치(ASN)가 차단된다.

시프트 레지스터(SR)의 출력( $N_1 \#$ ,  $N_2 \# \dots$ )의 파형 및 논리 회로(NAND  $\dots$ )의 출력( $0_1$ ,  $0_2$ ,  $\dots$ )의 파형을 제9도에 도시하였다. 도면에서 제2도와 동일한 출력 ( $0_1$ ,  $0_2$ ,  $\dots$ )가 얻어지는 것을 알 수 있다.

논리 회로(AND)에 다이내믹형 부정 논리합 회로를 채용하면, 소자수를 삭감할 수 있기 때문에 데이터 신호선 구동 회로의 점유 면적을 축소할 수 있다. 본 실시예와 같이 3입력의 부정 논리합 회로인 경우, 스테틱형 부정 논리합 회로는 6개의 트랜지스터가 필요하게 되지만, 다이내믹형 부정 논리합 회로는 4개의 트랜지스터로 완료된다.

본 발명에 관한 화상 표시 장치의 데이터 신호선 구동 회로의 다른 실시예를 제8도에 도시하였다.

본 실시예의 데이터 신호선 구동 회로는 정극성 펄스를 출력하는 시프트 레지스터(SR)과, 시프트 레지스터(SR)의 3개의 출력[ $N_i$ ,  $N(i+1)$ ,  $N(i+2)$ ]의 부정 논리합을 출력하는 논리 회로(NOR $\dots$ )를 구비하고 있다. 논리 회로(NOR)에는 예를 들면, 다이내믹형 부정 논리합 회로가 사용된다.

다이내믹형 부정 논리합 회로는 제10도에 도시한 바와 같이, 병렬 접속된 3개의 N채널형 MOS 트랜지스터와, 이들 N채널형 MOS 트랜지스터에 직렬 접속된 1개의 P채널형 MOS 트랜지스터로 이루어져 있다.

3개의 N채널형 MOS 트랜지스터의 각 게이트 전극에 시프트 레지스터(SR)으로부터의 정극성 출력[ $N_i$ ,  $N(i+1)$ ,  $N(i+2)$ ]가 입력되고 있고, P채널형 MOS 트랜지스터의 게이트 전극에는 3단 앞의 부정 논리합 회로의 출력[ $0(i+3) \#$ ]이 입력되고 있다.

상기의 구성에 있어서, 3개의 N채널형 MOS 트랜지스터의 어느 하나가 도통 상태가 되면, 출력( $0i \#$ )가 로우 레벨로 된다. 따라서, 아날로그 스위치(ASN)이 도통한다. 한편 3개의 N채널형 MOS 트랜지스터 모두가 차단 상태로 되면, 3단 앞의 부정 논리곱 회로의 출력[ $0(i+3) \#$ ]이 로우 레벨이 된다. 그 결과, P채널형

MOS 트랜지스터가 도통 상태로 되기 때문에, 출력(0i #)가 하이 레벨이 된다. 따라서, 아날로그 스위치 (ASN)이 차단된다.

시프트 레지스터(SR)의 출력(N1, N2...)의 파형 및 논리 회로(NAND...)의 출력(01 #, 02 #...)의 파형을 제9도에 도시하였다. 도면에서 제2도와 역상인 출력(01 #, 02 #...)가 얻어지는 것을 알 수 있다.

논리 회로(NOR)에 다이내믹형 부정 논리합 회로를 채용하면, 소자수를 삭감할 수 있기 때문에 데이터 신호선 구동 회로의 점유 면적을 축소할 수 있다. 본 실시예와 같이 3입력의 부정 논리합 회로인 경우, 스테틱형 부정 논리합 회로는 6개의 트랜지스터가 필요하게 되지만, 다이내믹형 부정 논리합 회로는 4개의 트랜지스터로 완료된다.

이상의 실시예에 있어서, 시프트 레지스터(SR)의 출력에 기초하여 논리 연산을 행하는 논리 연산 회로 (LG, NAND, NOR)은 연산 기능을 갖는 회로 이외에 1개 또는 복수의 반전증폭 기능을 갖는 회로를 포함하고 있어도 좋다. 이 경우, 비교적 작은 시프트 레지스터(SR)에 의해서도 구동력이 큰 아날로그 스위치를 구동할 수 있게 된다. 또한, 반전 증폭 기능을 갖는 회로를 추가하면 아날로그 스위치의 제어신호의 극성이 바뀐다.

또한, 이상의 실시예에서는 영상 입력 신호를 데이터 신호선에 직접 입력하는 점 순차 구동 방식의 데이터 신호선 구동 회로에 대하여 설명하였지만, 선 순차 구동 방식의 데이터 신호선 구동 회로에도 물론 응용할 수 있다.

또한, 이상의 실시예에서는 1계열의 시프트 레지스터(SR)를 구비하고 있고, 다수 계열의 영상 신호를 다상(多相) 샘플링하는 데이터 신호선 구동 회로에 대하여 설명하였지만, n계열의 시프트 레지스터(SR)를 구비하고 있고, n의 정수배의 영상 입력 신호선상의 영상 신호를 샘플링하는 구성으로 하여도 좋다. 또한, 이상의 실시예의 데이터 신호선 구동 회로를 조합하여 사용하여도 좋다.

또한, 본 발명의 화상 표시 장치는 화소 어레이와, 주사선 구동 회로와, 데이터 신호선 구동 회로가 별도의 기관상에 형성된 액정 표시 장치에 적용될 수 있을 뿐만 아니라, 이들 구동회로의 한쪽 또는 양쪽이 화소 어레이와 동일 기관상에 형성된 액정 표시 장치에도 적용될 수 있다.

특히, 이들 구동 회로의 한쪽 또는 양쪽이 투명 기관상의 다결정 실리콘 박막에 형성된 구동 회로 일체형의 액정 표시 장치에 본 발명이 적용된 경우에 효과적이다. 왜냐하면, 다결정 실리콘 박막 트랜지스터는 단결정으로 형성된 트랜지스터에 비하여 구동력이 떨어져 있기 때문에, 아날로그 스위치에 의한 영상 신호의 샘플링에 장시간을 요하기 때문이다.

상기 실시예에서는 액티브 매트릭스형의 액정 표시 장치에의 응용을 중심으로 본 발명을 설명하였지만, 본 발명은 다른 화상 표시 장치에도 응용할 수 있다.

다음에, 본 발명에 관한 매트릭스 표시 장치 구동 회로용 주사 회로(화상 표시 장치의 데이터 신호선 구동 회로 내 또는 주사 신호선 구동 회로 내에 이용된다)의 실시예를 제14도 내지 제35도에 기초하여 설명하면 다음과 같다.

제14도에 주사 회로의 구성의 한 예를 도시하였고, 제15도에 펄스 신호선(101-1~4)와 출력 신호선((102-1~6)의 신호 파형의 한 예를 도시하였다. 또, 설명을 간단히 하기 위하여, 펄스 신호선의 수 m을 4로 하고 있고, 출력 신호선의 수 L을 6으로 하고 있다. 또한, 각 출력 신호를 제어하는 신호선의 수 n을 2로 하고 있다. 실제의 회로에서는 m=8~12, n=2~4, L=60~200이다.

m라인의 펄스 신호선 중에서 n라인의 펄스 신호선을 선택하는 조합의 수는  $mC_n$ 이다. 따라서, 복수의 출력 신호선이 동시에 온으로 되지 않도록 하기 위해서는  $L \leq mC_n$ 의 조건을 충족할 필요가 있다.

AND 회로(103-1)은 펄스 신호선(101-1)의 신호와 펄스 신호선(101-2)의 신호의 논리곱을 출력 신호선(102-1)으로 출력한다. 마찬가지로, AND 회로(103-2)는 펄스 신호선(101-1)의 신호와 펄스 신호선(101-3)의 신호의 논리곱을 출력 신호선(102-2)로 출력한다. AND 회로(103-3)은 펄스 신호선(101-1)의 신호와 펄스 신호선(101-4)의 신호의 논리곱을 출력 신호선(102-3)으로 출력한다. AND 회로(103-4)는 펄스 신호선(101-2)의 신호와 펄스 신호선(101-3)의 신호의 논리곱을 출력 신호선(102-4)에 출력한다. AND 회로(103-5)는 펄스 신호선(101-2)의 신호와 펄스 신호선(101-4)의 신호의 논리곱을 출력 신호선(102-5)에 출력한다. AND 회로(103-6)는 펄스 신호선(101-3)의 신호와 펄스 신호선(101-4)의 신호의 논리곱을 출력 신호선(102-4)에 출력한다.

이에 따라, 4라인의 펄스 신호선(101-1~4)중의 2라인만을 온으로 하는 펄스 신호를 펄스 신호선(101-1~4)에 입력하면, 출력 신호선(102-1~6)에는 온 상태인 기간이 서로 다른 펄스 신호가 출력된다.

각 출력 신호선(102-1~6)상의 출력 신호는 6개의 트랜지스터로 구성되는 1개의 AND 회로에 의해서만 제어된다. 따라서, 1개의 트랜지스터가 양품일 확률이  $P(0 \leq P \leq 1)$ 이라고 하면, 각 단으로부터 출력이 정상적으로 얻어지는 확률은  $P^{6 \times 6}$ 이 된다.

이에 비하여, 종래와 같이 시프트 레지스터를 이용하여 표시 장치용 주사 회로를 구성한 경우에는 L단째의 출력이 정상으로 얻어질 확률은  $P^{10 \times (L+1) + 6}$ 이 된다.

또한 1단째에서 L단째까지의 출력이 정상으로 얻어질 확률은  $P^{16 \times L + 10}$ 이 된다.

$P^6 \geq P^{10 \times (1+1) + 6} = P^{26} \geq P^{10 \times (6+1) + 6} = P^{76}$ 이기 때문에, 본 실시예의 표시 장치용 주사 회로의 각 단이 정상적으

로 동작할 확률은 종래의 표시 장치용 주사 회로의 그것보다도 높은 것을 알 수 있다. 또한,  $P^{6*6} = P^{36} \geq P^{10*6+10} = P^{106}$  이기 때문에, 본 실시예의 표시 장치용 주사 회로의 각 단이 정상적으로 동작할 확률은 종래의 표시 장치용 주사 회로의 그것보다도 높은 것을 알 수 있다. 위 식의 부호는  $P = 0$  또는  $P = 1$ 일 때만 성립하지만, 현실적으로는 존재할 수 없다. 따라서, 본 실시예의 표시 장치용 주사 회로에 의하면 종래의 표시 장치용 주사 회로에 비하여 수율이 확실히 높아진다.

또한, 상기의 확률 계산에 있어서, m라인의 펄스 신호선에 공급되는 신호는 신뢰성이 충분히 높은 외부의 인코더 회로에 의해 생성된다는 가정하였다.

제14도의 회로 구성 및 제15도의 신호 파형은 본 발명의 한 예를 도시한 것이며, 이에 한정되지는 않는다. 예를 들면, AND 회로를 NOR 회로로 치환하고, 펄스 신호선의 신호의 극성을 반전시켜도 좋다. NOR 회로는 4개의 트랜지스터로 구성할 수 있기 때문에 불량률이 더욱 저하된다. 따라서, 표시 장치용 주사 회로의 수율이 더욱 높아진다. NOR 회로를 제16도에 도시한 바와 같이 다이내믹형으로 하면 더욱더 소자수를 삭감할 수 있다.

제15도에 도시된 신호 파형에서는 복수의 펄스 신호의 전환을 동시에 행하고 있다. 이 때문에, 글리치(glitch)가 발생하면 본래의 타이밍 이외의 타이밍으로 주사 신호가 출력될 수 있다. 또한, 글리치는 펄스 신호를 출력하는 회로를 구성하고 있는 소자의 특성 오차나, 펄스 신호선 상의 기생 용량이나 저항 등이 커지면, 펄스 신호선에 있어서의 펄스 신호의 지연 시간의 오차가 커지기 때문에 발생한다.

그래서, 제17도에 도시한 바와 같이, 임의의 펄스 신호선의 신호가 리셋되고 나서 일정한 시간( $t_{dd}$ )가 경과한 후, 다른 펄스 신호선의 신호가 세트되도록 m라인의 펄스 신호선에 신호를 입력하도록 하면, 지연 시간 오차의 영향을 없앨 수 있다.

또한, 제18도에 도시한 바와 같이, 세트 상태에 있는 펄스 신호선의 조합이 바뀌기 직전에 세트 상태에 있는 펄스 신호선의 신호가 일정 시간( $t_{res}$ )만큼 리셋 되도록 하여도 지연 시간의 오차의 영향을 없앨 수 있다.

또한, 제19도에 도시한 바와 같이, AND 회로(103-1, 103-2 ...)을 구성하는 전계 효과 트랜지스터(601-1~6)에 있어서의 채널 크기(채널폭  $W_p$ ,  $W_n$  및 채널 길이  $L_p$ ,  $L_n$ )을 표 1과 같이 변화시킴으로써, 논리 계산을 위한 조건이 참인 상태가 일정 시간 이상 지속되었을 때만 출력 신호가 전환하도록 회로의 시정수나 반전 임계치 전압을 조정하여도 좋다.

[표 1]

트랜지스터	채널폭	채널길이
601-1	$W_p \times 2$	$L_p$
601-2	$W_p \times 2$	$L_p$
601-3	$W_n$	$L_n \times 2$
601-4	$W_n$	$L_n \times 2$
601-5	$W_p$	$L_p \times 2$
601-6	$W_p \times 2$	$L_n$

이상의 실시예에서는 m라인의 펄스 신호선에 외부 회로로부터 신호를 공급하였지만, 제20도에 도시한 바와 같은 인코더 회로를 표시 장치용 주사 회로에 포함시킴으로써, 외부로부터의 신호선의 라인수를 삭감할 수 있다. 인코더 회로에 있어서의 클럭 신호선(701), 스타트 펄스 신호선(702) 및 펄스 신호선(101-1~4)의 신호의 타이밍을 제21도에 도시하였다.

주사 회로의 다른 구체예에 대하여, 제22도 내지 제26도에 기초하여 설명하면 다음과 같다.

본 실시예의 주사 회로는 제22도에 도시한 바와 같이, 펄스 신호선(1-1-1~4)로부터의 펄스 신호를 디코딩하는 다이내믹 식의 디코더 회로(1-4)와, 디코드 회로(1-4)로부터의 신호를 반전시켜서 출력 신호선(1-3-1~4)로 출력하는 인코더 회로(1-5-1~4)로 구성되어 있다.

디코드 회로(1-4)는 4개의 디코드부(1-4-1~4)를 구비하고 있고, 각 디코드부(1-4-1~4)는 1개의 P형 트랜지스터(1-4-A)의 드레인, 소스와, 2개의 N형 트랜지스터(1-4-B~C)의 드레인, 소스를 전원측에서 GND(접지)측으로 차례대로 직렬로 접속한 구조로 되어 있다.

모든 디코드부(1-4-1~4)의 P형 트랜지스터(1-4-A)의 게이트는 리셋 신호선(1-2)의 접속되어 있다.

디코드부(1-4-1)의 N형 트랜지스터(1-4-C)의 게이트는 펄스 신호선(1-1-1)에 접속되어 있고, N형 트랜지스터(1-4-B)의 게이트는 펄스 신호선(1-1-3)에 접속되어 있다.

디코드부(1-4-2)의 N형 트랜지스터(1-4-C)의 게이트는 펄스 신호선(1-1-2)에 접속되어 있고, N형 트랜지스터(1-4-B)의 게이트는 펄스 신호선(1-1-3)에 접속되어 있다.

디코드부(1-4-3)의 N형 트랜지스터(1-4-C)의 게이트는 펄스 신호선(1-1-1)에 접속되어 있고, N형 트랜지

스터(1-4-B)의 게이트는 펄스 신호선(1-1-4)에 접속되어 있다.

디코드부(1-4-4)의 N형 트랜지스터(1-4-C)의 게이트는 펄스 신호선(1-1-2)에 접속되어 있고, N형 트랜지스터(1-4-B)의 게이트는 펄스 신호선(1-1-4)에 접속되어 있다.

각 디코드 부(1-4-1~4)의 출력[즉, P형 트랜지스터(1-4-A)와 N형 트랜지스터(1-4-B)와의 접속부]는 각각 인버터 회로(1-5-1~4)의 입력에 접속되어 있다. 인버터 회로(1-5-1~4)의 출력은 각각 출력 신호선(1-3-1~4)에 접속되어 있다.

상기의 구성에 있어서, 펄스 신호선(1-1-1~4)에는 펄스 신호가 입력되고, 리셋 신호선(1-2)에는 리셋 신호가 입력된다.

리셋 신호는 제23도에 도시한 바와 같이, 임의의 펄스 신호선(1-1-1~4)의 레벨이 하이 레벨로 변화하기 직전의 일정 기간( $t_{res}$ )만큼 로우 레벨이 되도록 설정되어 있다.

펄스 신호는 주사 기간 중, 펄스 신호선(1-1-1~4)중 2개의 차례대로 하이 레벨이 되도록 설정되어 있고, 상기의 시간( $t_{res}$ )에는 모든 펄스 신호선(1-1-1~4)가 로우 레벨로 리셋되도록 설정되어 있다. 펄스 신호선(1-1-2, 1-1-4)의 펄스 신호는 펄스 신호선(1-1-1, 1-1-3)의 펄스 신호를 반전한 신호로 되어 있다. 따라서, 4라인의 펄스 신호선((1-1-1~4)중의 절반(2개))가 독립이다.

디코더 회로(1-4)의 디코드부(1-4-1) 및 인버터 회로(1-5-1)은 펄스 신호선(1-1-1과 1-1-3)의 신호의 논리곱을 출력 신호선(1-3-1)으로 출력한다. 디코더 회로(1-4)의 디코드부(1-4-2) 및 인버터 회로(1-5-2)는 펄스 신호선((1-1-2과 1-1-3)의 신호의 논리곱을 출력 신호선(1-3-2)으로 출력한다. 디코더 회로(1-4)의 디코드부(1-4-3) 및 인버터 회로(1-5-3)은 펄스 신호선(1-1-1과 1-1-4)의 신호의 논리곱을 출력 신호선(1-3-3)으로 출력한다. 디코더 회로(1-4)의 디코드부(1-4-4) 및 인버터 회로(1-5-4)는 펄스 신호선((1-1-2과 1-1-4)의 신호의 논리곱을 출력 신호선(1-3-4)으로 출력한다.

이에 따라, 출력 신호선(1-3-1~4)를 차례대로 하이 레벨로 하는 펄스로 이루어진 주사 신호가 얻어진다.

또한, 펄스 신호선(1-1-1~4)의 레벨이 하이 레벨로 변화하기 직전의 일정기간( $t_{res}$ )에서는 디코드 회로(1-4)의 모든 디코드부(1-4-1~4)의 P형 트랜지스터(1-4-A)가 리셋 신호에 의해 온으로 됨과 동시에, 어드레스 신호에 의해 N형 트랜지스터(1-4-B, 1-4-C)가 오프가 된다. 따라서, 모든 출력 신호선(1-3-1~4)가 로우 레벨로 된다. 이에 따라, 주사 회로를 구성하는 소자 특성의 불균일성에 기인한 글리치 등의 오동작과 주사 펄스에 있어서의 지연 시간의 분산을 없앨 수 있다. 또한, 다이내믹식의 디코드 회로(1-4)를 채용하였기 때문에 주사 회로의 소형화, 저소비 전력화를 실현할 수 있다.

게다가, 디코드 회로(1-4)의 디코드부[1-4-i(여기에서,  $i = 1, 2, 3, 4$ )]와 인버터 회로(1-5-i)로 이루어지는 4개의 출력단은 각각 독립하여 있고, 각 출력단은 5개의 트랜지스터로 구성될 수 있다. 이 때문에, 1개 트랜지스터의 양품율을 P로 한 경우, 각 출력단이 정상적으로 동작할 확률은  $P^5$ 이 된다. 따라서, 본 실시예에서는 시프트 레지스터를 이용한 종래의 주사 회로와 비교하여, 주사 회로가 정상적으로 동작할 확률이 극히 높아진다.

본 실시예의 주사 회로의 구체예로서, Half VGA(반 비디오 그래픽스 어레이)사양의 화상 표시 장치의 주사 회로를 열거하였고, 그 주사 회로가 정상적으로 동작할 확률을 시산한다.

Half VGA 사양인 화상 표시 장치의 주사 회로는 18라인의 펄스 신호선과, 320단의 출력단이 필요해진다. 단, 18라인의 펄스 신호선 중 절반(9라인)이 독립이다.

각 출력단은 1개의 P형 트랜지스터와 독립된 펄스 신호선의 수와 동수인 9개의 N형 트랜지스터로 이루어진 디코드부와 인버터 회로로 구성된다. 즉, 각 출력단은 11개의 트랜지스터로 구성될 수 있다. 이 때문에, 각 출력단이 정상적으로 동작할 확률은  $P^{11}$ 이 된다.

상기의 출력단은 제24도에 도시한 바와 같이, 3개의 3입력인 다이내믹식의 NAND 회로와, 1개의 3입력인 NOR 회로로 구성할 수도 있다.

제25(a)도에 도시한 3입력의 다이내믹식의 NAND 회로를 이용한 경우, 출력단은 18개의 트랜지스터(N형 트랜지스터 12개, P형 트랜지스터 6개)로 구성된다. 이 때문에, 각 출력단이 정상적으로 동작할 확률은  $P^{18}$ 이 된다.

다이내믹식으로 하면, 트랜지스터 수가 상기 출력단보다도 증가하기 때문에, 정상적으로 동작할 확률이 상기의 주사 회로보다도 저하한다. 그러나, 직렬 접속되는 N형 트랜지스터의 수가 3분의 1로 되기 때문에, 동작 속도를 빠르게 할 수 있다.

또한, 제26(b)도에 도시한 3입력의 다이내믹식의 NOR 회로를 이용한 경우, 출력단은 16개의 트랜지스터(N형 트랜지스터 10개, P형 트랜지스터 6개)로 구성된다. 이 때문에 각 출력단이 정상적으로 동작할 확률은  $P^{16}$ 이 된다. 또한, 다이내믹식의 NAND 회로와 다이내믹식의 NOR 회로에서는 리셋 신호의 극성을 반전할 필요가 있다.

이에 비하여, 시프트 레지스터를 이용한 종래의 주사 회로에서는 L단계의 출력이 동작가능한 확률은  $P^{10 \times (L+1) + 6}$ 이기 때문에, 1단계가 정상적으로 동작할 확률은  $P^{26}$ 이고, 320단계가 정상적으로 동작할 확률은  $P^{3216}$ 이다.

$P^{11} \geq P^{16} \geq P^{18} \geq P^{26} \geq P^{3216}$ 이기 때문에, 본 실시예의 주사 회로가 정상적으로 동작할 확률은 종래의 주사 회로보다도 훨씬 높아진다. 게다가, 주사 회로가 정상적으로 동작할 확률은 출력단의 수에 의존하지 않는다. 이 때문에, 전기 특성의 오차나 정전 파괴 등이 발생하기 쉬운 다결정 Si 박막 트랜지스터를 주사 회로로 사용하여도 높은 양품율을 확보할 수 있다.

또한, 본 실시예의 주사 회로에 의하면, 펄스 신호선에 입력하는 펄스 신호를 변경하는 것만으로 쌍방향 주사를 행할 수 있다. 따라서, 쌍 방향 주사에 있어서 각 출력단이 정상적으로 동작할 확률은 한쪽 방향 주사에 있어서 각 출력단이 정상적으로 동작하는 확률과 같다. 이 때문에, 본 실시예의 주사 회로를 채용하면, 쌍방향 주사가 필요한 3판식의 프로젝터 등의 화상 표시 장치에 있어서도 한쪽 방향 주사의 화상 표시 장치와 동일한 높은 양품율을 확보할 수 있다.

이에 비하여, 종래의 쌍 방향 주사 회로에서는 L단개의 출력이 동작 가능한 확률은  $P^{16 \cdot (L+1) \cdot 6}$  이기 때문에 1단개까지만 정상적으로 동작할 확률은  $P^{36}$  이고, 320단개까지만 정상적으로 동작할 확률은  $P^{5142}$  이다. 즉, 쌍 방향 주사에 있어서 각 출력단이 정상적으로 동작할 확률은 한쪽 방향 주사에 있어서 각 출력단이 정상적으로 동작하는 확률보다도 더욱 작아진다.

따라서, 쌍 방향 주사를 행하는 경우, 본 실시예의 주사 회로가 정상적으로 동작할 확률은 종래의 주사 회로보다도 더욱 한층 높아진다.

또한, 본 실시예의 주사 회로는 제26도의 액티브 매트릭스형 화상 표시 장치의 데이터 신호선 구동 회로 및 주사 신호선 구동 회로에 채용한 경우, 즉 본 실시예의 주사 회로를 표시부의 상하 양측에 배치된 1쌍의 동일한 데이터 신호선 구동 회로 및 표시부의 좌우 양측에 배치된 1쌍의 동일한 주사 신호선 구동 회로를 채용한 경우, 1쌍의 구동 회로의 한쪽에 결함이 발생되어도 다른쪽 구동 회로에서 정상적인 화상을 표시할 수 있다. 또한, 다른쪽 구동 회로의 임의의 출력단에 결함이 발생되어도 그 출력단에 대응한 라인 이외에 영향을 끼치지 않는다.

이에 비하여, 시프트 레지스터를 이용한 종래의 주사 회로를 상기 구동 회로에 채용한 경우, 남겨진 구동 회로의 어느 출력단에 결함이 발생하면, 그 출력단에 대응한 라인 이후의 모든 라인을 표시할 수 없게 된다.

또한, 본 실시예의 주사 회로에 의하면, 상술한 바와 같이, 펄스 신호를 변경하는 것만으로, 다른 규격의 화상(예를 들면, HDTV 규격의 화상과 XGA 규격의 화상)의 주사 신호를 출력할 수 있다. 따라서, 펄스 신호를 변경하는 것만으로 다른 규격의 화상을 표시하는 것이 가능하게 된다. 이에 따라, 종래의 주사 회로에서는 다른 규격의 화상을 표시하기 위하여 필요했던 셀렉터가 본 실시예의 주사 회로에서는 필요없게 된다.

또한, 본 실시예의 주사 회로는 각 출력단이 독립하여 있기 때문에, 앞의 출력단으로부터의 신호의 지연에 따른 영향이나, 뒤의 출력단의 부하에 의한 영향을 받지 않는다. 따라서, 이러한 영향을 받는 시프트 레지스터를 이용한 종래의 주사 회로와 비교하여 고속 동작이 가능하다. 이 때문에, 다결정 Si 박막 트랜지스터를 이동하여 표시 패널과 구동 회로와의 일체화를 행할 경우에는 충분히 대응할 수 있다. 이에 따라, 복수 계통의 시프트 레지스터를 이용할 필요가 있었던 종래의 주사 회로와 비교하여 주사 회로를 간소화할 수 있음과 동시에, 주사 회로의 점유 면적을 작게 할 수 있다. 그 결과, 종래 보다도 소형이며 가격이 싼 화상 표시 장치를 제공할 수 있게 된다.

이상의 실시예에 있어서, L라인의 출력 신호선을 차례대로 하이 레벨로 하는 펄스로 이루어진 주사 신호를 얻기 위해서는  $L \leq 2^m$ 인 조건을 만족하는 m개의 독립한 펄스 신호를 입력하면 좋다. 여기에서, 독립된 펄스 신호란 펄스 신호와 그것을 반전한 펄스 신호를 중복하여 계산되지 않도록 하여 얻어진 펄스 신호이다. 주사 회로는 1개의 디코더 회로와 L개의 인버터를 구성되고, 디코더 회로는 L개의 디코드부로 구성된다. 디코더 회로의 각 디코드부는 1개의 트랜지스터와, 이것과는 반대 극성인 m개의 트랜지스터를 직렬 접속함으로써 구성될 수 있다.

주사 회로의 그 외의 구체예에 대하여 제27도 및 제28도에 기초하여 설명하면 다음과 같다. 또한, 설명의 편의상 상기 실시예의 도면에 도시된 구성 요소와 동일한 기능을 갖는 구성 요소에는 동일한 부호를 부기하고 그 설명을 생략한다.

본 실시예의 주사 회로는 제27도에 도시한 바와 같이, 디코더 회로(1-4)의 대코드부(1-4-1~4)의 구성이 상기 주사 회로와는 다르게 되어 있다.

각 대코드부(1-4-1~4)는 1개의 P형 트랜지스터(2-4-A)의 드레인, 소스와, 3개의 N형 트랜지스터(2-4-A'~C)의 드레인, 소스를 전원측으로부터 GND측으로 차례대로 직렬로 접속된 구조로 되어 있다.

모든 대코드부(1-4-1~4)의 P형 트랜지스터(2-4-A)의 게이트 및 N형 트랜지스터(2-4-A')의 게이트는 리셋 신호선(1-2)에 접속되어 있다.

각 대코드부(1-4-1~4)의 출력 [즉, P형 트랜지스터(2-4-A)와 N형 트랜지스터(2-4-A')와의 접속부]는 각각, 인버터 회로(1-5-1~4)의 입력에 접속되어 있다. 인버터 회로(1-5-1~4)의 출력은 각각 출력 신호선(1-3-1~4)에 접속되어 있다.

그외의 접속은 상기 실시예와 동일하다.

상기의 구성에 있어서, 펄스 신호선(1-1-1~4)에는 펄스 신호가 입력되고, 리셋 신호선(1-2)에는 리셋 신호가 입력된다. 이에 따라, 출력 신호선(1-3-1~4)를 차례대로 하이 레벨로 하는 펄스로 이루어진 주사

신호가 얻어진다.

본 실시예의 주사 회로에서는 제28도에 도시한 바와 같이, 펄스 신호를 리셋 신호를 동기하여 리셋할 필요가 없다. 이 때문에, 간단한 펄스 신호를 입력하는 것만으로 주사 신호를 얻을 수 있다.

Half VGA 사양의 화상 표시 장치의 주사 회로에 본 실시예의 주사 회로를 응용하면, 주사 회로가 정상적으로 동작할 확률은  $P^{20}$  이 된다. 따라서, 상기 실시예와 마찬가지로, 주사 회로가 정상적으로 동작할 확률은 종래의 주사 회로보다도 훨씬 높아진다. 게다가, 주사 회로가 정상적으로 동작할 확률은 출력단의 수에 의존하지 않는다. 이 때문에, 전기 특성의 오차나 정전 파괴 등이 발생하기 쉬운 다결정 Si 박막 트랜지스터를 주사 회로에 사용하여도 높은 양품율을 확보할 수 있다.

주사 회로의 그 외의 구체예에 대하여 제29도 및 제30도에 기초하여 설명하면 다음과 같다. 또한, 설명의 편의상 상기 실시예의 도면에 도시된 구성 요소와 동일한 기능을 갖는 구성 요소에는 동일한 부호를 부기하고 그 설명을 생략한다.

본 실시예의 주사 회로는 제29도에 도시한 바와 같이, 상기 실시예의 주사 회로에서 펄스 신호선(1-1-2, 1-1-4)를 생략하고, 펄스 신호선(1-1-2, 1-1-4)에 접속되어 있던 트랜지스터의 게이트를 펄스 신호선(1-1-1, 1-1-3)에 접속함과 동시에, 이들 트랜지스터 N형에서 P형으로 변경한 구성으로 되어 있다.

상기의 구성에 있어서, 펄스 신호선(1-1-1, 1-1-3)에는 펄스 신호가 입력되고, 리셋 신호선(1-2)에는 리셋 신호가 입력된다. 이에 따라, 출력 신호선(1-3-1~4)를 차례대로 하이 레벨로 하는 펄스로 이루어진 주사 신호를 얻을 수 있다.

본 실시예의 주사 회로에서는 상기 실시예와 마찬가지로, 제30도에 도시한 바와 같이, 펄스 신호를 리셋 신호를 동기하여 리셋할 필요가 없다. 이 때문에, 간단한 파형의 펄스 신호를 입력하는 것만으로 주사 신호를 얻을 수 있다. 게다가, 상기 실시예의 펄스 신호선(1-1-1~4)를 반수의 펄스 신호선(1-1-1, 1-1-3)으로 줄일 수 있기 때문에, 주사 회로를 소규모로 할 수 있다.

또한, 본 실시예의 주사 회로는 펄스 신호의 입력부에 P형 트랜지스터를 이용하고 있기 때문에, 트랜지스터가 온으로 되면 게이트소스 간의 전위가 거의 제로로 된다. 그 결과, 하강 시간이 길어진다. 이를 회피하기 위해서는 게이트에 입력되는 전위를 소스 전위로부터 적어도 P형 트랜지스터의 임계치분만큼 낮게 설정하면 좋다. 이에 따라, 하강 시간을 짧게 할 수 있기 때문에, 고속의 동작이 가능해진다.

본 실시예의 주사 회로에 필요한 트랜지스터의 수는 상기 실시예의 그것과 동일하기 때문에, 주사 회로가 정상적으로 동작할 확률은 상기 실시예와 동일하다.

주사 회로의 그 외의 구체예에 대하여 제31도 및 제32도에 기초하여 설명하면 다음과 같다. 또한, 설명의 편의상 상기 실시예의 도면에 도시된 구성 요소와 동일한 기능을 갖는 구성 요소에는 동일한 부호를 부기하고 그 설명은 생략한다.

본 실시예의 주사 회로는 제31도에 도시한 바와 같이, 상기 실시예(제22도)의 주사 회로에서 리셋 신호선(1-2)를 생략하고, 리셋 신호선(1-2)에 접속되어 있던 디코드부(1-4-1, 2, 3, 4)의 P형 트랜지스터(1-4-A)의 게이트를 디코드부(1-4-2, 3, 4, 1)의 출력[즉, P형 트랜지스터(1-4-A)와 N형 트랜지스터(1-4-B)와의 접속부]에 접속된 구성으로 되어 있다.

상기의 구성에 있어서, 펄스 신호선(1-1-1~4)에는 펄스 신호가 입력된다. 출력 신호선(1-3-i)가 하이 레벨이 되면, 디코드부[1-4-(i-1)]의 P형 트랜지스터(1-4-A)가 온으로 된다. 따라서, 출력 신호선[1-3-(i-1)]이 로우 레벨로 된다. 이에 따라, 상기 실시예와 마찬가지로 제32도에 도시한 바와 같이, 출력 신호선(1-3-1~4)를 차례대로 하이 레벨로 하는 펄스로 이루어진 주사 신호가 얻어진다. 또한, 본 실시예의 주사 회로는 한쪽 방향 주사 전용이다.

본 실시예의 주사 회로는 상기 실시예의 리셋 신호선(1-2)를 생략할 수 있기 때문에, 회로를 간소화할 수 있어서 회로 규모를 작게 할 수 있다.

본 실시예의 주사 회로에 필요한 트랜지스터의 수는 상기 실시예(제22도)의 그것과 동일하기 때문에, 주사 회로가 정상적으로 동작할 확률은 상기 실시예와 동일하다.

주사 회로의 그 외의 구체예에 대하여, 제33도 및 제34도에 기초하여 설명하면 다음과 같다. 또한, 설명의 편의상 상기 실시예의 도면에 도시된 구성 요소와 동일한 기능을 갖는 구성 요소에는 동일한 부호를 부기하고 그 설명은 생략한다.

본 실시예의 주사 회로는 제33도에 도시한 바와 같이, 상기 실시예의 주사 회로에서 펄스 신호선(1-1-2, 1-1-4)를 생략하고, 펄스 신호선(1-1-2, 1-1-4)에 접속되어 있던 트랜지스터의 게이트를 펄스 신호선(1-1-1, 1-1-3)에 접속함과 동시에, 이들 트랜지스터를 N형에서 P형으로 변경한 구성으로 되어 있다.

상기의 구성에 있어서, 펄스 신호선(1-1-1, 1-1-3)에는 펄스 신호가 입력된다. 이에 따라, 상기 실시예와 마찬가지로 제34도에 도시된 바와 같이, 출력 신호선(1-3-1~4)를 차례대로 하이 레벨로 하는 주사 펄스로 이루어진 주사 신호가 얻어진다.

본 실시예의 주사 회로에서는 상기 실시예의 펄스 신호선(1-1-2, 1-1-4)를 생략할 수 있기 때문에, 주사 회로를 더욱 간단화할 수 있어서 회로 규모를 더욱 작게할 수 있다. 또한, 본 실시예의 주사 회로는 한쪽 방향 주사 전용이다.

본 실시예의 주사 회로에 필요한 트랜지스터의 수는 상기 실시예의 그것과 동일하기 때문에, 주사 회로가 정상적으로 동작할 확률은 상기 실시예와 동일하다.

이상의 주사 회로 중 제22도, 제27도, 제29도에 도시된 주사 회로는 리셋 신호의 후, 로우 레벨을 출력하

지 않는 디코더 회로(1-4)의 디코드부(1-4-i)는 하이 임피던스 상태로 된다. 또한, 제31도, 제33도의 주사 회로에서는 디코드부(1-4-i)는 디코드 회로(1-4)의 디코드부[1-4(i+1)]로부터의 리셋 신호를 수신한 후, 1주사 시간 경과 후부터 다음의 펄스 신호가 입력될 때까지 사이에, 하이 임피던스 상태로 된다.

디코드부(1-4-i)가 하이 임피던스 상태로 되면, 출력 신호선(1-3-i)는 플로팅 상태가 된다. 이 때문에, 다음의 리셋 신호 또는 다음의 펄스 신호가 입력될 때까지 사이에, 출력 신호선(1-3-i)의 배선 용량이나 부하 용량에 의해 오프 전압을 유지할 수 없는 경우가 있다. 이 경우, 제35(a)도에 도시된 바와 같이, 출력 신호선(1-3-i)와, GND와 같이 적어도 1수평 주사 기간 동안, 전압이 일정한 부분과의 사이에 콘덴서(11-1)를 설치하거나, 제35(b)도에 도시한 바와 같이, 출력 신호선(1-3-i)에 직렬로 래치 회로(12-1)를 설치하는 것이 오프 전압을 유지하는 데에 유효하다.

발명의 상세한 설명의 항에 있어서 없었던 구체적인 실시 형태 또는 실시예는 끝까지, 본 발명의 기술 내용을 분명하게 함에 있어서, 그와 같은 구체예에만 한정하여 협의로 해석되어야 하는 것은 아니고, 본 발명의 정신과 다음에 기재하는 특허 청구 범위 내에서 여러 가지로 변경하여 실시할 수 있다.

## (57) 청구의 범위

### 청구항 1

신호 입력용  $m$ 개의 펄스 신호선과, 신호 출력용  $L$ 개의 출력 신호선과, 상기 펄스 신호선에 입력되는 신호에 기초하여 상기 출력 신호선으로 출력될 신호를 온과 오프 사이에서 순차 전환하는 전환 수단을 구비하고 있다. 상기 전환 수단은 상기 전환 수단의  $n$ 입력선에 입력된  $n$ 신호에 기초한 논리 연산에 의해, 상기 출력 신호선으로 출력될 신호를 온과 오프사이에서 전환하되, 상기  $n$ 신호는 상기 펄스 신호선의  $m$ 라인의 선택된 조합으로부터 취해지며, 논리 연산에 사용된  $n$ 라인의 각 조합은 상기 출력 신호선 중 서로 다른 신호선에 출력 신호를 발생하며,  $n$ 은  $mCn \geq L$ 의 조건(여기서,  $L$ ,  $m$ ,  $n$ 은 양의 정수임)을 만족하며, 복수의 출력 신호선이 동시에 턴 온되지 않는 것을 특징으로 하는 주사 회로.

### 청구항 2

제1항에 있어서, (1) 상기 펄스 신호선 중 하나가 리셋되고 (2) 순차 구동되는 다음의 다른 펄스 신호선이 상기 펄스 신호선 중의 상기 신호선의 리셋후 선정된 시간이 경과한 후에 세트되도록, 상기 펄스 신호선에 신호들이 입력되는 것을 특징으로 하는 주사 회로.

### 청구항 3

제1항에 있어서, 세트 상태에 있는 상기 펄스 신호선의 조합이 변하기 직전에 세트 상태에 있는 상기 펄스 신호선이 선정된 시간동안 리셋 상태가 되도록, 상기 펄스 신호선에 입력될 신호가 세트되는 것을 특징으로 하는 주사 회로.

### 청구항 4

제1항에 있어서, 상기 논리 연산의 결과가 참이고 선정된 시간동안 참이 지속되었을 때에만 상기 출력 신호선이 세트 또는 리셋되도록, 상기 전환 수단의 임계전압이 조정되는 것을 특징으로 하는 주사 회로.

### 청구항 5

제2항에 있어서, 상기 논리 연산의 결과가 참이고 선정된 시간동안 참이 지속되었을 때에만 상기 출력 신호선이 세트 또는 리셋되도록, 상기 전환 수단이 배열되어 있는 것을 특징으로 하는 주사 회로.

### 청구항 6

제3항에 있어서, 상기 논리 연산의 결과가 참이고 선정된 시간동안 참이 지속되었을 때에만 상기 출력 신호선이 세트 또는 리셋되도록, 상기 전환 수단이 배열되어 있는 것을 특징으로 하는 주사 회로.

### 청구항 7

제1항에 있어서, 스타트 펄스 및 클럭 펄스에 기초하여 상기 펄스 신호선에 신호를 출력하는 인코더 회로를 더 구비하고 있는 것을 특징으로 하는 주사 회로.

### 청구항 8

제2항에 있어서, 스타트 펄스 및 클럭 펄스에 기초하여 상기 펄스 신호선에 신호를 출력하는 인코더 회로를 더 구비하고 있는 것을 특징으로 하는 주사 회로.

### 청구항 9

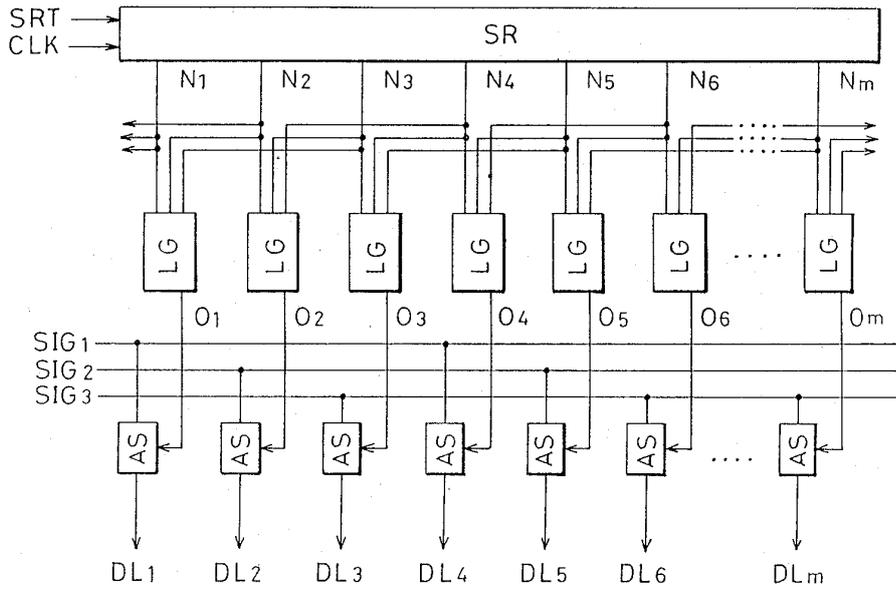
제3항에 있어서, 스타트 펄스 및 클럭 펄스에 기초하여 상기 펄스 신호선에 신호를 출력하는 인코더 회로를 더 구비하고 있는 것을 특징으로 하는 주사 회로.

### 청구항 10

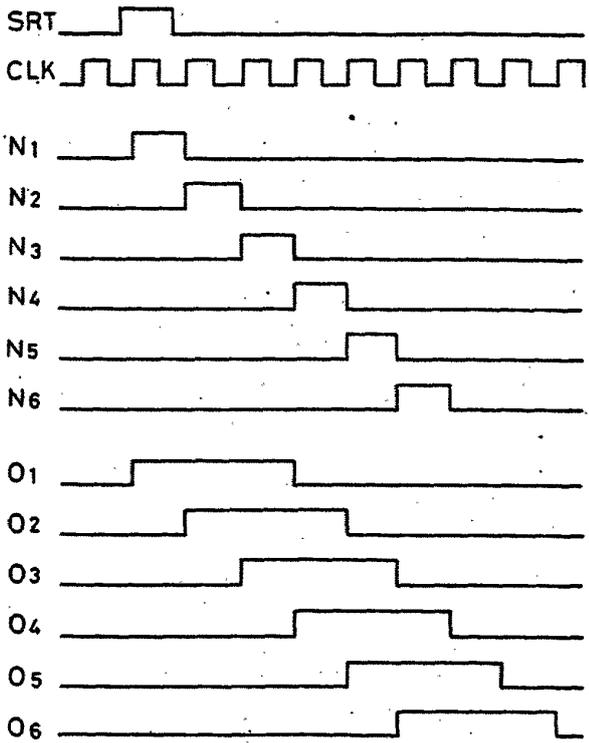
제1항에 있어서,  $n$ 는 2~4인 것을 특징으로 하는 주사 회로.

## 도면

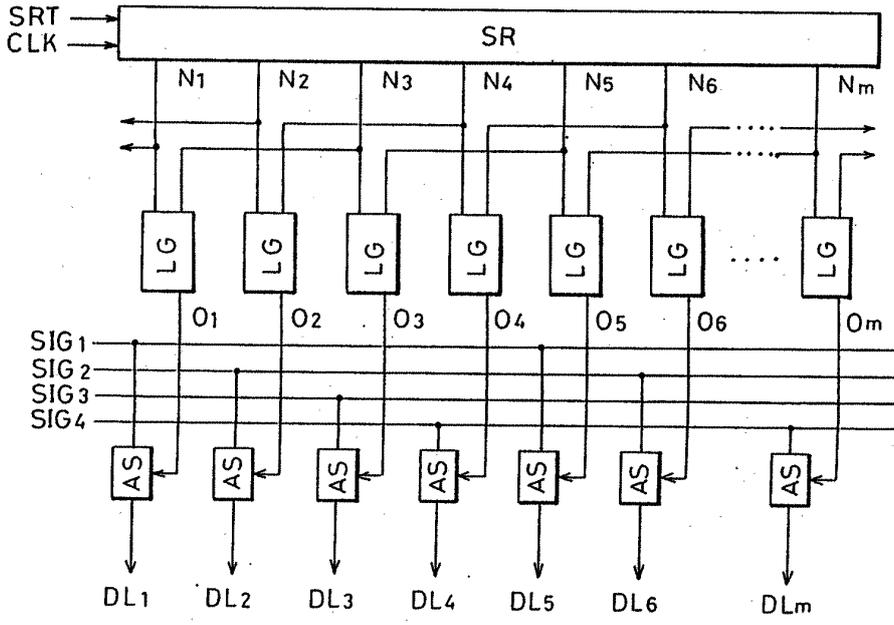
도면1



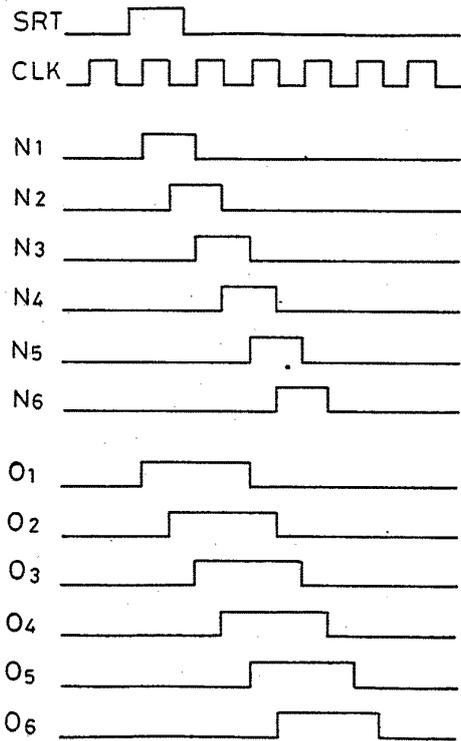
도면2



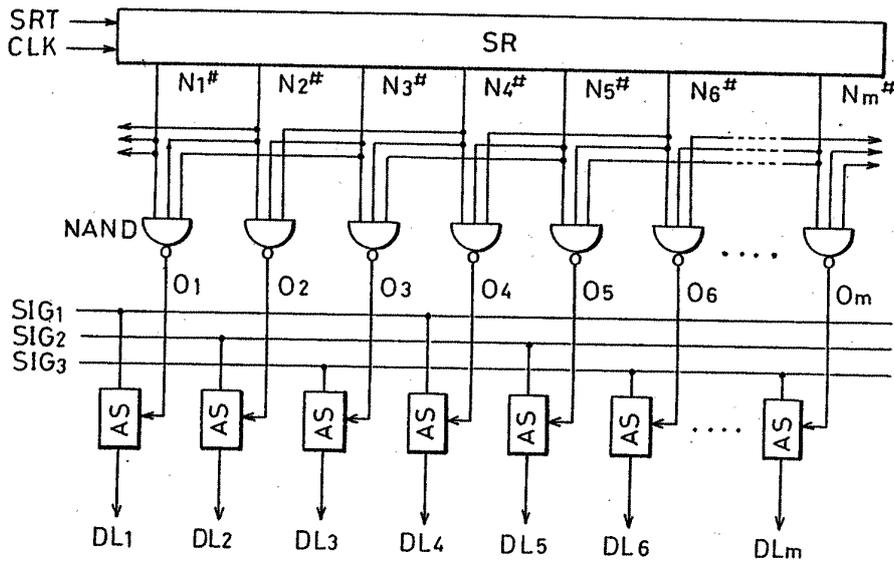
도면3



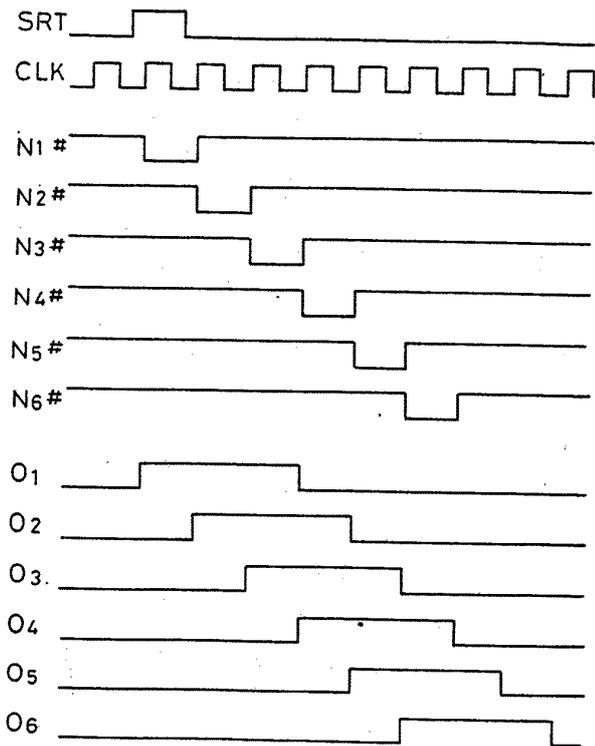
도면4



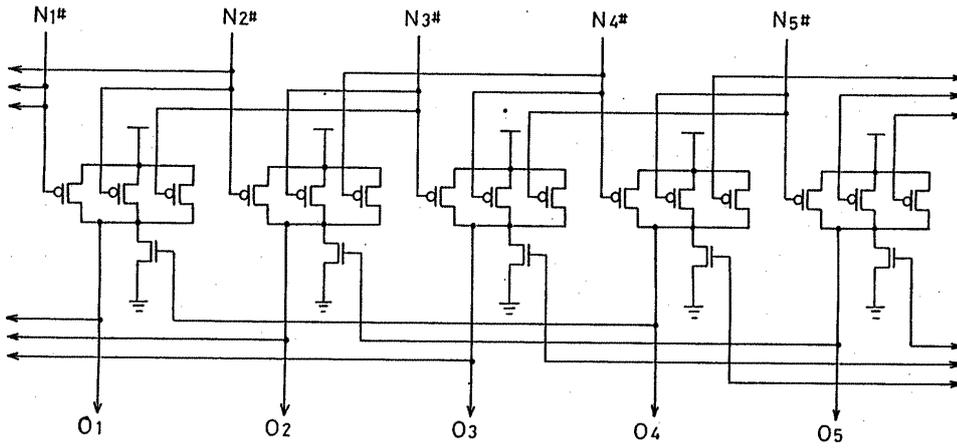
도면5



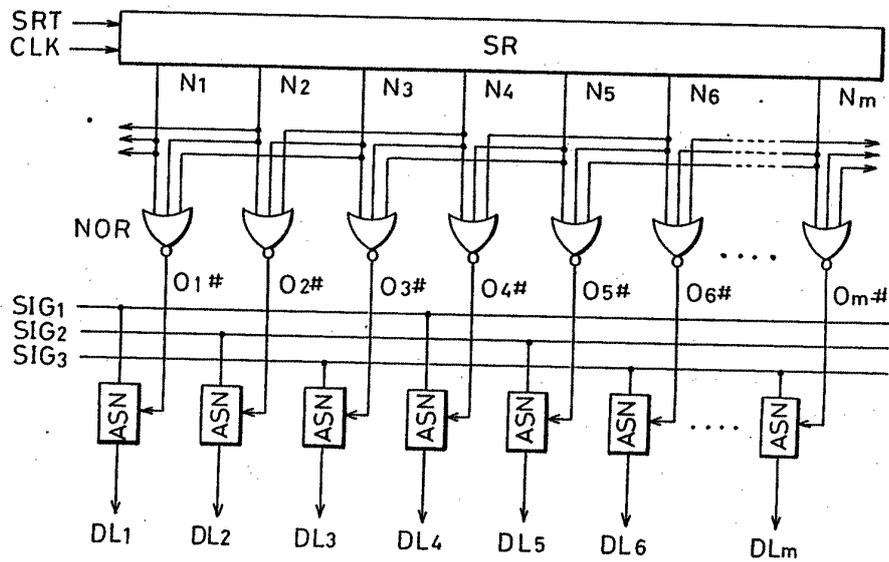
도면6



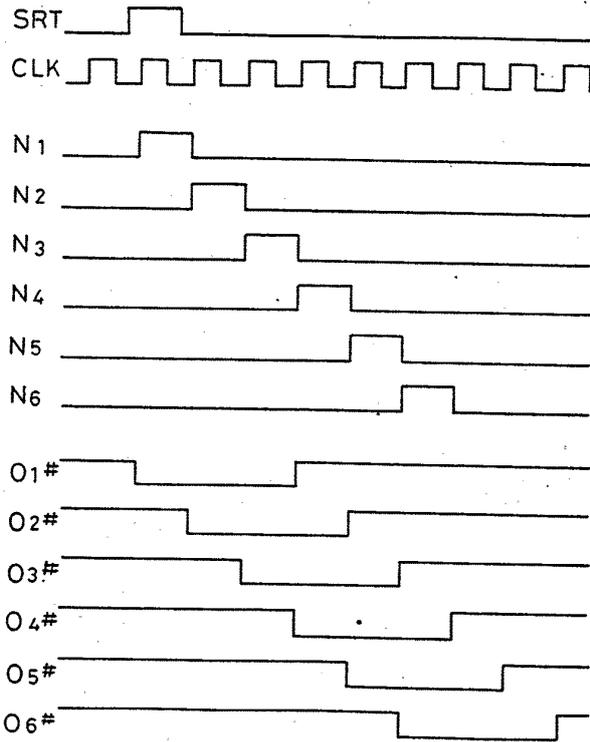
도면7



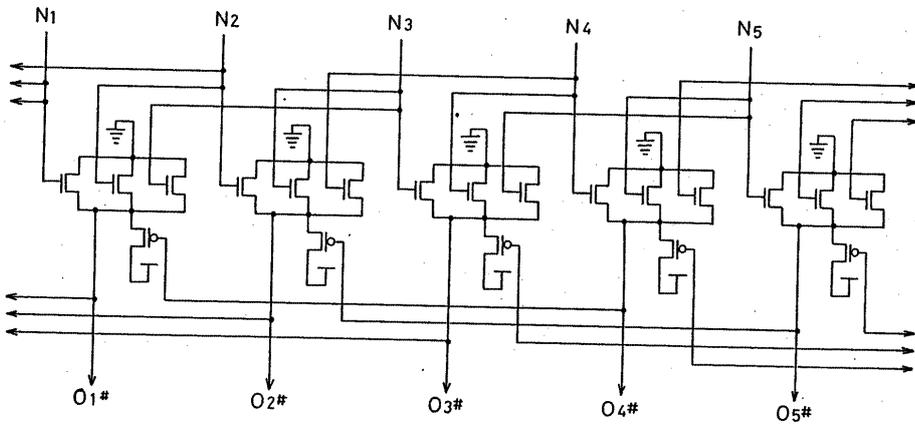
도면8



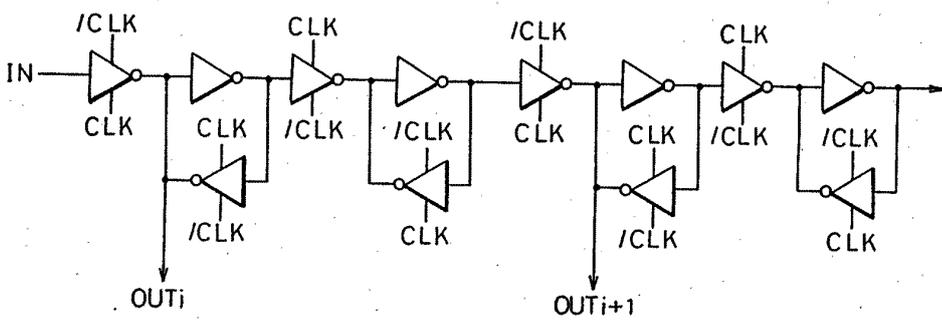
도면9



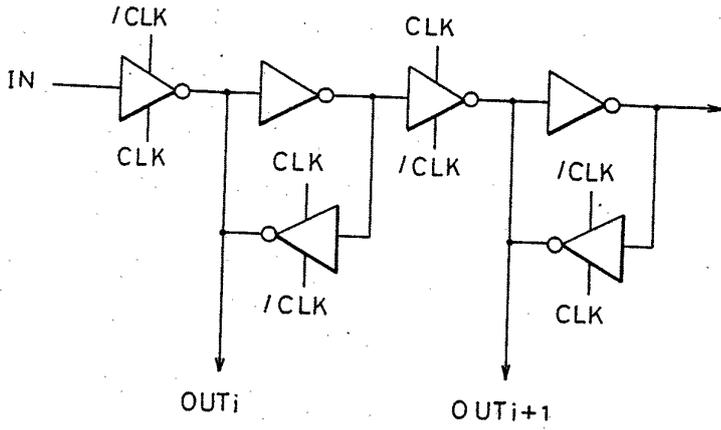
도면10



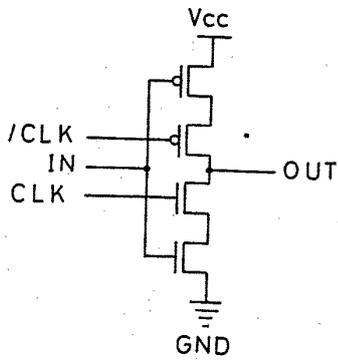
도면11



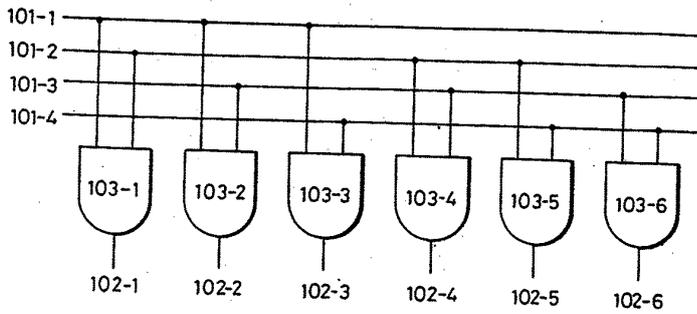
도면12



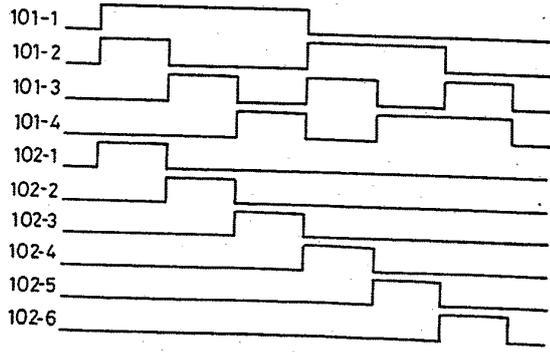
도면13



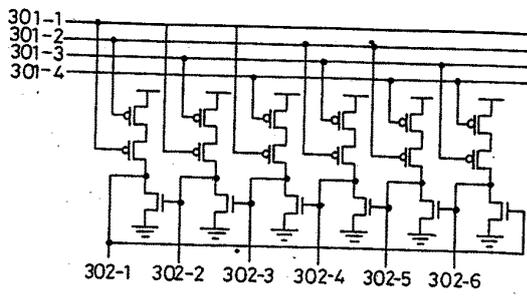
도면14



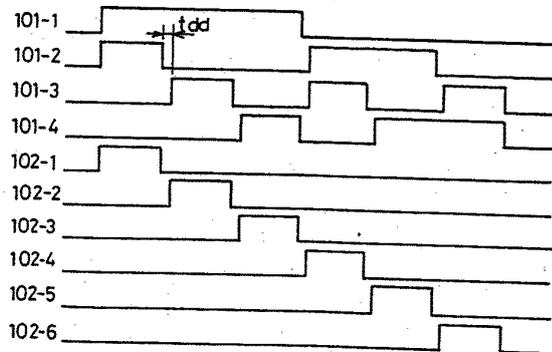
도면 15



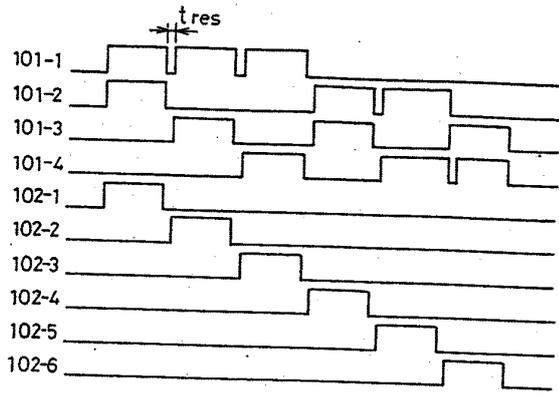
도면 16



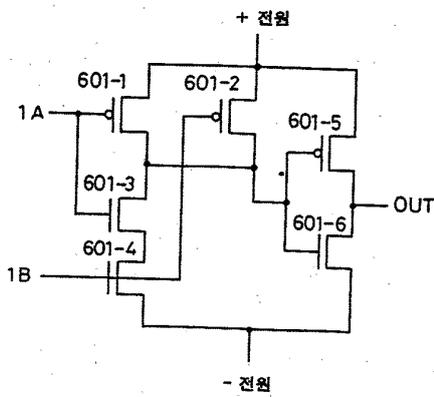
도면 17



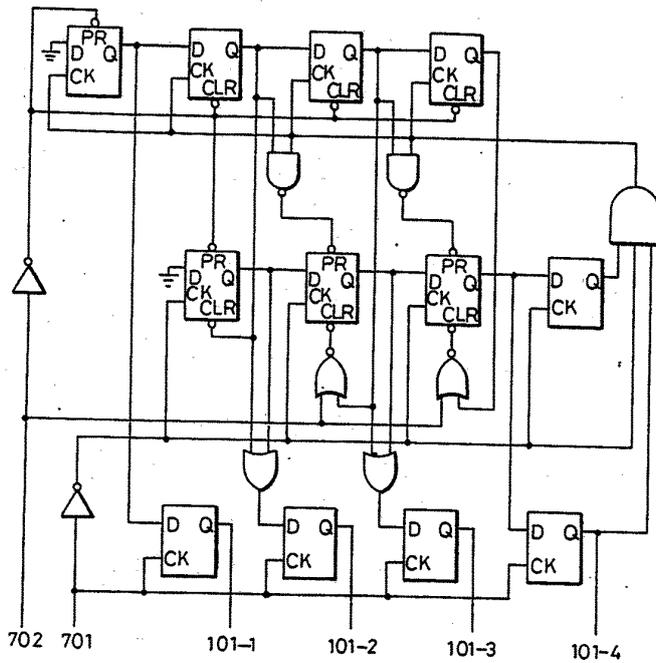
도면 18



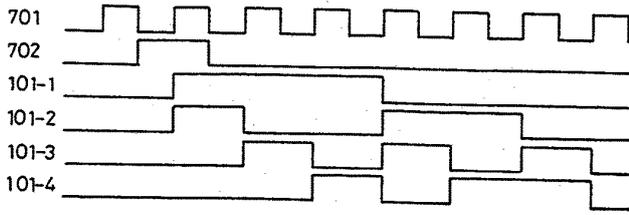
도면 19



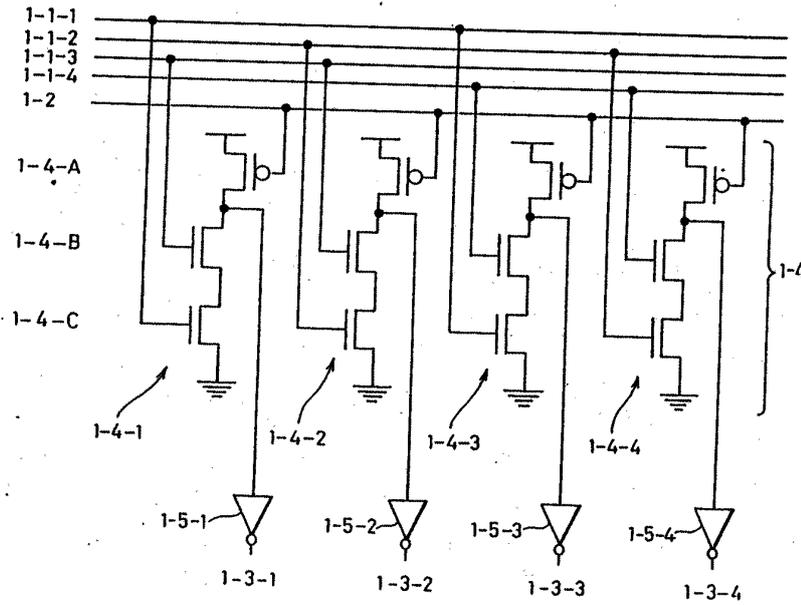
도면 20



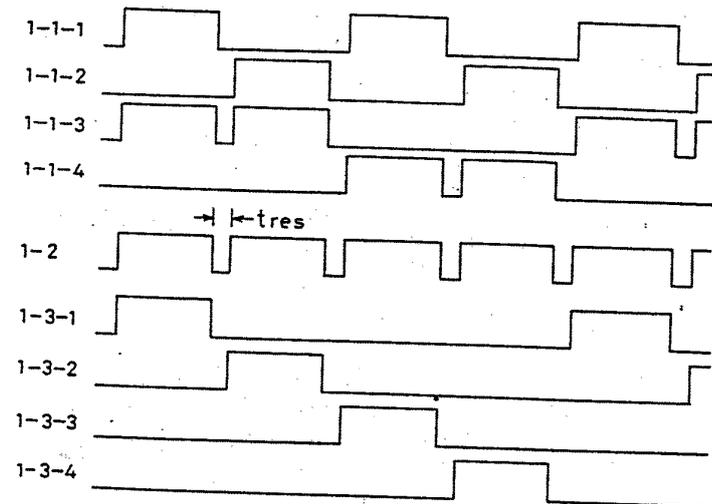
도면21



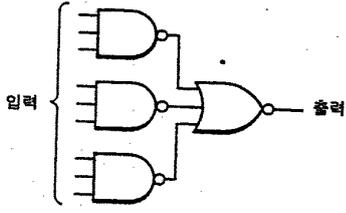
도면22



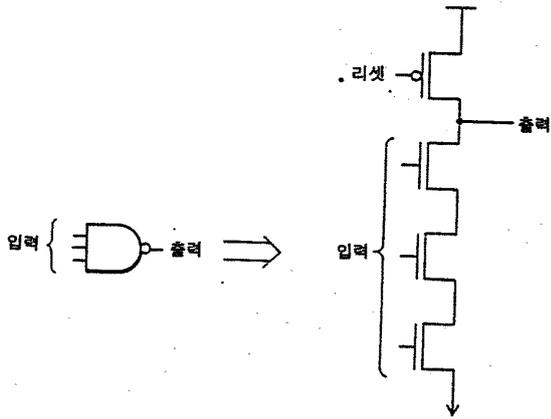
도면23



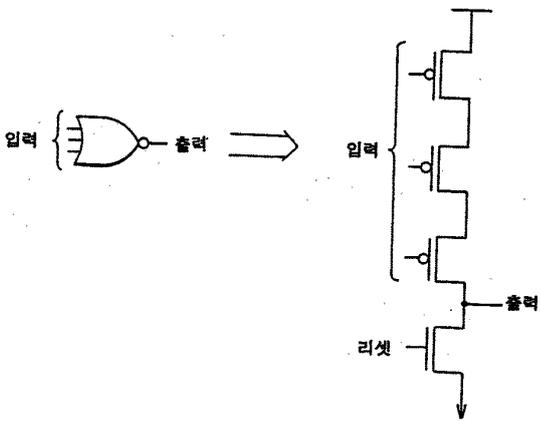
도면24



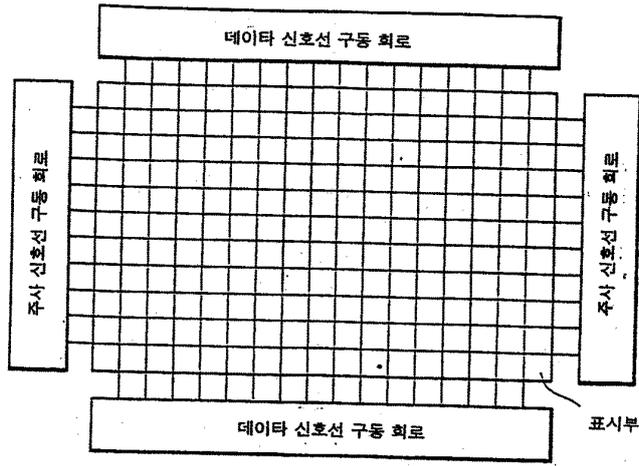
도면25a



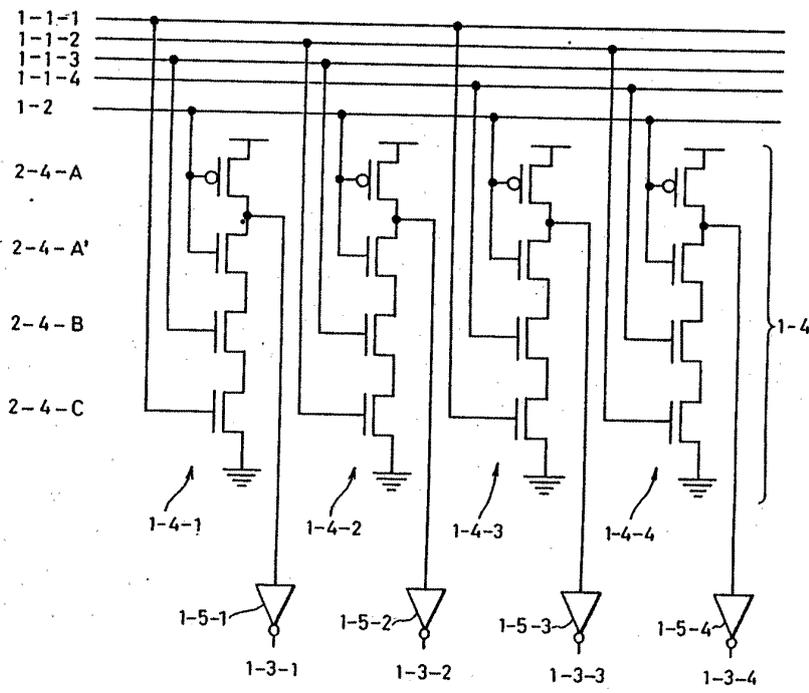
도면25b



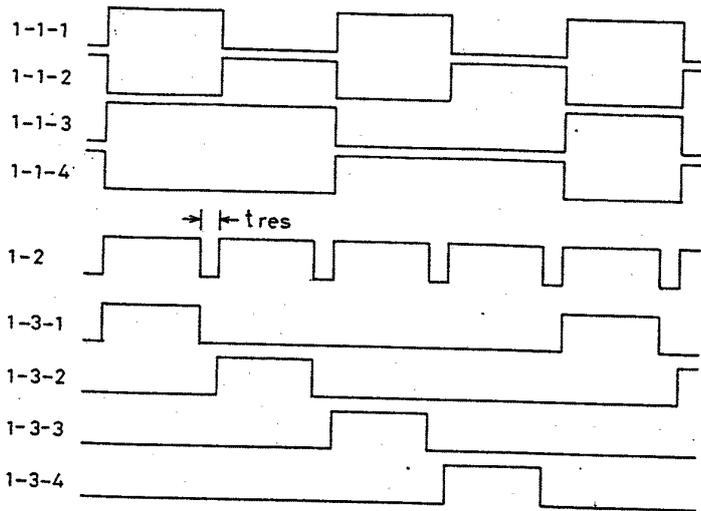
도면26



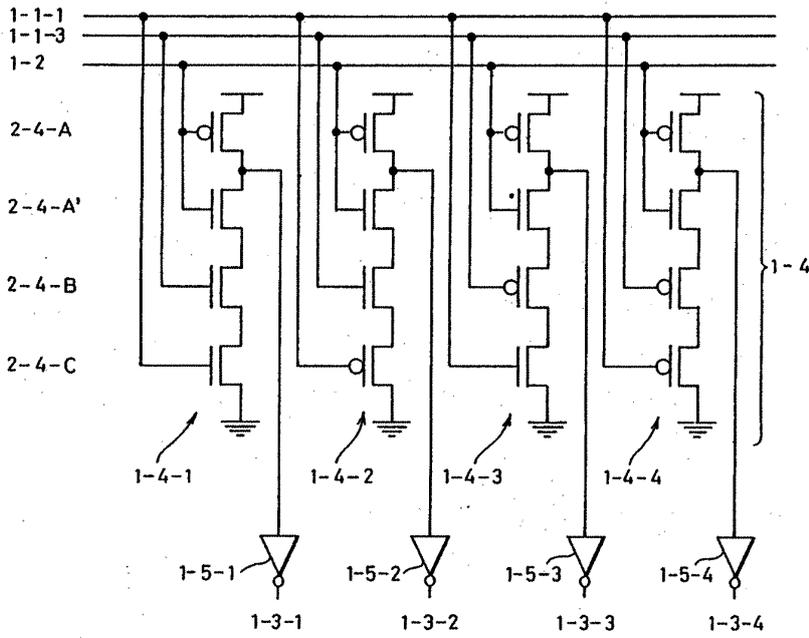
도면27



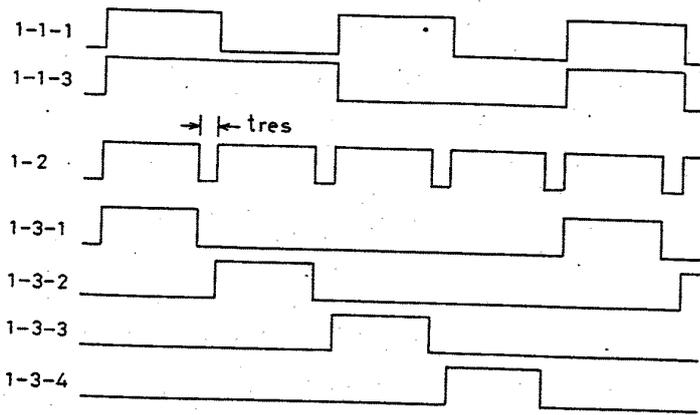
도면28



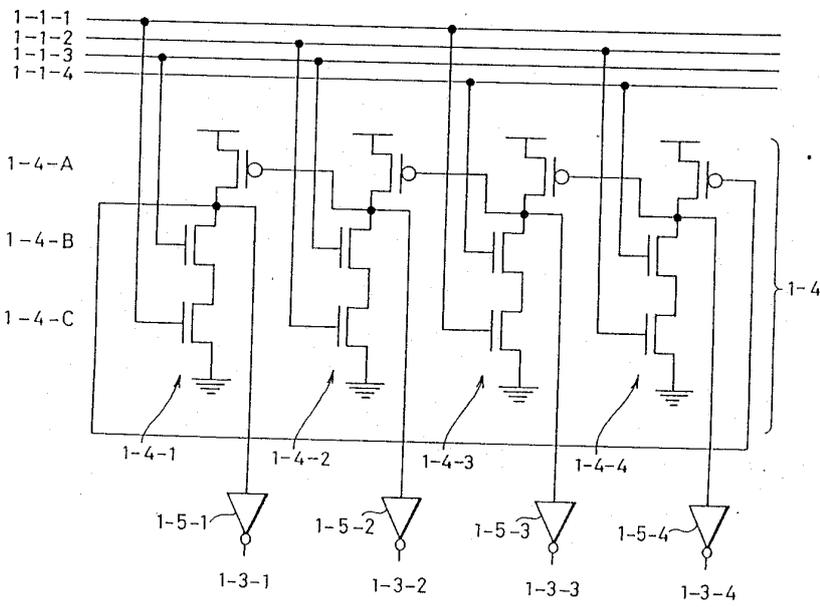
도면29



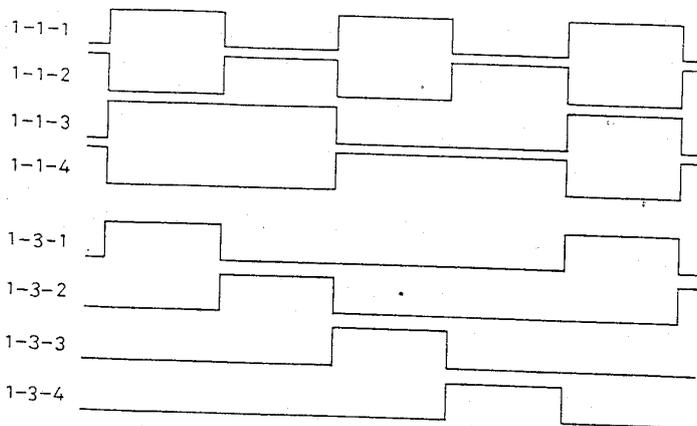
도면30



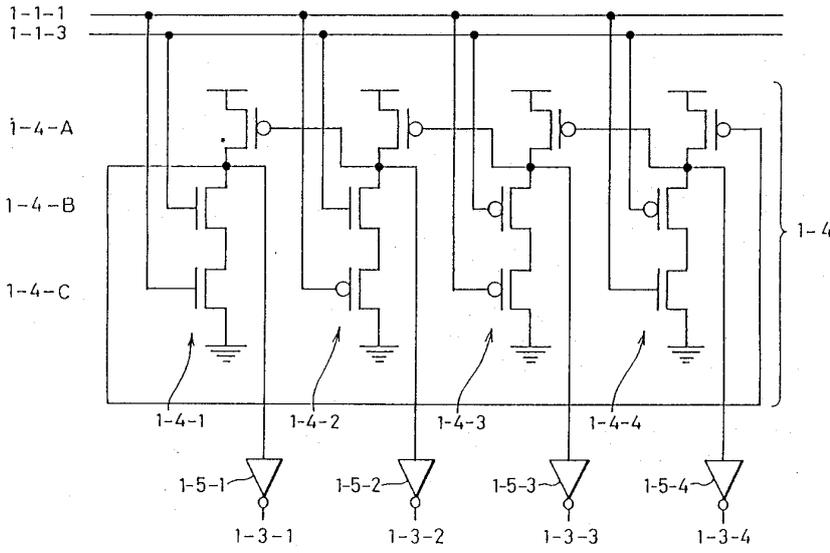
도면31



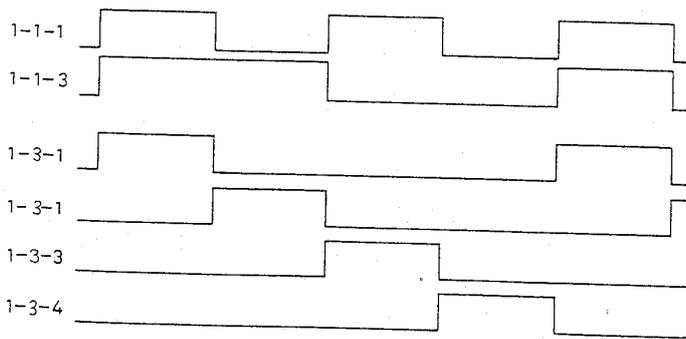
도면32



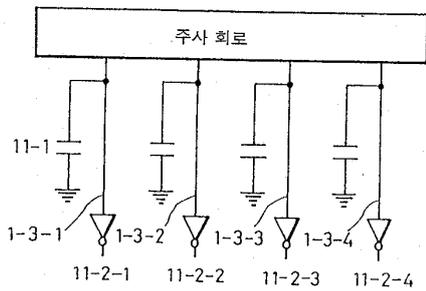
도면33



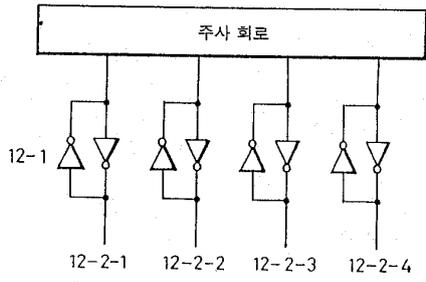
도면34



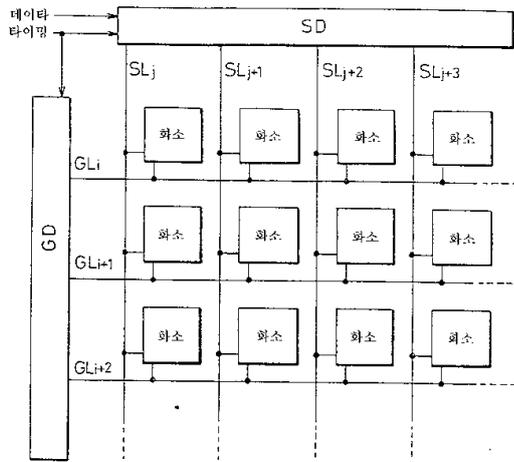
도면35a



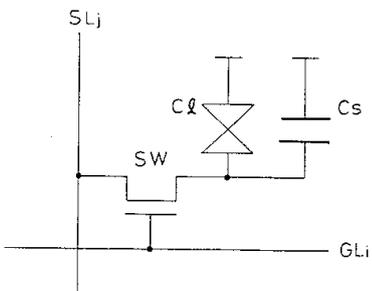
도면35b



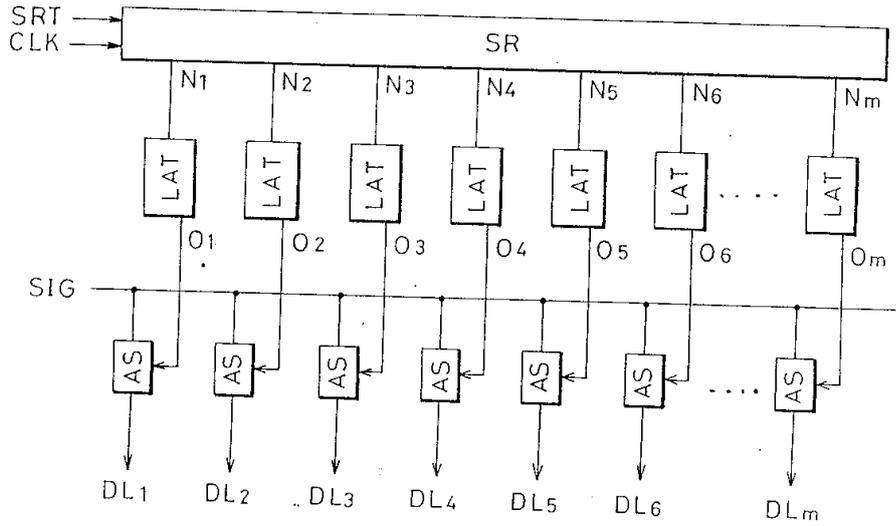
도면36



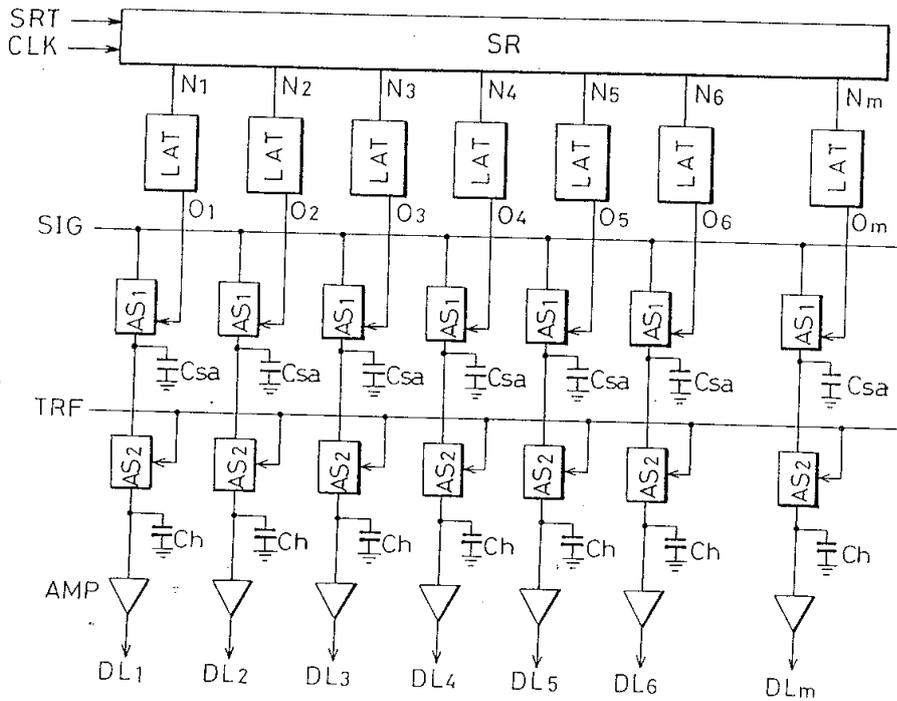
도면37



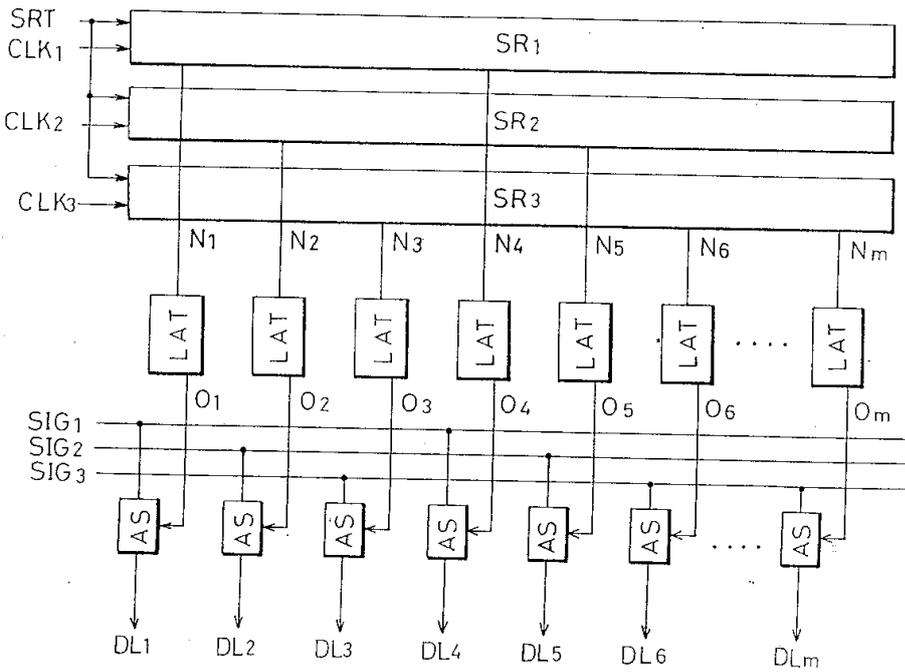
도면38



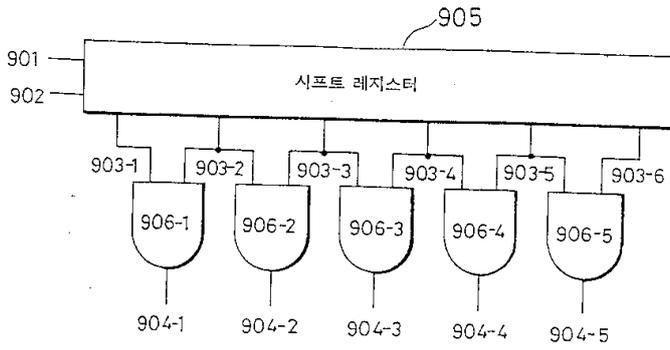
도면39



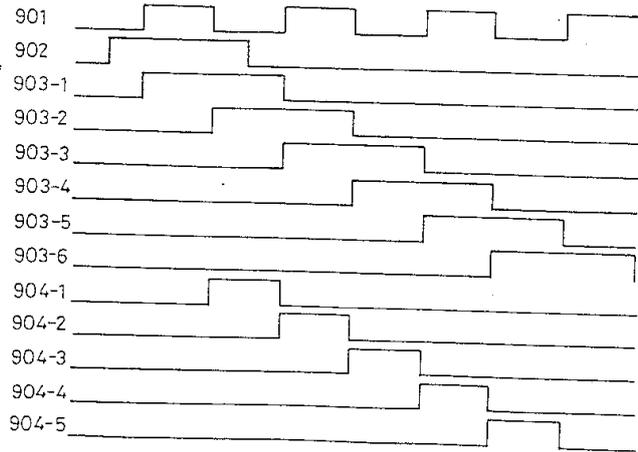
도면40



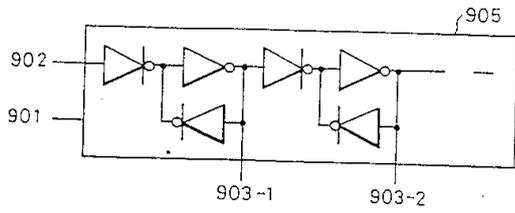
도면41



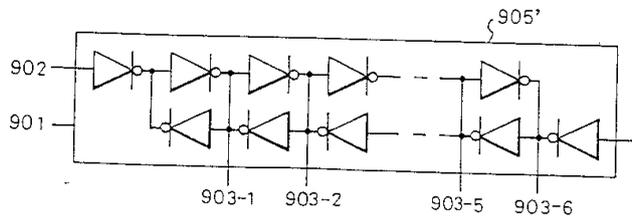
도면42



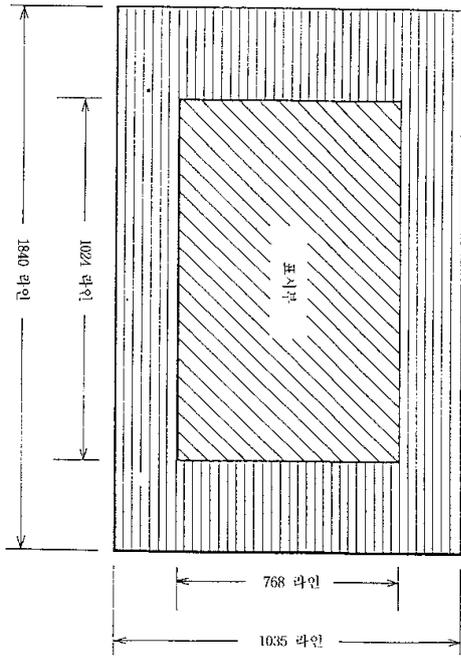
도면43



도면44



도면45



도면46

