

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年7月1日(01.07.2010)

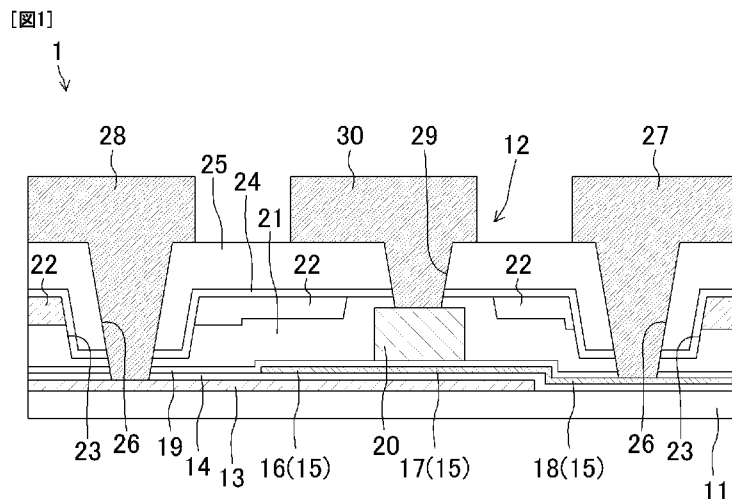
PCT

(10) 国際公開番号
WO 2010/073425 A1

- (51) 国際特許分類:
H01L 21/768 (2006.01) H01L 23/522 (2006.01)
G02F 1/1368 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2009/003532
- (22) 国際出願日: 2009年7月27日(27.07.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-328160 2008年12月24日(24.12.2008) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中澤 淳
(NAKAZAWA, Makoto). 宮本 光伸(MIYAMOTO,
Mitsunobu).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))
- (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: Disclosed is a semiconductor device wherein a first contact hole which penetrates a planarizing film laminated on a first interlayer insulating film, a second interlayer insulating film which covers the surface of the planarizing film and the inner surface of the first contact hole, a third interlayer insulating film laminated on the second interlayer insulating film, and a second contact hole which is formed with a small inner diameter inside the first contact hole and penetrates the first to the third interlayer insulating films are formed. Then, on the third interlayer insulating film and inside the second contact hole, a second conductive film electrically connected to a first conductive film is formed.

(57) 要約: 第1層間絶縁膜に積層された平坦化膜を貫通する第1コンタクトホールと、平坦化膜の表面及び第1コンタクトホールの内面を覆う第2層間絶縁膜と、第2層間絶縁膜に積層された第3層間絶縁膜と、第1コンタクトホールの内部に小さい内径で形成され、第1～第3層間絶縁膜を貫通する第2コンタクトホールとを形成する。そして、第3層間絶縁膜上及び第2コンタクトホールの内部に、第1導電性膜に電氣的に接続された第2導電性膜を形成する。

WO 2010/073425 A1

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、例えば液晶表示装置等に適用される半導体装置、及びその製造方法に関するものである。

背景技術

[0002] 例えば液晶表示装置は、ＴＦＴ（薄膜トランジスタ）及びこれに接続された画素電極が複数マトリクス状に配置されたＴＦＴ基板と、このＴＦＴ基板に対向して配置されると共にカラーフィルタ及び共通電極等が形成された対向基板と、これら対向基板及びＴＦＴ基板の間に設けられた液晶層とを備えている。

[0003] ここで、拡大断面図である図１０を参照して、ＴＦＴ基板１００の構成について説明する。ＴＦＴ基板１００を構成するガラス基板１０１上には、下層ゲート電極１０２、ベースコート層１０３、半導体層１０４、及びゲート絶縁膜１０５が積層されている。ゲート絶縁膜１０５上には、金属材料からなる上層ゲート電極１０６が形成されている。上層ゲート電極１０６は第１層間絶縁膜１０７及び第２層間絶縁膜１０８によって覆われている。第２層間絶縁膜１０８の表面には、下層ゲート配線１０９、上層ゲート配線１１０及びドレイン配線１１１が形成されている。

[0004] ところで、近年、ＴＦＴ基板を構成するガラス基板に、駆動回路等を直接に作り込む所謂システム液晶の開発が進められており、液晶表示装置の高機能化及び高詳細化が図られている。さらに、表示領域の周りの非表示領域である額縁領域の縮小化（狭額縁化ともいう）も進められている。しかし、半導体層や絶縁膜に比べて、ソース配線等の配線層を微細化することは難しい。

[0005] したがって、図１０に示すように、厚みが大きい上層ゲート電極１０６が形成されている領域では、第２層間絶縁膜１０８の表面が大きく盛り上がっ

て段差が生じてしまう。このため、上層ゲート配線 110 等をフォトリソグラフィによりパターニングする際に、その精度が低下することが避けられず、配線層にリーク不良や断線が生じる虞がある。例えば、第 2 層間絶縁膜 108 の盛り上がり部周縁の隅部では、不要な配線層が完全に除去され難く、図 10 及び図 11 に示すように、残渣 112 が残る場合がある。そして、この残渣 112 によって、配線間のリーク不良が誘発されることとなる。ここで、図 11 は、第 2 層間絶縁膜 108 に形成された残渣 112 を拡大して示す写真である。

[0006] そこで、SOG (Spin on glass) 膜を用いて、基板上の表面を平坦化することが知られている。しかし、SOG 膜は、水分を含みやすい性質を有する。そのため、仮に、図 10 において、第 2 層間絶縁膜 108 の表面に SOG 膜を形成すると共に、当該 SOG 膜を貫通するコンタクトホールに配線層を直接に形成すると、当該配線層が水分を含む SOG 膜によって酸化されてしまう問題がある。

[0007] これに対し、特許文献 1 には、SOG 膜に形成したビアホールの内側面に耐酸化性膜としての PTEOS-NSG 膜を設けることが開示されている。すなわち、まず、下地絶縁膜 115 上に、下部配線層 116、PTEOS-NSG 膜 117、SOG 膜 118、及び PTEOS-NSG 膜 119 を順に積層する。次に、当該積層体にコンタクトホール 120 を PTEOS-NSG 膜 117 が露出するように形成する。続いて、上記コンタクトホール 120 の内周面で露出した SOG 膜 118 及び PTEOS-NSG 膜 119 を覆うように、PTEOS-NSG 膜 121 を形成する。その後、PTEOS-NSG 膜 117 にコンタクトホール 122 を形成して、下部配線層 116 を露出させる。次いで、PTEOS-NSG 膜 119 の表面及びコンタクトホール 122 の内部に上部配線層 123 を形成して、当該上部配線層 123 と下部配線層 116 とを電氣的に接続させる。

[0008] このことにより、SOG 膜 118 と上部配線層 123 との間に PTEOS-NSG 膜 121 を介在させて SOG 膜 118 による上部配線層 123 の酸

化を防止しようとしている。

先行技術文献

特許文献

[0009] 特許文献1：特開平9－330976号公報

発明の概要

発明が解決しようとする課題

[0010] しかし、上記特許文献1においてSOG膜118と上部配線層123との間に介在されているPTEOS-NSG膜121は、それ自体、吸湿性を有するため、依然として、上部配線層123が酸化する虞があり、信頼性が低いと言わざるを得ない。

[0011] 本発明は、斯かる点に鑑みてなされたものであり、その目的とするところは、平坦化膜が形成された半導体装置において、コンタクトホールの内側における導電性膜の酸化を確実に防止しようとするところにある。

課題を解決するための手段

[0012] 上記の目的を達成するために、本発明に係る半導体装置は、絶縁性基板上に形成された第1導電性膜と、上記第1導電性膜を覆う第1層間絶縁膜と、上記第1層間絶縁膜に積層された平坦化膜と、上記平坦化膜を貫通する第1コンタクトホールと、上記平坦化膜の表面及び第1コンタクトホールの内面を覆う第2層間絶縁膜と、上記第2層間絶縁膜に積層された第3層間絶縁膜と、上記第1コンタクトホールの内部において該第1コンタクトホールよりも小さい内径で形成され、上記第1層間絶縁膜、上記第2層間絶縁膜、及び上記第3層間絶縁膜を貫通する第2コンタクトホールと、上記第3層間絶縁膜上及び上記第2コンタクトホールの内部に形成され、上記第1導電性膜に電氣的に接続された第2導電性膜とを備えている。

[0013] 上記第1コンタクトホールは、上記平坦化膜から上記第1層間絶縁膜の一部に亘って形成されていてもよい。

[0014] 上記平坦化膜は、SOG膜により構成されていてもよい。

- [0015] 上記第2層間絶縁膜は、窒化シリコン膜により構成されていてもよい。さらに、上記第1層間絶縁膜は、窒化シリコン膜により構成されていてもよい。
- [0016] 上記第3層間絶縁膜は、 SiO_2 により構成されていてもよい。
- [0017] また、本発明に係る半導体装置の製造方法は、絶縁性基板上に第1導電性膜を形成する工程と、上記絶縁性基板上に上記第1導電性膜を覆う第1層間絶縁膜を形成する工程と、上記第1層間絶縁膜の表面に平坦化膜を形成する工程と、上記平坦化膜を貫通する第1コンタクトホールを形成する工程と、上記平坦化膜の表面及び第1コンタクトホールの内面を覆う第2層間絶縁膜を形成する工程と、上記第2層間絶縁膜の表面に第3層間絶縁膜を積層する工程と、上記第1コンタクトホールの内部に、上記第1層間絶縁膜、上記第2層間絶縁膜、及び上記第3層間絶縁膜を貫通する第2コンタクトホールを、上記第1コンタクトホールよりも小さい内径で形成する工程と、上記第3層間絶縁膜上及び上記第2コンタクトホールの内部に第2導電性膜を形成し、該第2導電性膜を上記第1導電性膜に電氣的に接続する工程とを有する。
- [0018] 上記第1コンタクトホールを形成する工程では、上記第1コンタクトホールを、上記平坦化膜から上記第1層間絶縁膜の一部に亘って形成するようにしてもよい。
- [0019] さらに、上記第1コンタクトホールを形成する工程には、上記第1コンタクトホールを形成する領域において上記平坦化膜のみをエッチングして貫通穴を形成する第1エッチング工程と、上記貫通穴の底で露出している上記第1層間絶縁膜、及び上記貫通穴周りの平坦化膜を同時にエッチングする第2エッチング工程とが含まれるようにしてもよい。
- [0020] 上記平坦化膜は、SOG膜により構成されていてもよい。
- [0021] 上記第2層間絶縁膜は、窒化シリコン膜により構成されていてもよい。さらに、上記第1層間絶縁膜は、窒化シリコン膜により構成されていてもよい。
- [0022] 上記第3層間絶縁膜は、 SiO_2 により構成されていてもよい。

[0023] －作用－

次に、本発明の作用について説明する。

[0024] 上記半導体装置は、平坦化膜の表面と、第1コンタクトホールの内周面を構成する平坦化膜の側面との双方が、1つの第2層間絶縁膜によって覆われる。そして、この第2層間絶縁膜によって、平坦化膜からの不純物の放出を防止することが可能になる。したがって、第1コンタクトホールの内側における第2導電層の酸化が防止されることとなる。さらに、第1コンタクトホールの内側に第2コンタクトホールを形成するようにしたので、当該第2コンタクトホールのアスペクト比が低減される。このため、第2コンタクトホールの形成時に、第1導電性膜に対するエッチングダメージを低減することが可能になる。また、エッチング時間を短縮して、オーバーエッチの抑制が可能になり、第2コンタクトホールの微細化にも有効である。

[0025] 第1層間絶縁膜及び第2層間絶縁膜を、例えば窒化シリコンにより構成すれば、より好適に平坦化膜からの不純物の放出を防止できる。また、第1コンタクトホールを、平坦化膜から第1層間絶縁膜の一部に亘って形成すれば、第2コンタクトホールのアスペクト比をより低減できるため好ましい。

[0026] また、上記半導体装置を製造する場合には、まず、絶縁性基板上に第1導電性膜を形成する。次に、上記絶縁性基板上に第1導電性膜を覆う第1層間絶縁膜を形成する。次に、第1層間絶縁膜の表面に、例えばSOG膜等からなる平坦化膜を形成する。次に、平坦化膜を貫通する第1コンタクトホールを形成する。

[0027] 第1コンタクトホールは、上述のように、平坦化膜から第1層間絶縁膜の一部に亘って形成してもよい。この場合、例えば、まず、第1エッチング工程を行って、第1コンタクトホールを形成する領域において平坦化膜のみをエッチングして貫通穴を形成する。その後、第2エッチング工程を行って、貫通穴の底で露出している第1層間絶縁膜、及び貫通穴周りの平坦化膜を同時にエッチングすることが可能である。このことにより、後工程で第2コンタクトホールを形成する際に、そのアスペクト比を低減することが可能にな

る。

[0028] その後、平坦化膜の表面及び第 1 コンタクトホールの内面を覆う第 2 層間絶縁膜を形成する。次に、第 2 層間絶縁膜の表面に第 3 層間絶縁膜を積層する。次に、第 1 コンタクトホールの内部に、第 1 層間絶縁膜、第 2 層間絶縁膜、及び第 3 層間絶縁膜を貫通する第 2 コンタクトホールを、第 1 コンタクトホールよりも小さい内径で形成する。その後、第 3 層間絶縁膜上及び第 2 コンタクトホールの内部に第 2 導電性膜を形成し、第 2 導電性膜を第 1 導電性膜に電氣的に接続する。こうして、上記半導体装置を製造する。

発明の効果

[0029] 本発明によれば、半導体装置を高詳細化しながらも第 2 導電性膜を平坦化して形成することができる。そのことに加え、平坦化膜の表面と、第 1 コンタクトホールの内周面を構成する平坦化膜の側面との双方を、1つの第 2 層間絶縁膜によって覆うことができ、この第 2 層間絶縁膜によって、平坦化膜からの不純物の放出を防止して、第 1 コンタクトホールの内側における第 2 導電層の酸化を確実に防止することが可能になる。さらに、第 2 コンタクトホールの形成時に、そのアスペクト比を低減して、第 1 導電性膜等に対するエッチングダメージを低減することが可能になる。さらにまた、エッチング時間を短縮して、オーバーエッチを抑制でき、第 2 コンタクトホールを好適に微細化することが可能になる。

図面の簡単な説明

[0030] [図1]図 1 は、本実施形態における半導体装置の構造を拡大して示す断面図である。

[図2]図 2 は、貫通穴が形成された平坦化膜を示す断面図である。

[図3]図 3 は、平坦化膜及び第 1 層間絶縁膜に形成された第 1 コンタクトホールを示す断面図である。

[図4]図 4 は、平坦化膜及び第 1 コンタクトホール 3 に積層された第 2 層間絶縁膜を示す断面図である。

[図5]図 5 は、第 2 層間絶縁膜に積層された第 3 層間絶縁膜を示す断面図であ

る。

[図6] 図6は、実際に形成した実施例である複数の配線層を示す平面図である。

[図7] 図7は、平坦化せずに形成した従来例の配線層を示す平面図である。

[図8] 図8は、平坦化しない比較例と平坦化した実施例とについて、複数位置における配線の抵抗値を測定した結果を示すグラフである。

[図9] 図9は、平坦化しない比較例と平坦化した実施例とについて、複数位置における配線間の抵抗値を測定した結果を示すグラフである。

[図10] 図10は、従来のTFT基板の一部を拡大して示す断面図である。

[図11] 図11は、従来の第2層間絶縁膜に形成された残渣を拡大して示す写真である。

[図12] 図12は、従来のビアホールの構造を示す断面図である。

発明を実施するための形態

[0031] 以下、本発明の実施形態を図面に基づいて詳細に説明する。尚、本発明は、以下の実施形態に限定されるものではない。

[0032] 《発明の実施形態》

図1～図5は、本発明の実施形態を示している。

[0033] 図1は、本実施形態における半導体装置1の構造を拡大して示す断面図である。図2～図5は、本実施形態における半導体装置1の製造プロセスを示す断面図である。

[0034] ー半導体装置の構成ー

半導体装置1は、絶縁性基板としてのガラス基板11に形成されたMOSトランジスタ12を含むデバイスとして構成されている。半導体装置1は、図示を省略するが、例えば、液晶表示装置の表示パネルを構成している。

[0035] 液晶表示装置は、図示を省略するが、複数のスイッチング素子としてのTFTが形成されたTFT基板と、TFT基板に対向して配置された対向基板と、これらTFT基板と対向基板との間に設けられた液晶層とを有している。TFT基板には、複数の画素が設けられ、各画素毎に上記TFT及び画素

電極が配置されている。また、TFT基板には、非表示領域に上記複数の画素を駆動するドライバが形成されている。本実施形態における半導体装置1は、例えばこのドライバを構成している。

[0036] 半導体装置1のガラス基板11の表面には、第1導電性膜としての下層ゲート電極13が形成されている。下層ゲート電極13は、例えばMo膜により形成され、例えば100nm程度の厚みに形成されている。そのことにより、下層ゲート電極13は、遮光膜としても機能するように構成されている。

[0037] ガラス基板11には、下層ゲート電極13を覆うように、ボトムゲート絶縁膜14が形成されている。ボトムゲート絶縁膜14は、例えば100nm程度の厚みのSiO₂膜により形成されている。さらに、例えばSiNOからなるベースコート層を50nm程度の厚みで形成することが好ましい。

[0038] ガラス基板11上には、ボトムゲート絶縁膜14を覆うように、シリコンからなる半導体層15が50nm程度の厚みで形成されている。半導体層15は、チャネル領域16、ソース領域17、及び第1導電性膜としてのドレイン領域18とにより構成されている。ドレイン領域18の一部は下層ゲート電極13に重なる一方、ドレイン領域18のその他の部分は下層ゲート電極13に重なっていない。

[0039] また、ボトムゲート絶縁膜14上には、半導体層15を覆うようにゲート絶縁膜19が形成されている。ゲート絶縁膜19は、例えばSiO₂からなり、80nm程度の厚みに形成されている。

[0040] ゲート絶縁膜19の表面には、上記半導体層15のチャネル領域16に対向して配置されたゲート電極20が形成されている。ゲート電極20は、例えば、50nm程度のTaNと、400nm程度の厚みのWとが互いに積層して構成されている。

[0041] さらに、ゲート絶縁膜19上には、上記ゲート電極20及び半導体層15等を覆うように第1層間絶縁膜21が形成されている。第1層間絶縁膜21は、例えばSiNx（窒化シリコン）膜により構成され、250nm程度の

厚みに形成されている。この第1層間絶縁膜21の表面は、凹凸状に形成されており、ゲート電極20が形成されている領域において、ガラス基板11からの高さが最も高くなっている。

[0042] 第1層間絶縁膜21の表面には、その凹凸を平坦化する平坦化膜22が積層されている。平坦化膜22は、例えば感光性を有するSOG膜によって構成され、塗布時の厚みが600nm程度である。尚、平坦化膜22は、SOG膜以外にも、例えば感光性樹脂によって形成することも可能である。

[0043] 上記平坦化膜22及び第1層間絶縁膜21には、第1コンタクトホール23が形成されている。第1コンタクトホール23は、平坦化膜22を貫通しており、この平坦化膜22から第1層間絶縁膜21の一部に亘って形成されている。つまり、第1層間絶縁膜21には、第1コンタクトホール23の底部が形成されている。

[0044] 尚、第1コンタクトホール23は、少なくとも平坦化膜22を貫通していればよいが、第1層間絶縁膜21のガラス基板11側に形成されている膜（半導体層15等）のエッチングダメージを低減する観点から、平坦化膜22から第1層間絶縁膜21の一部に亘って上記第1コンタクトホール23を形成することが好ましい。

[0045] また、平坦化膜22及び第1層間絶縁膜21の表面には、第2層間絶縁膜24が形成されている。第2層間絶縁膜24は、平坦化膜22の表面を覆うと共に、上記第1コンタクトホール23の内面を覆っている。この第2層間絶縁膜24は、例えばSiNx膜により構成され、50nm程度の厚みに形成されている。このように、第2層間絶縁膜24は、比較的薄いために、第1コンタクトホール23の内面に沿って形成されている。

[0046] さらに、第2層間絶縁膜24の表面には、第3層間絶縁膜25が積層されている。第3層間絶縁膜25は、例えばSiO₂により構成され、700nm程度の厚みに形成されている。この第3層間絶縁膜25の表面は、少なくとも上記平坦化膜22及びゲート電極20が形成されている領域において平坦に形成されている。

[0047] そして、第1コンタクトホール23の内部には、この第1コンタクトホール23よりも小さい内径で形成された第2コンタクトホール26が形成されている。第2コンタクトホール26は、第3層間絶縁膜25、第2層間絶縁膜24、及び第1層間絶縁膜21を貫通して形成されている。図1で右側の第2コンタクトホール26は、さらにゲート絶縁膜19を貫通して、半導体層15のドレイン領域18の表面に至っている。一方、図1で左側の第2コンタクトホール26は、さらにゲート絶縁膜19及びボトムゲート絶縁膜14を貫通して、下層ゲート電極13の表面に至っている。

[0048] 上記第3層間絶縁膜25上及び第2コンタクトホール26の内部には、第2導電性膜としてのドレイン配線27及び下層ゲート配線28が形成されている。そして、ドレイン配線27は、第2コンタクトホール26を介して半導体層15のドレイン領域18に電氣的に接続される一方、下層ゲート配線28は、第2コンタクトホールを介して下層ゲート電極13に電氣的に接続されている。ドレイン配線27及び下層ゲート配線28は、例えばアルミニウムを含む金属層によって形成されている。

[0049] また、ゲート電極20が形成されている領域には、第3層間絶縁膜25、第2層間絶縁膜24及び第1層間絶縁膜21を貫通して、上記ゲート電極20の表面に至る第3コンタクトホール29が形成されている。第3層間絶縁膜25上及び第3コンタクトホール29の内部には、第3導電性膜としての上層ゲート配線30が形成されている。こうして、上層ゲート配線30は、第3コンタクトホール29を介してゲート電極20に電氣的に接続されている。

[0050] このようにして、半導体装置1に形成されている複数の配線層である上層ゲート配線30、ドレイン配線27及び下層ゲート配線28は、それぞれ第3層間絶縁膜25上で平坦化して形成されている。

[0051] ー製造方法ー

次に、図1～図5を参照して、上記半導体装置1の製造方法について説明する。

[0052] ここで、図2は、貫通穴32が形成された平坦化膜22を示す断面図である。図3は、平坦化膜22及び第1層間絶縁膜21に形成された第1コンタクトホール23を示す断面図である。図4は、平坦化膜22及び第1コンタクトホール23に積層された第2層間絶縁膜24を示す断面図である。図5は、第2層間絶縁膜24に積層された第3層間絶縁膜25を示す断面図である。

[0053] まず、図2に示すように、ガラス基板11上に、Mo膜からなる下層ゲート電極13をスパッタリング等により形成し、その厚みを100nm程度にする。次に、下層ゲート電極13を覆うように100nm程度の厚みのSiO₂膜を形成することにより、ボトムゲート絶縁膜14を形成する。さらに、例えばSiNOからなるベースコート層を50nm程度の厚みで形成することが好ましい。次に、シリコンからなる半導体層15を50nm程度の厚みで形成する。上記各薄膜のパターニングは、フォトリソグラフィにより行う。

[0054] 次に、SiO₂からなるゲート絶縁膜19を、80nm程度の厚みで形成する。その後、ゲート絶縁膜19の表面に、50nm程度のTa₂N₅と、400nm程度の厚みのWとを積層することにより、ゲート電極20を形成する。そして、このゲート電極20をマスクとして、上記半導体層15に不純物元素をドーピングすることにより、ソース領域17、チャネル領域16及びドレイン領域18を形成する。

[0055] 次に、ゲート絶縁膜19上に、上記ゲート電極20及び半導体層15等を覆うようにSiNx膜を250nmの厚みで堆積させて、第1層間絶縁膜21を形成する。この第1層間絶縁膜21の表面は、周囲から大きく突出しているゲート電極20の外形を反映して、凸形状に形成される。

[0056] その後、第1層間絶縁膜21の表面に感光性を有するSOG膜を塗布して平坦化膜22を形成する。次に、第1コンタクトホール23を形成する工程を行う。この工程には、第1エッチング工程と、第2エッチング工程とが含まれ、第1コンタクトホール23を、平坦化膜22から第1層間絶縁膜21

の一部に亘って形成する。

- [0057] 第1エッチング工程では、図2に示すように、第1コンタクトホール23を形成する領域において平坦化膜22のみをエッチングして、貫通穴32を形成する。すなわち、図示省略のマスクを介して平坦化膜22を露光し、第1コンタクトホール23を形成する領域で当該平坦化膜22を貫通する貫通穴32を形成する。貫通穴32の内径は、後に形成する第2コンタクトホール26よりも大きくする。
- [0058] また、平坦化膜22のSOG膜に消色処理を施して、その透過率を向上させる。また、SOG膜の貫通穴32が形成されている領域に対し、SOG膜のキュアと兼ねて水素化処理を行う。
- [0059] 次に、第2エッチング工程では、ドライエッチングによりエッチバックして、図3に示すように、貫通穴32の底で露出している第1層間絶縁膜21、及び貫通穴32周りの平坦化膜22を同時にエッチングする。またこのとき、ゲート電極20の上方で凸形状に形成されている第1層間絶縁膜21の表面も、その周囲の平坦化膜22と共にエッチングして平坦化する。エッチバックに使用するガスには、シリコン膜に対する選択比が十分に大きいガス（例えば C_4F_8 や CHF_3 等）を適用する。こうして、貫通穴32と、その下方に形成された第1層間絶縁膜21の窪み33とによって、第1コンタクトホール23が形成される。
- [0060] 次に、平坦化膜22及び第1層間絶縁膜21の表面を洗浄して不純物を除去した後、その表面にSiNx膜を形成することによって、図4に示すように、第2層間絶縁膜24を形成する。第2層間絶縁膜24の厚みは、上記第1コンタクトホール23の内面を確実に覆うことができるように、50～100nmの厚みで形成する。
- [0061] その後、図5に示すように、第2層間絶縁膜24の表面に SiO_2 膜を積層して、第3層間絶縁膜25を形成する。このとき、第1コンタクトホール23が形成されている領域では、その形状に応じて第3層間絶縁膜25の表面が凹状に窪むこととなる。

[0062] 次に、図 1 に示すように、第 1 コンタクトホール 23 の内部に、この第 1 コンタクトホール 23 よりも小さい内径で第 2 コンタクトホール 26 を形成する。第 2 コンタクトホール 26 は、第 3 層間絶縁膜 25、第 2 層間絶縁膜 24、第 1 層間絶縁膜 21、及びゲート絶縁膜 19（さらにはボトムゲート絶縁膜 14）をエッチングにより貫通して形成する。また、ゲート電極 20 が形成されている領域に、第 3 層間絶縁膜 25、第 2 層間絶縁膜 24 及び第 1 層間絶縁膜 21 を貫通する第 3 コンタクトホール 29 をエッチングにより形成する。

[0063] その後、図 1 に示すように、各配線層 27、28、30 を形成する。すなわち、第 3 層間絶縁膜 25 上及び第 2 及び第 3 コンタクトホール 26、29 の内部にアルミニウムを含む金属材料を形成し、その金属材料の層をフォトリソグラフィによってパターニングすることにより、ドレイン配線 27、下層ゲート配線 28 及び上層ゲート配線 30 を形成する。その結果、ドレイン配線 27 が半導体層 15 のドレイン領域 18 に電氣的に接続される一方、下層ゲート配線 28 が下層ゲート電極 13 に電氣的に接続される。さらに、上層ゲート配線 30 がゲート電極 20 に電氣的に接続されることとなる。こうして、半導体装置 1 を製造する。

[0064] ー実施形態の効果ー

したがって、この実施形態によると、半導体装置 1 を高詳細化しながらも第 3 層間絶縁膜 25 上の各配線層 27、28、30 を平坦化して形成することができる。そのことに加え、SOG 膜からなる平坦化膜 22 の表面と、第 1 コンタクトホール 23 の内周面を構成する平坦化膜 22 の側面との双方を、1 つの第 2 層間絶縁膜（SiNx）24 によって覆うことができ、この第 2 層間絶縁膜（SiNx）24 によって、平坦化膜（SOG 膜）22 からの不純物の放出を防止して、第 1 コンタクトホール 23 の内側における各配線層 27、28 の酸化を確実に防止することができる。

[0065] さらに、第 2 コンタクトホール 26 をより内径が大きい第 1 コンタクトホール 23 の内部に形成するようにしたので、第 2 コンタクトホール 26 の形

成時に、そのアスペクト比を低減して、半導体層 15 のドレイン領域 18 や下層ゲート電極 13 に対するエッチングダメージを低減することができる。さらにまた、エッチング時間を短縮して、オーバーエッチを抑制でき、第 2 コンタクトホール 26 を好適に微細化することができる。

[0066] ここで、図 6 は、上述のようにして実際に形成した実施例である複数の配線層 35 を示す平面図である。図 7 は、平坦化せずに形成した従来例の配線層 36 を示す平面図である。従来例では、図 7 に示すように、配線層 36 のパターンが不均一な幅で形成されているのに対し、本実施形態によれば、図 6 に示す実施例のように、配線層 35 の幅が精度良く均一に形成できることが分かる。

[0067] また、図 8 は、平坦化しない比較例と平坦化した実施例とについて、複数位置における配線の抵抗値を測定した結果を示すグラフである。図 9 は、上記比較例及び上記実施例について、複数位置における配線間の抵抗値を測定した結果を示すグラフである。

[0068] 比較例の配線層 36 は、図 8 に波線 A で示すように、ある複数の領域において配線抵抗が大きくなっており、配線層 36 断線していることが分かる。一方、実施例では、測定した全ての実施例に係る配線層 35 について、配線抵抗が比較的小さく、断線が生じていないことが確認された。

[0069] また、比較例の配線層 36 は、図 9 に波線 B で示すように、実施例の配線層 35 に比べて配線間の抵抗が小さくなっており、配線層 36 同士の間でリークが生じていることが分かる。一方、測定した全ての実施例に係る配線層 35 では、配線間の抵抗が高く維持されており、断線が生じていないことが確認された。

産業上の利用可能性

[0070] 以上説明したように、本発明は、例えば液晶表示装置等に適用される半導体装置、及びその製造方法について有用である。

符号の説明

[0071] 1 半導体装置

3	第1コンタクトホール
1 1	ガラス基板（絶縁性基板）
1 2	MOSトランジスタ
1 3	下層ゲート電極（第1導電性膜）
1 5	半導体層
1 8	ドレイン領域（第1導電性膜）
2 1	第1層間絶縁膜
2 2	平坦化膜
2 3	第1コンタクトホール
2 4	第2層間絶縁膜
2 5	第3層間絶縁膜
2 6	第2コンタクトホール
2 7	ドレイン配線（第2導電性膜）
2 8	下層ゲート配線（第2導電性膜）
3 2	貫通穴

請求の範囲

- [請求項1] 絶縁性基板上に形成された第1導電性膜と、
上記第1導電性膜を覆う第1層間絶縁膜と、
上記第1層間絶縁膜に積層された平坦化膜と、
上記平坦化膜を貫通する第1コンタクトホールと、
上記平坦化膜の表面及び第1コンタクトホールの内面を覆う第2層間絶縁膜と、
上記第2層間絶縁膜に積層された第3層間絶縁膜と、
上記第1コンタクトホールの内部において該第1コンタクトホールよりも小さい内径で形成され、上記第1層間絶縁膜、上記第2層間絶縁膜、及び上記第3層間絶縁膜を貫通する第2コンタクトホールと、
上記第3層間絶縁膜上及び上記第2コンタクトホールの内部に形成され、上記第1導電性膜に電氣的に接続された第2導電性膜とを備えている
ことを特徴とする半導体装置。
- [請求項2] 請求項1に記載された半導体装置において、
上記第1コンタクトホールは、上記平坦化膜から上記第1層間絶縁膜の一部に亘って形成されている
ことを特徴とする半導体装置。
- [請求項3] 請求項1又は2に記載された半導体装置において、
上記平坦化膜は、SOG膜により構成されている
ことを特徴とする半導体装置。
- [請求項4] 請求項1乃至3の何れか1つに記載された半導体装置において、
上記第2層間絶縁膜は、窒化シリコン膜により構成されている
ことを特徴とする半導体装置。
- [請求項5] 請求項1乃至4の何れか1つに記載された半導体装置において、
上記第1層間絶縁膜は、窒化シリコン膜により構成されている
ことを特徴とする半導体装置。

- [請求項6] 請求項 1 乃至 5 の何れか 1 つに記載された半導体装置において、
 上記第 3 層間絶縁膜は、 SiO_2 により構成されている
 ことを特徴とする半導体装置。
- [請求項7] 絶縁性基板上に第 1 導電性膜を形成する工程と、
 上記絶縁性基板上に上記第 1 導電性膜を覆う第 1 層間絶縁膜を形成
 する工程と、
 上記第 1 層間絶縁膜の表面に平坦化膜を形成する工程と、
 上記平坦化膜を貫通する第 1 コンタクトホールを形成する工程と、
 上記平坦化膜の表面及び第 1 コンタクトホールの内面を覆う第 2 層
 間絶縁膜を形成する工程と、
 上記第 2 層間絶縁膜の表面に第 3 層間絶縁膜を積層する工程と、
 上記第 1 コンタクトホールの内部に、上記第 1 層間絶縁膜、上記第
 2 層間絶縁膜、及び上記第 3 層間絶縁膜を貫通する第 2 コンタクトホ
 ールを、上記第 1 コンタクトホールよりも小さい内径で形成する工程
 と、
 上記第 3 層間絶縁膜上及び上記第 2 コンタクトホールの内部に第 2
 導電性膜を形成し、該第 2 導電性膜を上記第 1 導電性膜に電氣的に接
 続する工程とを有する
 ことを特徴とする半導体装置の製造方法。
- [請求項8] 請求項 7 に記載された半導体装置の製造方法において、
 上記第 1 コンタクトホールを形成する工程では、上記第 1 コンタク
 トホールを、上記平坦化膜から上記第 1 層間絶縁膜の一部に亘って形
 成する
 ことを特徴とする半導体装置の製造方法。
- [請求項9] 請求項 8 に記載された半導体装置の製造方法において、
 上記第 1 コンタクトホールを形成する工程には、上記第 1 コンタク
 トホールを形成する領域において上記平坦化膜のみをエッチングして
 貫通穴を形成する第 1 エッチング工程と、上記貫通穴の底で露出して

いる上記第1層間絶縁膜、及び上記貫通穴周りの平坦化膜を同時にエッチングする第2エッチング工程とが含まれることを特徴とする半導体装置の製造方法。

[請求項10] 請求項7乃至9の何れか1つに記載された半導体装置の製造方法において、

上記平坦化膜は、SOG膜により構成されていることを特徴とする半導体装置の製造方法。

[請求項11] 請求項7乃至10の何れか1つに記載された半導体装置の製造方法において、

上記第2層間絶縁膜は、窒化シリコン膜により構成されていることを特徴とする半導体装置の製造方法。

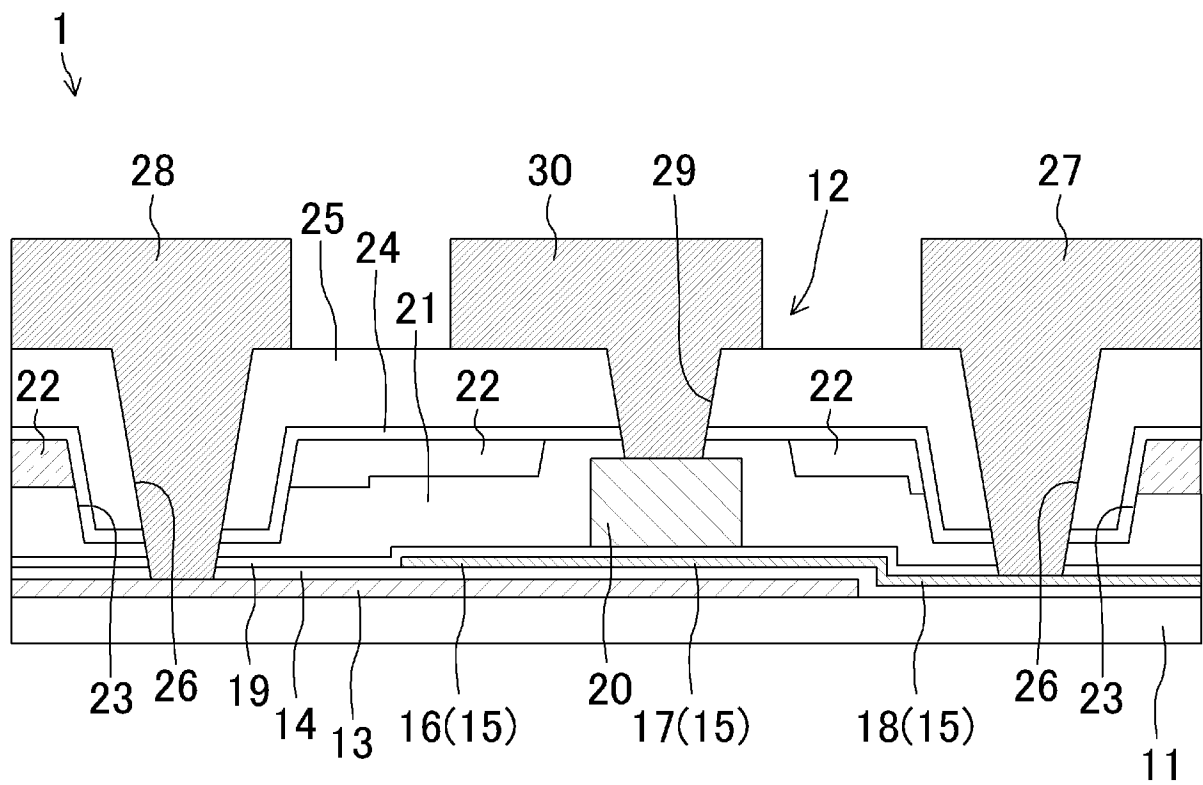
[請求項12] 請求項7乃至11の何れか1つに記載された半導体装置の製造方法において、

上記第1層間絶縁膜は、窒化シリコン膜により構成されていることを特徴とする半導体装置の製造方法。

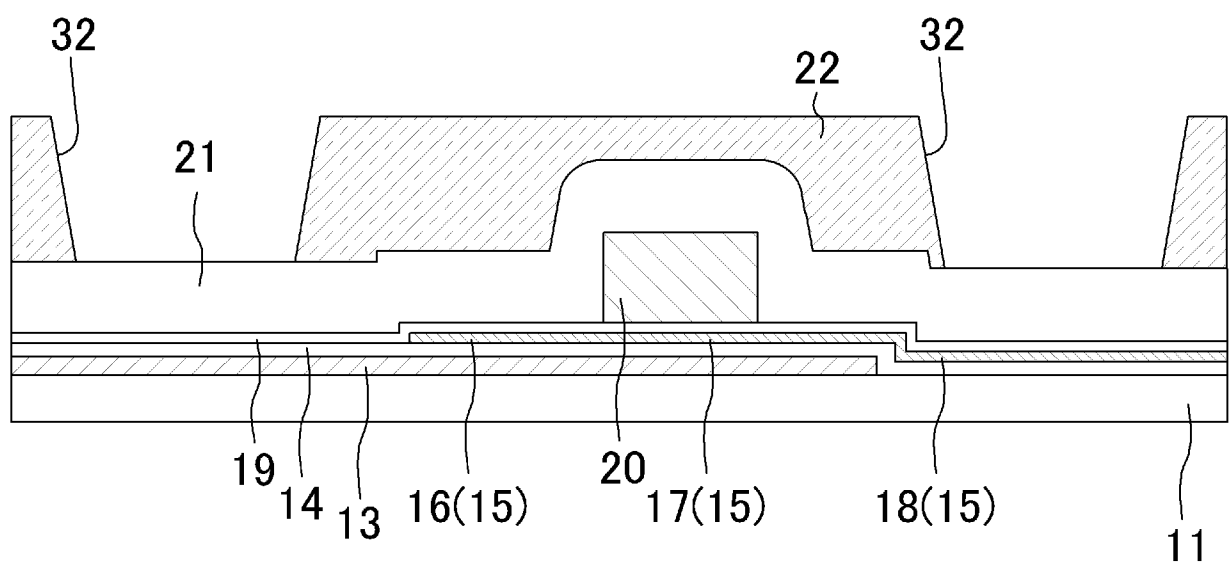
[請求項13] 請求項7乃至12の何れか1つに記載された半導体装置の製造方法において、

上記第3層間絶縁膜は、SiO₂により構成されていることを特徴とする半導体装置の製造方法。

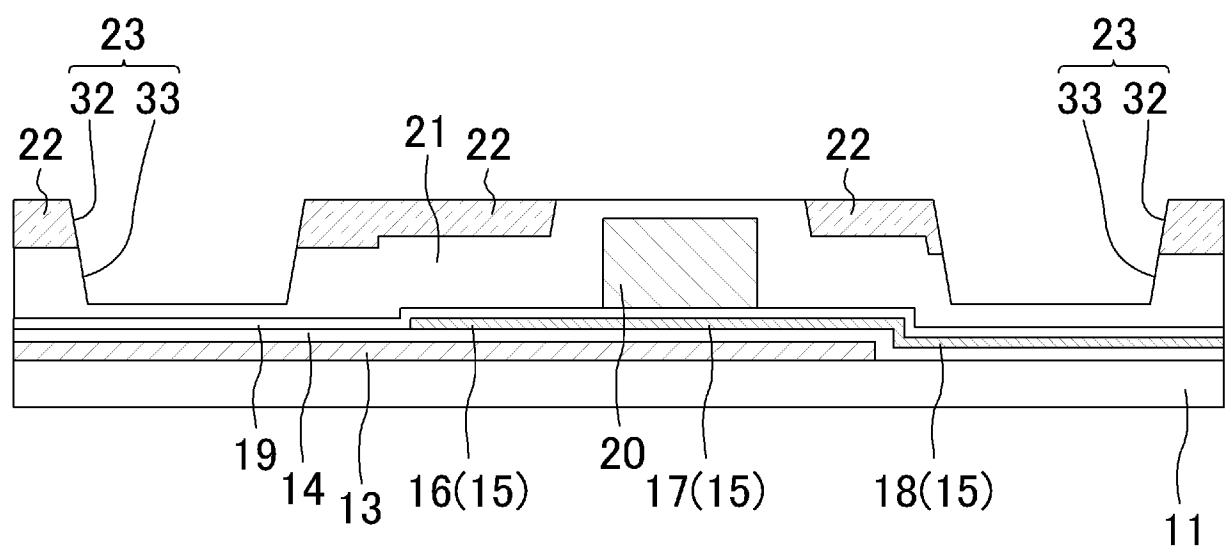
[図1]



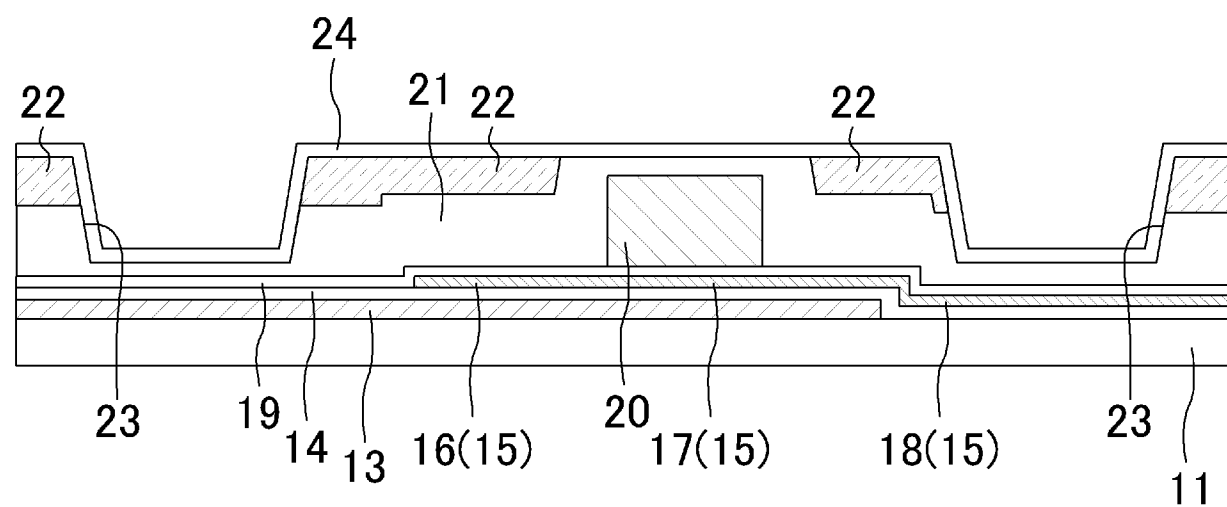
[図2]



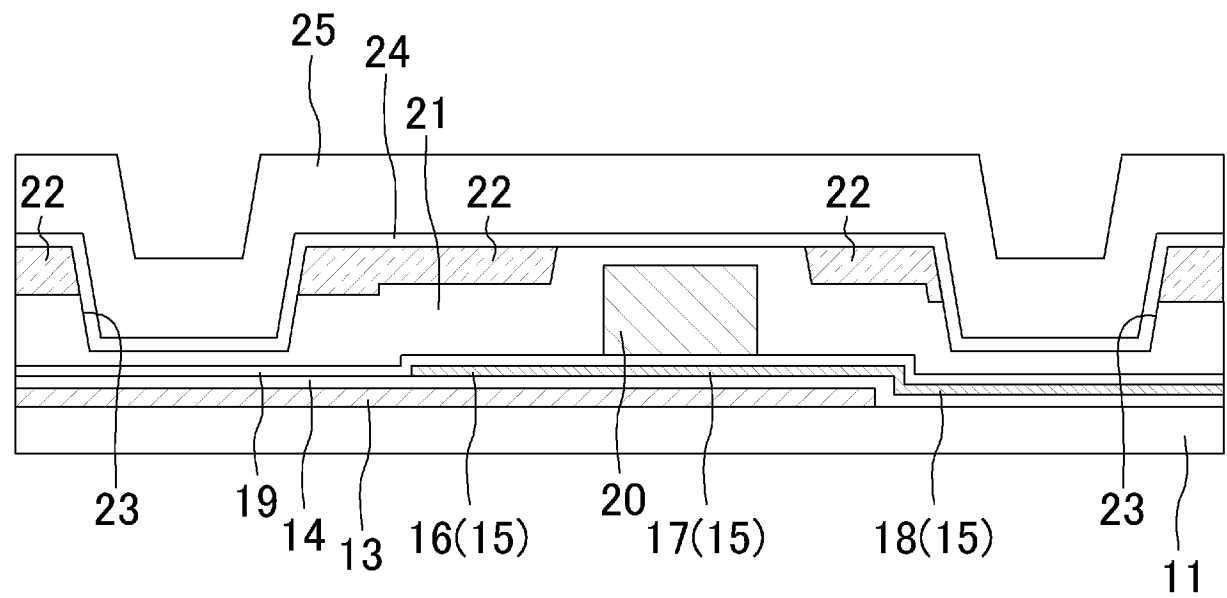
[図3]



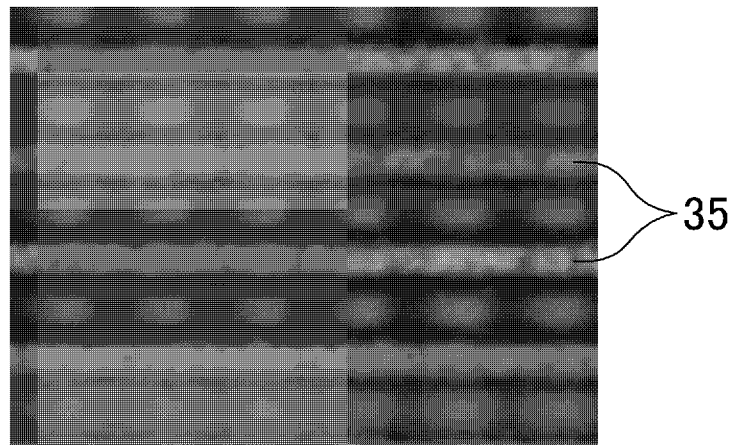
[図4]



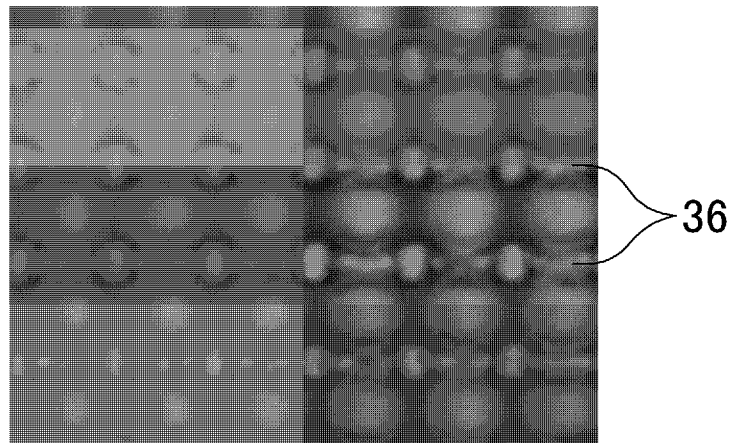
[図5]



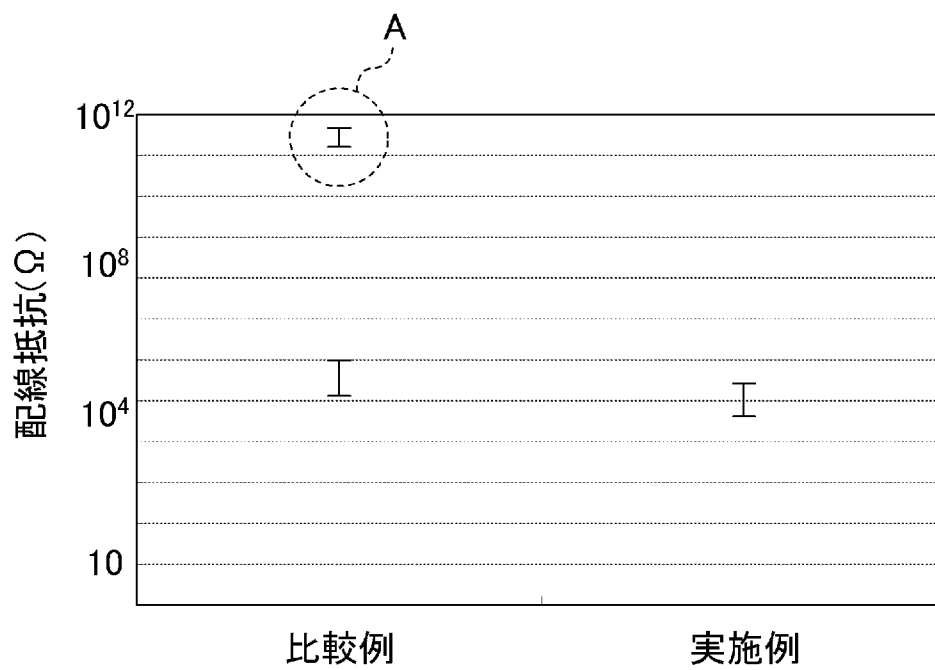
[図6]



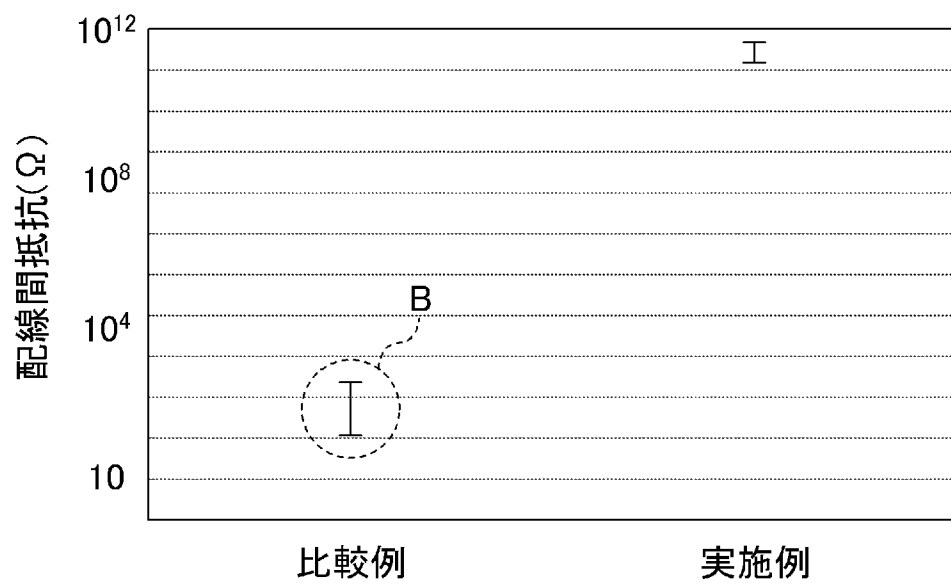
[図7]



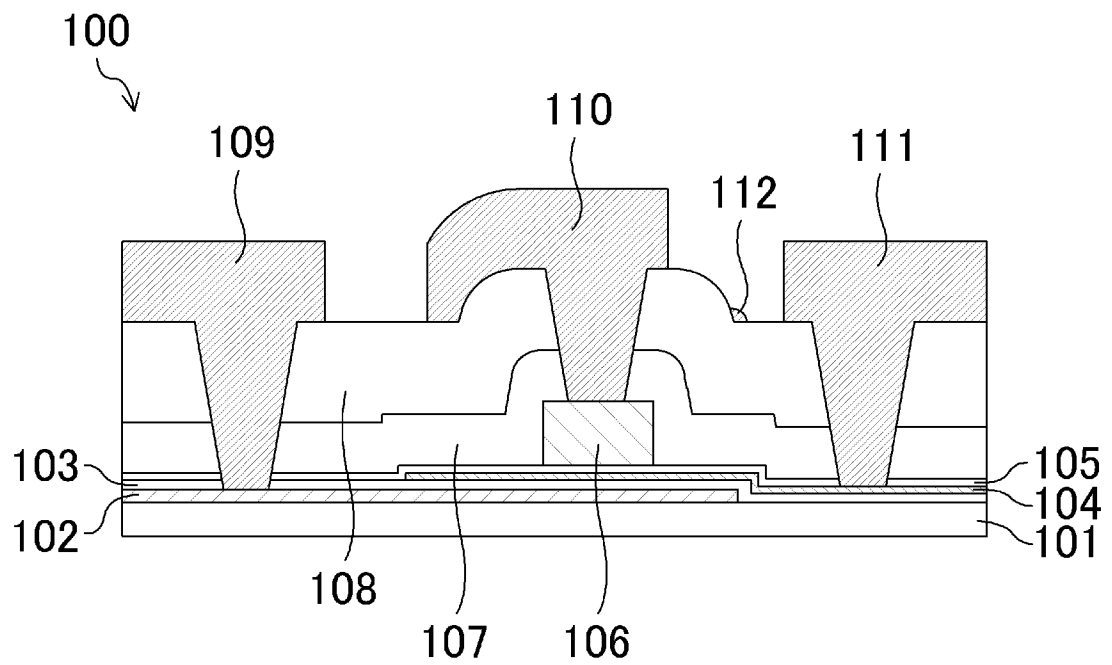
[図8]



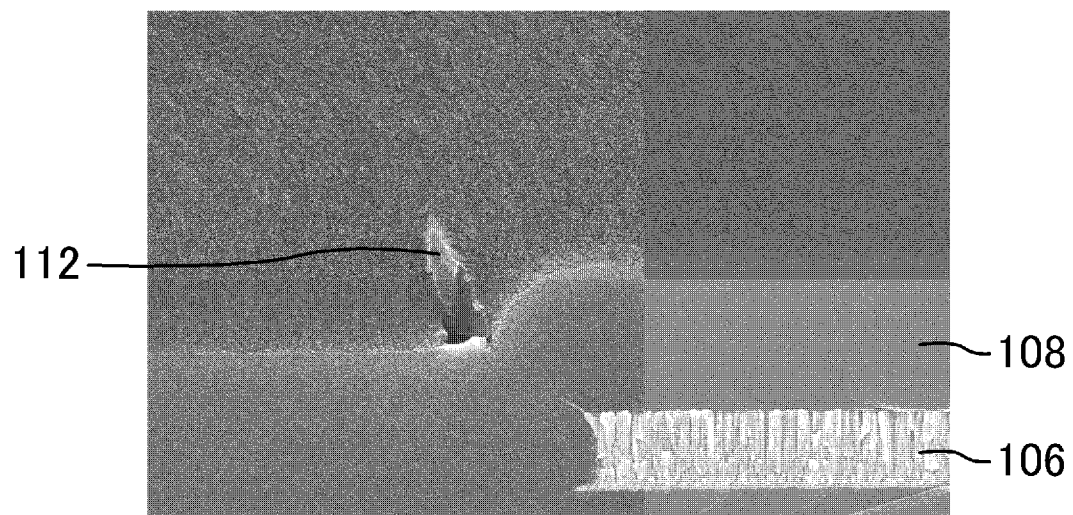
[図9]



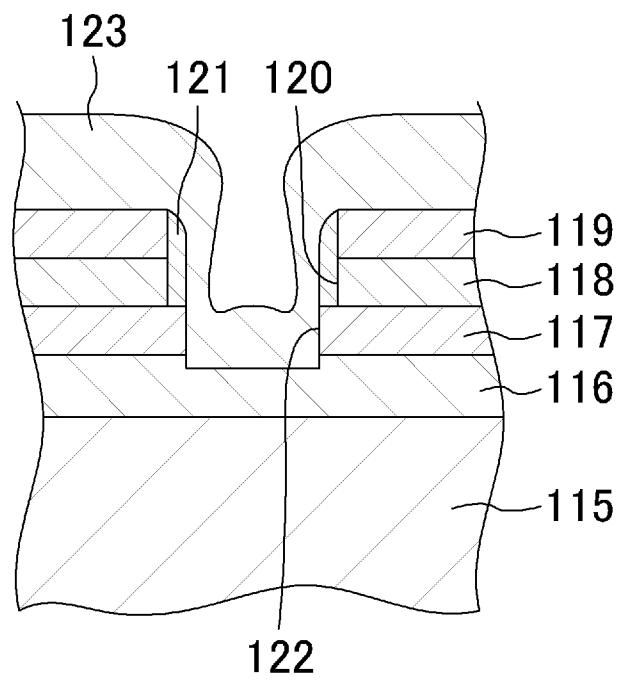
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/003532

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/768(2006.01) i, G02F1/1368(2006.01) i, H01L23/522(2006.01) i,
H01L29/786(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/768, G02F1/1368, H01L23/522, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-6837 A (Semiconductor Energy Laboratory Co., Ltd.), 08 January, 2004 (08.01.04), Par. Nos. [0012] to [0028]; Figs. 1 to 2 & US 2003/0197178 A1 & US 7242021 B2	1-13
Y	JP 3-268326 A (Sony Corp.), 29 November, 1991 (29.11.91), Page 3, upper right column, line 1 to page 6, upper left column, line 10; Figs. 1 to 2 (Family: none)	1-13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 August, 2009 (12.08.09)

Date of mailing of the international search report
25 August, 2009 (25.08.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/003532

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 3-167840 A (Oki Electric Industry Co., Ltd.), 19 July, 1991 (19.07.91), Page 2, upper right column, line 6 to page 3, upper left column, line 15; Fig. 1 (Family: none)	1,7
A	JP 8-203876 A (Oki Electric Industry Co., Ltd.), 09 August, 1996 (09.08.96), Par. Nos. [0008] to [0011]; Fig. 1 (Family: none)	3,10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/768 (2006.01) i, G02F1/1368 (2006.01) i, H01L23/522 (2006.01) i, H01L29/786 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/768, G02F1/1368, H01L23/522, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-6837 A（株式会社半導体エネルギー研究所）2004.01.08, 段落番号[0012]-[0028], 図 1-2 & US 2003/0197178 A1 & US 7242021 B2	1-13
Y	JP 3-268326 A（ソニー株式会社）1991.11.29, 第3頁右上欄第1行-第6頁左上欄第10行, 第1-2 図 （ファミリーなし）	1-13

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 0 8 . 2 0 0 9

国際調査報告の発送日

2 5 . 0 8 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

早川 朋一

4 L

9 7 3 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 3-167840 A (沖電気工業株式会社) 1991. 07. 19, 第 2 頁右上欄第 6 行-第 3 頁左上欄第 15 行, 第 1 図 (ファミリーなし)	1, 7
A	JP 8-203876 A (沖電気工業株式会社) 1996. 08. 09, 段落番号[0008]-[0011], 図 1 (ファミリーなし)	3, 10