

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97120893

※申請日期：97-7-13

※IPC 分類：H01L 21/08

一、發明名稱：(中文/英文)

H01L 21/06.

半導體裝置

SEMICONDUCTOR DEVICE

二、申請人：(共 2 人)

姓名或名稱：(中文/英文)

1. 舛岡 富士雄

MASUOKA, FUJIO

2. 日商夏普股份有限公司

SHARP KABUSHIKI KAISHA

代表人：(中文/英文)

1.

2. 町田 勝彥

MACHIDA, KATSUHIKO

住居所或營業所地址：(中文/英文)

1. 日本國宮城縣仙台市青葉區東勝山 2-33-18

2-33-18, HIGASHIKATSUYAMA, AOBA-KU, SENDAI-SHI, MIYAGI

981-0923, JAPAN

2. 日本國大阪府大阪市阿倍野區長池町 22 番 22 號

22-22, NAGAIKE-CHO, ABENO-KU, OSAKA-SHI, OSAKA 545-8522,

JAPAN

國籍：(中文/英文)

1.-2. 均日本 JAPAN

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 舛岡 富士雄

MASUOKA, FUJIO

2. 堀井 新司

HORII, SHINJI

3. 谷上 拓司

TANIGAMI, TAKUJI

4. 横山 敬

YOKOYAMA, TAKASHI

5. 竹内 昇

TAKEUCHI, NOBORU

國 籍：(中文/英文)

1.-5. 均日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2003年08月12日；特願2003-207340

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置。更明確地說，本發明係關於一種可適當地用於採用MOS電晶體及記憶體電晶體的半導體積體電路之半導體裝置。

【先前技術】

半導體積體電路之積體化程度穩定地保持增長。伴隨此積體化之增長，製造的半導體積體電路之小型化已在次微米區域取得進步。然而，在小型化之位準已於次微米區域取得進步的半導體積體電路具有傳統平面類型結構(例如傳統平面類型MOS(金氧半導體)電晶體)之情況下，半導體積體電路中會出現各種問題。

例如第一個問題係電晶體特徵的退化，出現退化係因為所謂的短通道效應所引起的臨界電壓之降低，或因為當MOS電晶體的閘極長度變短時所引起的熱載體效應。第二個問題係因所謂的窄通道效應所引起的臨界電壓之增加，以及當MOS電晶體之閘極寬度變窄時出現的窄通道寬度導致無法保證所需要的電流量。

為解決以上說明的二個傳統平面類型MOS電晶體問題，日本未經審查專利公告第HEI 6 (1994)-334146號已建議使用具有圖40A及40B所示的三維結構之MOS電晶體，其稱為SGT(周圍閘極電晶體)。圖40A及40B顯示n通道SGT。在圖40A及40B之SGT中，閘極電極6係採用一種方式經由閘極絕緣膜5形成於p型柱形半導體層(例如柱形矽層)4之側面上，

其中閘極電極6圍繞已形成於基板1(例如具有p型層作為表面層的矽基板)上的柱。在柱形半導體層4之上部分及下部分中分別形成源極擴散層與汲極擴散層(4a、4b)。在p型通道SGT的情況下，通道區域、源極擴散層與汲極擴散層以及閘極電極的導電性變為與n通道SGT中的導電性相反，而結構大約相同。

因此，在此結構中，可使柱形半導體層4較高，以便可延長閘極長度而不會增加MOS電晶體所佔用的區域，從而可解決第一個問題。此外，採用一種方式將圍繞柱形半導體層4的區域用作通道區域，其中在較小佔用區域中可保證較大閘極寬度，從而可解決第二個問題。

此外，因閘極電極圍繞SGT中的通道區域的這結構，故閘極電極具有控制通道區域的增強能力。結果，MOS電晶體的次臨界特徵很陡，因此存在以下優點：可實施具有較小次臨界擺幅(其稱為S因數並表示為 $S=(\ln 10) \cdot dV_{gs}/d(\log I_d)=(\ln 10) \cdot (kT/q)(1 + C_d/C_{ox})$)的電晶體。此處， V_{gs} 為電晶體的閘極與源極之間的電位， I_d 為汲極電流， C_d 為耗盡層之電容，而 C_{ox} 為閘極電容。

此外，從柱形半導體層4之側壁的通道區域之表面延伸的耗盡層會耗盡柱形半導體層4之全部，因此，在耗盡層之電容(以上說明的 C_d)不存在的情況下可獲得理想次臨界擺幅。

此外，在使柱形半導體層4之寬度變窄的情況下，耗盡層從已形成於柱形半導體層4之下部分中的源極擴散層或汲

極擴散層延伸，因此此耗盡層可耗盡柱形半導體層4之全部。結果，將通道區域與基板1斷開，因此臨界電壓之波動不易依據基板偏壓之波動而出現。因此，可獲得其基板偏壓效應已得到減小的MOS電晶體。

此外，柱形半導體層4之內部已完全耗盡，因此在已關閉電晶體時可減少源極層與汲極層之間的漏電。因此可減少電源消耗。

此外，在日本未經審查專利公告第HEI 6 (1994)-334146號所說明的SGT中，絕緣區域9係提供在以上說明的柱形半導體層內，以便在柱高度之方向上延伸，因此亦已建議使用圖41A及41B所示的結構。在圖式中，將層間絕緣膜表示為7。依據此結構，即使尚未將以上說明的柱形半導體層之寬度小型化為次四分之一微米位準，仍可獲得具有理想次臨界擺幅或沒有基板偏壓效應的MOS電晶體。

亦即，將絕緣層9形成於圖41A及41B之組態中的柱形半導體層之通道區域內。結果，從上部分或下部分中的源極層或汲極層延伸之耗盡層可完全耗盡柱形半導體層之通道區域的全部，而不管柱形半導體層之寬度。因此，可獲得具有理想次臨界擺幅或沒有基板偏壓效應之MOS電晶體。

如以上所說明，SGT可能變為其中基板偏壓效應已得到減小的、具有較小次臨界擺幅的完全耗盡MOS電晶體，並且可解決所謂的短通道效應及窄通道效應在已得到小型化之平面類型MOS電晶體中引起的電晶體特徵之退化問題。

為實施此類理想SGT，形成於柱形半導體層之下部分中

的源極層或汲極層延伸之耗盡層，必須耗盡柱形半導體層之全部。因此，必須將柱形半導體層之寬度減小為(例如)次四分之一微米位準。

然而，從微影技術方面看，難以形成具有此類結構的SGT。此外，當減小柱形半導體層之寬度時，亦會減小通道區域，從而限制柱形半導體層之寬度的自由度，並且出現不利於設計LSI之問題。

此外，將絕緣區域形成於柱形半導體層之通道區域內，因此藉由採用從上部分或下部分中的源極擴散層或汲極擴散層延伸之耗盡層，可完全耗盡柱形半導體層中的通道區域之全部，而不管柱形半導體層之寬度。然而在此情況下，形成於以上說明的柱形半導體層中的通道區域內之絕緣區域，與通道區域之下表面之間的距離，必須等於或小於通道區域之耗盡層的寬度，以便實施完全耗盡操作。

此外，以上公告中說明了所謂的S-SGT(堆疊周圍閘極電晶體)，其中在柱形半導體層之高度方向上堆疊SGT之多個臺階。然而，難以耗盡此S-SGT中的柱形半導體層之通道區域。

【發明內容】

在考量以上說明的問題之情況下實施本發明，並且本發明的目的之一係減小由SGT表示的具有三維結構之MOS電晶體或記憶體單元的基板偏壓效應，或由S-SGT快閃記憶體表示的具有多臺階堆疊類型三維結構之記憶體單元的基板偏壓效應。

因此，本發明提供一種包括一記憶體單元的半導體裝置，該單元包括：

一第一導電類型之一柱形半導體層，其形成於一半導體基板上；

一第二導電類型之源極擴散層與汲極擴散層，其形成於該柱形半導體層之上部分及下部分中；

該第二導電類型之一半導體層或一空腔，其形成於該柱形半導體層內；以及

一閘極電極，其經由一閘極絕緣膜形成於該柱形半導體層之一側面上，或一控制閘極電極，其經由一電荷累積層形成於該柱形半導體層之該側面上。

本發明亦提供一種包括二或多個堆疊記憶體單元的半導體裝置，各單元包括：

一柱形半導體層，其形成於一半導體基板上；

一第二導電類型之源極擴散層與汲極擴散層，其形成於該柱形半導體層之上部分及下部分中；

一絕緣體，其形成於該柱形半導體層內；以及

一控制閘極電極，其經由一電荷累積層形成於該柱形半導體層之一側面上，

其中形成該等個別記憶體單元之該等柱形半導體層具有一臺階狀結構，其中堆疊該等柱形半導體層，以便相對於該半導體基板的表面之水平方向上的斷面區域逐步變小，以及

將該電荷累積層或該控制閘極電極放置於具有一臺階狀

結構的該等柱形半導體層之堆疊體的一臺階部分上，以及該臺階部分正上方的該柱形半導體層之一側面上。

從以下給定的詳細說明將更輕易地明白本發明之該等及其他目的。然而，應瞭解僅經由解說提供指示本發明之較佳具體實施例的詳細說明及特定範例，因為熟習此項技術者將從此詳細說明明白本發明之精神及範疇內的各種變化及修改。

【實施方式】

一種具有依據本發明之SGT結構的半導體裝置具有一特徵：第二導電類型之半導體層或空腔係提供在形成於半導體基板上的第一導電類型之柱形半導體層中。此外，具有依據本發明之SGT結構的半導體裝置具有另一特徵：閘極電極係經由閘極絕緣膜或電荷累積層形成於柱形半導體層之側面上。

並不特定限制可用於本發明的半導體基板，而可利用任何已知基板。例如可引用矽基板、矽鍺基板及類似基板。

接著，並不特定限制組成形成於半導體基板上的第一導電類型之柱形半導體層的半導體材料。例如可引用例如矽的半導體。第一導電類型指示n型或p型。多磷、砷或類似物可引用為提供n型的雜質，而硼或類似物可引用為提供p型的雜質。

接著，第二導電類型之源極擴散層與汲極擴散層係形成於柱形半導體層之上部分及下部分中。此處，在第一導電類型為p型之情況下，第二導電類型指示為n型，並在第一

導電類型為n型之情況下，指示為p型。

接著，第二導電類型之半導體層或空腔係形成於柱形半導體層內。第二導電類型之半導體層通常係由與柱形半導體層相同類型的半導體材料製造。只要可防止基板偏壓效應，則並不特定限制第二導電類型之半導體層的雜質濃度、第二導電類型之半導體層及空腔的尺寸及形式。

閘極電極係經由閘極絕緣膜或電荷累積層形成於柱形半導體層之一側面上。此處，在提供第二導電類型之半導體層的情況下，可提供閘極絕緣膜或電荷累積層；而在提供空腔的情況下，則提供電荷累積層。

並不特定限制閘極絕緣膜，而可利用任何已知絕緣膜。例如，可引用例如氧化矽膜、氮化矽膜、氮氧化矽膜及其堆疊體等絕緣膜，以及例如氧化鋁膜、氧化鈦膜、氧化鉬膜及氧化鉛膜等高介電膜。

只要電荷累積層之類型具有累積電荷之功能，則並不特定限制該類型。例如，可引用由多晶矽製造的浮動閘極電極、氧化矽膜/氮化矽膜/氧化矽膜、由微觀多晶矽顆粒製造的層。

所有傳統上可用於閘極電極的材料，皆可用作形成閘極電極或控制閘極電極的材料。明確地說，可引用矽、矽化物、金屬及類似物。

此外，具有依據本發明之S-SGT結構的半導體裝置具有以下一個特徵：第二導電類型之半導體層、絕緣體或空腔係提供在形成於半導體基板上的第一導電類型之柱形半導

體層中。此外，具有S-SGT結構的半導體裝置具有另一特徵：閘極電極係經由閘極絕緣膜或電荷累積層形成於柱形半導體層之側面上。

複數個SGT係堆疊在S-SGT結構中。只要層數不小於二，則並不特定限制層數。較佳層數為 2^n (n 為自然數)。明確地說，可引用2、4、6及8層。

此外，雖然並不特定限制形成存在於柱形半導體層中的絕緣體之材料，但是可引用氧化矽。除絕緣體以外，與以上說明的SGT相同之元素可用作S-SGT的成分。

具體實施例

以下將參考圖式說明依據本發明之具體實施例。

第一具體實施例

圖1為顯示具有依據本發明之一項具體實施例的三維結構之MOS電晶體的示意斷面圖。此處，此具體實施例顯示n型MOS電晶體。

柱形半導體層110係形成於依據此具體實施例的p型矽基板100上。此外，柱形半導體層110之側面的至少一部分係用作作用區域之表面，而閘極氧化膜200係依靠(例如)熱氧化形成於作用區域之表面的至少一部分上。此外，放置由(例如)多晶矽製造的閘極電極300，以便覆蓋閘極氧化膜200的至少一部分。

接著，將由n型擴散層形成的源極擴散層與汲極擴散層(500、600)提供在柱形半導體層110之上表面及下表面上，以便形成具有三維結構的MOS電晶體(記憶體單元)。

將其導電類型(在此具體實施例中為n型)與柱形半導體層110之導電性相反的半導體層150，形成於柱形半導體層110內的至少一部分中。只要將半導體層150形成於柱形半導體層110內，並且在通道反轉時完全耗盡柱形半導體層110，則並不特定限制半導體層150之形式及尺寸。

在以上說明的結構中，將PN接面形成於柱形半導體層110與形成於柱形半導體層110內的半導體層150之間。因此將耗盡層形成於柱形半導體層110內。結果，即使在柱形半導體層110較寬而且較高的情況下，仍可在通道反轉時輕易並完全耗盡柱形半導體層110。因此，可獲得其中基板偏壓效應已得到減小的、具有理想次臨界擺幅之MOS電晶體。在圖1中，910指示層間絕緣膜。

此外，圖2顯示將電極10形成於半導體層150上的情況下柱形半導體層110之結構，該半導體層之導電類型與柱形半導體層110之導電類型相反，並且該半導體層已形成於柱形半導體層110內。在此結構中，可以控制半導體層150之電位。例如在此具體實施例之情況下，當施加正電位V1時，將反向偏壓施加於形成於柱形半導體層110與半導體層150之間的PN接面。結果，耗盡層擴展以便即使在柱形半導體層110具有較大寬度的情況下，仍可輕易並完全耗盡柱形半導體層110。因此，可獲得其中基板偏壓效應已得到減小的、具有理想次臨界擺幅之MOS電晶體。在圖2中，201指示絕緣膜。

在已形成柱形半導體層之後，可依靠(例如)對角線離子

植入而輕易形成半導體層150。

此處，雖然此具體實施例顯示n型MOS電晶體之情況，但是此具體實施例當然可藉由倒轉全部導電類型而應用於p型MOS電晶體。

第二具體實施例

接著，將參考圖3說明本發明之另一具體實施例(第二具體實施例)。

圖3為顯示具有三維結構的SGT快閃記憶體之示意斷面圖。此處，此具體實施例顯示採用p型基板的SGT快閃記憶體。

在此具體實施例中，將柱形半導體層110形成於p型矽基板100上。此外，將柱形半導體層110之側面的至少一部分用作作用區域之表面，而依靠(例如)熱氧化將穿隧氧化膜210形成於作用區域之表面的至少一部分上。此外，放置由(例如)多晶矽製造的浮動閘極電極310，以便覆蓋穿隧氧化膜210的至少一部分。接著，放置由(例如)氧化膜/氮化矽膜/氧化矽膜(即所謂的ONO膜)製造的絕緣膜220，以便覆蓋浮動閘極電極310。此外，將控制閘極電極320放置於結構中的絕緣膜220上。

接著，將由n型擴散層形成的源極擴散層與汲極擴散層(500、600)提供在柱形半導體層110之上表面及下表面上，以便形成具有三維結構的記憶體。

將其導電類型(在此具體實施例中為n型)與柱形半導體層110之導電類型相反的半導體層150，形成於柱形半導體

層110內的至少一部分中。此處採用與第一具體實施例相同的方式，將半導體層150形成於柱形半導體層110內，其中只要在通道反轉時完全耗盡柱形半導體層110，則並不特定限制半導體層150之形式及尺寸。

在此具體實施例中，將PN接面形成於柱形半導體層110與形成於柱形半導體層110內的半導體層150之間，如第一具體實施例所示。因此將耗盡層形成於柱形半導體層110內。結果，即使在柱形半導體層110較寬而且較高的情況下，仍可在通道反轉時輕易並完全耗盡柱形半導體層110。因此，可獲得其中基板偏壓效應已得到減小的、具有理想次臨界擺幅之SGT快閃記憶體。

此外，在此具體實施例中，可將電極形成於已形成於柱形半導體層110內的半導體層150上，如第一具體實施例所示。在此組態中，可以控制半導體層150之電位，因此即使在柱形半導體層110具有較大寬度的情況下，仍可輕易並完全耗盡柱形半導體層110。因此，可獲得其中基板偏壓效應已得到減小的、具有理想次臨界擺幅之SGT快閃記憶體。

此處，本發明並不限於快閃記憶體，其中由此具體實施例所示的多晶矽製造的浮動閘極電極係用作電荷累積層，但是本發明當然可應用於所謂的MONOS類型記憶體，其中使用由氧化膜/氮化物膜/氧化膜(ONO膜)製造的電荷累積層330，如圖4所示，或應用於採用由微觀晶體矽製造的電荷累積層340之記憶體，如圖5所示。

此外，雖然此具體實施例顯示p型基板之情況，但是此具

體實施例當然可藉由倒轉全部導電類型而應用於n型基板之情況。

第三具體實施例

接著，將參考圖6說明本發明之另一具體實施例(第三具體實施例)。

圖6為顯示具有三維結構的S-SGT快閃記憶體之示意斷面圖。此處，此具體實施例顯示使用p型基板之情況。

在此具體實施例中，將具有至少二或多個臺階的柱形半導體層110形成於p型矽基板100上。將記憶體單元形成於形成各臺階的每個柱形半導體層110中。

記憶體單元具有以下組態。首先，將柱形半導體層110之側面的至少二或多個表面用作作用區域之表面，並且依靠(例如)熱氧化將穿隧氧化膜230形成於以上說明的作用區域之表面的至少一部分上。此外，放置由(例如)多晶矽製造的浮動閘極電極350，以便覆蓋穿隧氧化膜230的至少一部分。接著，放置由(例如)氧化矽膜/氮化矽膜/氧化矽膜(即所謂的ONO膜)製造的絕緣膜250，以便覆蓋浮動閘極電極350。此外，將由(例如)多晶矽製造的控制閘極電極360放置於絕緣膜250上。

經由形成於柱形半導體層110之部分中的擴散層700，串聯放置至少二或多個記憶體單元，各單元與以上說明的記憶體單元相同。此外，將選擇器電晶體形成於串聯連接並且經由擴散層700連接的記憶體單元之兩端。

將選擇器電晶體形成於具有臺階的柱形半導體層110之

最上部分的臺階上及最下部分的臺階上。個別選擇器電晶體係由以下形成：閘極氧化膜240，其覆蓋柱形半導體層110之側面的至少一部分；及選擇器閘極電極370，其覆蓋閘極氧化膜240的至少一部分。

接著，將由n型擴散層形成的源極擴散層與汲極擴散層(500、600)提供在柱形半導體層110之上表面及下表面上，以便形成具有三維結構的S-SGT快閃記憶體。

此處，圖6所示的結構顯示柱形半導體層110具有四個臺階的情況。

將其導電類型(在此具體實施例中為n型)與柱形半導體層110之導電類型相反的半導體層150，形成於柱形半導體層110之內部的至少一部分中。此處，此具體實施例顯示半導體層150之形狀與柱形半導體層110之臺階形式相同。然而，只要將半導體層150形成於柱形半導體層110內，並且只要在全部記憶體單元之各單元及選擇器電晶體的通道反轉時完全耗盡柱形半導體層110，則並不特定限制半導體層150之形式及尺寸。

而且在此具體實施例中，將PN接面形成於柱形半導體層110與形成於柱形半導體層110內的半導體層150之間，如第一具體實施例所示。因此將耗盡層形成於柱形半導體層110內。結果，即使在柱形半導體層110較寬而且較高的情況下，仍可在通道反轉時輕易並完全耗盡柱形半導體層110。因此，可獲得其中基板偏壓效應已得到減小的、具有理想次臨界擺幅之S-SGT快閃記憶體。

此外，亦在此具體實施例中，可將電極形成於已形成於柱形半導體層110內的半導體層150上，如第一具體實施例所示。在此組態中，可以控制半導體層150之電位，因此即使在柱形半導體層110具有較大寬度的情況下，仍可輕易並完全耗盡柱形半導體層110。因此，可獲得其中基板偏壓效應已得到減小的、具有理想次臨界擺幅之S-SGT快閃記憶體。

此外，雖然此具體實施例顯示柱形半導體層110具有四個臺階之情況，但是只要柱形半導體層具有二或多個臺階，則並不特定限制臺階的數量。此外，此具體實施例顯示以下情況：臺階越低，則構造堆疊記憶體單元及選擇器電晶體的各柱形半導體層之寬度越大。然而各寬度可以相同，而且並不特定限制個別寬度當中的相對關係。

此處，如第二具體實施例所示，本發明亦並不限於快閃記憶體，其中使用由多晶矽製造的浮動閘極電極，但是本發明當然可應用於所謂的MONOS類型記憶體，其中使用由氧化矽膜/氮化物膜/氧化矽膜製造的電荷累積層，或應用於採用由微觀晶體矽製造的電荷累積層之記憶體。

此外，雖然此具體實施例顯示p型基板之情況，但是此具體實施例當然可藉由倒轉全部導電類型而應用於n型基板之情況。

第四具體實施例

接著，將參考圖7說明本發明之另一具體實施例(第四具體實施例)。

圖7為顯示具有三維結構的MOS電晶體之示意斷面圖。此處，此具體實施例顯示n型MOS電晶體。

此具體實施例具有以下結構：其中在具有第一具體實施例所示的三維結構之MOS電晶體中已挖空柱形半導體層110之內部的至少一部分。

此處，例如可將以下方法引用為用以形成柱形半導體層內的空腔900之方法。亦即，將具有相對於Si的較大蝕刻比率之某材料(例如氧化膜)製造的柱形成於矽基板上。接著，依靠磊晶方法將Si磊晶層形成於柱形氧化膜之表面上。然後將開口形成於Si磊晶層之上表面的一部分中，以便採用HF溶液或類似物並採用開口作為遮罩，依靠濕式蝕刻方法而蝕刻並移除柱形氧化膜。此外，採用磊晶或氧化膜之沈積而閉合開口。可依據此類方法獲得空腔900。

如以上所說明，挖空柱形半導體層110的至少一部分，因此在不將柱形半導體層110小型化為(例如)次四分之一微米位準的情況下，可獲得具有理想次臨界擺幅或沒有基板偏壓效應的MOS電晶體。

此處，只要在通道反轉時完全耗盡柱形半導體層110，則將柱形半導體層110內的空腔900形成於柱形半導體層110內，而且並不特定限制空腔的形狀及尺寸。

此外，採用與以上說明相同的方式，在具有第二及第三具體實施例所示的記憶體單元結構之三維結構中挖空柱形半導體層的至少一部分，因此在不將柱形半導體層小型化為(例如)次四分之一微米位準的情況下，當然可獲得具有理

想次臨界擺幅或沒有基板偏壓效應的MOS電晶體。

此處，雖然此具體實施例顯示n型MOS電晶體之情況，但是此具體實施例當然可藉由倒轉所有導電類型而應用於p型MOS電晶體。

第五具體實施例

接著，將參考圖8說明本發明之另一具體實施例(第五具體實施例)。

圖8為顯示具有依據具體實施例之三維結構的S-SGT快閃記憶體之示意斷面圖。此處，此具體實施例顯示採用p型基板的S-SGT快閃記憶體。

在此具體實施例中，將具有至少二或多個臺階的柱形半導體層110形成於p型矽基板100上。將記憶體單元形成於形成各臺階的每個柱形半導體層110中。

記憶體單元具有以下組態。首先，將此柱形半導體層110之側面上的至少二或多個表面用作作用區域之表面，並且依靠(例如)熱氧化將穿隧氧化膜230形成於作用區域之表面的至少一部分上。此外，放置由(例如)多晶矽製造的浮動閘極電極350，以便覆蓋穿隧氧化膜230的至少一部分。接著，放置由(例如)氧化矽膜/氮化矽膜/氧化矽膜(所謂的ONO膜)製造的絕緣膜250，以便覆蓋浮動閘極電極。此外，將由(例如)多晶矽製造的控制閘極電極360放置於絕緣膜250上。

經由形成於柱形半導體層110之部分中的擴散層700，串聯放置至少二或多個記憶體單元。此外，經由結構中的擴散層700將選擇器電晶體提供在串聯連接的記憶體單元之

兩端。

將選擇器電晶體形成於具有臺階的柱形半導體層110之最上部分的臺階上及最下部分的臺階上。選擇器電晶體之各電晶體係由以下形成：閘極氧化膜240，其覆蓋柱形半導體層110之側面的至少一部分；以及選擇器閘極電極370，其覆蓋閘極氧化膜240的至少一部分。

接著，將由n型擴散層形成的源極擴散層與汲極擴散層(500、600)放置於柱形半導體層110之上表面及下表面上。

圖8所示的結構展示柱形半導體層110具有四個臺階的情況。

將絕緣體160形成於柱形半導體層110之內部的至少一部分中。此處，此具體實施例顯示絕緣體160具有與柱形半導體層110類似的臺階形式。然而，只要將絕緣體160形成於柱形半導體層110內，並且在全部記憶體單元之各單元及選擇器電晶體的通道反轉時完全耗盡柱形半導體層110，則並不特定限制絕緣體160之形狀及尺寸。

此外，雖然絕緣體160需要氧化矽膜、氮化矽膜或類似膜，但是只要材料並非電性絕緣體，則並不特定限制材料。

而且在此具體實施例中，將耗盡層形成於柱形半導體層110與形成於柱形半導體層110內的絕緣體160之間。因此，即使在柱形半導體層110較寬而且較高的情況下，仍可在通道反轉時輕易並完全耗盡柱形半導體層110。因此，可獲得具有理想次臨界擺幅並且其中基板偏壓效應已得到減小的S-SGT快閃記憶體。

此外，雖然此具體實施例顯示其中柱形半導體層110具有四個臺階之情況，但是只要半導體層具有二或多個臺階，則並不特定限制臺階的數量。此外，此具體實施例顯示以下情況：臺階越低，則形成層狀記憶體單元或選擇器電晶體的各柱形半導體層之寬度越大。然而個別寬度可以相同，而且並不特定限制個別寬度之間的相對關係。

此處，此具體實施例當然可應用於所謂的MONOS類型記憶體，其使用由氧化矽膜/氮化矽膜/氧化矽膜形成的電荷累積層；並可應用於記憶體單元，其使用由微觀晶體矽形成的電荷累積層，以及快閃記憶體，其使用由(例如)第二具體實施例所示的多晶矽形成的浮動閘極電極。

此外，雖然以上說明的具體實施例展示p型基板之情況，但是此具體實施例當然可藉由倒轉全部導電類型而應用於n型基板之情況。

第六具體實施例

接著，將參考圖9說明本發明之另一具體實施例(第六具體實施例)。

圖9為顯示具有依據具體實施例之三維結構的S-SGT快閃記憶體之示意斷面圖。此處，此具體實施例顯示採用p型基板的S-SGT快閃記憶體。

在此具體實施例中，將具有至少二或多個臺階的柱形半導體層110形成於p型矽基板100上。將記憶體單元形成於形成各臺階的每個柱形半導體層110中。

記憶體單元具有以下結構。首先，將柱形半導體層110

之側面上的至少二或多個表面用作作用區域之表面，並且依靠(例如)熱氧化將穿隧氧化膜230形成於作用區域之表面的至少一部分上。此外，放置由(例如)多晶矽製造的浮動閘極電極350，以便覆蓋穿隧氧化膜230的至少一部分。接著，放置由(例如)氧化矽膜/氮化矽膜/氧化矽膜(所謂的ONO膜)製造的絕緣膜250，以便覆蓋浮動閘極電極。此外，將由(例如)多晶矽製造的控制閘極電極360放置於絕緣膜250上。

經由形成於柱形半導體層110之部分中的擴散層700，串聯放置至少二或多個記憶體單元，各單元與以上說明的記憶體單元相同。此外，經由結構中的擴散層700將選擇器電晶體提供在串聯連接的記憶體單元之兩端。

將選擇器電晶體形成於具有臺階的柱形半導體層110之最上部分的臺階上及最下部分的臺階上。選擇器電晶體之各電晶體係由以下形成：閘極氧化膜240，其覆蓋柱形半導體層110之側面的至少一部分；以及選擇器閘極電極370，其覆蓋閘極氧化膜240的至少一部分。

接著，將由n型擴散層形成的源極擴散層與汲極擴散層(500、600)放置於柱形半導體層110之上表面及下表面上。

圖9所示的結構展示柱形半導體層110具有四個臺階的情況。

將空腔900形成於柱形半導體層110之內部的至少一部分中。此處，此具體實施例顯示空腔900具有與柱形半導體層110類似的臺階形式。然而，將空腔900形成於柱形半導體層110內，而且只要在全部記憶體單元之各單元及選擇器電

晶體的通道反轉時完全耗盡柱形半導體層110，則並不特定限制絕緣體之形狀及尺寸。

而且在此具體實施例中，將耗盡層形成於柱形半導體層110與形成於柱形半導體層110內的空腔900之間。因此，即使在柱形半導體層110較寬而且較高的情況下，仍可在通道反轉時輕易並完全耗盡柱形半導體層110。因此，可獲得具有理想次臨界擺幅並且其中基板偏壓效應已得到減小的S-SGT快閃記憶體。

此外，雖然此具體實施例顯示其中柱形半導體層110具有四個臺階之情況，但是只要半導體層具有二或多個臺階，則並不特定限制臺階的數量。此外，此具體實施例顯示以下情況：臺階越低，則形成堆疊記憶體單元或選擇器電晶體的各柱形半導體層之寬度越大。然而個別寬度可以相同，而且並不特定限制個別寬度之間的相對關係。

此處，此具體實施例當然可應用於所謂的MONOS類型記憶體，其使用由氧化矽膜/氮化矽膜/氧化矽膜形成的電荷累積層；並可應用於記憶體單元，其使用由微觀晶體矽形成的電荷累積層，以及快閃記憶體，其使用由(例如)第二具體實施例所說明的多晶矽形成的浮動閘極電極。

此外，雖然此具體實施例展示p型基板之情況，但是此具體實施例當然可藉由倒轉全部導電類型而應用於n型基板之情況。

第七具體實施例

接著，將參考圖10至17說明本發明之另一具體實施例(第

七具體實施例)。

該具體實施例顯示一種用以製造柱形半導體基板上的半導體層之方法，其中柱形半導體層具有至少二或多個臺階，而且將絕緣體形成於柱形半導體層之內部的至少一部分中。

此處，以下所示的圖10至17為顯示用以製造依據此具體實施例之柱形半導體層的方法之步驟期間的主要部分之示意斷面圖。

首先將由(例如)氧化矽膜製造的絕緣體160沈積於半導體基板(例如p型矽基板100)之表面上，以便獲得100至5000 nm的厚度。接著沈積變為遮罩層的第一絕緣膜(例如氮化矽膜815)，以便獲得200至2000 nm的厚度。此外，藉由將光阻劑R1用作遮罩，依靠(例如)反應離子蝕刻對氮化矽膜815進行蝕刻，該光阻劑已形成於氮化矽膜815上並已依靠熟知的微影技術加以圖案化(圖10)。

此處，只要遮罩層係由並未在蝕刻絕緣體160時得到蝕刻或其蝕刻速率低於絕緣體160之蝕刻速率的材料製造，則遮罩層並不限於氮化矽膜。因此，遮罩層可以為導電層，而非絕緣膜，例如氮化矽膜。此外，遮罩層可以為由二或多類型材料形成的層狀膜。

接著，在已移除光阻劑R1之後，將氮化矽膜815用作遮罩，並依靠(例如)反應離子蝕刻將絕緣體160蝕刻50至5000 nm。此外，形成第二絕緣膜，例如氮化矽膜816，以便獲得5至1000 nm的厚度(圖11)。

接著，依靠各向異性蝕刻將氮化矽膜816處理為側壁間隔物形式，將其放置於氮化矽膜815之側面上及已處理為柱形式的絕緣體160之側面上(圖12)。

接著，將已處理為側壁間隔物形式的氮化矽膜816用作遮罩，並依靠(例如)反應離子蝕刻將絕緣體160蝕刻50至5000 nm。作為此蝕刻的結果，將絕緣體160處理為柱形式(圖13)。

隨後將氮化矽膜817沈積為第三絕緣膜，以便獲得5至1000 nm的厚度。然後，依靠各向異性蝕刻將氮化矽膜817處理為側壁間隔物形式，將其形成於氮化矽膜815之側面上、於氮化矽膜816之側面上及於已處理為柱形式的絕緣體160之側面上。接著，將已處理為側壁間隔物形式的氮化矽膜817用作遮罩，以便依靠(例如)反應離子蝕刻將絕緣體160蝕刻50至5000 nm。作為此蝕刻的結果，將絕緣體160處理為柱形式(圖14)。

隨後將氮化矽膜818沈積為第四絕緣膜，以便獲得5至1000 nm的厚度。然後，依靠各向異性蝕刻將氮化矽膜818處理為側壁間隔物形式，將其放置於氮化矽膜815之側面上、於氮化矽膜816之側面上、於氮化矽膜817之側面上及於已處理為柱形式的絕緣體160之側面上。接著，將已處理為側壁間隔物形式的氮化矽膜818用作遮罩，以便依靠(例如)反應離子蝕刻將絕緣體160處理為柱形式(圖15)。

作為以上說明的程序之結果，將具有臺階的柱形絕緣體160形成於半導體基板上。

然後依靠(例如)各向同性蝕刻選擇性地移除氮化矽膜

815至818(圖16)。

隨後矽磊晶生長在p型矽基板100及絕緣體160上，以便獲得5至5000 nm的厚度。結果，將柱形半導體層110形成於半導體基板上，該半導體層具有至少二或多個臺階並且其中將絕緣體形成於半導體層之內部的至少一部分中。

此處，雖然在此具體實施例之範例中將絕緣體160形成於p型半導體基板上，但是可將絕緣體160形成於n型基板上。此外，磊晶生長的矽之導電類型最好與基板之導電類型相同。

此外，在此具體實施例中，將為第一至第四絕緣膜的氮化矽膜(815至818)處理為側壁間隔物形式，以便在絕緣體160之反應離子蝕刻時將所獲得的側壁間隔物用作遮罩，從而將絕緣體160處理為臺階形式。除此處理方法以外，可使用藉由重複以下程序將絕緣體160處理為具有至少二或多個臺階的形式之方法：藉由採用(例如)絕緣膜或導電膜填充凹槽而單獨曝露絕緣體160之邊緣的程序；以及藉由對此曝露部分實行各向同性蝕刻而逐漸減少絕緣體160之邊緣部分的程序。

第八具體實施例

接著，將參考圖18至27說明本發明之另一具體實施例(第八具體實施例)。

此具體實施顯示一種用以製造柱形半導體層之方法，其中將具有至少二或多個臺階的柱形半導體層形成於半導體基板上，而將其導電類型與柱形半導體層之導電類型相反

的半導體層形成於柱形半導體層之內部的至少一部分中。

此處，以下所示的圖18至27為顯示用以製造依據此具體實施例之柱形半導體層的方法之步驟的主要部分之示意斷面圖。

首先將變為遮罩層的第一絕緣膜(例如氧化矽膜821)沈積於半導體基板(例如p型矽基板100)之表面上，以便獲得200至2000 nm的厚度。接著，將已依據熟知的微影技術加以圖案化的光阻劑R2用作遮罩，以便依靠反應離子蝕刻對氧化矽膜821進行蝕刻(圖18)。

此處，只要遮罩層係由並未在蝕刻p型矽基板100時得到蝕刻或其蝕刻速率低於矽之蝕刻速率的材料製造，則遮罩層不必為氧化矽膜。因此，遮罩層可以為導電層，而非絕緣層，例如氧化矽膜。此外，遮罩層可以為由二或多類型材料製造的堆疊膜。

接著，在已移除光阻劑R2之後，將氧化矽膜821用作遮罩，並依靠反應離子蝕刻將為半導體基板的p型矽基板100蝕刻50至5000 nm。然後，對p型矽基板100之曝露部分實行熱氧化，從而形成(例如)變為第二絕緣膜的氧化矽膜822，以獲得5至100 nm的厚度。此處，用以形成氧化矽膜822的方法並不限於熱氧化方法，而可以為(例如)CVD方法。此外，只要所獲得的絕緣膜具有所需特性，則並不特定限制絕緣膜之材料以及用以形成絕緣膜的方法。後來將(例如)氮化矽膜823沈積為第三絕緣膜，以便獲得10至1000 nm的厚度(圖19)。

然後，依靠各向異性蝕刻將氮化矽膜823處理為側壁間隔物形式，將其放置於氮化矽膜821之側壁上，及已經由氧化矽膜822處理為柱形式的p型矽基板100之側壁上(圖20)。

隨後將已處理為側壁間隔物形式的氮化矽膜823用作遮罩，以便依靠反應離子蝕刻對氧化矽膜822進行蝕刻。隨後將曝露的p型矽基板100蝕刻50至5000 nm，從而將p型矽基板100處理為具有二個臺階的柱形式。然後，對p型矽基板100之曝露部分實行熱氧化，從而形成(例如)變為第四絕緣膜的氧化矽膜824，以獲得5至100 nm的厚度(圖21)。此處，用以形成氧化矽膜824的方法並不限於熱氧化方法，而可以為(例如)CVD方法。此外，只要所獲得的絕緣膜具有所需特性，則並不特定限制絕緣膜之材料以及用以形成絕緣膜的方法。

接著將(例如)氮化矽膜825沈積為第五絕緣膜，以便獲得10至1000 nm的厚度。然後，依靠各向同性蝕刻將氮化矽膜825處理為側壁間隔物形式，將其放置於氧化矽膜821之側壁上、於氮化矽膜823之側壁上及於已經由氧化矽膜824處理為具有二臺階之柱形式的p型矽基板100之側壁上。隨後將已處理為側壁間隔物形式的氮化矽膜825用作遮罩，並依靠反應離子蝕刻對氧化矽膜824進行蝕刻及移除。隨後將曝露的p型矽基板100蝕刻50至5000 nm，從而將p型矽基板100處理為具有三個臺階的柱形式。然後，對p型矽基板100之曝露部分實行熱氧化，從而形成(例如)變為第六絕緣膜的氧化矽膜826，以獲得5至100 nm的厚度(圖22)。此處，用以

形成氧化矽膜826的方法並不限於熱氧化方法，而可以為(例如)CVD方法。此外，只要可獲得所需絕緣膜，則並不特定限制絕緣膜之材料以及用以製造絕緣膜的方法。

接著將(例如)氮化矽膜827沈積為第七絕緣膜，以便獲得10至1000 nm的厚度。然後，依靠各向同性蝕刻將氮化矽膜827處理為側壁間隔物形式，將其放置於氧化矽膜821之側壁上、於氮化矽膜825之側壁上及於已經由氧化矽膜826處理為具有三臺階之柱形式的p型矽基板100之側壁上。隨後將已處理為側壁間隔物形式的氮化矽膜827用作遮罩，並依靠反應離子蝕刻對氧化矽膜826進行蝕刻及移除。隨後將曝露的p型矽基板100蝕刻50至5000 nm，從而將p型矽基板100處理為具有四個臺階的柱形式。作為以上說明的程序之結果，將具有臺階的柱形半導體層110形成於為半導體基板的p型矽基板100上。然後，對p型矽基板100之曝露部分實行(例如)熱氧化，從而將(例如)氧化矽膜828形成為第八絕緣膜，以獲得5至100 nm的厚度(圖23)。此處，可依靠沈積而非熱氧化形成氧化矽膜828。此外，絕緣膜並不限於氧化矽膜，而可以為氮化矽膜。此外，可以不必形成絕緣膜。

然後依靠(例如)各向同性蝕刻選擇性地移除氮化矽膜(823、825及827)及氧化矽膜(821、822、824、826及828)(圖24)。

接著，依靠(例如)CVD方法沈積變為第九絕緣膜的氧化矽膜829。此處，第九絕緣膜可以不為氧化矽膜，只要第九絕緣膜係由並未在蝕刻矽時得到蝕刻或其蝕刻速率低於矽

之蝕刻速率的材料製造，而且並不特定限制第九絕緣膜之材料及用以形成第九絕緣膜的方法。因此，絕緣膜可以為(例如)氮化矽膜，或可以為導電膜。此外，絕緣膜可以為由二或多類型材料形成的堆疊膜。接著，依靠(例如)光阻劑回蝕方法曝露柱形半導體層110(圖25)。此處，只要可實施所需結構，則並不特定限制用以曝露柱形半導體層110的方法。例如，可以從半導體基板之上表面部分實行各向同性蝕刻以便實施所需結構。

然後，將其導電類型與柱形半導體層110之導電類型相反的半導體層150形成於柱形半導體層110內，從而藉由利用(例如)傾斜離子植入對柱形半導體層110實行離子植入。可引用以下離子植入的狀況：在與垂直於基板之主要表面的線傾斜 5° 至 80° 的方向上植入離子，注射能量為5 keV至1 MeV，植入離子的類型為磷，以及劑量位準為約 1×10^{10} 至 $1 \times 10^{16}/\text{cm}^2$ 。藉由實行以上說明的程序，將其導電類型(在此具體實施例中為n型)與柱形半導體層110之導電類型相反的半導體層150形成於柱形半導體層110內(圖26)。此處，只要離子植入提供與柱形半導體層之導電類型相反的導電類型，則並不特定限制用以形成半導體層150的植入離子之類型。在柱形半導體層110之導電類型為(例如)p型的情況下，植入離子之類型最好為磷、砷或類似物；而在柱形半導體層110之導電類型為(例如)n型的情況下，植入離子之類型最好為硼或類似物。

此外，在已實行離子植入以便形成半導體層150之後，可

在(例如)500°C至1200°C的溫度下實行熱處理，以便可將雜質濃度分佈轉換為半導體層150中的所需分佈。

接著，例如實行各向異性蝕刻以便移除氧化矽膜829。作為以上說明的程序之結果，將其導電類型與以上說明的柱形半導體層之導電類型相反的半導體層150形成於柱形半導體層110內(圖27)。

此處，在此具體實施例中，將氮化矽膜(823、825及827)處理為側壁間隔物形式，並在對柱形半導體層110實行反應離子蝕刻時將獲得的側壁間隔物用作遮罩，從而將柱形半導體層110處理為臺階形式。然而，藉由採用(例如)絕緣膜或導電膜填充凹槽，僅可曝露柱形半導體層110之邊緣部分，或者可對此曝露部分實行(例如)各向同性蝕刻，以便逐漸減少柱形半導體層110之絕緣部分。因此，可重複以上說明的程序，從而可將柱形半導體層110處理為具有二或多個臺階的形式。

此外，在此具體實施例中，藉由實行離子植入，將其導電類型與柱形半導體層110之導電類型相反的半導體層150形成於柱形半導體層110內。然而，n型矽磊晶生長在p型矽基板100上，以便獲得(例如)50至5000 nm的厚度，然後將以上說明的n型矽處理為具有至少二或多個臺階的柱形半導體層。接著，p型矽磊晶生長以便獲得(例如)5至1000 nm的厚度，從而可將其導電類型與柱形半導體層之導電類型相反的半導體層形成於柱形半導體層內。

此外，雖然此具體實施例顯示p型基板之情況，但是此具

體實施例當然可藉由倒轉全部導電類型而應用於n型基板之情況。

第九具體實施例

接著，將參考圖28至39說明本發明之另一具體實施例(第九具體實施例)。

此具體實施顯示一種用以製造柱形半導體層的方法，其中將具有至少二或多個臺階的柱形半導體層形成於半導體基板上，而且將空腔形成於以上說明的柱形半導體層之內部的至少一部分中。

此處，以下所示的圖28至39為顯示用以製造依據此具體實施例之柱形半導體層的方法之步驟的主要部分之示意斷面圖。

首先將由(例如)氧化矽膜製造的絕緣體850沈積於半導體基板(例如p型基板100)之表面上，以便獲得100至5000 nm的厚度。接著將(例如)變為遮罩層的氮化矽膜860沈積為第一絕緣膜，以便獲得200至2000 nm的厚度。接著，將已依據熟知的微影技術加以圖案化的光阻劑R3用作遮罩，並依靠(例如)反應離子蝕刻對氮化矽膜860進行蝕刻(圖28)。

此處，並不特定限制遮罩層的材料，只要遮罩層並未在蝕刻矽時得到蝕刻，或遮罩層的蝕刻速率低於矽的蝕刻速率，此外，矽並未在蝕刻絕緣體850時得到蝕刻，或遮罩層的蝕刻速率低於絕緣體850的蝕刻速率。因此，遮罩層可以為導電層，而非絕緣膜，例如氮化矽膜。此外，遮罩層可以為由二或多類型材料製造的堆疊膜。

接著，在已移除光阻劑R3之後，將氮化矽膜860用作遮罩，並依靠(例如)反應離子蝕刻將絕緣體850蝕刻50至5000 nm。然後將(例如)氮化矽膜861形成為第二絕緣膜，以便獲得5至1000 nm的厚度(圖29)。

接著，依靠各向異性蝕刻將氮化矽膜861處理為側壁間隔物形式，將其放置於氮化矽膜860之側面上及已處理為柱形式的絕緣體850之側面上(圖30)。

接著，將已處理為側壁間隔物形式的氮化矽膜861用作遮罩，並依靠(例如)反應離子蝕刻將絕緣體850蝕刻50至5000 nm，從而將絕緣體850處理為柱形式(圖31)。

隨後將氮化矽膜862沈積為第三絕緣膜，以便獲得5至1000 nm的厚度。然後，依靠各向異性蝕刻將氮化矽膜862處理為側壁間隔物形式，將其放置於氮化矽膜860之側面上、於氮化矽膜861之側面上及於已處理為柱形式的絕緣體850之側面上。

接著，將已處理為側壁間隔物形式的氮化矽膜862用作遮罩，並依靠(例如)反應離子蝕刻將絕緣體850蝕刻50至5000 nm，從而將絕緣體850處理為柱形式(圖32)。

隨後將氮化矽膜863沈積為第四絕緣膜，以便獲得5至1000 nm的厚度。然後，依靠各向異性蝕刻將為第四絕緣膜的氮化矽膜863處理為側壁間隔物形式，將其放置於氮化矽膜860之側面上、於氮化矽膜861之側面上、於氮化矽膜862之側面上及於已處理為柱形式的絕緣體850之側面上。

接著，將已處理為側壁間隔物形式的、為第四絕緣膜之

氮化矽膜863用作遮罩，並依靠(例如)反應離子蝕刻將絕緣體850處理為柱形式(圖33)。

作為以上說明的處理之結果，將具有臺階的柱形絕緣體850形成於半導體基板上。

然後依靠(例如)各向同性蝕刻選擇性地移除氮化矽膜860至863(圖34)。

隨後矽磊晶生長在矽基板100及絕緣體850上，以便獲得5至5000 nm的厚度。結果，將柱形半導體層110形成於半導體基板上，該半導體層具有至少二或多個臺階並且其中將絕緣體形成於半導體層之內部的至少一部分中(圖35)。

此處，在此具體實施例中，將為第一至第四絕緣膜的氮化矽膜(860至863)處理為側壁間隔物形式，並在絕緣體850之反應離子蝕刻時將所獲得的側壁間隔物用作遮罩，從而將絕緣體850處理為臺階形式。然而，藉由採用(例如)絕緣膜或導電膜填充凹槽，僅可曝露絕緣體850之邊緣部分，或者可對此曝露部分實行(例如)各向同性蝕刻，以便逐漸減少絕緣體850之絕緣部分。因此，可重複以上說明的程序，從而可將絕緣體850處理為具有二或多個臺階的形式。

接著，依靠(例如)CVD方法沈積變為第五絕緣膜的氧化矽膜870。此處，只要第五絕緣膜並未在蝕刻矽時得到蝕刻或材料的蝕刻速率低於矽的蝕刻速率，則並不特定限制第五絕緣膜之材料及用以形成第五絕緣膜的方法。因此，第五絕緣膜可以為氮化矽膜，或可以為導電膜。此外，第五絕緣膜可以為由二或多類型材料形成的堆疊膜。

接著，依靠(例如)光阻劑回蝕方法曝露柱形半導體層110之邊緣部分(圖36)。

此處，只要可實施所需結構，則並不特定限制用以曝露柱形半導體層110之邊緣部分的方法。例如可以從半導體基板之上表面部分實行各向同性蝕刻，從而可實施所需結構。

接著，移除已依靠光阻劑回蝕方法加以曝露的柱形半導體層110之邊緣部分的矽(圖37)。

接著依靠(例如)各向同性蝕刻藉由蝕刻絕緣體850而形成空腔900(圖38)。此處，最好在蝕刻絕緣體850的同時蝕刻氧化矽膜870。然而，可在已蝕刻絕緣體850之後，依靠(例如)各向同性蝕刻對氧化矽膜870進行蝕刻。

接著，矽(例如)磊晶生長以便獲得約5至1000 nm的厚度，從而閉合內部具有空腔900的柱形半導體層110之邊緣部分(圖39)。此處，只要可實施預定結構，則並不特定限制用以閉合柱形半導體層110之邊緣部分的方法。可藉由依靠(例如)熱氧化形成氧化矽膜，或藉由沈積(例如)氧化矽膜而實行邊緣部分的閉合。

作為以上說明的程序之結果，可將柱形半導體層110形成於半導體基板上，該半導體層具有至少二或多個臺階並且其中將空腔形成於半導體層之內部的至少一部分中。

此處，在此具體實施例中，在已藉由採用絕緣膜填充凹槽而曝露柱形半導體層110之邊緣部分之後，利用用以蝕刻柱形半導體層110之邊緣部分的方法。然而，只要可實施所需結構，則並不特定限制蝕刻方法。依靠(例如)熟知的微影

技術，採用光阻劑將開口僅形成於柱形半導體層110之邊緣部分上，以便實行蝕刻，從而可僅蝕刻柱形半導體層110之邊緣部分。

此外，雖然此具體實施例顯示p型基板之情況，但是此具體實施例當然可藉由倒轉全部導電類型而應用於n型基板之情況。

如以上所說明，依據本發明之半導體裝置，可完全耗盡柱形半導體層之全部，而不管柱形半導體層之寬度、高度及層數。結果，可獲得具有理想次臨界擺幅或沒有基板偏壓效應的半導體裝置，例如MOS電晶體或快閃記憶體。因此，本發明之半導體裝置允許減少功率消耗並允許進行高速操作。

【圖式簡單說明】

圖1至9為顯示依據本發明之具體實施例的半導體裝置之示意斷面圖。

圖10至39為顯示用以製造依據本發明之具體實施例的柱形半導體層的方法之步驟期間的主要部分之示意斷面圖。

圖40A至41B為顯示傳統半導體裝置之示意圖。

【主要元件符號說明】

- | | |
|----|-------|
| 1 | 基板 |
| 4 | 半導體層 |
| 4a | 源極擴散層 |
| 4b | 汲極擴散層 |
| 5 | 閘極絕緣膜 |

6	閘極電極
7	絕緣膜
9	絕緣區域
10	電極
100	矽基板
110	柱形半導體層
150	半導體層
160	絕緣體
200	閘極氧化膜
201	絕緣膜
210	穿隧氧化膜
220	絕緣膜
230	穿隧氧化膜
240	閘極氧化膜
250	絕緣膜
300	閘極電極
310	浮動閘極電極
320	控制閘極電極
330	電荷累積層
340	電荷累積層
350	浮動閘極電極
360	控制閘極電極
370	選擇器閘極電極
500	源極擴散層
600	汲極擴散層
700	擴散層

815	氮化矽膜
816	氮化矽膜
817	氮化矽膜
818	氮化矽膜
821	氧化矽膜
822	氧化矽膜
823	氮化矽膜
824	氧化矽膜
825	氮化矽膜
826	氧化矽膜
827	氮化矽膜
828	氧化矽膜
829	氧化矽膜
850	絕緣體
860	氮化矽膜
861	氮化矽膜
862	氮化矽膜
863	氮化矽膜
870	氧化矽膜
900	空腔
910	層間絕緣膜
R1	光阻劑
R2	光阻劑
R3	光阻劑
V1	電位

五、中文發明摘要：

本發明揭示一種包括一記憶體單元的半導體裝置，該單元包括：一第一導電類型之一柱形半導體層，其形成於一半導體基板上；一第二導電類型之源極擴散層與汲極擴散層，其形成於該柱形半導體層之上部分及下部分中；該第二導電類型之一半導體層或一空腔，其形成於該柱形半導體層內；以及一閘極電極，其經由一閘極絕緣膜形成於該柱形半導體層之一側面上，或一控制閘極電極，其經由一電荷累積層形成於該柱形半導體層之該側面上。

六、英文發明摘要：

9212089

十一、圖式：

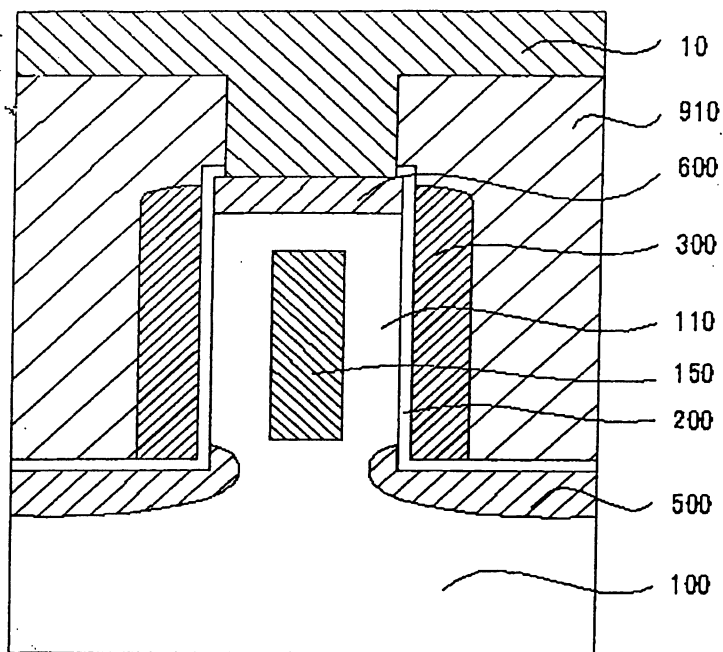


圖 1

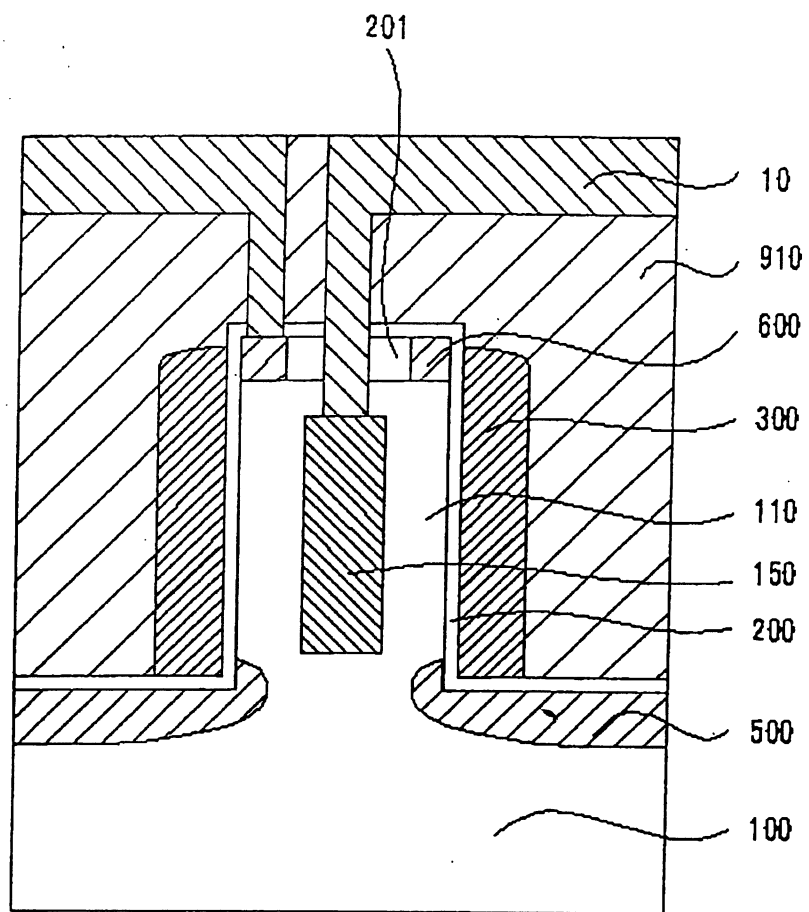


圖 2

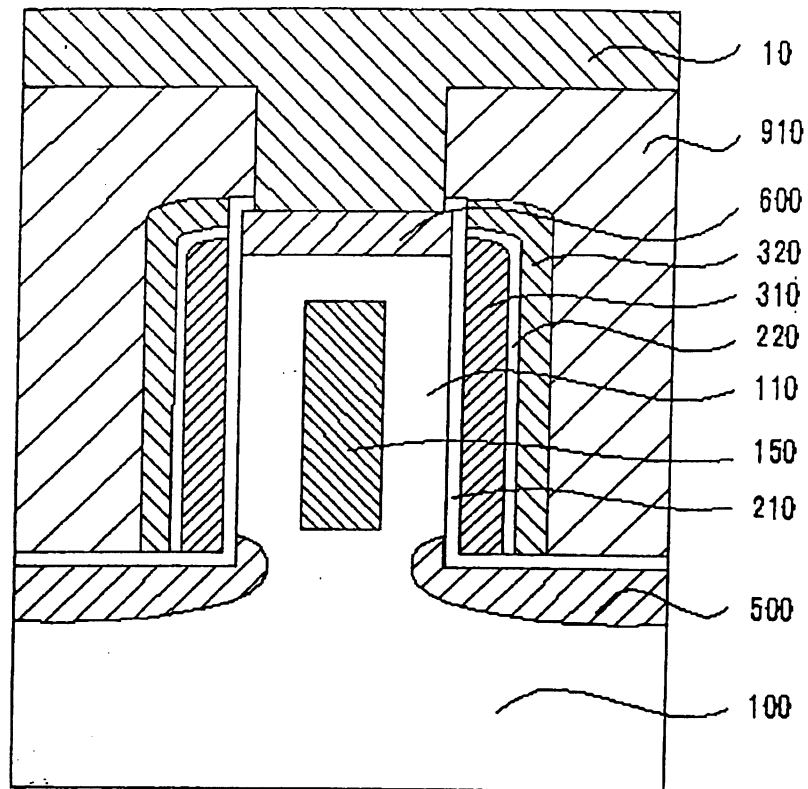


圖 3

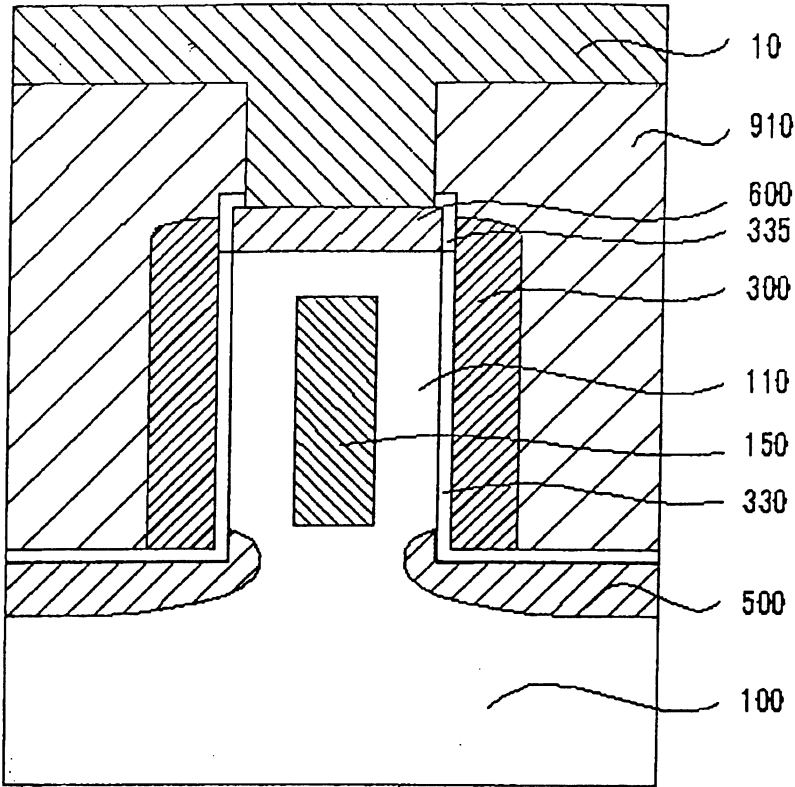


圖 4

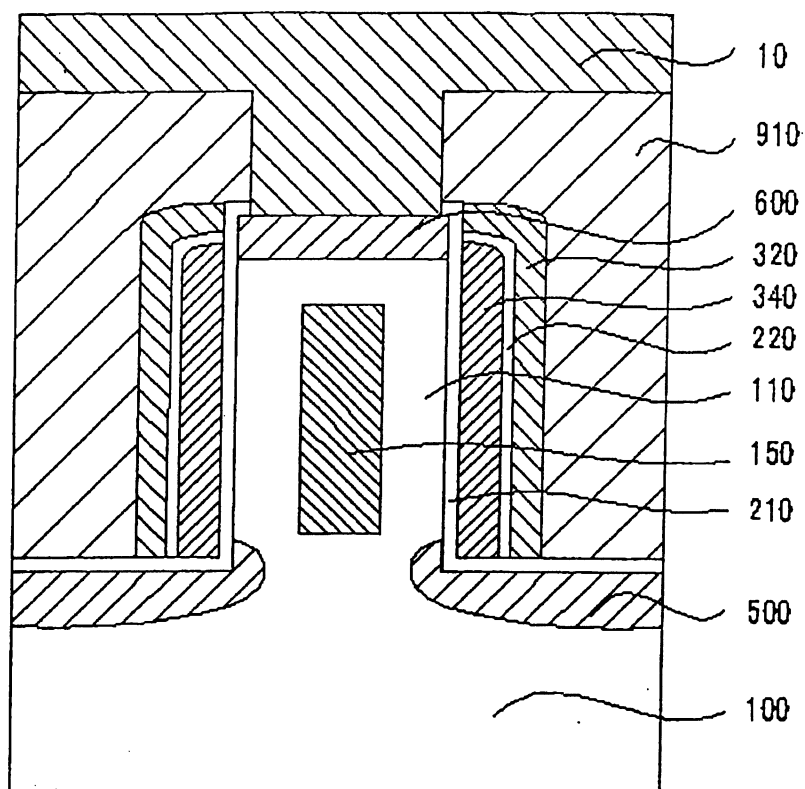


圖 5

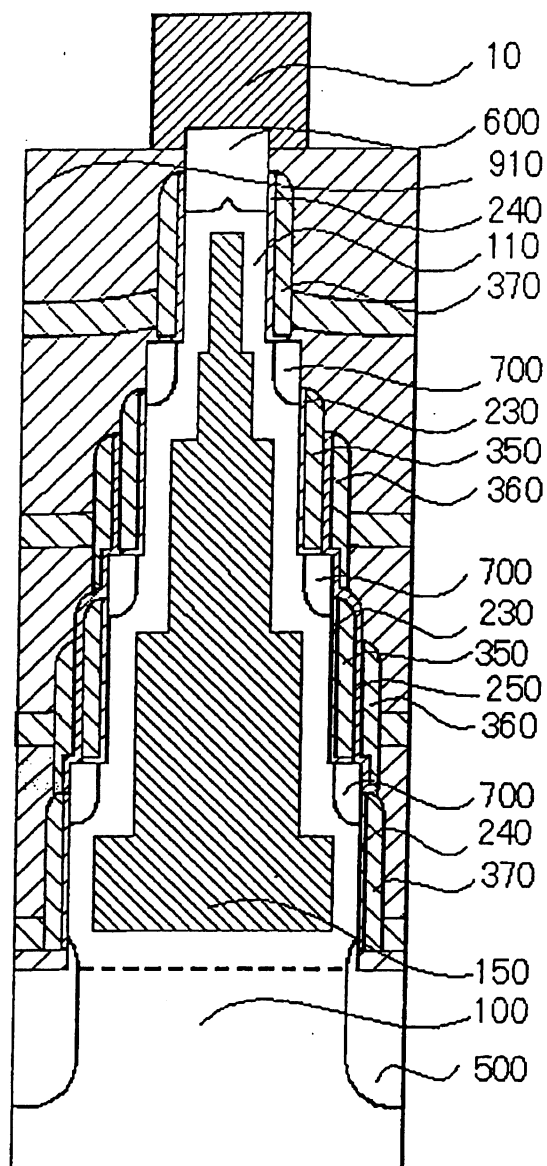


圖 6

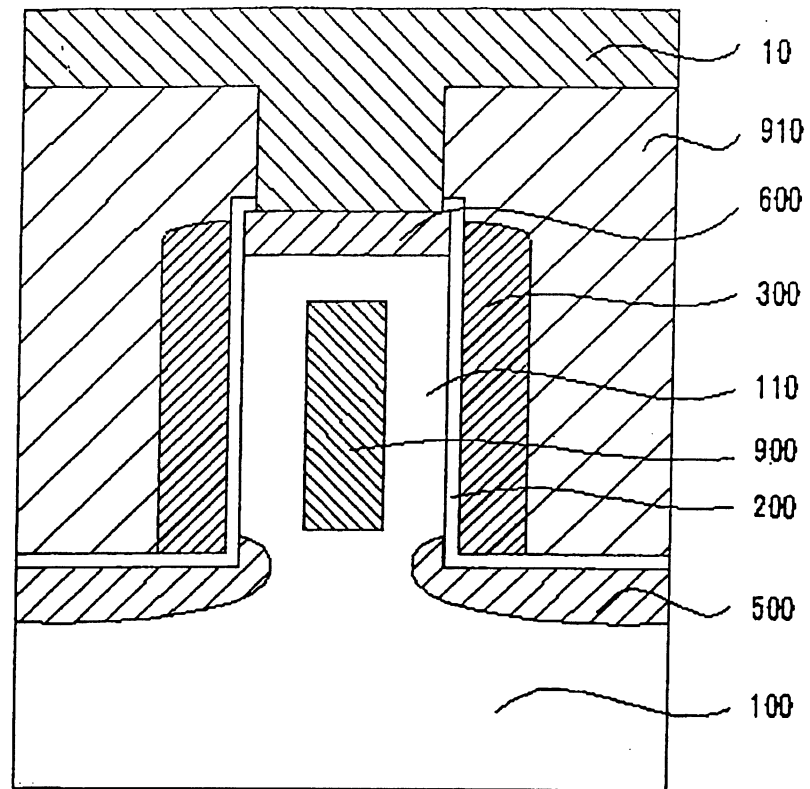


圖 7

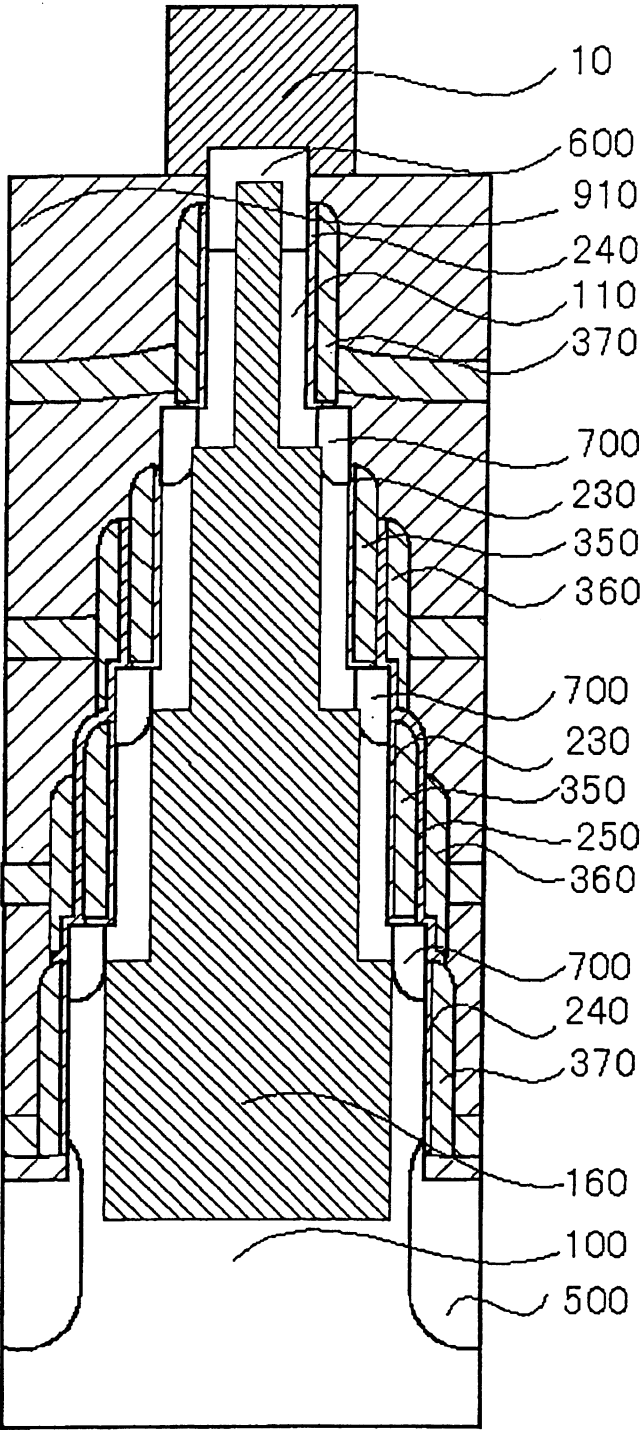


圖 8

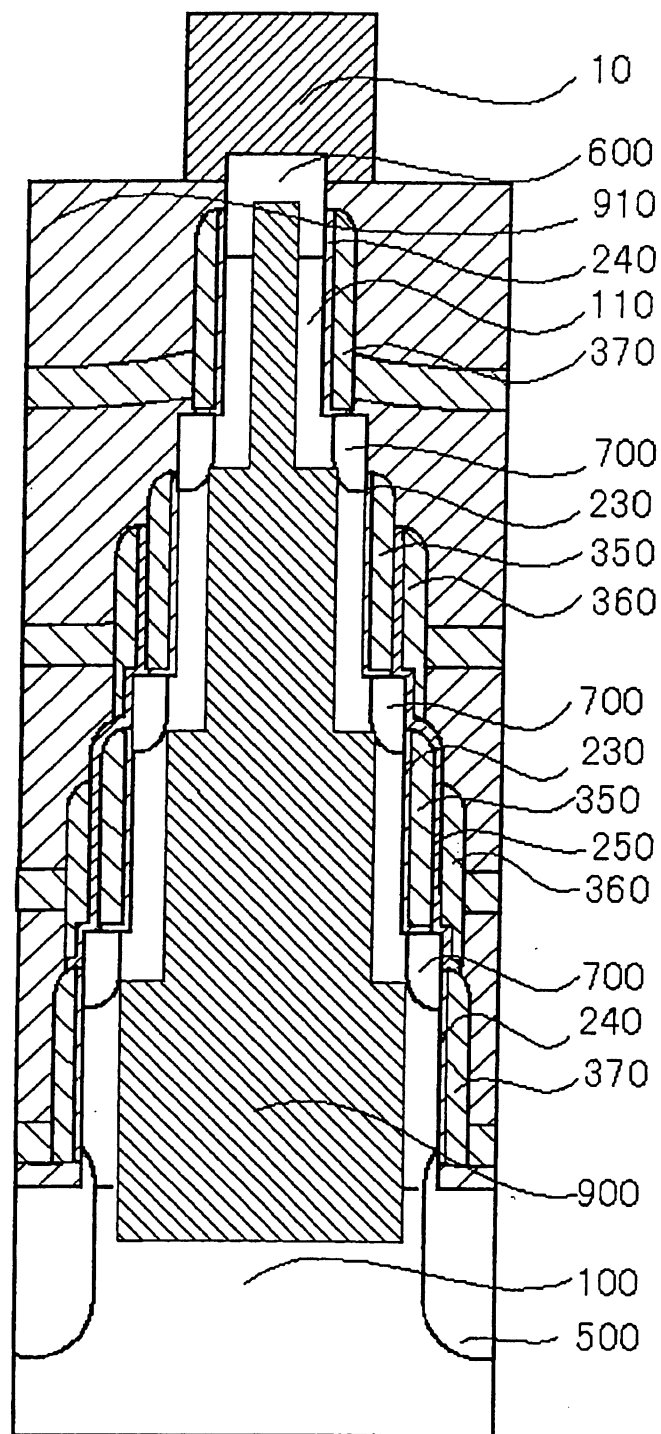


圖 9

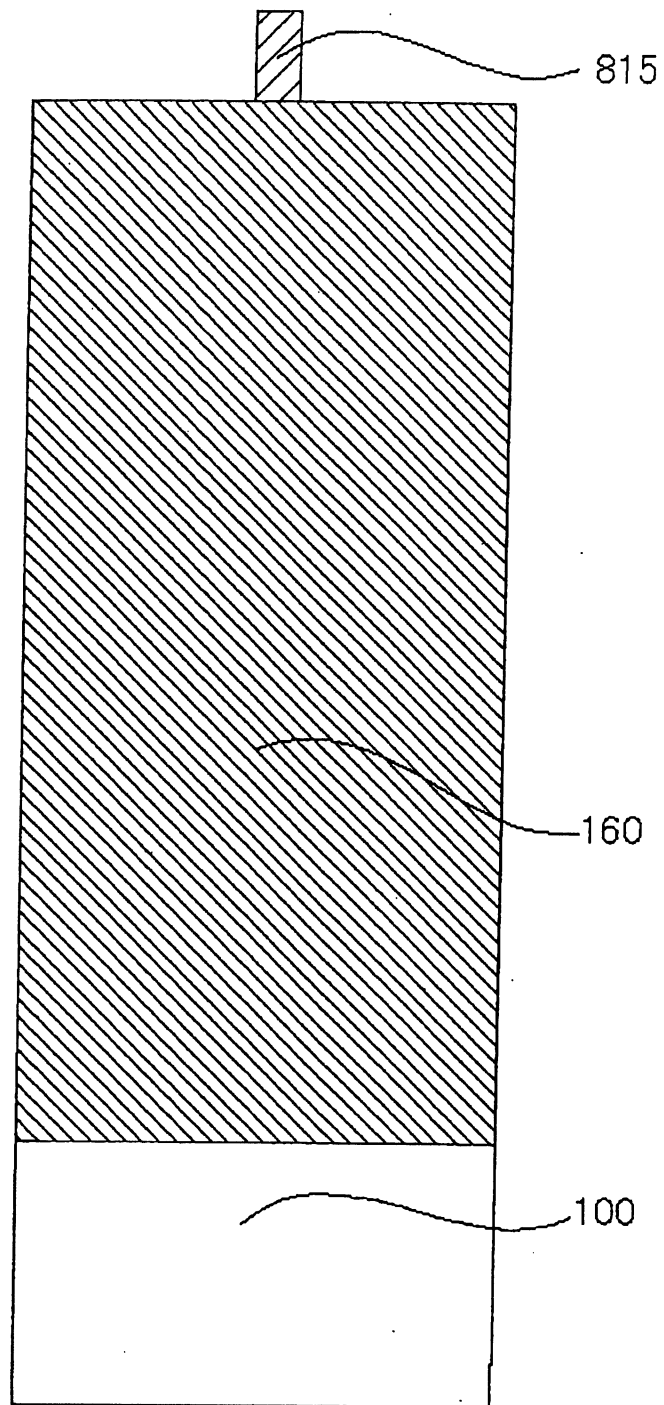


圖 10

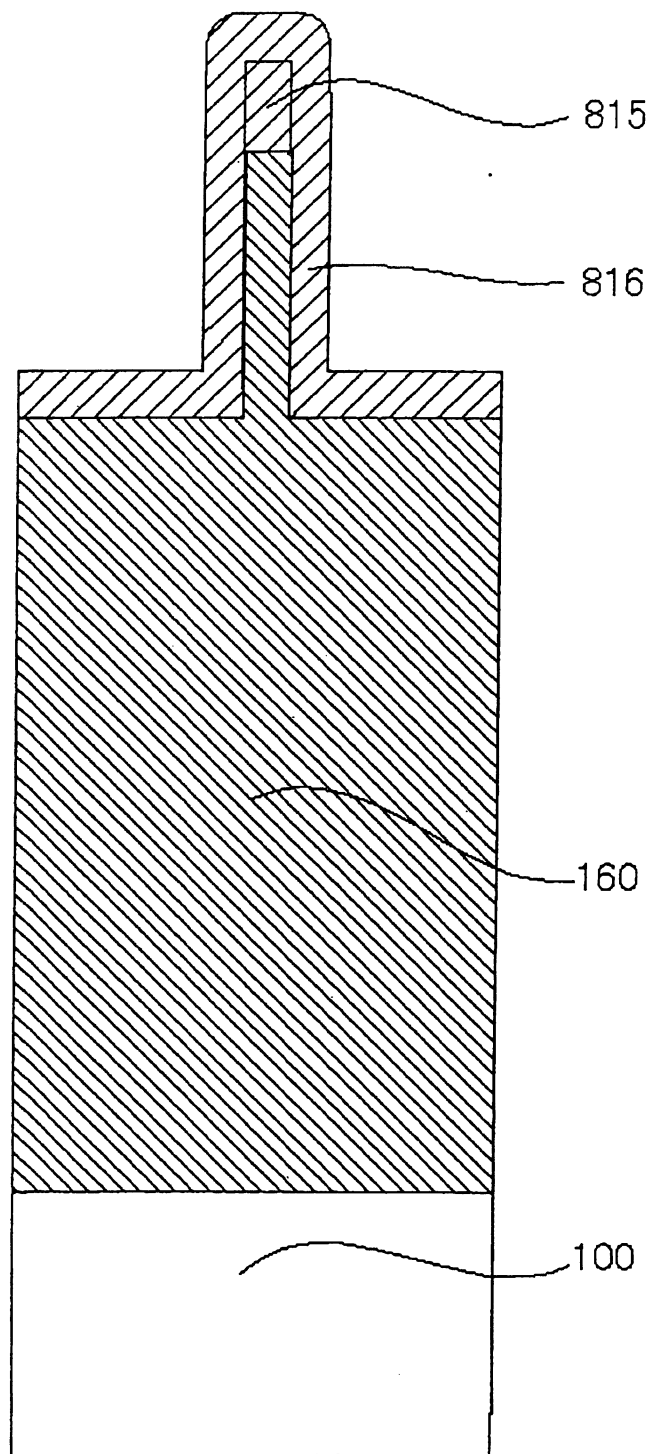


圖 11

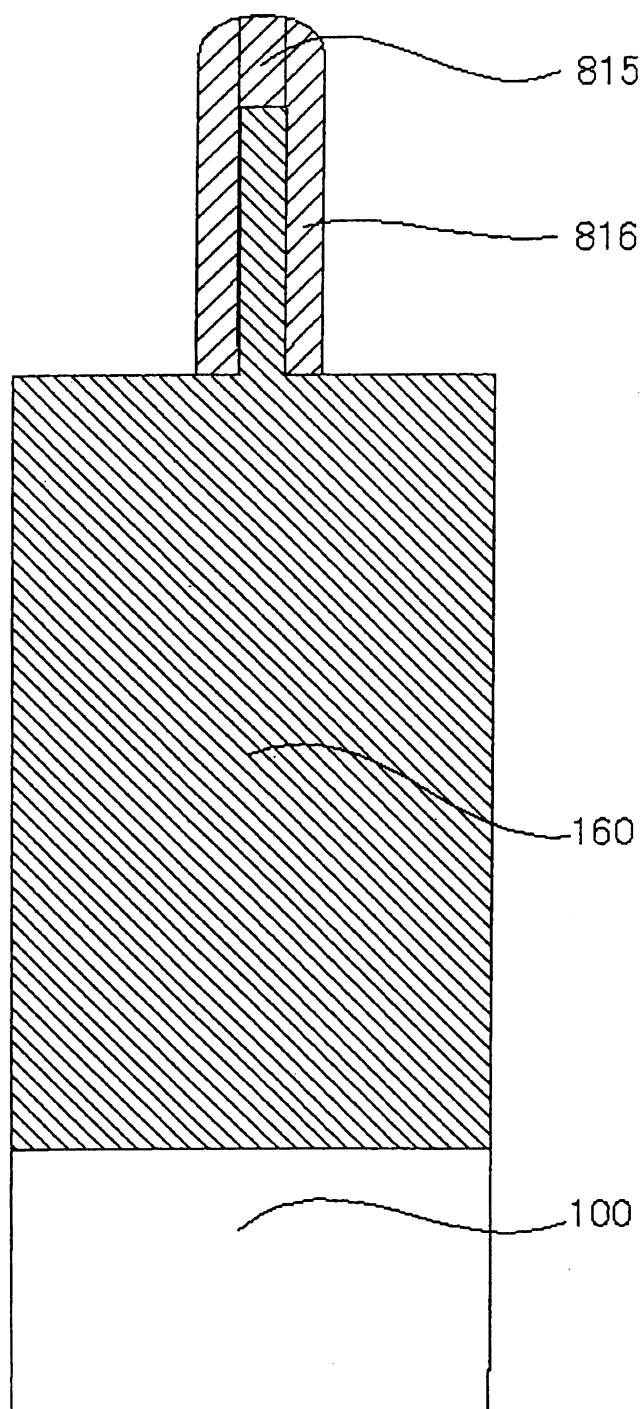


圖 12

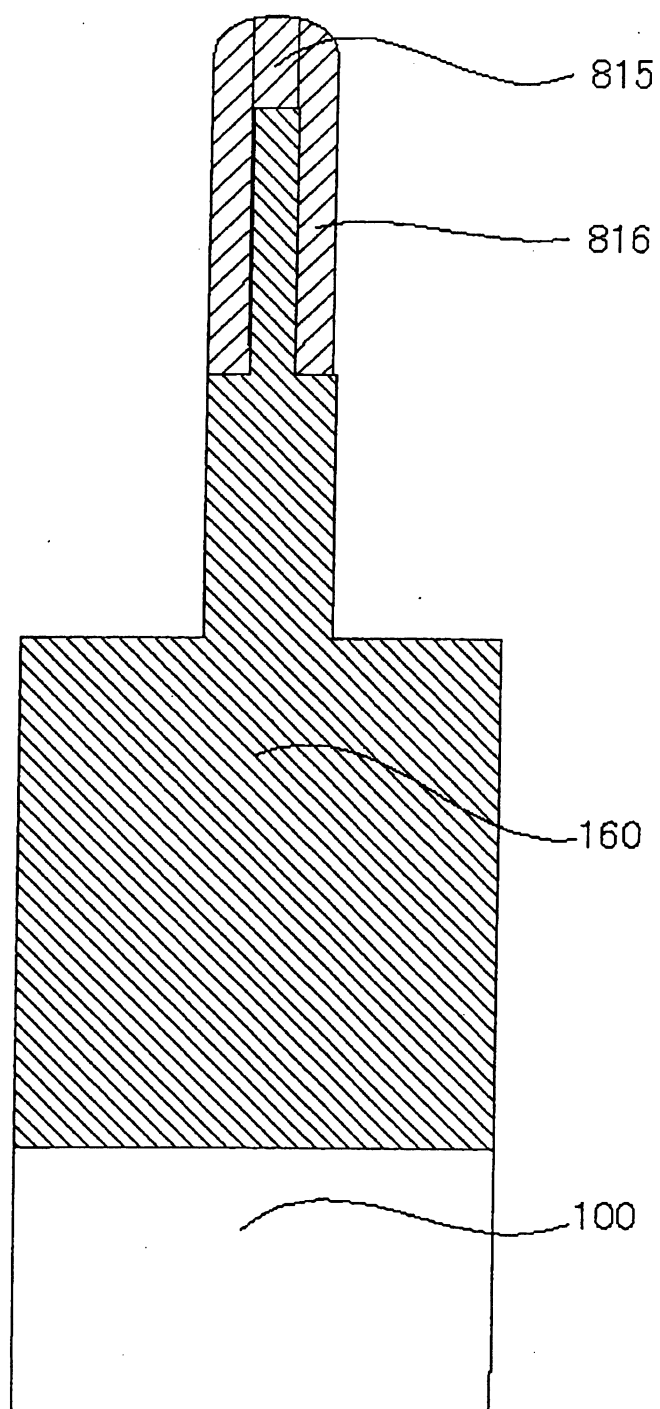


圖 13

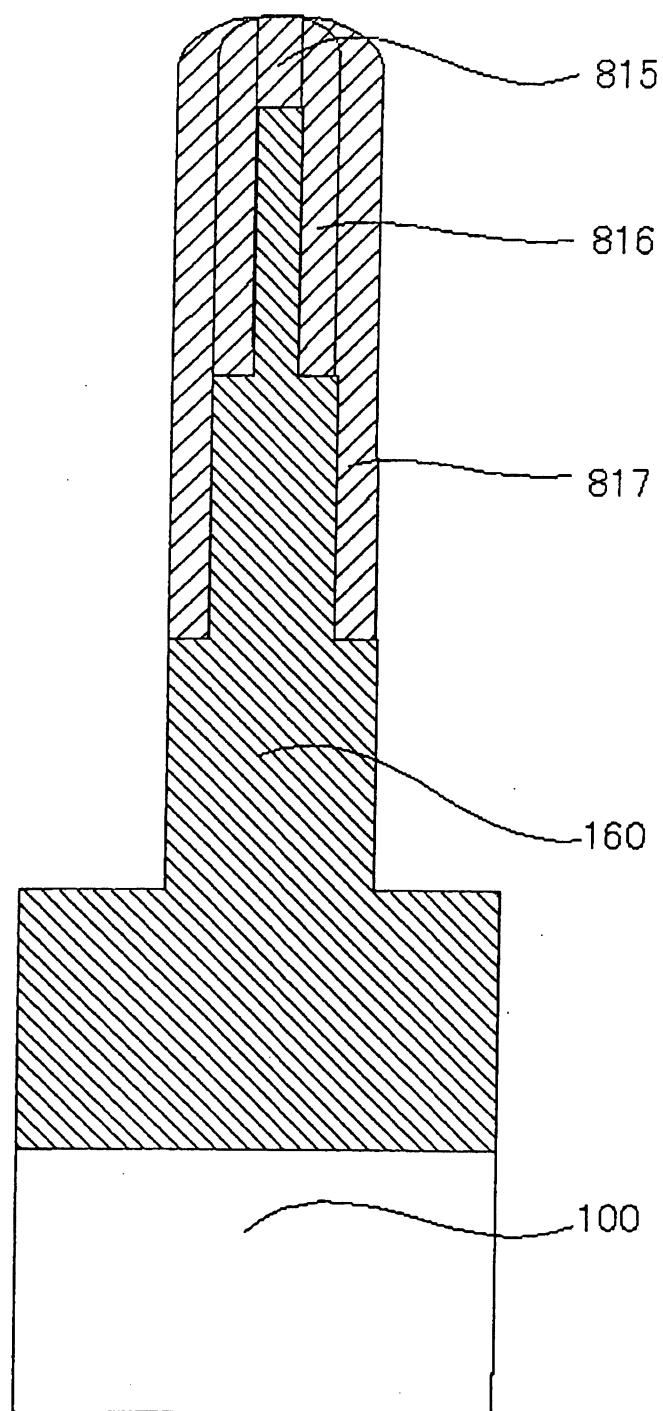


圖 14

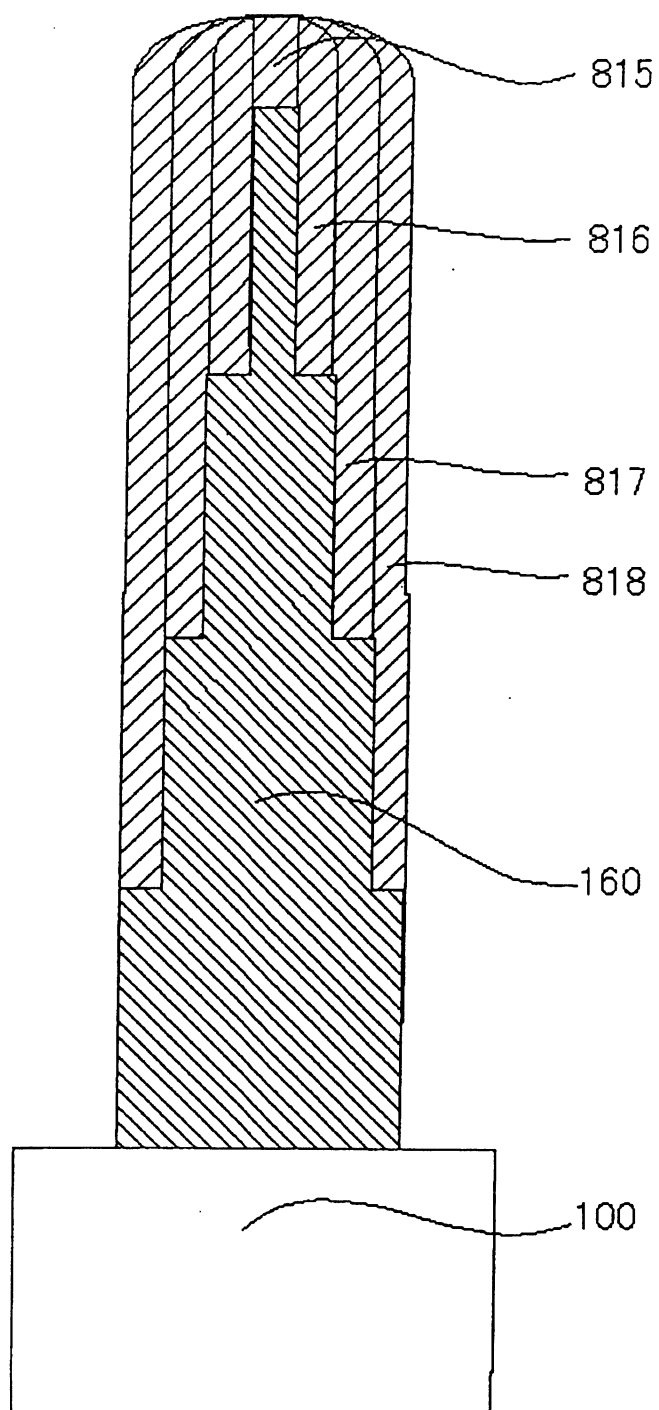


圖 15

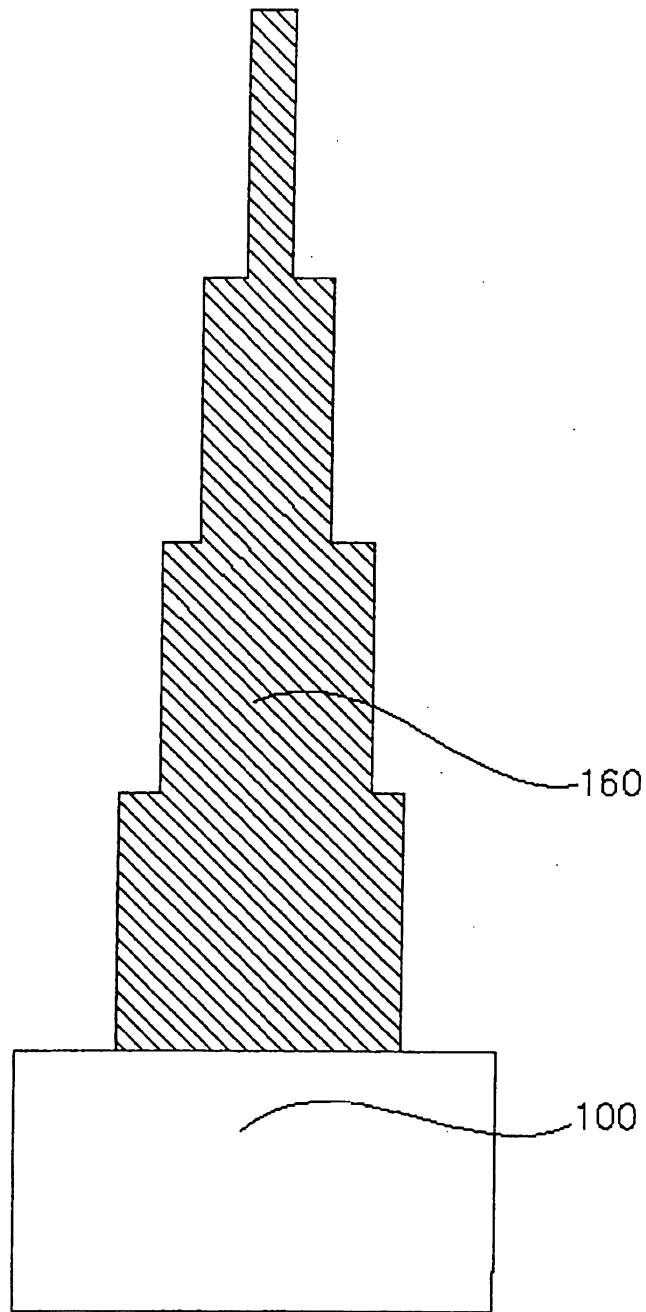


圖 16

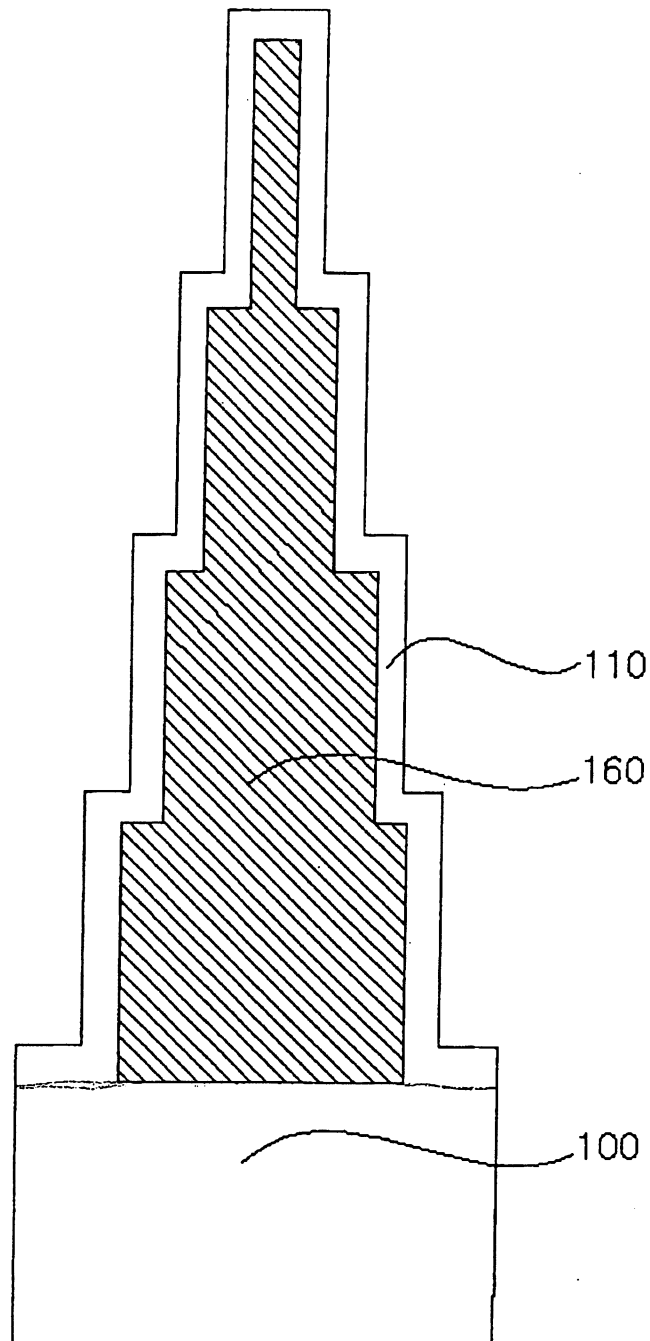


圖 17

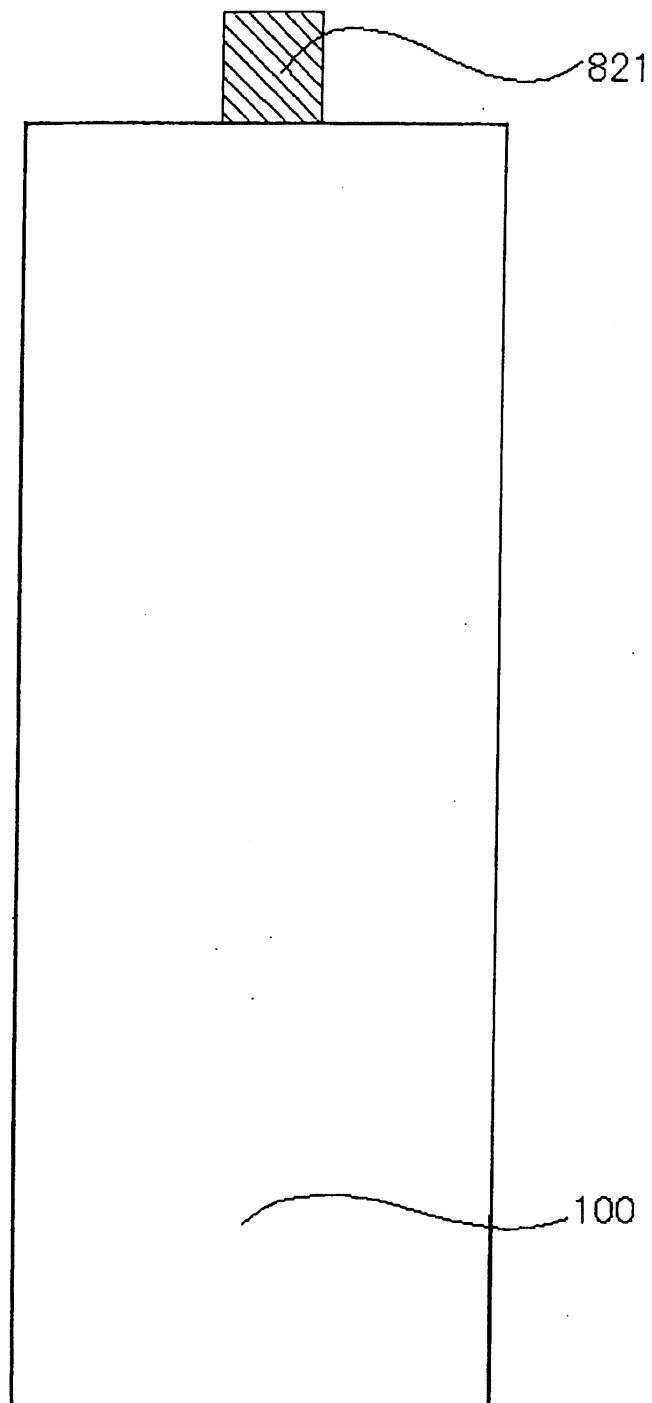


圖 18

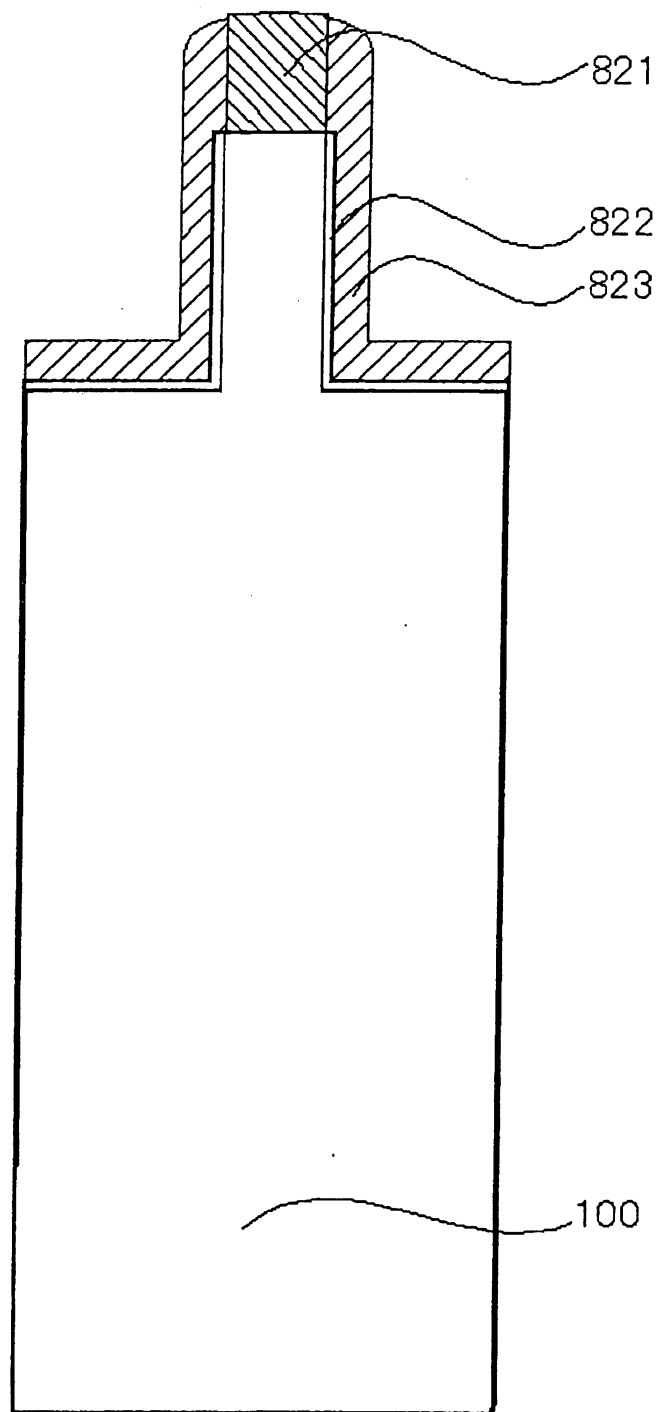


圖 19

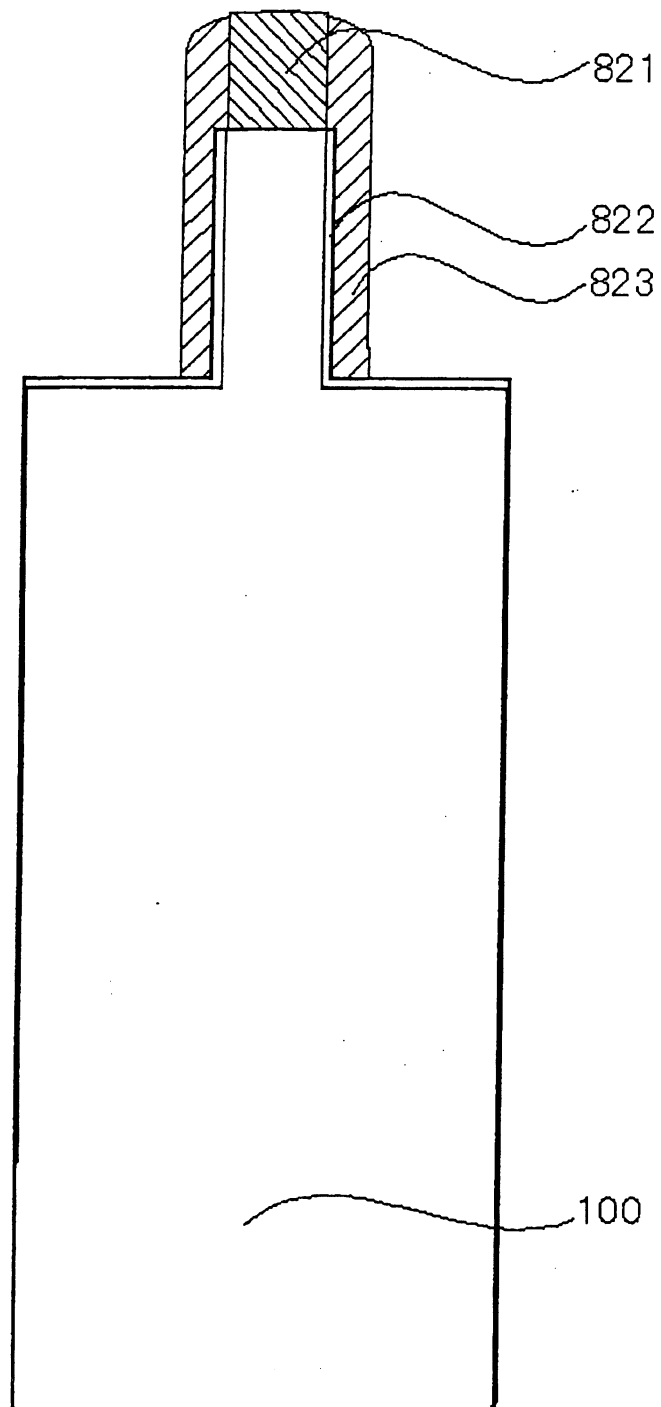


圖 20

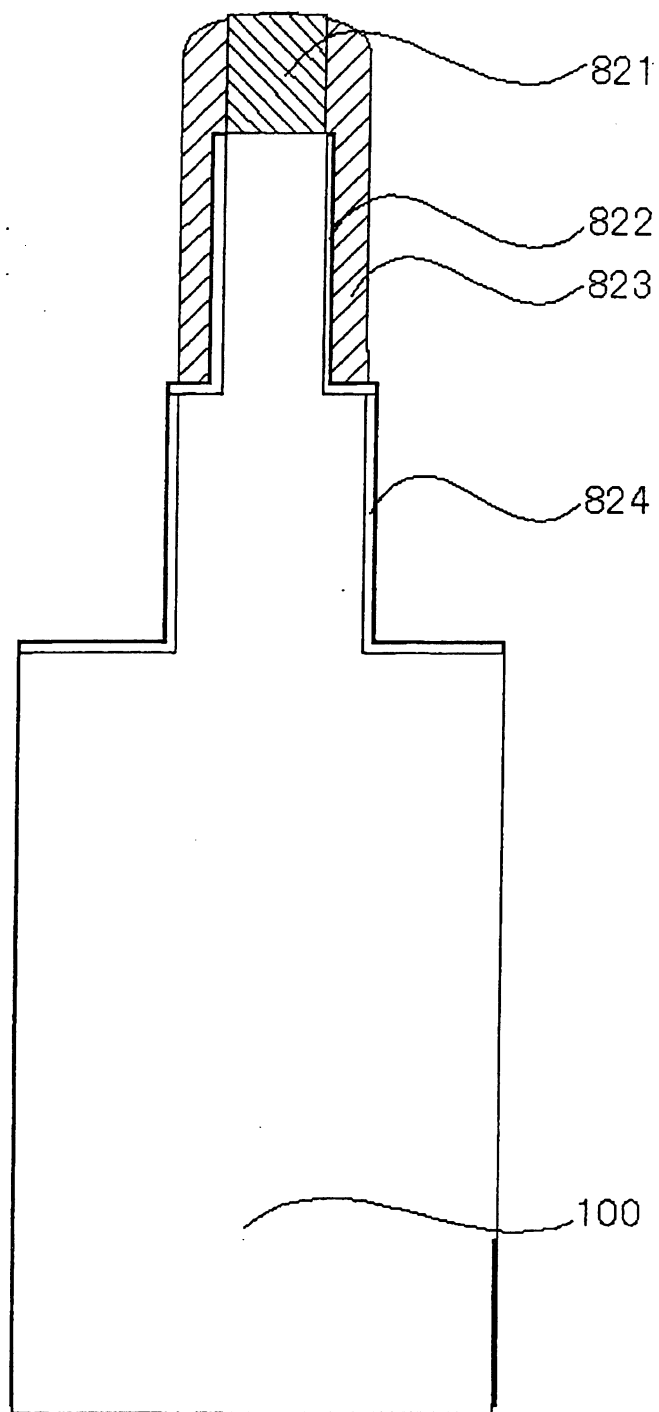


圖 21

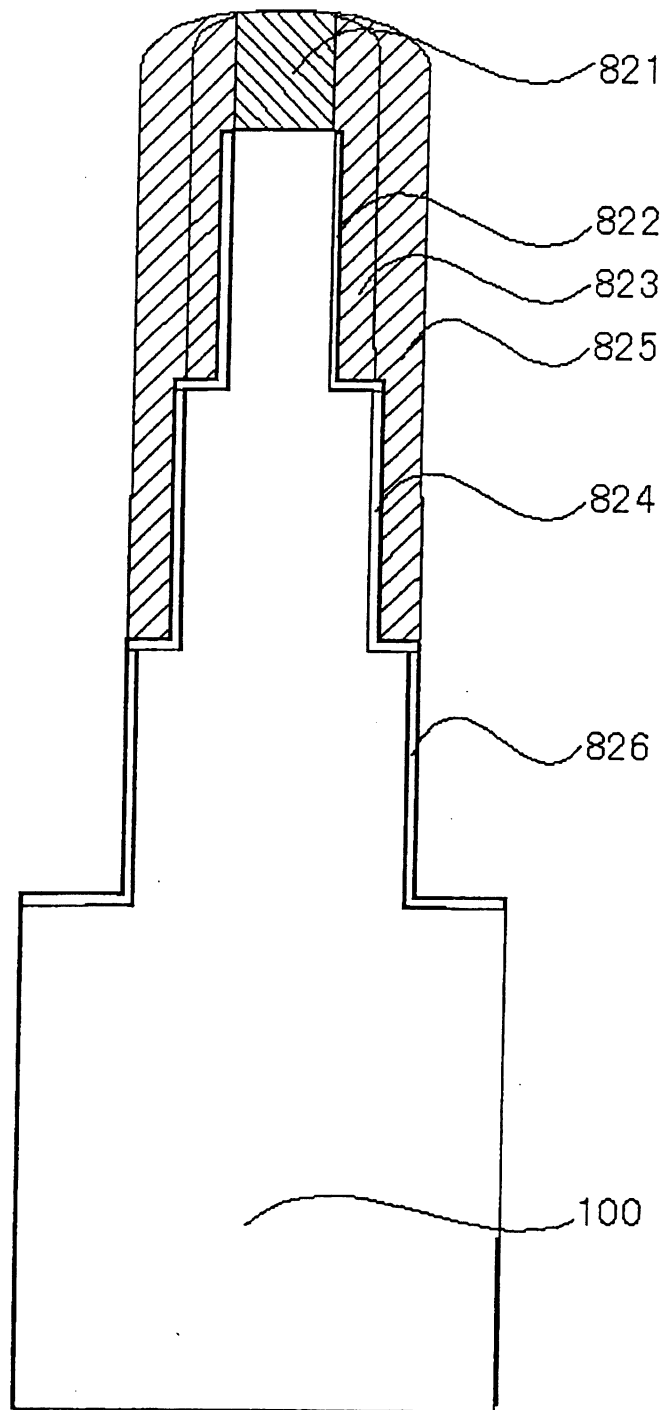


圖 22

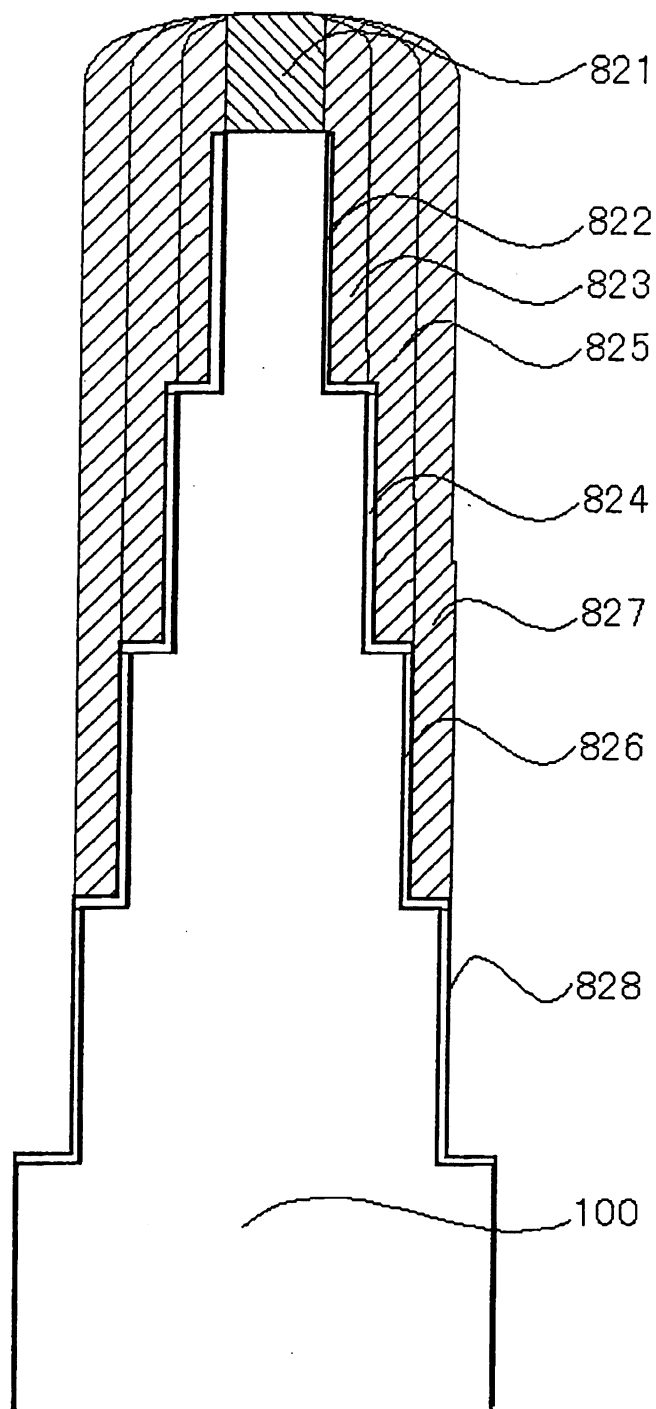


圖 23

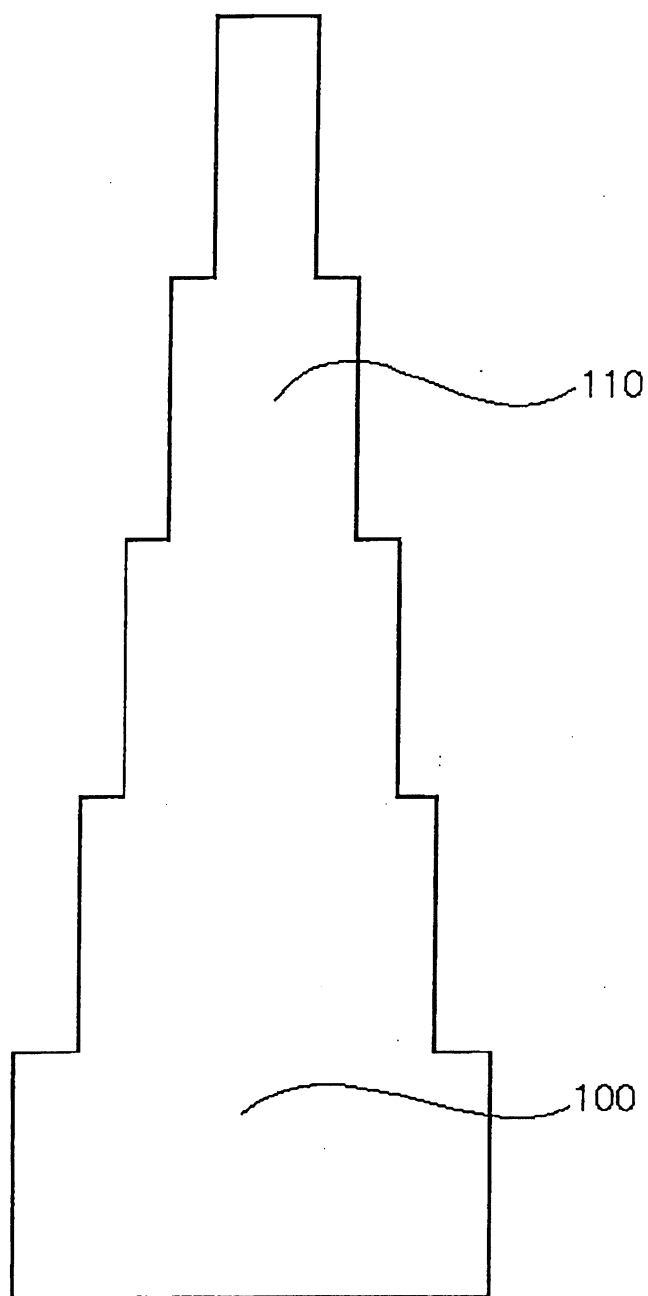


圖 24

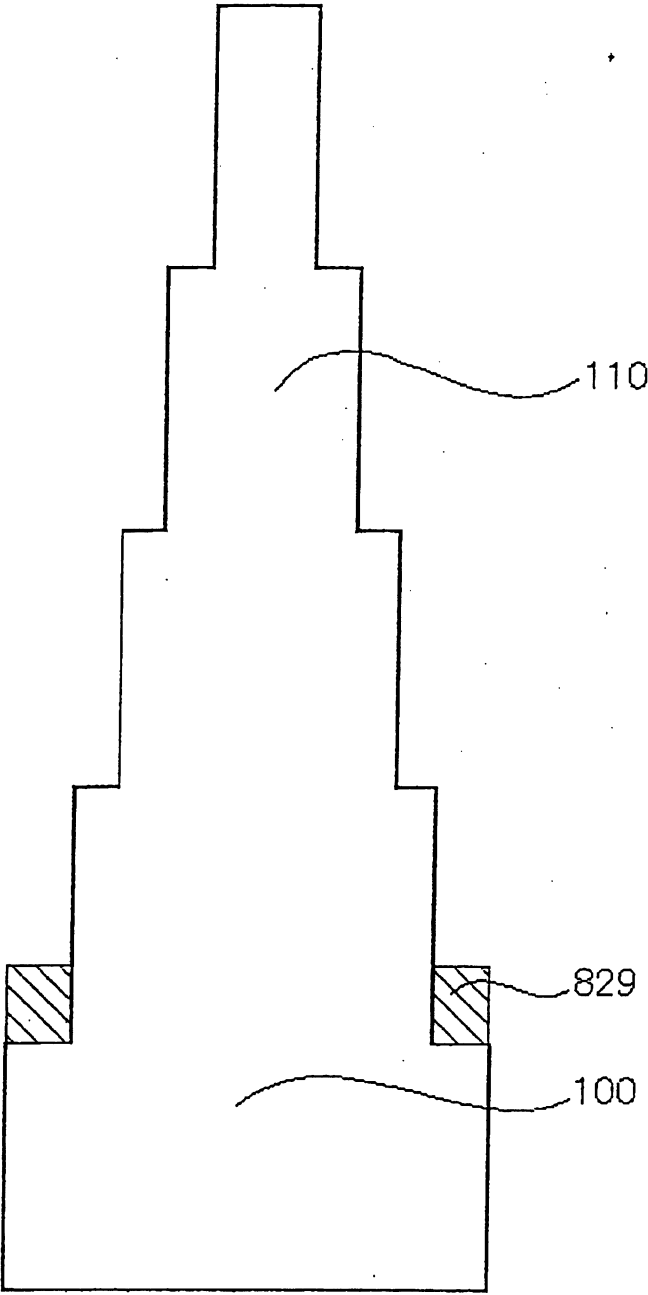


圖 25

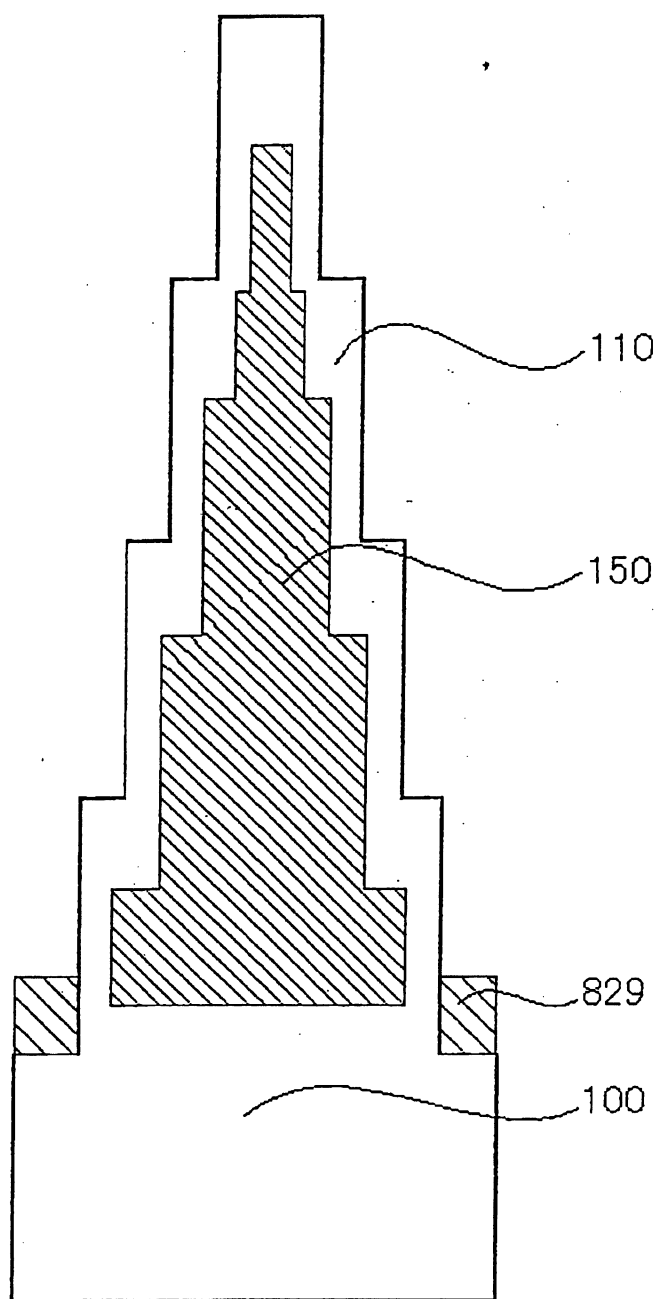


圖 26

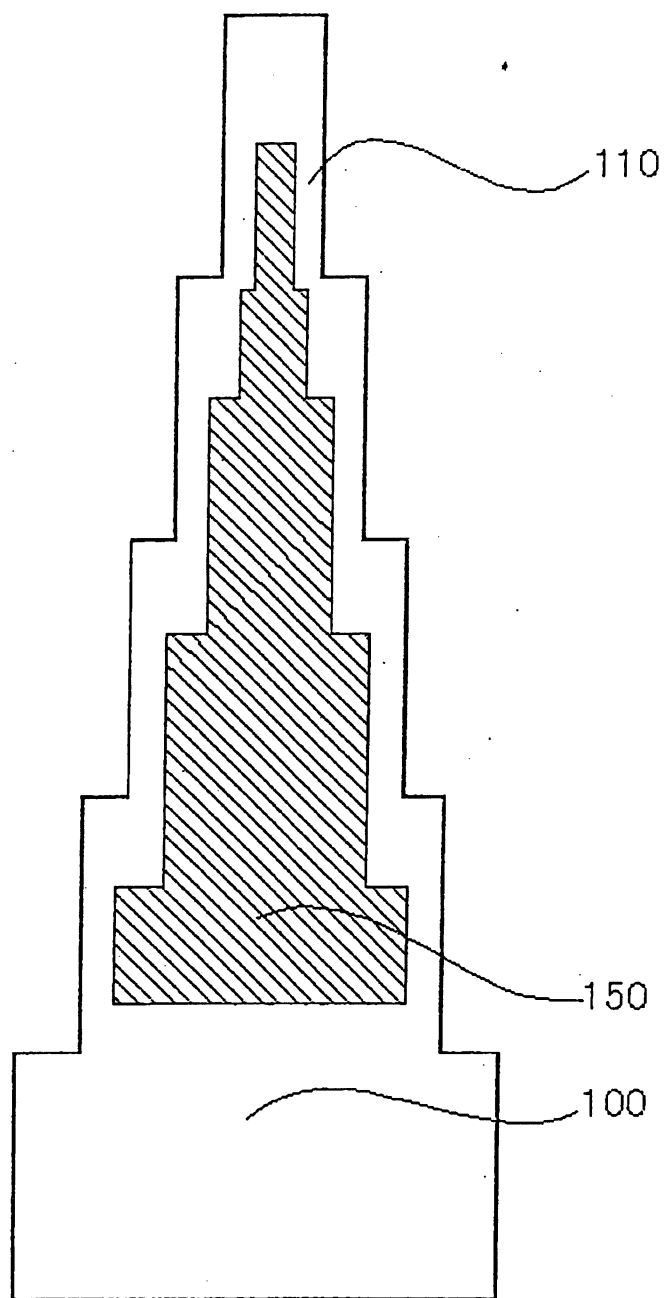


圖 27

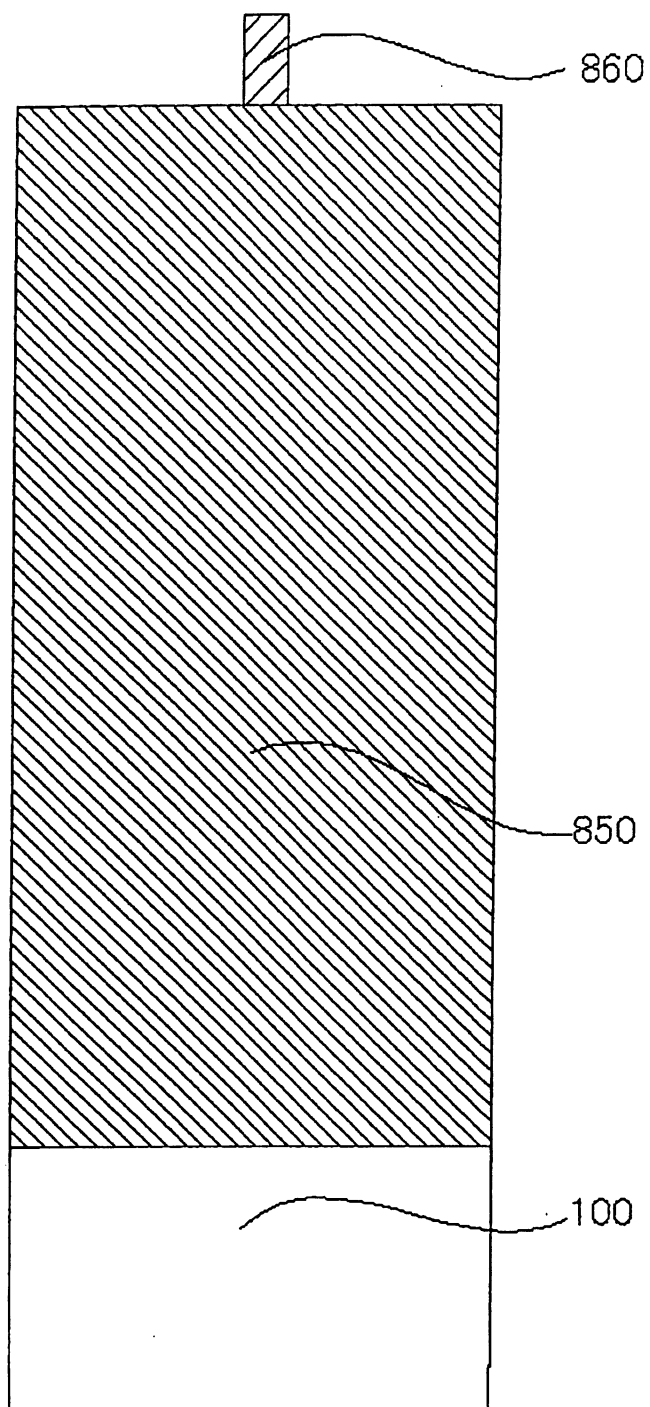


圖 28

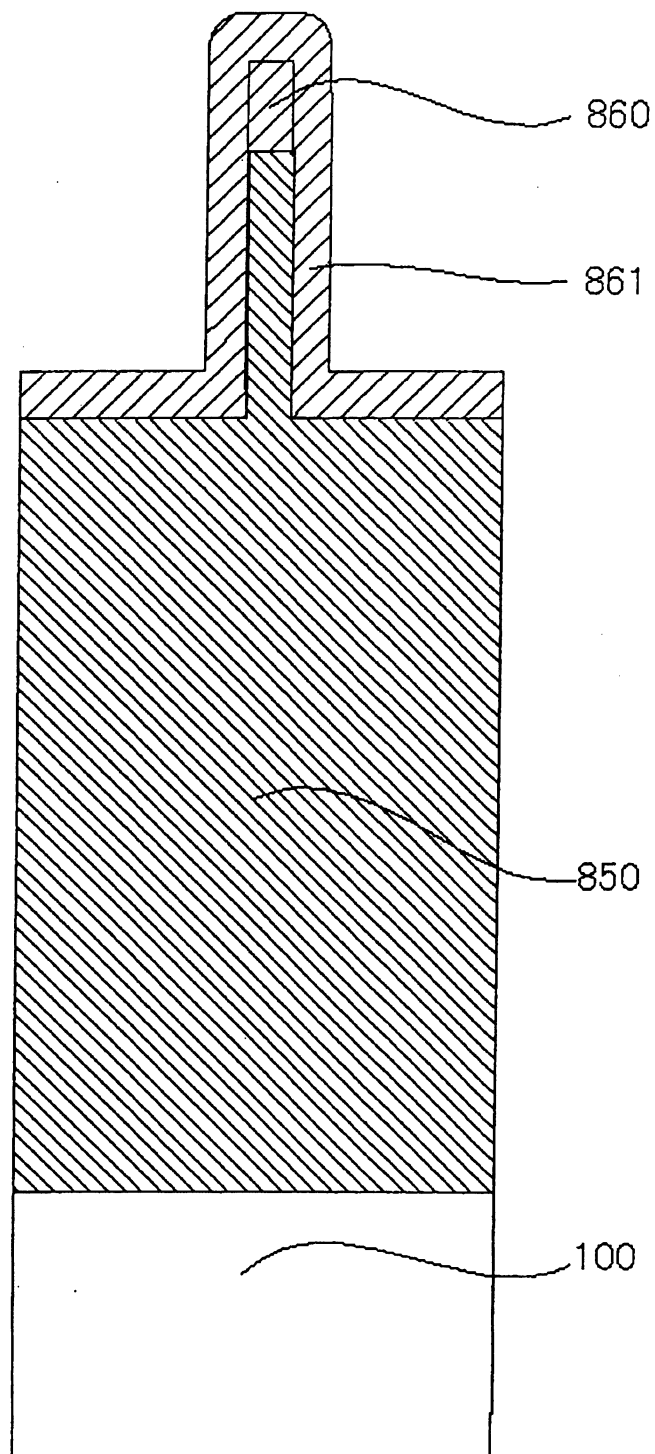


圖 29

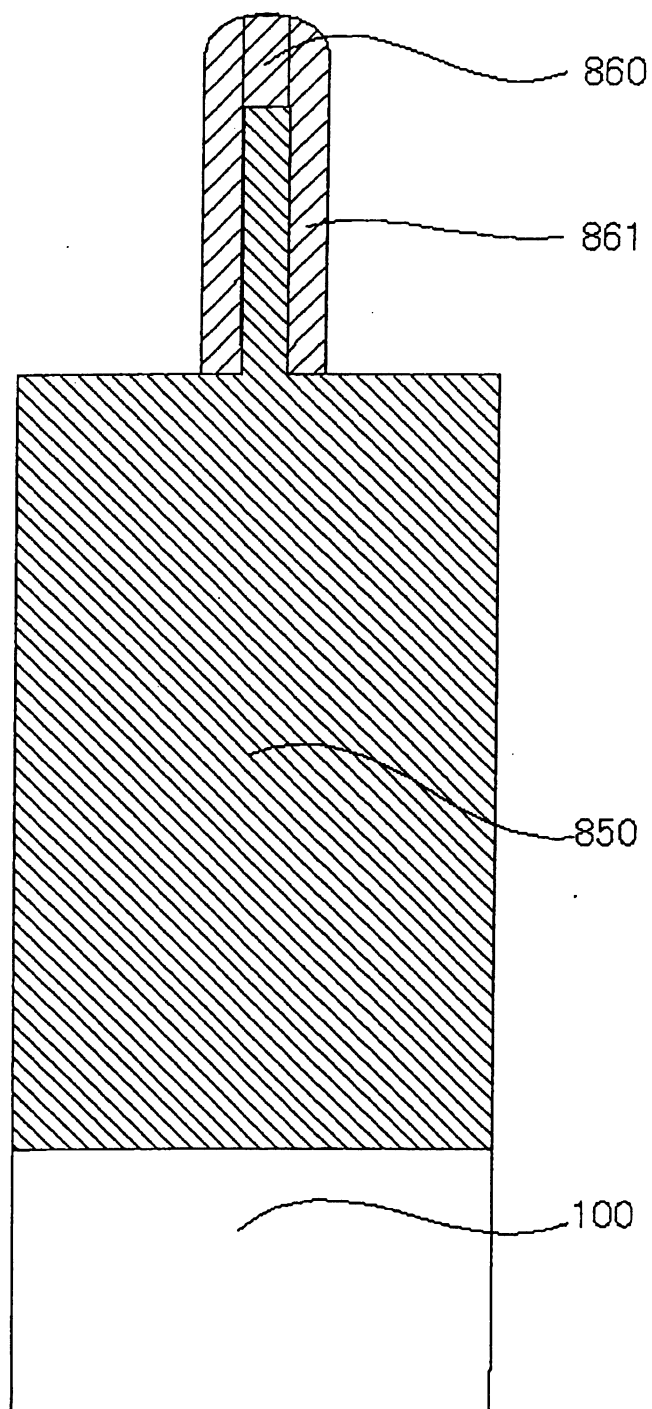


圖 30

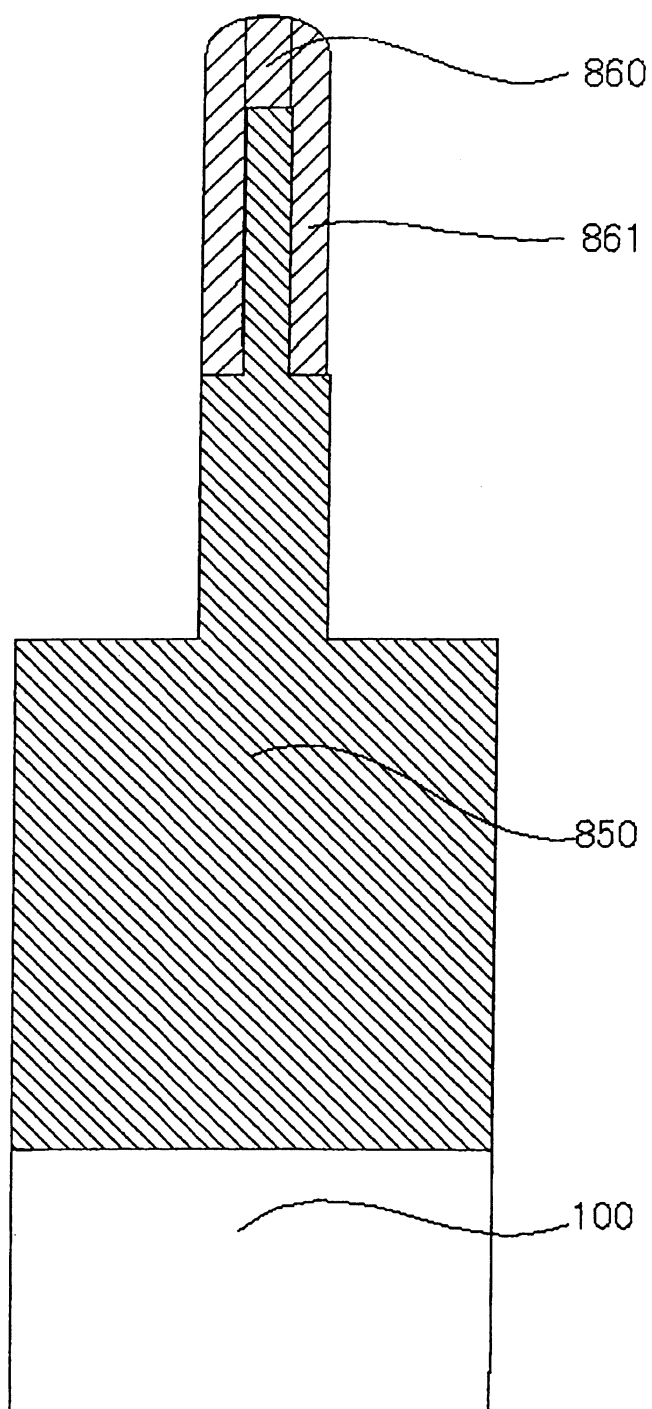


圖 31

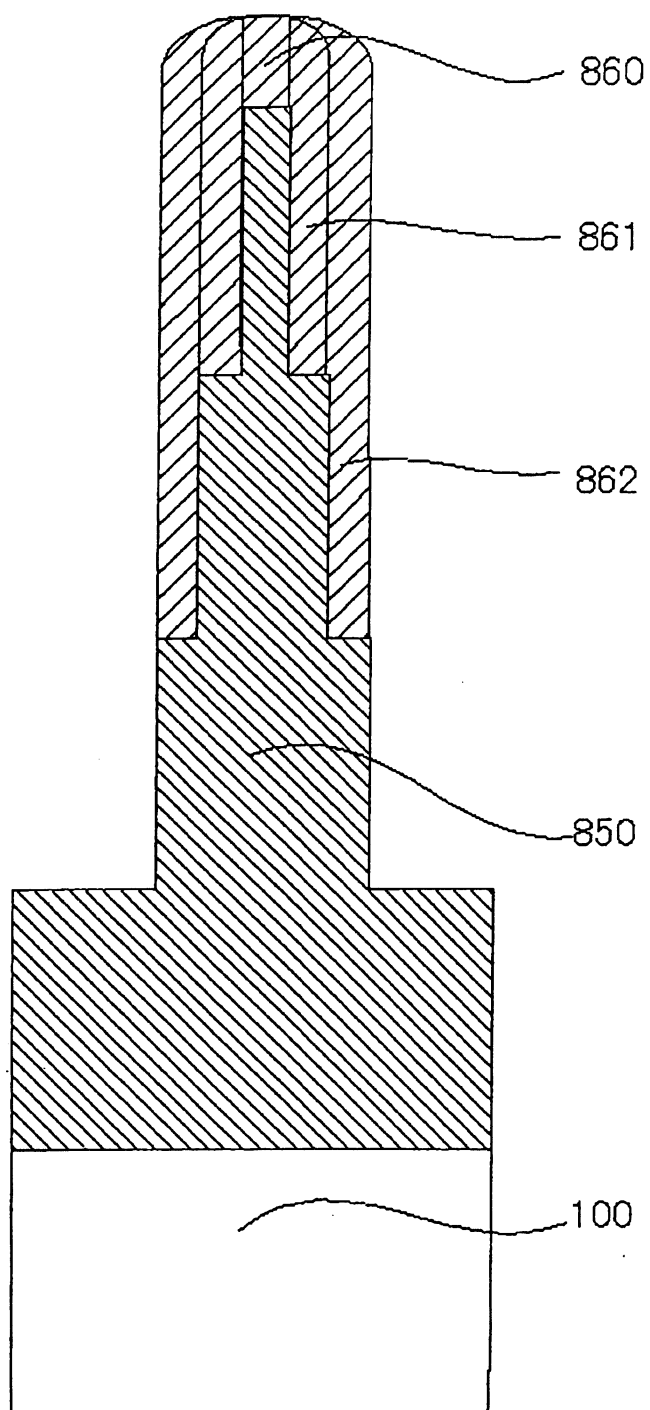


圖 32

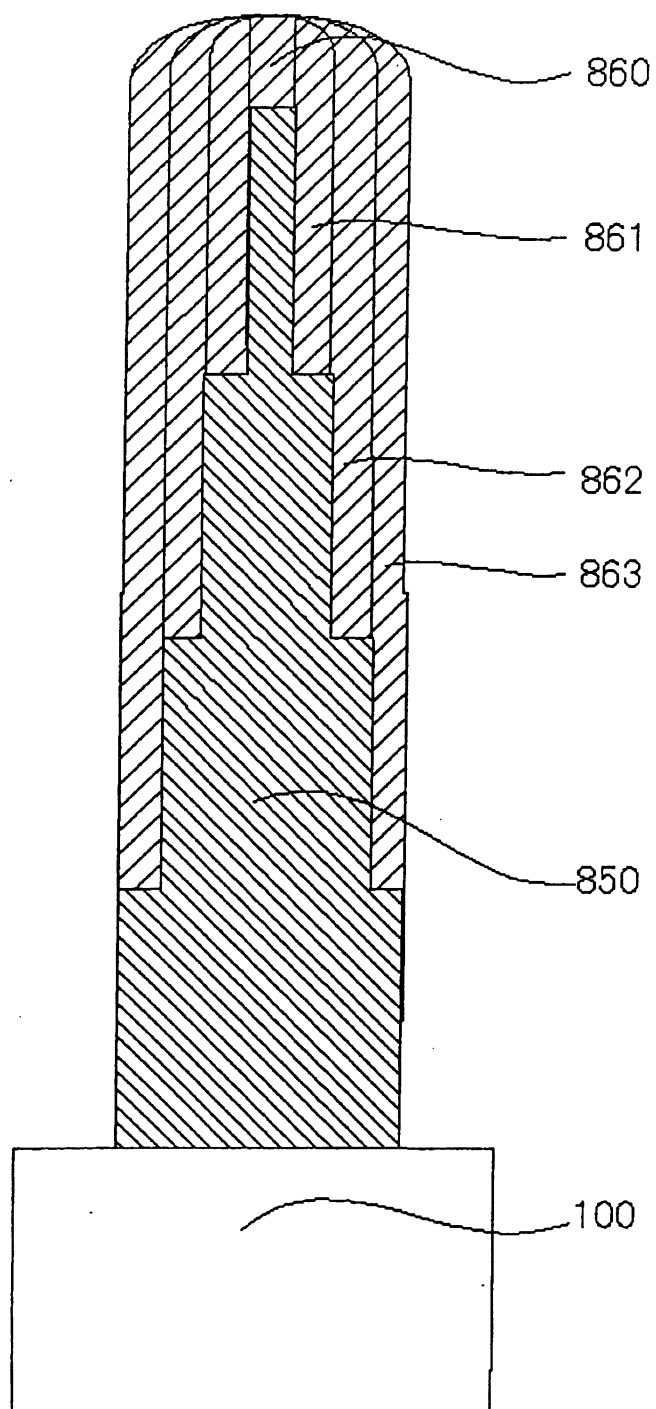


圖 33

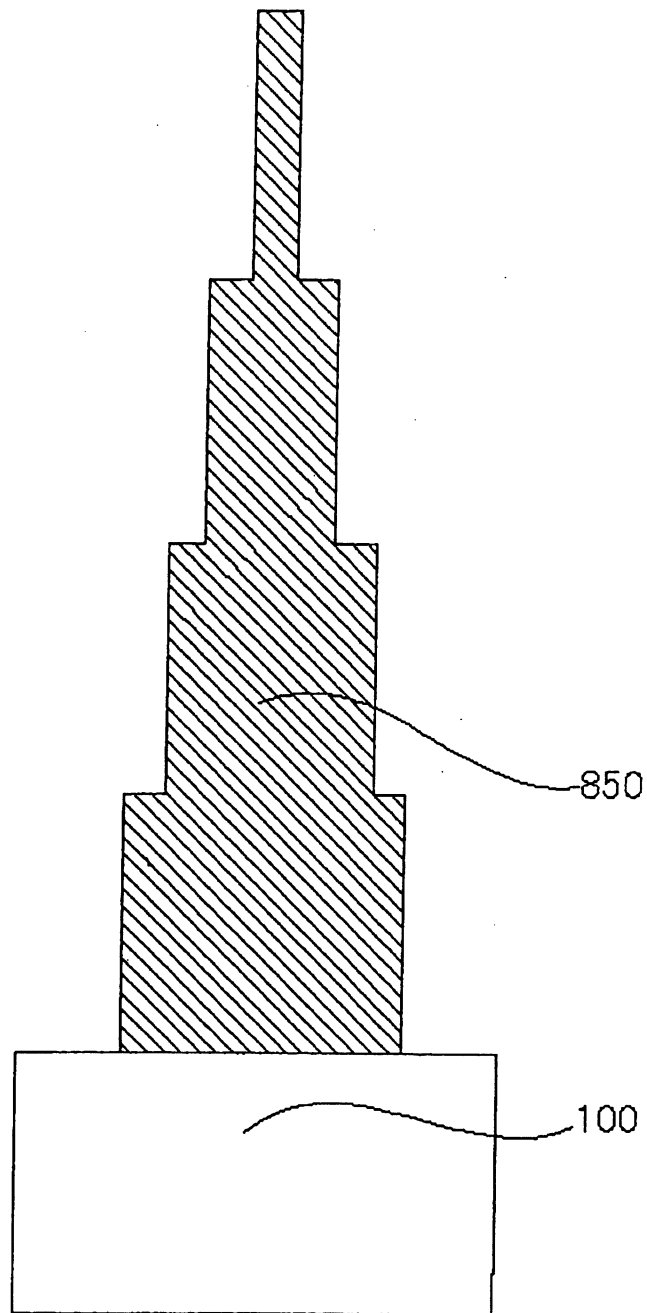


圖 34

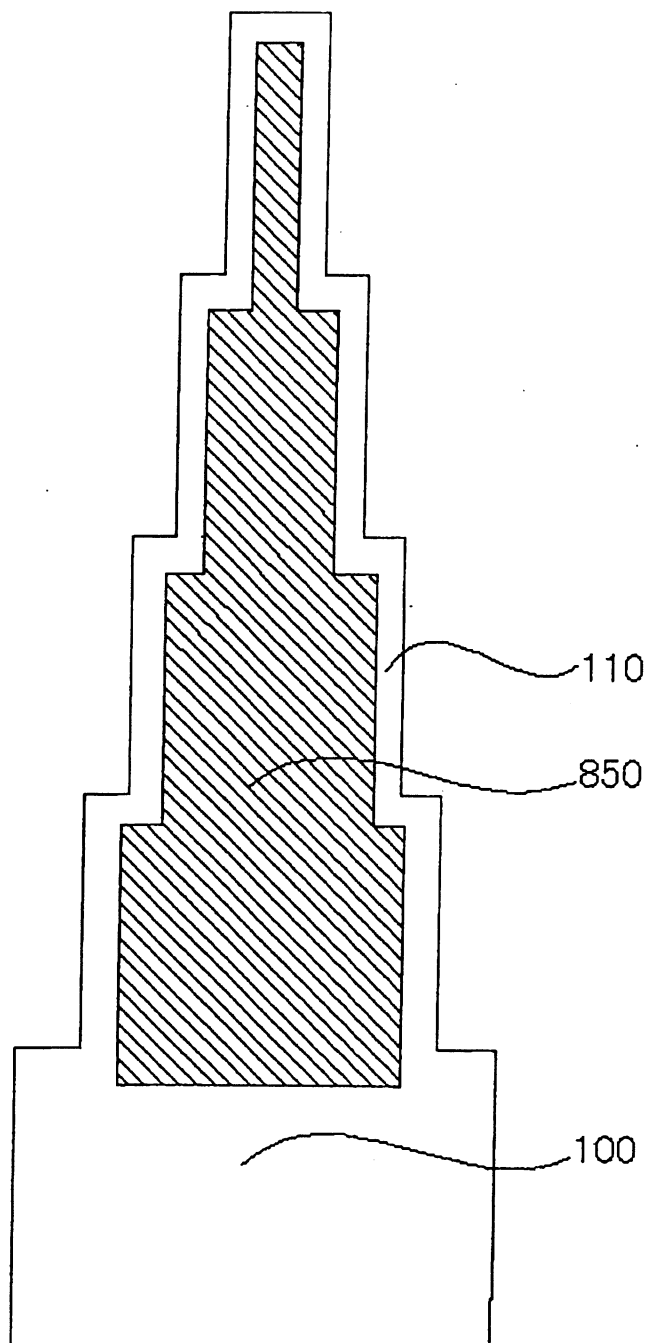


圖 35

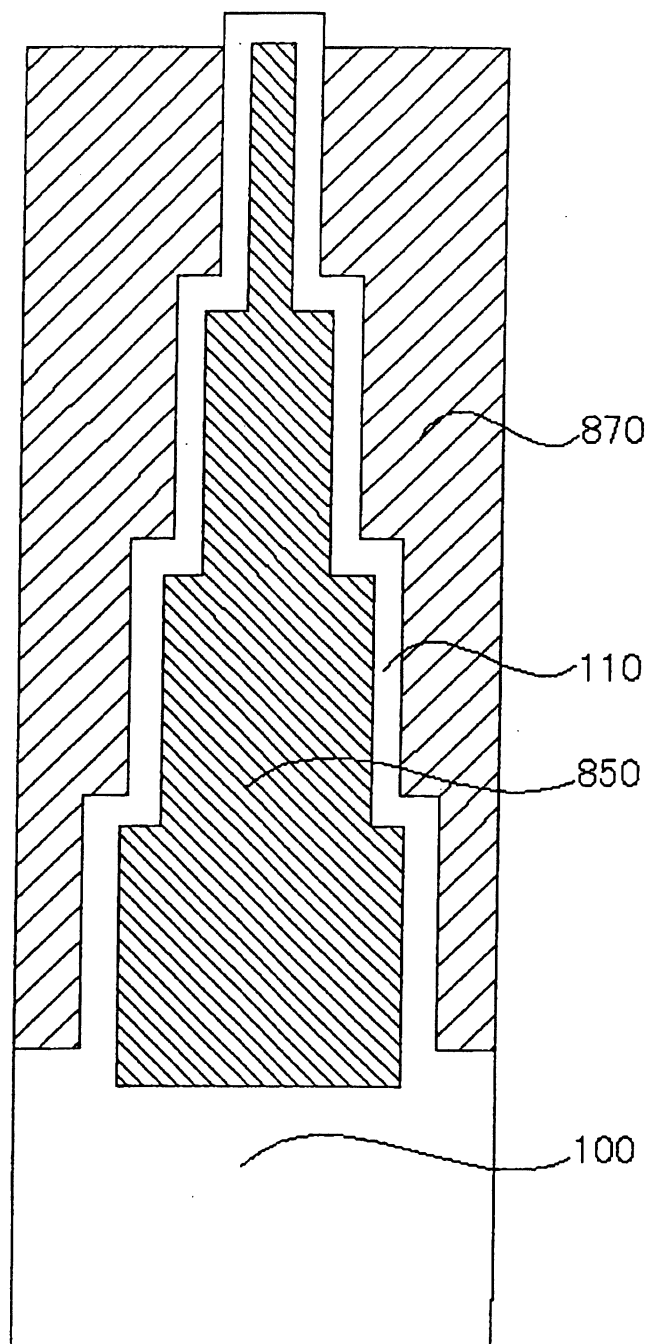


圖 36

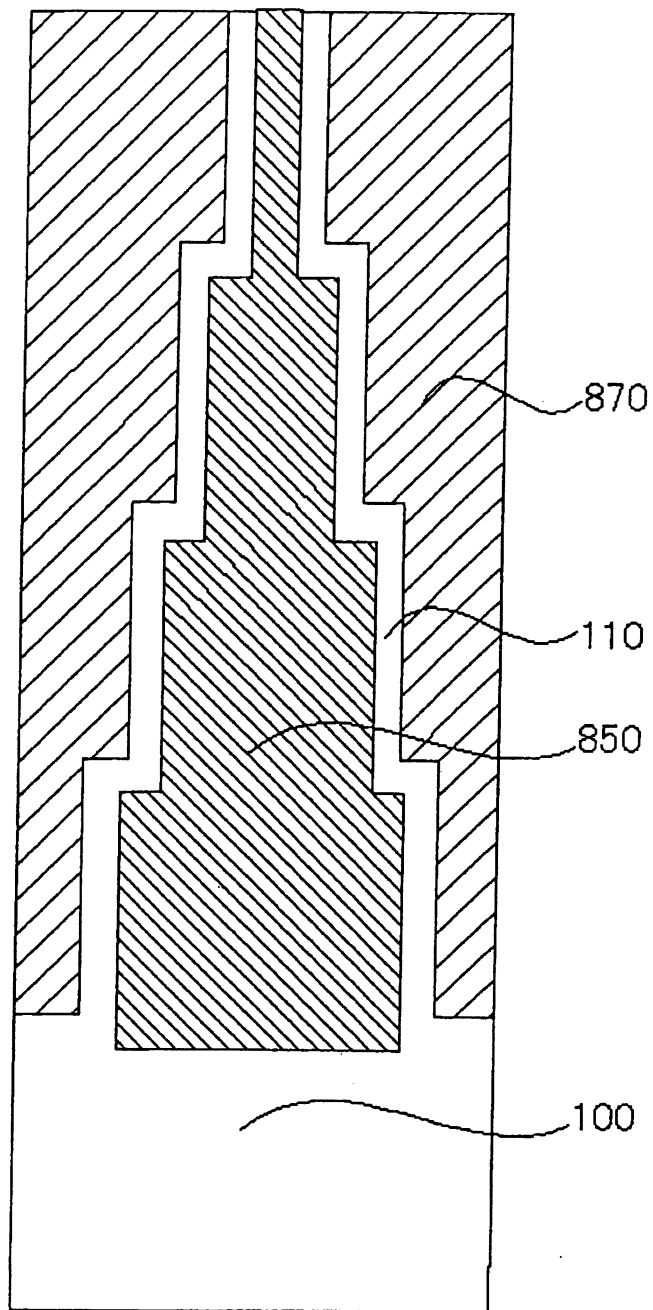


圖 37

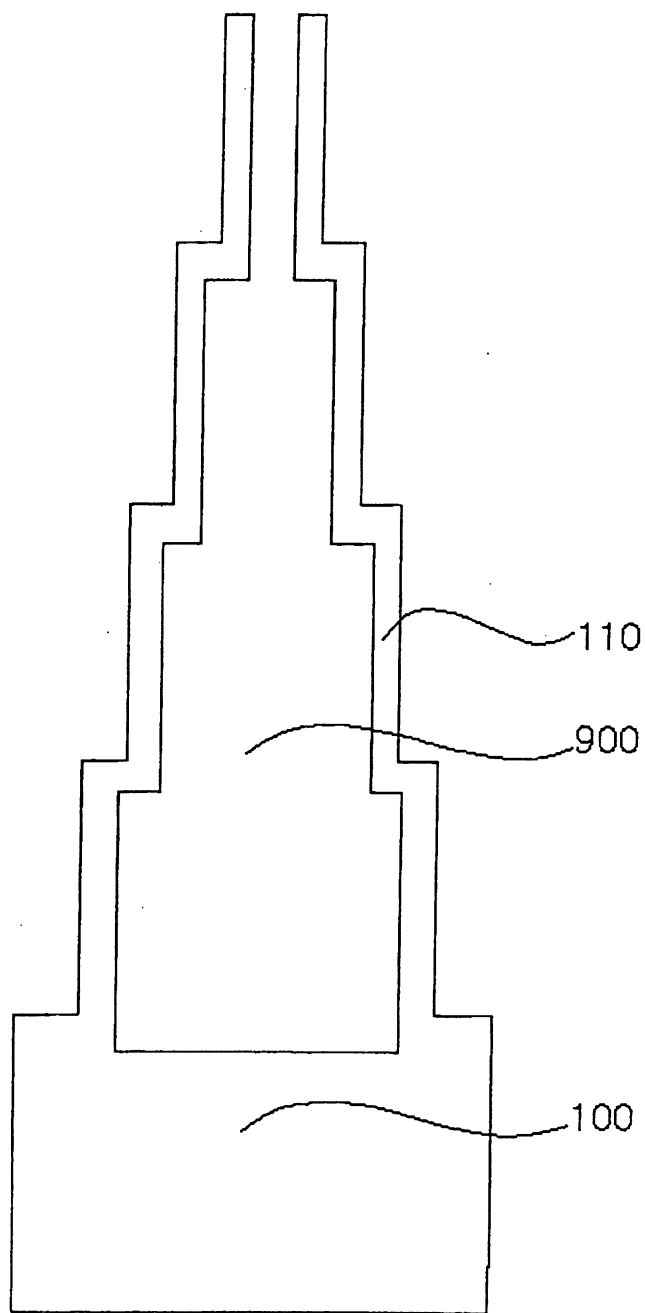


圖 38

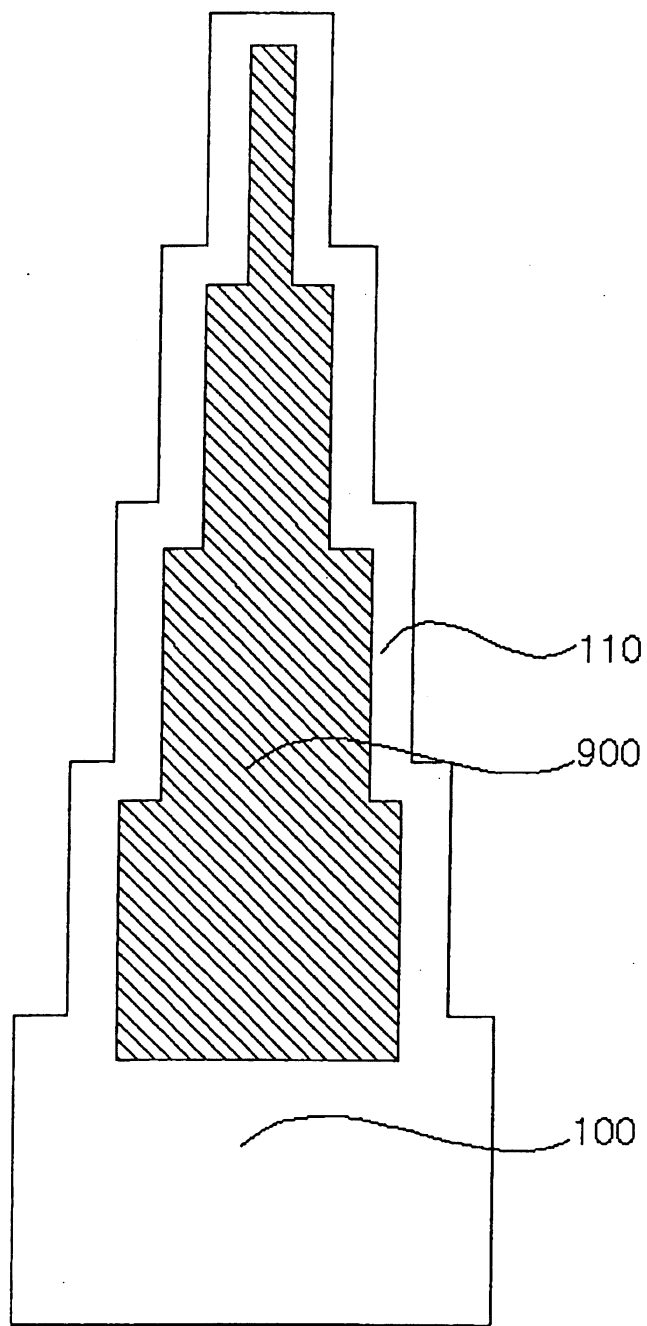


圖 39

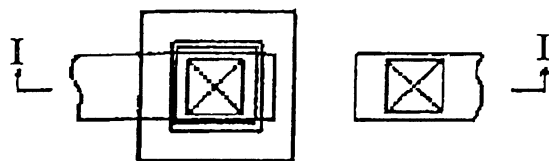


圖 40A
先前技術

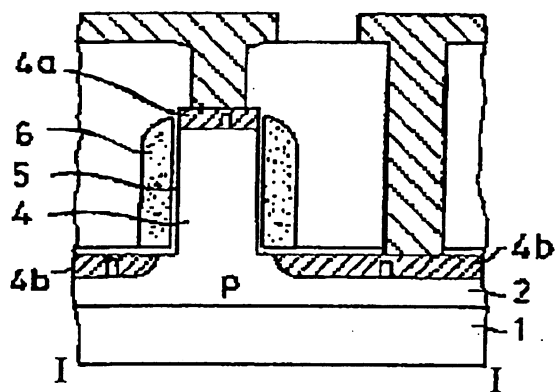


圖 40B
先前技術

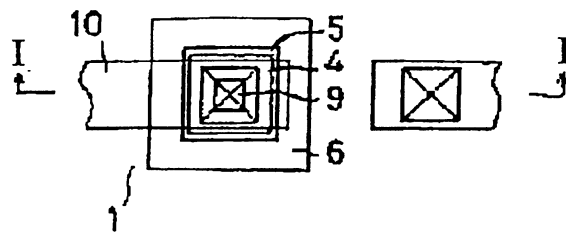


圖 41A
先前技術

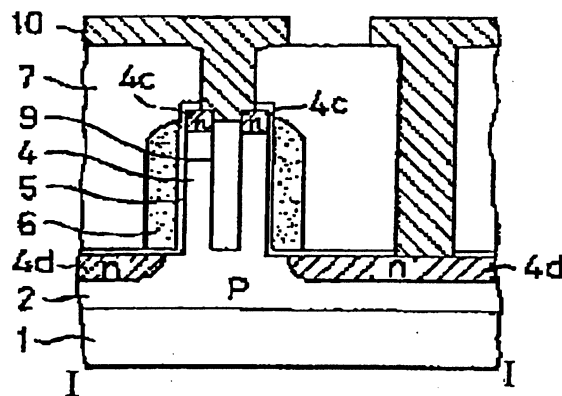


圖 41B
先前技術

七、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明：

10	電 極
100	矽 基 板
110	柱 形 半 導 體 層
150	半 導 體 層
200	閘 極 氧 化 膜
300	閘 極 電 極
500	源 極 擴 散 層
600	汲 極 擴 散 層
910	層 間 絕 緣 膜

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

1. 一種包括一記憶體單元之半導體裝置，該單元包括：
 - 一第一導電類型之一柱形半導體層，其形成於一半導體基板上；
 - 一第二導電類型之源極擴散層與汲極擴散層，其形成於該柱形半導體層之上部分及下部分中；
 - 該第二導電類型之一半導體層或一空腔，其形成於該柱形半導體層內；以及
 - 一閘極電極，其經由一閘極絕緣膜形成於該柱形半導體層之一側面上，或一控制閘極電極，其經由一電荷累積層形成於該柱形半導體層之該側面上。
2. 如請求項1之半導體裝置，其中將該等二或多個記憶體單元堆疊在該半導體基板上，形成該等個別記憶體單元之該等柱形半導體層具有一臺階狀結構，其中堆疊該等柱形半導體層，以便相對於該半導體基板的表面之水平方向上的該等斷面區域逐步變小。
3. 如請求項2之半導體裝置，其中將該電荷累積層或該控制閘極電極放置於具有一臺階狀結構的該等柱形半導體層之堆疊體的一臺階部分上，以及置於該臺階部分正上方的該柱形半導體層之一側面上。
4. 如請求項1之半導體裝置，其進一步包括與形成於該柱形半導體層內的該第二導電類型之該半導體層連接的一電極，並且該電極控制該第二導電類型之該半導體層的電位。

5. 如請求項1之半導體裝置，其中該電荷累積層為由多晶矽製成的一浮動閘極電極。
6. 如請求項1之半導體裝置，其中該電荷累積層為一氧化矽膜/氮化矽膜/氧化矽膜。
7. 如請求項1之半導體裝置，其中該電荷累積層為由微觀多晶矽顆粒製成的一層。
8. 如請求項1之半導體裝置，其中該第二導電類型之該半導體層或該空腔具有在一通道反轉時完全耗盡該柱形半導體層的形式及尺寸。
9. 一種包括二或多個堆疊記憶體單元的半導體裝置，各單元包括：

- 一柱形半導體層，其形成於一半導體基板上；
- 一第二導電類型之源極擴散層與汲極擴散層，其形成於該柱形半導體層之上部分及下部分中；
- 一絕緣體，其形成於該柱形半導體層內；以及
- 一控制閘極電極，其經由一電荷累積層形成於該柱形半導體層之一側面上，

其中形成該等個別記憶體單元之該等柱形半導體層具有一臺階狀結構，其中堆疊該等柱形半導體層，以便相對於該半導體基板的該表面之該水平方向上的該等斷面區域逐步變小，以及

將該電荷累積層或該控制閘極電極放置於具有一臺階狀結構的該等柱形半導體層之該堆疊體的一臺階部分上，以及置於該臺階部分正上方的該柱形半導體層之一側

面上。

10. 如請求項9之半導體裝置，其中該電荷累積層為由多晶矽製成的一浮動閘極電極。
11. 如請求項9之半導體裝置，其中該電荷累積層為一氧化矽膜/氮化矽膜/氧化矽膜。
12. 如請求項9之半導體裝置，其中該電荷累積層為由微觀多晶矽顆粒製成的一層。
13. 如請求項9之半導體裝置，其中該絕緣體具有在一通道反轉時完全耗盡該柱形半導體層的形式及尺寸。