

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成18年9月14日(2006.9.14)

【公開番号】特開2001-250398(P2001-250398A)

【公開日】平成13年9月14日(2001.9.14)

【出願番号】特願2000-61024(P2000-61024)

【国際特許分類】

<b>G 11 C</b>	<b>29/06</b>	<b>(2006.01)</b>
<b>H 01 L</b>	<b>21/66</b>	<b>(2006.01)</b>
<b>H 01 L</b>	<b>27/10</b>	<b>(2006.01)</b>
<b>H 01 L</b>	<b>21/822</b>	<b>(2006.01)</b>
<b>H 01 L</b>	<b>27/04</b>	<b>(2006.01)</b>

【F I】

<b>G 11 C</b>	<b>29/00</b>	<b>6 7 1 F</b>
<b>H 01 L</b>	<b>21/66</b>	<b>H</b>
<b>H 01 L</b>	<b>27/10</b>	<b>4 8 1</b>
<b>H 01 L</b>	<b>27/04</b>	<b>T</b>

【手続補正書】

【提出日】平成18年8月1日(2006.8.1)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】複数のメモリセルからなるメモリコアと、ウェハレベルバーンインで使用される各種制御信号、アドレス信号、テストデータの入出力を制御し、前記ウェハレベルバーンインの実行を制御するアクセス制御回路とを有するウェハレベルバーンイン回路を備えた半導体集積回路装置において、

前記半導体集積回路装置は、前記ウェハレベルバーンインの実行条件を設定するためのテストモードレジスタをさらに備え、

前記テストモードレジスタ内にテストモードを設定すると、前記半導体集積回路装置は、外部との間で、前記アドレス信号、前記テストデータ、および所定の電圧を直接に入出力可能なダイレクトメモリアクセス可能な状態に設定され、前記ウェハレベルバーンインの実行に必要な所定の電圧が、前記半導体集積回路装置へフォースされ、

前記アクセス制御回路をウェハレベルバーンインモードに設定すると、前記アクセス制御回路は、前記テストモードレジスタ内に設定された前記ウェハレベルバーンインの実行条件に従って、前記アドレス信号やテストデータを前記メモリコアへ供給し、前記ウェハレベルバーンインを実行し、

前記アクセス制御回路が、前記ウェハレベルバーンインモードから解除されると、前記半導体集積回路装置は、前記ダイレクトメモリアクセス可能な状態下で、前記メモリコア内のテストデータを読み出し外部へ出力することを特徴とするウェハレベルバーンイン回路を備えた半導体集積回路装置。

【請求項2】ウェハレベルバーンインの実行後、アクセス制御回路がウェハレベルバーンインモードから解除されると、メモリコア内のテストデータを読み出し、予め設定された期待値と比較し、比較結果を出力する期待値比較回路をさらに備え、半導体集積回路装置は、前記期待値比較回路で得られた比較結果を、外部へ出力することを特徴とする請求項1記載のウェハレベルバーンイン回路を備えた半導体集積回路装置。

【請求項 3】 テストモードレジスタ内に設定されたウェハレベルバーンインの実行条件に従って、アクセス制御回路は、メモリコア内の全ワード線を同時に選択するアドレス信号をメモリコアへ出力し、また、偶数番目の全ワード線を同時に選択するアドレス信号を前記メモリコアへ出力し、また、奇数番目の全ワード線を同時に選択するアドレス信号を前記メモリコアへ出力し、ウェハレベルバーンインを実行することを特徴とする請求項1または請求項2記載のウェハレベルバーンイン回路を備えた半導体集積回路装置。

【請求項 4】 ウェハレベルバーンインの実行条件が設定されるテストモードレジスタをテストモードに設定し、

ウェハレベルバーンイン回路を備えた半導体集積回路装置を、外部との間で、各種制御信号、アドレス信号、テストデータ、および所定の電圧を直接に入出力可能なダイレクトメモリアクセス可能な状態にし、

前記ウェハレベルバーンインの実行に必要な所定の電圧を、前記半導体集積回路装置へフォースし、

前記ウェハレベルバーンイン回路内のアクセス制御回路がウェハレベルバーンインモードに設定されると、前記アクセス制御回路は、前記テストモードレジスタ内に設定された前記ウェハレベルバーンインの実行条件に従って、前記アドレス信号や前記テストデータをメモリコアへ供給し、前記ウェハレベルバーンインを実行し、

前記アクセス制御回路を前記ウェハレベルバーンインモードから解除し、

前記半導体集積回路装置を前記ダイレクトメモリアクセス可能な状態下で、前記メモリコア内の前記テストデータを読み出し、

読み出した前記テストデータを外部へ出力し、期待値と比較するウェハレベルバーンイン回路の機能判定方法。

【請求項 5】 ウェハレベルバーンインの実行後、アクセス制御回路をウェハレベルバーンインモードから解除し、メモリコア内のテストデータを読み出し、読み出した前記テストデータを期待値と比較し、比較した結果を、ウェハレベルバーンイン回路の機能判定結果として外部へ出力することを特徴とする請求項4記載のウェハレベルバーンイン回路の機能判定方法。