申請日期：88 6 29	案號：88110939
類別：公告本 H01L 21/186	

（以上各欄由本局填註）

發明專利說明書 432632

一、發明名稱	中文	形成SOI基板的方法
	英文	METHOD OF FORMING SOI SUBSTRATE
二、發明人	姓名（中文）	1.蘇相文
	姓名（英文）	1.Sang Mun, So
	國籍	1.南韓
	住、居所	1.韓國京畿道利川市高潭洞山11高潭寄宿舍104-905
三、申請人	姓名（名稱）（中文）	1.現代電子產業股份有限公司
	姓名（名稱）（英文）	1.Hyundai Electronics Industries Co., Ltd.
	國籍	1.南韓
	住、居所（事務所）	1.韓國京畿道利川市夫鉢邑牙美里山136-1
	代表人姓名（中文）	1.鄭東洙
	代表人姓名（英文）	1.Dong-Soo CHUNG

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
南韓 KR	1998/06/30	98-25282	無

有關微生物已寄存於　　寄存日期　　寄存號碼

無

五、發明說明（1）

〈發明之範圍〉

本發明係有關於一種形成半導體元件之方法，尤其是關於一種形成具有一隔離層的SOI（絕緣體上生長之矽片）基板的方法。

〈發明之背景〉

由於高度積體化與高性能半導體元件的快速發展，以大型矽片製成的半導體元件矽基板逐漸不被採用，代之而被推荐者為SOI基板的使用。SOI基板具有一基礎基板的堆積結構做為支持的手段，另有一埋入氧化層及一半導體層以便爾後在其中形成元件。形成於SOI基板上的半導體元件具有的優點例如藉埋入氧化層達成接界元件間之完全隔離，特別是人為電容量的減小與操作的快速。

傳統上使用的SOI基板形成方法例如有注氧分離法（SIMOX）與接合法等。

依照SIMOX的SOI基板形成法中，提供一基板，然後以離子注入法自矽基板的上部表面以一預定的深度注入氧離子。然後矽基板經退化處理而使注入的氧離子與矽基板中的矽反應藉此形成埋入氧化層以分割矽基板成為一基礎層與一半導體層。但SIMOX法的缺點在對以後要在其中形成元件的半導體層厚度的控制有其困難之處，而且過程上所須耗費的時間很長。

參照依照接合法形成SOI基板的方法，提供一支持用的基礎矽層並形成一埋入氧化層於基礎矽層上。其次，一爾後要形成元件在其中的半導體矽層接合於埋入氧化層，

五、發明說明 (2)

而半導體矽層以CMP過程加以後面磨平以獲得所需厚度的半導體層。較之SIMOX方法，此法容易控制半導體層的厚度而且縮短過程時間。此外，由於在SOI基板製造過程中可提供給半導體層以隔離層，形成隔離層的製造步驟可比已知半導體製造過程減少。

第1A至1D圖為依照接合法的形成SOI基板傳統製造方法步驟的斷面圖。茲參照附圖來詳細說明其製造方法。

參照第1A圖，做為支持用的基礎矽層1上形成第一氧化層2。

參照第1B圖，在一半導體矽層3的上部表面上以已知的蝕刻過程形上複數壕溝4。於此，壕溝4的深度同於以後有元件形成其中的半導體層的厚度。第二氧化層5的形成厚度應可足夠完全充填壕溝4。

參照第1C圖，基礎矽層1與半導體矽層3相接合而使第一與第二氧化層2,5互相接觸。其次，基礎矽層1與經接合的半導體矽層3被施以退火處理而使兩者之間的接合強度增大。

參照第1D圖，半導體矽層3使用充填於壕溝4的第二氧化層5做為磨平停止器來依照CMP過程施以後部磨平。結果可獲得一SOI基板10，其中包括基礎矽層1，形成於半導體矽層3上的埋入氧化層7，及一半導體層3a，其具有一隔離層而配置於埋入氧化層7上。

一般而言，形成於SOI基板的半導體元件的性質主要與半導體層的均勻性有關。由是最重要的是依照接合法形

五、發明說明 (3)

成SOI基板時要能獲得均勻的半導體層。

如上文說明者，當俟形成隔離層於半導體矽層後，以磨薄過程磨平半導體矽層以獲得半導體層時，如第1D圖所示，在半導體層3a之表面會發生盤狀D。結果，由於盤狀D的發生半導體層3a的厚度不會均勻。因此，當有元件形成於前揭半導體層3a上時，難以期盼元件性質的改進。

<發明之總論>

由是，本發明提供一種SOI基板的形成方法，其能夠藉防止半導體層上產生盤狀來改進半導體層厚度的均勻性。

為了達成上揭目的，本發明的一實施例中提供的形成SOI基板的方法中所包含的步驟有：

準備(提供)一基礎矽層與一半導體矽層；

形成一埋入氧化層於基礎矽層上；

形成複數壕溝於半導體矽層內；

接合基礎矽層與半導體矽層而使埋入氧化層與形成有壕溝的表面互相接觸；

除去一選定的厚度之半導體矽層以獲得所需厚度的半導體層，其中形成於半導體矽層內的壕溝藉除去一選定厚度的半導體矽層而曝露，而半導體層被曝露的壕溝分離成複數的區域；

只在壕溝以外之半導體層上形成一蝕刻停止層；

形成一具有足夠充填包括半導體層與蝕刻停止層之堆積結構間區域的氧化層；

五、發明說明（4）

利用蝕刻停止層蝕刻氧化層，其中形成一隔離層於堆積結構間的區域；及

除去蝕刻停止層。

本發明的另一實施例中更提供一種形成SOI基板之方法，其包括的步驟有：

準備（提供）一基礎矽層與一半導體矽層；

形成一第一氧化層於基礎矽層上；

以第一深度形成一滲雜層於半導體矽層內；

以第二深度形成複數壕溝於半導體矽層內，其中第二深度深於第一深度；

接合基礎矽層與半導體矽層而使基礎矽層上的第一氧化層與形成有壕溝的表面互相接觸；

以一選定厚度除去半導體矽層，包含形成於此的滲雜層以獲得具有所需厚度的一半導體層，其中形成於半導體矽層內的壕溝藉除去選定厚度的半導體矽層而曝露，而半導體層被曝露的壕溝分離成複數的區域；

只在壕溝以外之半導體層上形成一蝕刻停止層；

形成一具有足夠充填包括半導體層與蝕刻停止層之堆積結構間區域的第二氧化層；

利用蝕刻停止層蝕刻第二氧化層，其中形成一隔離層於堆積結構間的區域；及

除去蝕刻停止層。

<附圖之簡單說明>

本發明的種種特徵可參照下列附圖得以明瞭。

五、發明說明 (5)

第1A至1D圖為表示傳統形成SOI基板方法之斷面圖；

第2A至2J圖為表示本發明一實施例中提供一隔離層以形成SOI基板的製造方法斷面圖。

<附圖中元件名稱與符號對照>

1：基礎矽層	2：第一氧化層	3：半導體矽層
4：壕溝	5：第二氧化層	3a：半導體層
7：埋入氧化層	11：基礎矽層	12：埋入氧化層
13：半導體矽層	14：硼離子層	15：壕溝
13a：半導體層	16：氮化矽層	17：氧化矽層
20：SOI基板	17a：隔離層	

<較佳具體實施例之詳細描述>

參照第2A圖，有一做為支持手段的基礎矽層11，一埋入氧化層12例如一熱氧化層，其厚度範圍為500～10,000Å者藉施加一熱氧化作用於基礎矽層11之一表面而形成。取代熱氧化過程的熱氧化層者，可依照CVD過程的選自BPSG層，03-TEOS層或高密度電漿的化學氣相澱積(CVD)氧化層可做為埋入氧化層12。

參照第2B圖，於此提供一半導體矽層13用以形成元件，有一硼離子層14自半導體矽層13表面以第一深度形成於半導體矽層13內。硼離子層14係以注入硼離子於半導體矽層13內形成者，所用離子注入能量為10～200kev，劑量為1.0×10^{15}～3.0×10^{16}dose/cm^2，然後以適當的溫度將注入硼離子的半導體矽層13退火，壕溝15以已知的蝕刻過程形成於半導體矽層13之表面內。壕溝15以第二深度形成，

五、發明說明（6）

第二深度深於滲雜層14的第一深度。

參照第2C圖，基礎矽層11與半導體矽層13在7.5×10^{-1}～7.5×10^{-4}的真空狀態下接合而使形成於基礎矽層11上的埋入氧化層12與形成有壕溝15的半導體矽層13表面互相接觸。其次，經接合的基礎矽層11與半導體矽層13在氮或氧大氣下以800～1,200℃之溫度範圍退火處理30～120分鐘，因而增大兩者間的接合強度。

另一方面，在基礎矽層11與半導體矽層13互相接合之前，先以NH_4OH與H_2O_2或H_2O1：4：20的容積比混合的第一溶液，或H_2SO4^4與H_2O4：1的容積比混合的第二溶液洗滌兩者，或以第一與第二溶液相繼的洗滌藉以改善各自接合面的親水性。

參照第2D圖，首先，半導體矽層13的背側鄰近壕溝的底部區域以一已知的CMP過程或一背面蝕刻過程磨平，更為完善的，可採CMP過程。於此，殘存於壕溝15底部的半導體矽層厚度以在1,000～30,000Å之範圍為宜。

參照第2E圖，最先磨平的半導體矽層13的背側以一濕蝕刻過程除去，直至露出硼離子層14為止。於此，濕蝕刻過程使用一種以1～2：0～0.02：1～5容積比的NH_4OH，H_2O_2與H_2O混合的蝕刻劑，及混合KOH的蝕刻劑亦屬可代替NH_4OH。蝕刻過程的結果，形成於半導體矽層13內的壕溝15被曝露，留存的半導體矽層13被壕溝15所分割。此時，半導體矽層13因有硼離子層14的存在而具有均勻的厚度。

參照第2F圖，半導體矽層13的後側第二度被以CMP過

五、發明說明 (7)

程磨平致除去硼離子層14而獲得一半導體層13a。第二次的CMP過程係在夾盤台的轉速為10～30rpm及心軸壓力為4～8psi，心軸轉速為20～40psi的情形下進行。其次，半導體層13a在氫大氣下以800～1,300℃範圍之溫度下做30～120分鐘的退火處理藉此完全除去可能殘留於半導體層13a表面上的硼離子，而恢復在上揭過程中被傷害的結晶性質。

參照第2G圖，一氮化矽層16以足夠充填壕溝的厚度澱積，例如500～5,000Å。然後，蝕刻氮化矽層16至使氮化矽層16只留存於除了被壕溝分離之半導體層13a間區域以外之半導體層13a上。於此，殘留於半導體層13a的氮化矽層16在後續進行的蝕刻過程中將扮演蝕刻停止層之角色。

參照第2H圖，氧化矽層17以例如1,000～20,000Å之足夠充填半導體層13a與氮化矽層16之堆積結構間區域之厚度澱積。

參照第2I圖，氧化矽層17被以背後蝕刻過程蝕刻而使用氮化矽層16當做蝕刻停止層。於此，有一殘留於半導體層13a與氮化矽層16之堆積結構間之氧化矽層可以變成一隔離層17a。

參照第2J圖，做為蝕刻停止層的氮化矽層被除去藉此達成一具有隔離層17a之SOI基板20之製作。

如上揭描述，由於半導體矽層的磨薄過程係以使用硼離子層來進行，故本發明的具有均勻厚度的半導體層得以製成。此外，由於隔離層在獲得半導體層後形成，可防止

五、發明說明（8）

半導體層表面上發生盤化現象。由是，可改進半導體層厚度的均勻性。因此，形成於SOI基板的半導體層上的元件，其性質可望獲得加強。

綜上所述，僅為本發明之較佳實施例，並非用來限制本發明實施之範圍。即凡依本發明申請專利範圍所做之同等變更與修飾，應皆為本發明專利範圍所涵蓋。

四、中文發明摘要　（發明之名稱：形成SOI基板的方法）

本發明揭示一種形成具有一隔離層的SOI基板的方法；由於半導體矽層的磨薄化過程係在隔離層形成於半導體矽層上之後，可防止盤狀的發生；本發明的形成SOI基板的方法所包括的步驟有：準備一基礎矽層與一半導體矽層；形成一埋入氧化層於基礎矽層上；形成複數壕溝於半導體矽層內；接合基礎矽層與半導體矽層而使埋入氧化層與形成有壕溝的表面互相接觸；除去一選定厚度的該半導體矽層以獲得所需厚度的半導體層，其中形成於半導體矽層內的壕溝藉除去一選定厚度的半導體矽層以曝露之，而半導體層被曝露的壕溝分離成複數的區域；只在壕溝以外之半導體層上形成一蝕刻停止層；形成一具有足夠充填包括半導體層與蝕刻停止層之堆積結構間區域的氧化層；利

英文發明摘要　（發明之名稱：METHOD OF FORMING SOI SUBSTRATE）

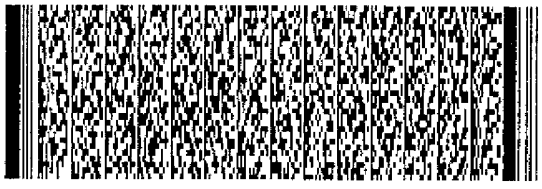
The present invention provides a method of forming SOI substrate provided with an isolation layer. Since a thinning process is performed at the semiconductor silicon layer after isolation layers are formed on the semiconductor silicon layer, the occurrence of dishing is prevented. The method of forming SOI substrate according to the present invention comprises the steps of: providing a base silicon layer and a semiconductor silicon layer; forming a buried oxide layer on the

四、中文發明摘要 （發明之名稱：形成SOI基板的方法）

用蝕刻停止層蝕刻氧化層，其中形成一隔離層於堆積結構間的區域；及除去蝕刻停止層。

英文發明摘要 （發明之名稱：METHOD OF FORMING SOI SUBSTRATE）

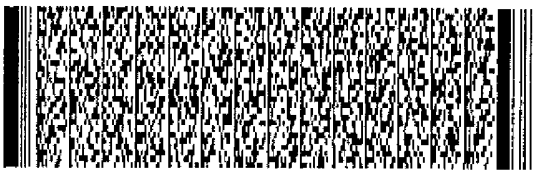
base silicon layer; forming trenches in the semiconductor silicon layer; boding the base silicon layer and the semiconductor silicon layer so that the buried oxide layer and the trench-formed surface are contacted with each other; removing a selected thickness of the semiconductor silicon layer to obtain a semiconductor layer having a desired thickness, wherein the trenches formed in the semiconductor silicon layer are exposed by removing the selected



四、中文發明摘要 （發明之名稱：形成SOI基板的方法）

英文發明摘要 （發明之名稱：METHOD OF FORMING SOI SUBSTRATE）

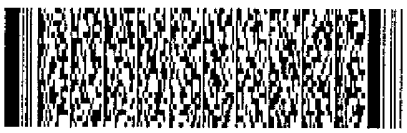
thickness of the semiconductor silicon layer and the semiconductor layer is separated into a plurality of regions by the exposed trenches; forming an etch stop layer only on the semiconductor layer except the trenches; forming an oxide layer with a thickness sufficient to fill a region between stacked structures comprising the semiconductor layer and the etch stop layer; etching the oxide layer by means of the etch stop layer, wherein an isolation layer is formed at the



四、中文發明摘要　（發明之名稱：形成SOI基板的方法）

英文發明摘要　（發明之名稱：METHOD OF FORMING SOI SUBSTRATE）

region between the stacked structure; and removing the etch stop layer.



六、申請專利範圍

1. 一種形成SOI基板的方法，其特徵在於：是種形成SOI基板的方法，包括有下列步驟：

準備(提供)一基礎矽層與一半導體矽層；

形成一埋入氧化層於基礎矽層上；

形成複數壕溝於半導體矽層內；

接合基礎矽層與半導體矽層而使埋入氧化層與形成有壕溝的表面互相接觸；

除去一選定的厚度之半導體矽層以獲得所需厚度的半導體層，其中形成於半導體矽層內的壕溝藉除去一選定厚度的半導體矽層而曝露，而半導體層被曝露的壕溝分離成複數的區域；

只在壕溝以外之半導體層上形成一蝕刻停止層；

形成一具有足夠充填包括半導體層與蝕刻停止層之堆積結構間區域的氧化層；

利用蝕刻停止層蝕刻氧化層，其中形成一隔離層於堆積結構間的區域；及

除去蝕刻停止層。

2. 如申請專利範圍第1項之方法，更包括一步驟為在形成複數壕溝於半導體矽層內之前形成一滲雜層於半導體矽層內。

3. 如申請專利範圍第2項之方法，其中所述滲雜層為一硼離子層。

4. 如申請專利範圍第3項之方法，其中所述硼離子層之形成係以10～200kev之離子注入能量及1.0×10^{15}～3.0

煩請委員明示 88 年 11 月 8 日所提之修正本有無變更實質內容是否准予修正

六、申請專利範圍

$\times 10^{16}$dose/cm^{2}之劑量注入硼離子於半導體矽層內並將經注入硼離子之半導體矽層施以退火處理。

5. 如申請專利範圍第3項之方法，其中所述硼離子層形成之深度淺於壕溝者。

6. 如申請專利範圍第1項之方法，更包括一步驟為在接合基礎矽層與半導體矽層之步驟前使基礎矽層與半導體矽層間之接合表面具有親水性。

7. 如申請專利範圍第6項之方法，其中所述使接合表面具有親水性之步驟之實施法為使用容積比1：4：20之NH_4OH與H_2O_2，或H_2O之混合液為第一溶液，或使用容積比為4：1之H_2SO_4與H_2O之混合液為第二溶液來洗滌接合表面，或依序使用該兩種第一與第二溶液來洗滌。

8. 如申請專利範圍第1項之方法，更包括一步驟為在接合基礎矽層與半導體矽層之步驟後，將基礎矽層與半導體矽層施以退火處理以強化兩者間之接合強度。

9. 如申請專利範圍第8項之方法，其中所述退火處理步驟係在氮或氧之大氣下，以800～1,200℃範圍之溫度退火30～120分鐘。

10. 如申請專利範圍第5項之方法，其中所述除去一選定厚度之半導體矽層之步驟更包括的步驟為：

首先磨平半導體矽層後側至鄰近壕溝底部之區域；

以硼離子層當做蝕刻停止層，蝕刻首先磨平的半導體矽層的後側；及

其次磨平包含硼離子層的半導體矽層後側藉以獲得一

六、申請專利範圍

具有所需厚度的半導體層。

11. 如申請專利範圍第10項之方法，其中所述蝕刻半導體矽層的步驟藉使用一種以容積比1～2：0～0.02：1～5之NH_4OH，H_2O_2與H_2O之混合之蝕刻劑實施濕蝕刻過程者。

12. 如申請專利範圍第10項之方法，其中所述蝕刻半導體矽層的步驟係藉使用一種KOH，H_2O_2及H_2O混合之蝕刻劑實施濕蝕刻過程者。

13. 如申請專利範圍第10項之方法，其中所述第二磨平步驟係在夾盤台之轉速為10～30rpm，心軸壓力為4～8psi及心軸轉速20～40rpm之狀況下實施者。

14. 如申請專利範圍第10項之方法，其中更包括一步驟為在除去半導體層一選定厚度步驟後，將半導體層退火，藉以除去殘留於半導體層表面上之硼離子來恢復結晶性質。

15. 如申請專利範圍第14項之方法，其中所述退火步驟係在氫大氣下以800～1,300℃溫度範圍實施30～120分鐘。

16. 如申請專利範圍第1項之方法，其中所述蝕刻停止層為一氮化矽層。

17. 如申請專利範圍第16項之方法，其中所述蝕刻停止層係藉形成一厚度足夠充填壕溝之氮化矽層並藉該氮化矽層之圖型化以曝露壕溝來形成之。

18. 一種形成SOI基板的方法，其特徵在於：是種形成SOI基板的方法，包括有下列步驟：

六、申請專利範圍

準備(提供)一基礎矽層與一半導體矽層；

形成一第一氧化層於基礎矽層上；

以第一深度形成一滲雜層於半導體矽層內；

以第二深度形成複數壕溝於半導體矽層內，其中第二深度深於第一深度；

接合基礎矽層與半導體矽層而使基礎矽層上的第一氧化層與形成有壕溝的表面互相接觸；

以一選定厚度除去半導體矽層，包含形成於此的滲雜層以獲得具有所需厚度的一半導體層，其中形成於半導體矽層內的壕溝藉除去選定厚度的半導體矽層而曝露，而半導體層被曝露的壕溝分離成複數的區域；

只在壕溝以外之半導體層上形成一蝕刻停止層；

形成一具有足夠充填包括半導體層與蝕刻停止層之堆積結構間區域的第二氧化層；

利用蝕刻停止層蝕刻第二氧化層，其中形成一隔離層於堆積結構間的區域；及

除去蝕刻停止層。

19. 如申請專利範圍第18項之方法，其中所述滲雜層為一硼離子層。

20. 如申請專利範圍第19項之方法，其中所述硼離子層之形成係以10～200kev之離子注入能量及1.0×10^{15}～3.0×10^{16}dose/cm^{2}之劑量注入硼離子於半導體矽層內並將經注入之硼離子之半導體矽層施以退火處理。

21. 如申請專利範圍第18項之方法，更包括一步驟為

六、申請專利範圍

在接合基礎矽層與半導體矽層之步驟前使基礎矽層與半導體矽層間之接合表面具有親水性。

22. 如申請專利範圍第21項之方法，其中所述使接合表面具有親水性之步驟之實施法為使用容積比1：4：20之NH_4OH與H_2O_2，或H_2O之混合液為第一溶液，或使用容積比為4：1之H_2SO_4與H_2O之混合液為第二溶液來洗滌接合表面，或依序使用該兩種第一與第二溶液來洗滌。

23. 如申請專利範圍第18項之方法，更包括一步驟為在接合基礎矽層與半導體矽層之步驟後，將基礎矽層與半導體矽層施以退火處理以強化兩者間之接合強度。

24. 如申請專利範圍第23項之方法，其中所述退火處理步驟係在氮或氧之大氣下，以800～1,200℃範圍之溫度退火30～120分鐘。

25. 如申請專利範圍第19項之方法，其中所述除去一選定厚度之半導體矽層之步驟更包括的步驟為：

首先磨平半導體矽層後側至鄰近壕溝底部之區域；

以硼離子層當做蝕刻停止層，蝕刻首先磨平的半導體矽層的後側；及

其次磨平包含硼離子層的半導體矽層後側藉以獲得一具有所需厚度的半導體層。

26. 如申請專利範圍第25項之方法，其中所述蝕刻半導體矽層的步驟係藉使用一種以容積比1～2：0～0.02：1～5的NH_4OH，H_2O_2與H_2O混合的蝕刻劑用濕蝕刻過程實施者。

六、申請專利範圍

27. 如申請專利範圍第25項之方法，其中所述蝕刻半導體矽層的步驟係藉使用一種KOH，H_2O_2及H_2O混合之蝕刻劑實施濕蝕刻過程者。

28. 如申請專利範圍第25項之方法，其中所述第二磨平步驟係在夾盤台之轉速為10～30rpm，心軸壓力為4～8psi及心軸轉速20～40rpm之狀況下實施者。

29. 如申請專利範圍第25項之方法，其中更包括一步驟為在除去半導體層一選定厚度步驟後，將半導體層退火，藉以除去殘留於半導體層表面上之硼離子來恢復結晶性質。

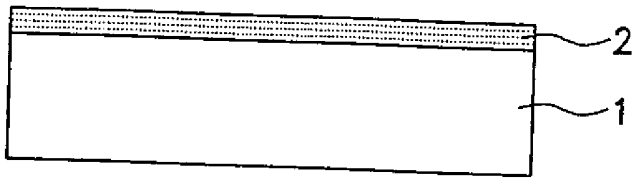
30. 如申請專利範圍第29項之方法，其中所述退火步驟係在氫大氣下以800°～1,300℃溫度範圍實施30～120分鐘。

31. 如申請專利範圍第18項之方法，其中所述蝕刻停止層為一氮化矽層。

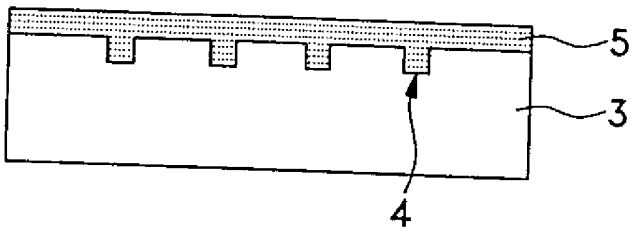
32. 如申請專利範圍第31項之方法，其中所述蝕刻停止層係藉形成一厚度足夠充填壕溝之氮化矽層並藉該氮化矽層之圖型化以曝露壕溝來形成之。

圖式

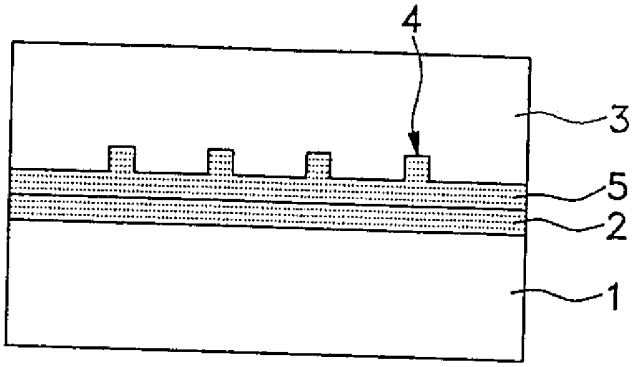
第 1A 圖
（先前技術）



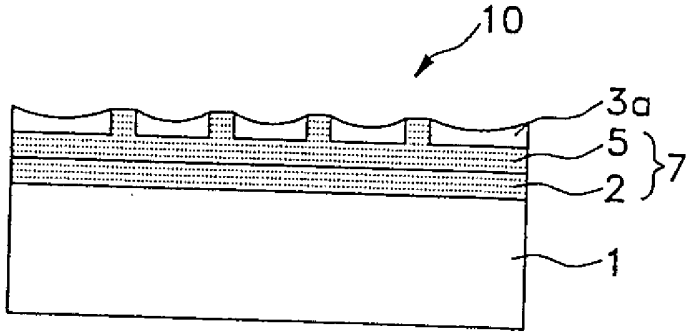
第 1B 圖
（先前技術）



第 1C 圖
（先前技術）

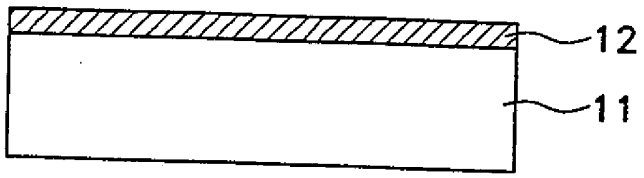


第 1D 圖
（先前技術）

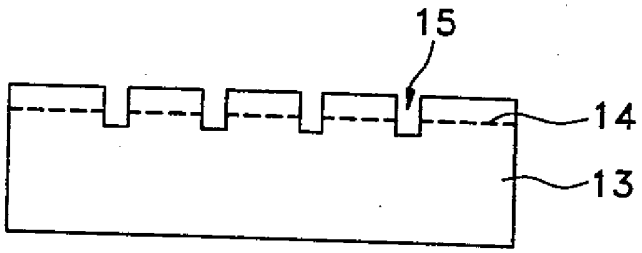


圖式

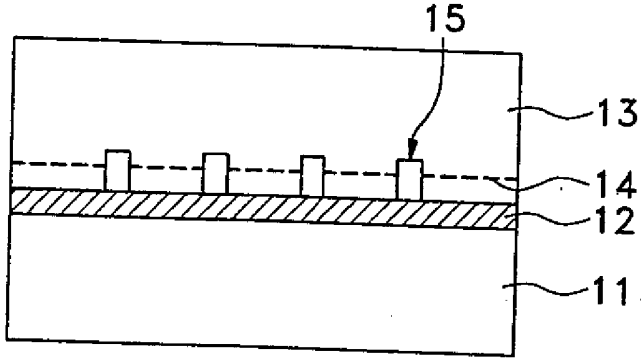
第 2A 圖



第 2B 圖

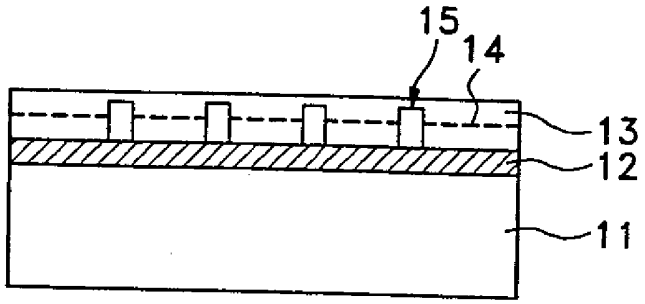


第 2C 圖

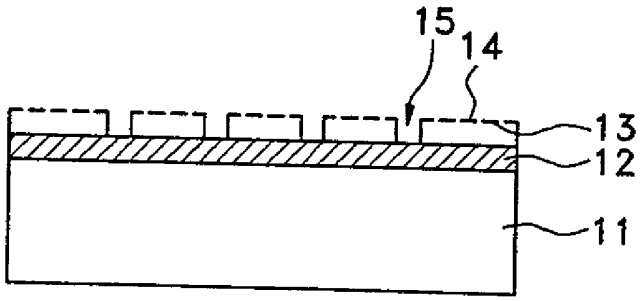


圖式

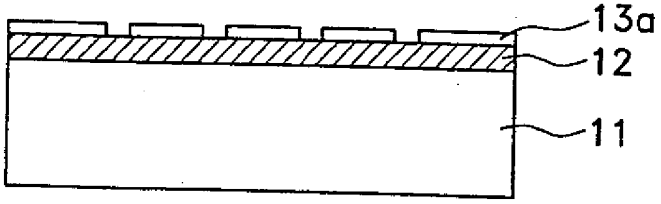
第 2D 圖



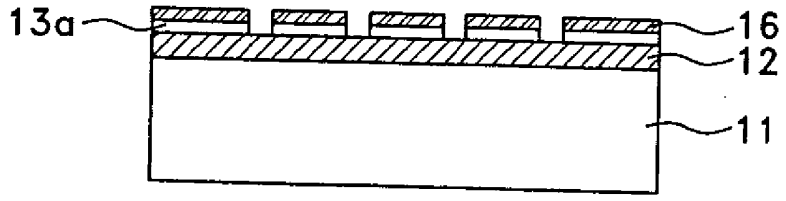
第 2E 圖



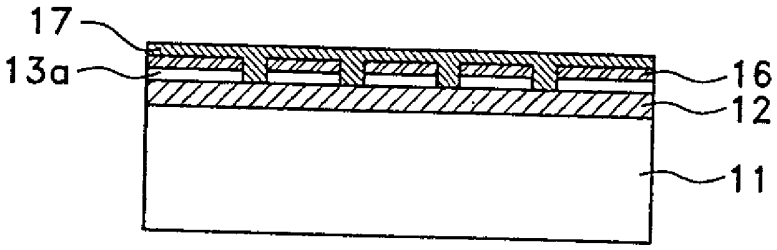
第 2F 圖



第 2G 圖

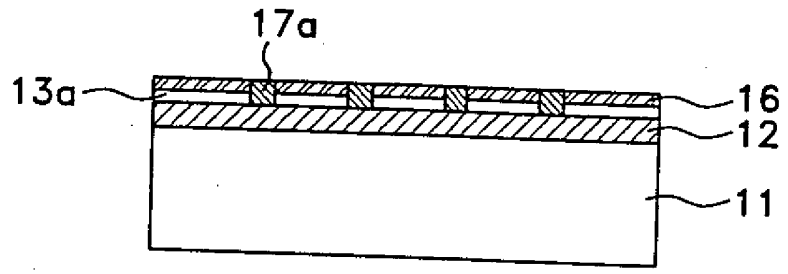


第 2H 圖

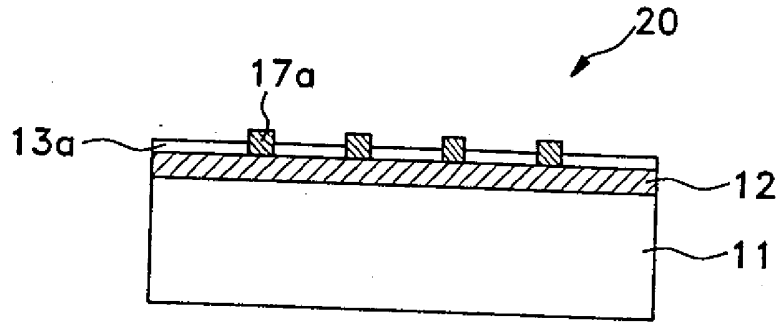


圖式

第 2I 圖



第 2J 圖



六、申請專利範圍

1. 一種形成SOI基板的方法，其特徵在於：是種形成SOI基板的方法，包括有下列步驟：

準備(提供)一基礎矽層與一半導體矽層；

形成一埋入氧化層於基礎矽層上；

形成複數壕溝於半導體矽層內；

接合基礎矽層與半導體矽層而使埋入氧化層與形成有壕溝的表面互相接觸；

除去一選定的厚度之半導體矽層以獲得所需厚度的半導體層，其中形成於半導體矽層內的壕溝藉除去一選定厚度的半導體矽層而曝露，而半導體層被曝露的壕溝分離成複數的區域；

只在壕溝以外之半導體層上形成一蝕刻停止層；

形成一具有足夠充填包括半導體層與蝕刻停止層之堆積結構間區域的氧化層；

利用蝕刻停止層蝕刻氧化層，其中形成一隔離層於堆積結構間的區域；及

除去蝕刻停止層。

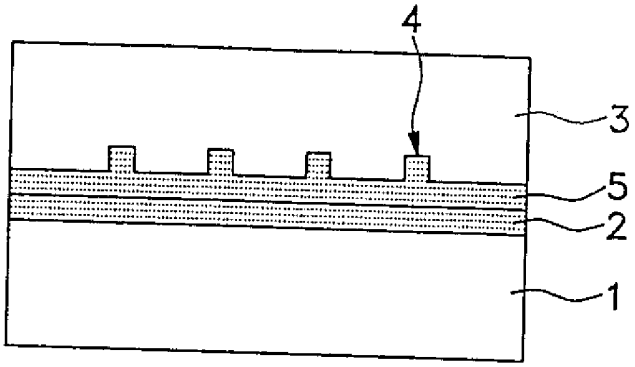
2. 如申請專利範圍第1項之方法，更包括一步驟為在形成複數壕溝於半導體矽層內之前形成一滲雜層於半導體矽層內。

3. 如申請專利範圍第2項之方法，其中所述滲雜層為一硼離子層。

4. 如申請專利範圍第3項之方法，其中所述硼離子層之形成係以10～200kev之離子注入能量及1.0×10^{15}～3.0

煩請委員明示 88 年 11 月 8 日所提之修正本有無變更實質內容是否准予修正

第 1C 圖
（先前技術）



第 1D 圖
（先前技術）

