

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-207285

(P2007-207285A)

(43) 公開日 平成19年8月16日(2007.8.16)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 29/14 (2006.01)	G 1 1 C 29/00 6 7 1 T	5 B O 6 O
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 7 1 Z	5 L 1 O 6
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 6 2 S	5 M O 2 4
G O 6 F 12/00 (2006.01)	G O 6 F 12/00 5 5 O A	

審査請求 未請求 請求項の数 10 O L (全 18 頁)

(21) 出願番号	特願2006-21338 (P2006-21338)	(71) 出願人	000005223
(22) 出願日	平成18年1月30日 (2006.1.30)		富士通株式会社
			神奈川県川崎市中原区上小田中4丁目1番1号
		(74) 代理人	100074099
			弁理士 大菅 義之
		(74) 代理人	100067987
			弁理士 久木元 彰
		(72) 発明者	川畑 邦範
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	江渡 聡
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		最終頁に続く	

(54) 【発明の名称】 半導体メモリ、メモリシステム

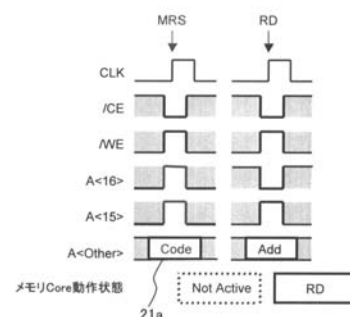
(57) 【要約】

【課題】本発明は、簡単な手続きによりメモリの内部設定を変更でき、またその回路構成も簡単なメモリシステムを提供することを課題とする。

【解決手段】電源投入後、イニシャライズリセット後、あるいは、ローパワースタンバイから復帰後、アドレスコードをメモリが未実装のアドレス空間を指定してRDコマンドを入力すると、メモリの内部設定を変更するMRSコマンドとして扱われる。また設定内容は、アドレスコードの下位コードを用いて指定する。これにより通常の読み出し処理と同様にアドレスコードを指定するのみで、内部動作を変更することが出来る。

【選択図】 図2

MRSコマンドとRDコマンドを入力した際の、各入力端子の状態を示す図



【特許請求の範囲】

【請求項 1】

メモリに接続されたメモリコントローラであって、
外部からコマンドと共に入力されるアドレスコードを受け付けるアドレス受付部と、
第 1 のコマンドと共に入力される前記アドレスコードが、前記メモリが実装されていないアドレス空間を指すとき、前記アドレスコードに基づいてメモリの内部設定の変更を指示する M R S コマンドを前記メモリに出力するコマンド変換部と、
を備えるメモリコントローラ。

【請求項 2】

電源投入後、イニシャライズリセット後、あるいは、ローパワースタンバイから復帰後に前記第 1 のコマンドが、前記メモリが実装されていないアドレス空間を指す前記アドレスコードと共に最初に入力されたとき、前記コマンド変換部は、前記 M R S コマンドを前記メモリに出力することを特徴とする請求項 1 に記載のメモリコントローラ。 10

【請求項 3】

電源投入後、イニシャライズリセット後、あるいは、ローパワースタンバイから復帰してから、前記メモリが実装されているアドレス空間を指す前記アドレスコードが前記コマンドと共に入力されるまでの間、前記コマンド変換部は、前記第 1 のコマンドと共に入力される前記アドレスコードが、前記メモリが実装されていないアドレス空間を指すとき、メモリの内部設定の変更を指示する M R S コマンドを前記メモリに出力することを特徴とする請求項 1 に記載のメモリコントローラ。 20

【請求項 4】

電源投入後、イニシャライズリセット後、あるいは、ローパワースタンバイから復帰してから、書き込みコマンドが入力されるまでの間、前記コマンド変換部は、前記第 1 のコマンドと共に入力される前記アドレスコードが、前記メモリが実装されていないアドレス空間を指すとき、メモリの内部設定の変更を指示する M R S コマンドを前記メモリに出力することを特徴とする請求項 1 に記載のメモリコントローラ。

【請求項 5】

前記第 1 のコマンドが N 回（N は 2 以上の自然数）連続して、前記メモリが実装されていないアドレス空間を指す前記アドレスコードと共に入力されたとき、前記コマンド変換部は、前記 M R S コマンドを前記メモリに出力することを特徴とする請求項 1 に記載のメモリコントローラ。 30

【請求項 6】

前記 N 回連続して入力された第 1 のコマンドのうち、最初の N - 1 回と共に入力された前記アドレスコードが予め定められた値であるとき、前記コマンド変換部は、前記 M R S コマンドを前記メモリに出力することを特徴とする請求項 5 に記載のメモリコントローラ。

【請求項 7】

前記第 1 のコマンドとは異なる第 2 のコマンドと共に入力される前記アドレスコードが、前記メモリが実装されていないアドレス空間を指すとき、前記コマンド変換部は、メモリの内部設定の変更を指示する M R S コマンドを前記メモリに出力することを特徴とする請求項 1 に記載のメモリコントローラ。 40

【請求項 8】

複数のメモリセルを備えるメモリコアと、
内部動作の設定値をセットするモードレジスタと、
外部からコマンドと共に入力されるアドレスコードを受け付けるアドレス受付部と、
前記メモリコアが第 1 のコマンドと共に入力される前記アドレスコードが指すアドレス空間に対応する前記メモリセルを備えないとき、前記アドレスコードの値に基づいて前記モードレジスタの値を書き換えるコマンド変換部と、
を備える半導体メモリ。

【請求項 9】

前記メモリコアは、2のべき乗分でないメモリセルを備えることを特徴とする請求項8に記載の半導体メモリ。

【請求項10】

複数のメモリセルを備えるメモリコアを有するメモリと、

前記メモリが、第1のコマンドと共に入力される前記アドレスコードが指すアドレス空間に対応する前記メモリセルを備えないとき、前記アドレスコードの値に基づいて前記メモリの内部設定を変更するメモリコントローラと、

を備えるメモリシステム。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、内部設定を変更できる半導体メモリやメモリシステムに関する。

【背景技術】

【0002】

一般に、半導体メモリを含む半導体集積回路では、製品完成等の際して機能テストが行なわれる。そのため各種内部設定を変更できる必要がある。また半導体メモリ等は使用される形態やニーズによって、BL (Burst Length) やRL (Read Latency) など、各種内部設定を変更できた方が望ましい。

【0003】

しかし半導体集積回路は、近年の高集積化・微細化に伴って、外部端子の削減が要請されており、テスト実施のためや種々の動作モード設定のための信号入力用に特別な外部端子を設けない傾向にある。そのため、専用の端子を設けずに、各種設定を変更できるようにするための様々な工夫が提案されている。

20

【0004】

例えば一般的な半導体メモリでは、動作モードを切り替えるレジスタを備え、そのレジスタ情報を外部から電氣的に書き換えることによって動作モードを変更する。そして多くの場合、このレジスタの書き換えは、RD (読み出し)、WT (書き込み)、Ref (リフレッシュ) といった通常用いられるコマンドとは異なるイリーガルなコマンドを複数回アドレスコードを組み合わせて入力することによって行なう。

【0005】

30

また特許文献1には、特定のアドレス値をモード設定用に割り当て、そのアドレス値にデータを書き込むことにより、設定値の変更を行なう構成が開示されている。

【特許文献1】特開平7-92242号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

上記したような、通常はイリーガルなコマンドを動作モードを設定するときに有効にして設定を変更する構成としたり、特許文献1のメモリのように特定のアドレス値にデータを書き込むことによってメモリの設定を変更する構成は、メモリシステムの設計が複雑になる。

40

【0007】

以上の点を鑑み、本発明は、簡単な手続きによりメモリの内部設定を変更でき、またその回路構成も簡単なメモリシステムを提供することを課題とする。

また特に画像を扱うメモリシステムのように、メモリコントローラからメモリに与えられるアドレス入力で指定できるアドレス空間のうち、実メモリが実装されておらず使用されないアドレスがある場合に、そのアドレスコードを用いてメモリを使用する際の動作モードを設定できるシンプルなメモリシステムを提供することを課題とする。

【課題を解決するための手段】

【0008】

本発明による、メモリコントローラはメモリに接続されており、アドレス受付部及びコ

50

マンド変換部を備える。

アドレス受付部は、外部からコマンドと共に入力されるアドレスコードを受け付ける。

【0009】

コマンド変換部は、第1のコマンドと共に入力される前記アドレスコードが、前記メモリが実装されていないアドレス空間を指すとき、前記アドレスコードに基づいてメモリの内部設定の変更を指示するMRSコマンドを前記メモリに出力する。

【0010】

この構成により、アドレスコードの値の設定のみにより、メモリの内部設定を変更することが出来る。

また電源投入後、イニシャライズリセット後、あるいは、ローパワースタンバイから復帰後に前記第1のコマンドが、前記メモリが実装されていないアドレス空間を指す前記アドレスコードと共に最初に入力されたとき、前記コマンド変換部は、前記MRSコマンドを前記メモリに出力する構成とすることも出来る。

【0011】

あるいは電源投入後、イニシャライズリセット後、あるいは、ローパワースタンバイから復帰してから、前記メモリが実装されているアドレス空間を指す前記アドレスコードが前記コマンドと共に入力されるまでの間、前記コマンド変換部は、前記第1のコマンドと共に入力される前記アドレスコードが、前記メモリが実装されていないアドレス空間を指すとき、メモリの内部設定の変更を指示するMRSコマンドを前記メモリに出力する構成とすることも出来る。

【0012】

更には電源投入後、イニシャライズリセット後、あるいは、ローパワースタンバイから復帰してから、書き込みコマンドが入力されるまでの間、前記コマンド変換部は、前記第1のコマンドと共に入力される前記アドレスコードが、前記メモリが実装されていないアドレス空間を指すとき、メモリの内部設定の変更を指示するMRSコマンドを前記メモリに出力する構成とすることも出来る。

【0013】

これらの構成により、MRSコマンドが出力される期間が限定されるので、メモリの内部設定を誤設定するのを防ぐことが出来る。

また前記第1のコマンドがN回（Nは2以上の自然数）連続して、前記メモリが実装されていないアドレス空間を指す前記アドレスコードと共に入力されたとき、前記コマンド変換部は、前記MRSコマンドを前記メモリに出力する構成とすることも出来る。

【0014】

この構成により、よりメモリの内部設定を誤設定するのを防ぐことが出来る。

更には、前記N回連続して入力された第1のコマンドのうち、最初のN-1回と共に入力された前記アドレスコードが予め定められた値であるとき、前記コマンド変換部は、前記MRSコマンドを前記メモリに出力する構成とすることも出来る。

【0015】

このような構成にすることにより、より一層メモリの内部設定を誤設定するのを防ぐことが出来る。

また前記第1のコマンドとは異なる第2のコマンドと共に入力される前記アドレスコードが、前記メモリが実装されていないアドレス空間を指すとき、前記コマンド変換部は、メモリの内部設定の変更を指示するMRSコマンドを前記メモリに出力することを特徴とする構成にすることが出来る。

【0016】

この構成により、より多くの内部設定を変更することが出来る。

また本発明は、メモリコントローラのみならず、半導体メモリ及びメモリシステムもその範囲に含む。

【発明の効果】

【0017】

10

20

30

40

50

本発明によれば、通常動作と同じコマンド入力で、アドレス入力だけを決められたアドレスコードによって、メモリの動作設定を変更できる。

従って、動作設定変更のための構成を通常のメモリアクセスの動作／構成を用いて行えるので、回路構成を簡易にすることが出来る。

【0018】

また、データコードを用いず、アドレスコードのみを指定することによって設定変更を行えるので、従来の方式より回路構成を簡易にすることが出来る。

【発明を実施するための最良の形態】

【0019】

まず本実施形態におけるメモリシステムで用いられる半導体メモリによるメモリ空間について説明する。 10

画像などに用いられる半導体メモリは、例えば、 $96k \text{ word} \times 32 \text{ bit}$ ($3M \text{ bit}$) というように2のべき乗ではなく、3の倍数のアドレス空間が割り当てられることが多い。この場合、図1に示すように残りの $1/4$ のアドレス空間は使われていない。

【0020】

本実施形態では、この使用されていないアドレス空間のアドレス値を用いて、BL (Burst Length) やRL (Read Latency)、WL (Write Latency) 等の半導体メモリの内部設定を変更する。

【0021】

なお以下の説明では、本実施形態におけるメモリシステムの一例として、メモリシステムは画像用のメモリで、 $00H \sim FFH$ までのアドレス空間を持ち、図1に示したように $00H \sim BFH$ までのアドレス空間11にメモリが実装され、上位 $1/4$ の $CH \sim FFH$ のアドレス空間12には、メモリが実装されていないものとする。なお本実施形態のメモリシステムは、このようなもののアドレス空間のものに限定されるものではない。またメモリは、同期式のメモリとして説明するが本実施形態のメモリは非同期式のメモリでもよい。 20

【0022】

またメモリに種々の内部設定を変更するコマンドをMRS (Mode Register Set) コマンドという。

本実施形態では、MRSコマンドとして特別なイリーガルなコマンドを設けるのではなく、上記したメモリが未実装のアドレス空間12に対してRD (読み出し) コマンド等の通常の読み出し／書き込みで用いられるコマンドを実行した場合を、MRSコマンドとして認識する。(なお以下の例では、メモリが未実装のアドレス空間に対してRDコマンドを実行した場合をMRSコマンドとする。) 具体的には、最上位アドレス $A < 16 : 15 >$ 対し、アドレス入力 $A < 16 : 15 > = (H, H)$ を指定してRDコマンドが入力された場合、これをMRSコマンドとして認識する。 30

【0023】

なお上記説明では、MRSコマンドには、RDコマンドを割り当てるとしたが、RDコマンドに限らずWT (書き込み) コマンド (WT) やRef (リフレッシュ) コマンドなど他のコマンドに割り当てても問題ない。しかし揮発性のメモリでは、一番最初にWTコマンドが実行されて書き込みが行われることになるので、最初のWTコマンド以前に入力されたRDコマンドやRefコマンドのデータは保証する必要がないため、RDコマンドあるいはREFコマンドといったWTコマンド以外のコマンドをMRSコマンドに割り当てるのが望ましい。 40

【0024】

図2は、MRSコマンドとRDコマンドを入力した際の、各入力端子の状態を示す図である。

MRSコマンドの入力は、 CE (Chip Enable) 入力は“L”， WE (Write Enable) 入力は“H”と、RDコマンドと同じである。しかしアドレス入力が $A < 16 : 15 > = (H, H)$ と実メモリが非実装で、メモリとしては使用され 50

ていないアドレスを指定している。なお、アドレス入力 $A < 16 : 15 > = (H, H)$ 以外の値をとると RD コマンドとして認識される。

【0025】

MRS コマンドでは、 $A < 16 : 15 >$ 以外のアドレスコード 21a で各動作モードの設定値を選択、設定する。例えば、アドレスコード 21a の $A < 14 : 13 >$ に RL の設定値を割り振り、 $A < 14 : 13 > = (L, H)$ の場合 $RL = 2$ とし、 $A < 14 : 13 > = (H, H)$ の場合には $RL = 4$ と設定入力する。またそれとは独立に、アドレスコード 21a の $A < 8 : 7 >$ には BL の設定値を割り振り、例えば $A < 8 : 7 > = (L, H)$ と入力した場合 $(BL) = 2$ とし、 $A < 8 : 7 > = (H, H)$ の場合には $BL = 8$ と設定値を設定入力するものとする。

10

【0026】

MRS コマンドが入力されたのときは、同時に入力されるアドレス入力のアドレス空間には実メモリは実装されていないので、該当するメモリセルは存在しない。よってメモリコアは動作しない。

【0027】

なお、MRS コマンド実行せずに、メモリセルにアクセスを開始した場合には、メモリは、あらかじめモードレジスタ（後述）に初期値として設定されている値に基づいた動作モードで動作することになる。

【0028】

次に、MRS コマンドによる誤設定を防止する手法について説明する。

20

図 3 は、電源投入後、イニシャライズ（リセット）後、あるいは、ローパワースタンバイからの復帰後の、最初の RD コマンドのみで MRS を行なう場合を示している。

【0029】

同図の場合、最初の MRS コマンドは受け付け、アドレスコード 21b によって設定を変更するが、一度 MRS コマンドが入力され受け付けられたら、それ以降に入力された MRS コマンドを受け付けないようにすることで、不慮の動作によって、動作モードが切り替わることを防ぐ。このため、2 番目の MRS コードのアドレスコード 22 では、設定は変更されない。

【0030】

上述したように、DRAM や SRAM 等の揮発性メモリは WT コマンドから通常の有意な動作が開始されるので、アドレス入力によらず WT コマンドが入力された場合、あるいは、WT コマンドに限らずメモリセルの存在するアドレスを指定するコマンドが入力された場合、たとえその間一度も MRS コマンドを受け付けていなくても、それ以降は MRS コマンドを受け付けないようにするのが望ましい。

30

【0031】

なお、MRS コマンドに RD コマンドを割り当てた場合を例に説明したが、他のコマンドに割り当てた場合も同様である。

次に、MRS コマンドによる誤設定を防止する第 2 の手法について説明する。

【0032】

図 4 に示す第 2 の手法では、電源投入後、イニシャライズ（リセット）後、あるいは、ローパワースタンバイからの復帰後、対応するメモリセルが存在するアドレスへのコマンドが入るまでの間、MRS コマンドを受付け続けるものである。

40

【0033】

図 3 の場合では、最初の 1 回目の MRS コマンドのみを有効としたが、図 4 の手法では、通常の動作が開始されるまでの間に入力された MRS コマンドを全て有効としている。

複数回の MRS コマンドを有効にすることで、MRS の不慮の設定がなされた場合の再設定が可能となる。この場合、メモリの動作モードは最後の MRS コマンドによる設定値で決まることになる。

【0034】

同図の場合 RD コマンドが入力されるまでの間に、3 回 MRS コマンドが入力されてい

50

るが、各MRSコマンドと共に入力されたアドレスコード21c、21d及び21eによってメモリの設定が変更され、最終的にはアドレスコード21eによる設定値が設定される。

【0035】

この手法においても、実メモリの存在するアドレスへのコマンド（MRSコマンド以外のコマンド）が入力されたら、それ以降のMRSコマンドは無効とすることで、通常のメモリアクセスを行なっている最中に動作モードが間違って切り替わることを防ぐことができる。

【0036】

次に、MRSコマンドによる誤設定を防止する第3の手法について説明する。

図5に示す第3の手法では、動作モードの不慮の動作による設定が行なわれにくくするため、メモリセルの存在しないアドレスに対するアクセスが連続して3回なされた場合、すなわちMRSコマンドが連続3回入力された場合に、MRSコマンドを受け付けて設定変更を行う。

【0037】

この場合3番目のMRSコマンドと共に入力されるアドレスコード21fに基づいて動作モードを設定する。

なお図5ではMRSコマンドが連続3回入力されるとMRSコマンドを受け付けているが、3回に限定されるものではなく、2回若しくは4回以上の入力によってMRSコマンドを受け付けるように構成してもよい。

【0038】

また図3に示したように、3番目のMRSコマンドのみによって設定が行われ、4番目以降のMRSコマンドは受け付けられないように制限したり、あるいは図4で説明したように、実メモリが実装されているアドレスを指定するコマンドが入力されるまで、3番目のMRSコマンド以降、何度でもMRSコマンドを受け付けて、設定を変更できるように構成してもよい。なお図5の場合は、後者の場合を示している。

【0039】

次に、MRSコマンドによる誤設定を防止する第4の手法について説明する。

図6に示す第4の手法は、図5に示した第3の手法より、さらに動作モードの不慮の設定が行なわれにくくしたものである。

【0040】

第3の手法では、複数回のMRSコマンドが入力されると、MRSコマンドを受け付ける構成となっていたが、第4の実施形態では複数回のMRSコマンドと共に入力されるアドレスコードを、予め定められた値と比較し、一致したときにMRSコマンドを受け付ける構成とする。

【0041】

図6の場合には、連続して入力される1回目のMRSコマンド（MRS-1）、及び2回目のMRSコマンド（MRS-2）と同時にアドレス<14:1>として入力されるアドレスコード21g及び21hの値が予め決められた値と一致したとき、3回目のMRSコマンド（MRS-code）と共に入力されるアドレスコード21iによって、動作モードの設定を変更する。

【0042】

なお、図6の構成においても、図5の第3の手法の場合と同様、3番目のMRSコマンドのみによって設定が行われ、4番目以降のMRSコマンドは受け付けられないように制限したり、あるいは実メモリが実装されているアドレスを指定するコマンドが入力されるまで、3番目のMRSコマンド以降、何度でもMRSコマンドを受け付けて、設定を変更できるように構成してもよい。

【0043】

また図6では、上位2ビット以外全てのアドレスコードを特定値との比較に用いていたが、必ずしも全てのビットのアドレスコードを用いる必要は無い。

10

20

30

40

50

次に、MRSコマンドによる誤設定を防止する第5の手法について説明する。

【0044】

図7に示す第5の手法では、MRSコマンドを複数設ける。この設け方としては、第1～第4の手法では、アドレスコードとしてメモリが非実装のアドレスを指定したRDコマンドをMRSコマンドとしていたが、第5の手法では、これに加え、アドレスコードとしてメモリが非実装のアドレスを指定したWTコマンドもMRSコマンドとする。この場合、前者をMRS-Aとし、後者をMRS-Bとする。

【0045】

第5の手法では、2つのMRSコマンドをそれぞれ異なる動作モードの設定を行わせるコマンドとする。例えばMRS-AはRLやBLの設定を行うコマンドであり、MRS-Bはメモリコア内部の出力トランジスタの各種電圧レベルや動作タイミング等の能力切り替えを行なうコマンドとする。

【0046】

図7では、RDコマンドによるMRSコマンドであるMRS-Aのアドレスコード21jによって、RL、WL及びBL等の設定を行ない、WTコマンドによるMRSコマンドであるMRS-Aのアドレスコード21jによって、内部トランジスタの各種能力の切替を行っている。

【0047】

次に本実施形態のメモリシステムの構成について説明する。

図8は、本実施形態におけるメモリシステムの第1の構成例を示す図である。

本実施形態のメモリシステムは、メモリコントローラ31a及びメモリ32aより構成されている。

【0048】

メモリコントローラ31aは、デバイス外部から入力されるアドレスコードを受け付けるアドレス受付部33aと、アドレスコードと／WR、／CE等の制御信号の入力値からメモリ32aが解釈できる命令cmdを生成して出力するコマンド変換部33aを備えている。例えば、これまで説明してきたような実メモリを実装していないアドレス空間に対するアドレスコードを指定してRD命令が入力されると、コマンド変換部33aは、メモリ32aが理解できる命令であるMRSコマンドに変換する。

【0049】

メモリ32aは、グラフィック用メモリ等、全アドレス空間に対してメモリセルが見対応の部分を持つメモリで、ラッチ&コマンドでコード35a、Din／Doutコントローラ36a、モードレジスタ37a、モードコントローラ38a、及びメモリコア39aを備えている。

【0050】

ラッチ&コマンドデコーダ35aは、メモリコントローラ31aからの命令cmdをラッチすると共にデコードし、デコード結果に基づいてメモリコア39aに対するデータの読み出し／書き込みを制御し、及びメモリレジスタ38aにデータを書き込む。Din／Doutコントローラ36aは、メモリコントローラ31aから受け取った書き込みデータをメモリコア39aに書き込み、またメモリコア39aから読み出したデータをメモリコントローラ31aに出力する。モードレジスタ37aは、メモリ32aの各種設定がセットされるレジスタで、このモードレジスタ37aにセットされている値を変更することにより、メモリは、RL、BLなどの各種内部設定が変更される。モードコントローラ38aは、モードレジスタ37aにセットされた値に基づいて、メモリコア39a等の制御を行ない、各種内部設定の変更を実現する。メモリコア39aはメモリセルアレーやセンサンプ等からなり、アドレスコードによって指定された位置のセルからデータを読み出し／書き込みが行われるものである。

【0051】

図8の構成では、メモリ32aにメモリコントローラ31aを接続することにより本実施形態の各種動作を実現する。

10

20

30

40

50

図 9 は、本実施形態におけるメモリシステムの第 2 の構成例を示す図である。

【0052】

図 9 に示す第 2 の構成例は、メモリコントローラ 31 b をメモリ 32 b 内に内蔵した構成である。

同図の構成では、メモリコントローラ 31 b、アドレス受付部 33 b 及びコマンド変換部 33 b を備え、メモリコントローラ 31 b は、基本的には図 8 のメモリコントローラ 31 a と同じ動作を行う。

【0053】

またラッチ & コマンドでコーダ 35 a、Din/Dout コントローラ 36 b、モードレジスタ 37 b、モードコントローラ 38 b、及びメモリコア 39 b は、その基本的構成や動作図 8 の場合と同じである。 10

【0054】

この構成の場合、メモリコントローラ 31 b をメモリ 32 b に内蔵しているので、新たにメモリ 32 b にデバイスを外付けしなくても、本実施形態の各種動作を実現することが出来る。

【0055】

図 10 は、本実施形態におけるメモリシステムの第 3 の構成例を示す図である。

図 10 に示す第 3 の構成例では、図 8 の構成において、モードレジスタ 37 c をメモリ 32 c ではなく、メモリコントローラ 31 c 側に備える構成としたものである。この場合メモリコントローラ 31 c からメモリ 32 c に動作モードを示す信号が渡される。この動作モードを示す信号はデコードされたものでもよいが、メモリ 32 c 内にデコーダをもつことでメモリコントローラ 31 c とメモリ 32 c 間でやりとりするモード信号の数を減らす構成とすることも出来る。 20

【0056】

この構成により、メモリコントローラ 31 c、メモリレジスタ 37 c を備えないメモリ 32 c に対しても対応することが出来る。

図 11 は、本実施形態におけるメモリシステムの第 4 の構成例を示す図である。

【0057】

図 11 に示す第 4 の構成例では、メモリコントローラ 31 d 及びメモリ 32 d 共にモードレジスタを備えない構成で、代わりに、メモリコントローラ 31 d 及びメモリ 32 d の外部に不揮発性メモリ 40 を備えている。 30

【0058】

この不揮発性メモリ 40 は、上記した図 8 乃至図 10 のモードレジスタ 37 (37 a ~ 37 d) と基本的には、同じ機能を果たす。図 11 の構成では、モードレジスタ 37 の機能を不揮発性メモリ 40 により実現しているので、一度設定された BL、RL 等の内部設定は、電源を再投入しても消去されずに残っているので、起動する度に設定をし直す必要が無い。

【0059】

なおメモリコントローラ 31 a、31 c、31 d に接続するメモリ 32 a、32 c、32 d は、汎用のメモリデバイスであってもよい。 40

図 12 は、本実施形態のメモリシステムの別形態として示す、グラフィックコントローラの構成例を示す。

【0060】

本実施形態のメモリシステムは、図 8、図 10、図 11 に示したようなメモリコントローラ 31 とメモリ 32 のみによる構成に限らず図 12 のグラフィックコントローラのように、他の周辺機器を含む構成であってもよい。

【0061】

図 12 のグラフィックコントローラ 41 は、メモリコントローラ 43 とメモリ 44 の他に入力データを加工してビデオ信号を生成するグラフィックコア 42、グラフィックコントローラ 41 の内部クロックを生成するクロックジェネレータ、ビデオ信号を入出力する 50

ビデオインタフェース 46、及び情報処理装置のバスとの接続を司る外部バスインタフェース 47を備えている。

【0062】

この構成の場合、メモリ 44はグラフィック用のメモリなので3の倍数のアドレス空間に実メモリが割り当てられている。

このようなグラフィックコントローラ 41においても、メモリ 44の内部設定を変更したいときは、メモリコントローラ 43に対して、実メモリが割り当てられていないアドレス空間を指定してコマンドを送ることにより、RL、BL等の内部設定を変更することが出来る。

【0063】

なおグラフィックコントローラは、その使用目的や使用環境によって、様々な構成が考えられ、図12の構成は一例に過ぎない。

なお上記説明では、メモリとしてグラフィックに用いられるものを想定し、3の倍数のアドレス空間に実メモリが割り当てられているものとしたが、本実施形態のメモリシステムはこのような構成に限定されるものではなく、アドレス空間に実アドレスが実装されていない部分が存在すれば、他の構成でもよい。

【0064】

また上記説明では、メモリシステムに用いられるメモリをDRAMとしたが、SRAM等の他のメモリでもよい。

(付記1)

メモリに接続されたメモリコントローラであって、

外部からコマンドと共に入力されるアドレスコードを受け付けるアドレス受付部と、

第1のコマンドと共に入力される前記アドレスコードが、前記メモリが実装されていないアドレス空間を指すとき、前記アドレスコードに基づいてメモリの内部設定の変更を指示するMRSコマンドを前記メモリに出力するコマンド変換部と、

を備えるメモリコントローラ。

(付記2)

電源投入後、イニシャライズリセット後、あるいは、ローパワースタンバイから復帰後に前記第1のコマンドが、前記メモリが実装されていないアドレス空間を指す前記アドレスコードと共に最初に入力されたとき、前記コマンド変換部は、前記MRSコマンドを前記メモリに出力することを特徴とする付記1に記載のメモリコントローラ。

(付記3)

電源投入後、イニシャライズリセット後、あるいは、ローパワースタンバイから復帰してから、前記メモリが実装されているアドレス空間を指す前記アドレスコードが前記コマンドと共に入力されるまでの間、前記コマンド変換部は、前記第1のコマンドと共に入力される前記アドレスコードが、前記メモリが実装されていないアドレス空間を指すとき、メモリの内部設定の変更を指示するMRSコマンドを前記メモリに出力することを特徴とする付記1に記載のメモリコントローラ。

(付記4)

電源投入後、イニシャライズリセット後、あるいは、ローパワースタンバイから復帰してから、書き込みコマンドが入力されるまでの間、前記コマンド変換部は、前記第1のコマンドと共に入力される前記アドレスコードが、前記メモリが実装されていないアドレス空間を指すとき、メモリの内部設定の変更を指示するMRSコマンドを前記メモリに出力することを特徴とする付記1に記載のメモリコントローラ。

(付記5)

前記第1のコマンドがN回(Nは2以上の自然数)連続して、前記メモリが実装されていないアドレス空間を指す前記アドレスコードと共に入力されたとき、前記コマンド変換部は、前記MRSコマンドを前記メモリに出力することを特徴とする付記1に記載のメモリコントローラ。

(付記6)

10

20

30

40

50

前記N回連続して入力された第1のコマンドのうち、最初のN-1回と共に入力された前記アドレスコードが予め定められた値であるとき、前記コマンド変換部は、前記MRSコマンドを前記メモリに出力することを特徴とする付記5に記載のメモリコントローラ。
(付記7)

前記第1のコマンドは、読み出しコマンドであることを特徴とする付記1に記載のメモリコントローラ。

(付記8)

前記第1のコマンドとは異なる第2のコマンドと共に入力される前記アドレスコードが、前記メモリが実装されていないアドレス空間を指すとき、前記コマンド変換部は、メモリの内部設定の変更を指示するMRSコマンドを前記メモリに出力することを特徴とする付記1に記載のメモリコントローラ。 10

(付記9)

前記第1のコマンドは読み出しコマンドであり、前記第2のコマンドは書き込みコマンドであることを特徴とする付記8に記載のメモリコントローラ。

(付記10)

複数のメモリセルを備えるメモリコアと、
内部動作の設定値をセットするモードレジスタと、
外部からコマンドと共に入力されるアドレスコードを受け付けるアドレス受付部と、
前記メモリコアが第1のコマンドと共に入力される前記アドレスコードが指すアドレス空間に対応する前記メモリセルを備えないとき、前記アドレスコードの値に基づいて前記モードレジスタの値を書き換えるコマンド変換部と、
を備える半導体メモリ。 20

(付記11)

前記メモリコアは、2のべき乗分でないメモリセルを備えることを特徴とする付記10に記載の半導体メモリ。

(付記12)

前記メモリコアは、3の倍数分のメモリセルを備えることを特徴とする付記11に記載の半導体メモリ。

(付記13)

電源投入後、イニシャライズリセット後、あるいは、ローパワースタンバイから復帰してから、書き込みコマンドが入力されるまでの間、前記コマンド変換部は、前記第1のコマンドと共に入力される前記アドレスコードが指すアドレス空間に対応するメモリセルを前記メモリが備えないとき、前記モードレジスタの値を書き換えることを特徴とする付記11に記載の半導体メモリ。 30

(付記14)

前記第1のコマンドがN回(Nは2以上の自然数)連続して、前記メモリがメモリセルを備えないアドレス空間を指す前記アドレスコードと共に入力されたとき、前記コマンド変換部は、前記モードレジスタの値を書き換えることを特徴とする付記11に記載の半導体メモリ。

(付記15)

複数のメモリセルを備えるメモリコアを有するメモリと、
前記メモリが、第1のコマンドと共に入力される前記アドレスコードが指すアドレス空間に対応する前記メモリセルを備えないとき、前記アドレスコードの値に基づいて前記メモリの内部設定を変更するメモリコントローラと、
を備えるメモリシステム。 40

(付記16)

前記メモリは、当該メモリの内部動作の設定値をセットするモードレジスタを更に有することを特徴とする付記15のメモリシステム。

(付記17)

前記メモリコントローラは、当該メモリの内部動作の設定値をセットするモードレジス 50

タを更に有することを特徴とする付記 15 のメモリシステム。

(付記 18)

前記メモリの内部動作の設定値をセットするモードレジスタを更に備えることを特徴とする付記 15 のメモリシステム。

(付記 19)

前記モードレジスタは、不揮発性メモリにより構成されることを特徴とする付記 18 に記載のメモリシステム。

(付記 20)

前記メモリシステムは、グラフィックコントローラとして構成されることを特徴とする付記 15 に記載のメモリシステム。

10

【図面の簡単な説明】

【0065】

【図 1】グラフィックに用いられるメモリ空間を示す図である。

【図 2】MRS コマンドと RD コマンドを入力した際の、各入力端子の状態を示す図である。

【図 3】電源投入後、イニシャライズ（リセット）後、あるいは、ローパワースタンバイからの復帰後の、最初の RD コマンドのみで MRS を行なう場合を示す図である。

【図 4】MRS コマンドによる誤設定を防止する第 2 の手法について示す図である。

【図 5】MRS コマンドによる誤設定を防止する第 3 の手法について示す図である。

【図 6】MRS コマンドによる誤設定を防止する第 4 の手法について示す図である。

20

【図 7】MRS コマンドによる誤設定を防止する第 5 の手法について示す図である。

【図 8】本実施形態におけるメモリシステムの構成例を示す図である。

【図 9】本実施形態におけるメモリシステムの第 2 の構成例を示す図である。

【図 10】本実施形態におけるメモリシステムの第 3 の構成例を示す図である。

【図 11】本実施形態におけるメモリシステムの第 4 の構成例を示す図である。

【図 12】グラフィックコントローラの構成例を示す図である。

【符号の説明】

【0066】

21a～21k、22 アドレスコード

31a～31d、43 メモリコントローラ

30

32a～32d、44 メモリ

33a～33d アドレス受付部

34a～34d コマンド変換部

35a～35d ラッチ&コマンドデコーダ

36a～36d Din/Dout コントローラ

37a～37d モードレジスタ

38a～38d モードコントローラ

39a～39d メモリコア

40 不揮発性メモリ

41 グラフィックコントローラ

40

42 グラフィックコア

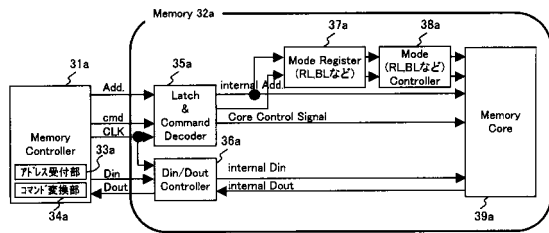
45 クロックジェネレータ

46 ビデオインタフェース

47 外部バスインタフェース

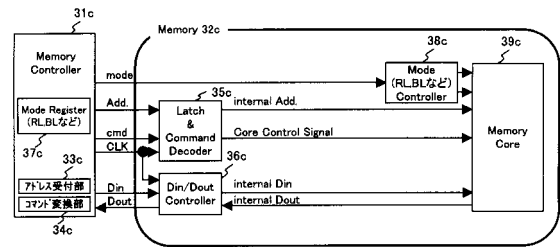
【図 8】

本実施形態におけるメモリシステムの構成例を示す図



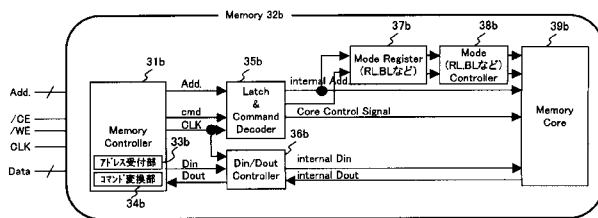
【図 10】

本実施形態におけるメモリシステムの第3の構成例を示す図



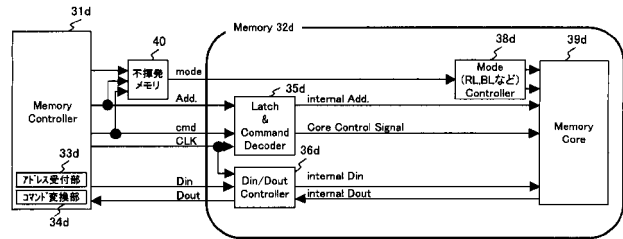
【図 9】

本実施形態におけるメモリシステムの第2の構成例を示す図



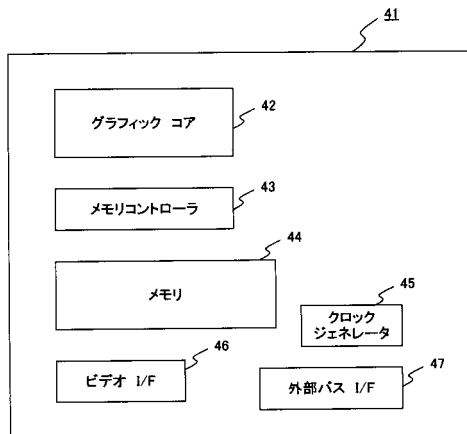
【図 11】

本実施形態におけるメモリシステムの第4の構成例を示す図



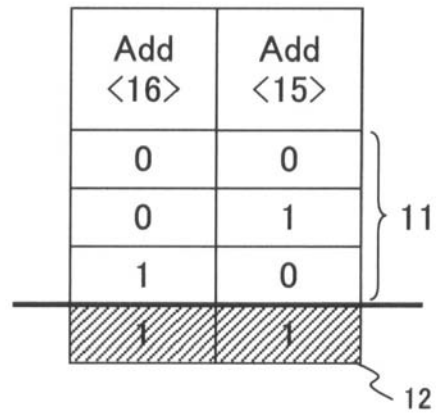
【図 12】

グラフィックコントローラの構成例を示す図

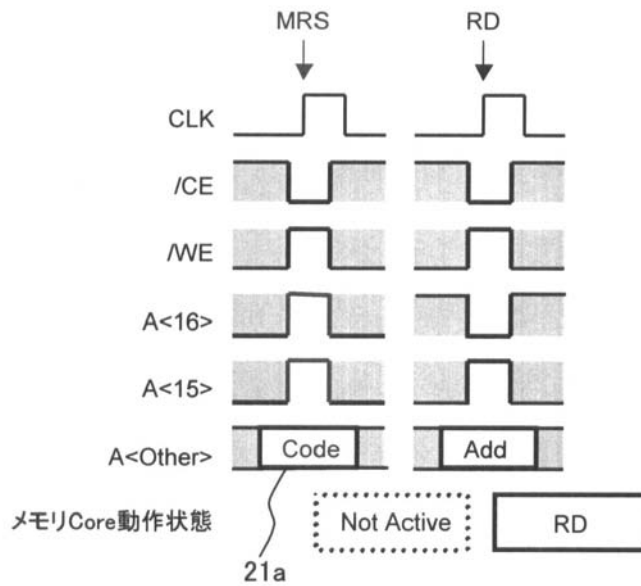


【図 1】

グラフィックに用いられるメモリ空間を示す図

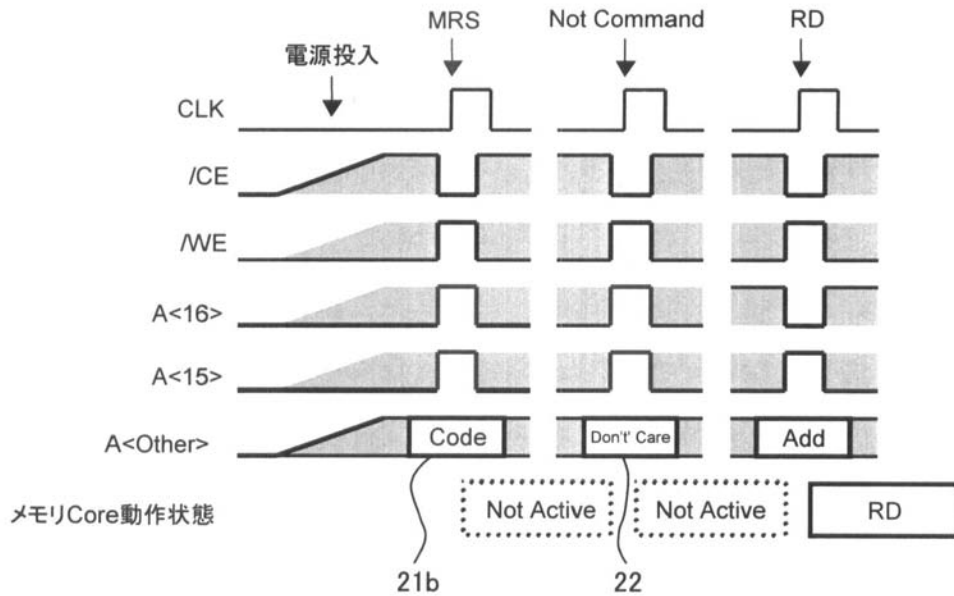


【図 2】

MRSコマンドとRDコマンドを入力した際の、
各入力端子の状態を示す図

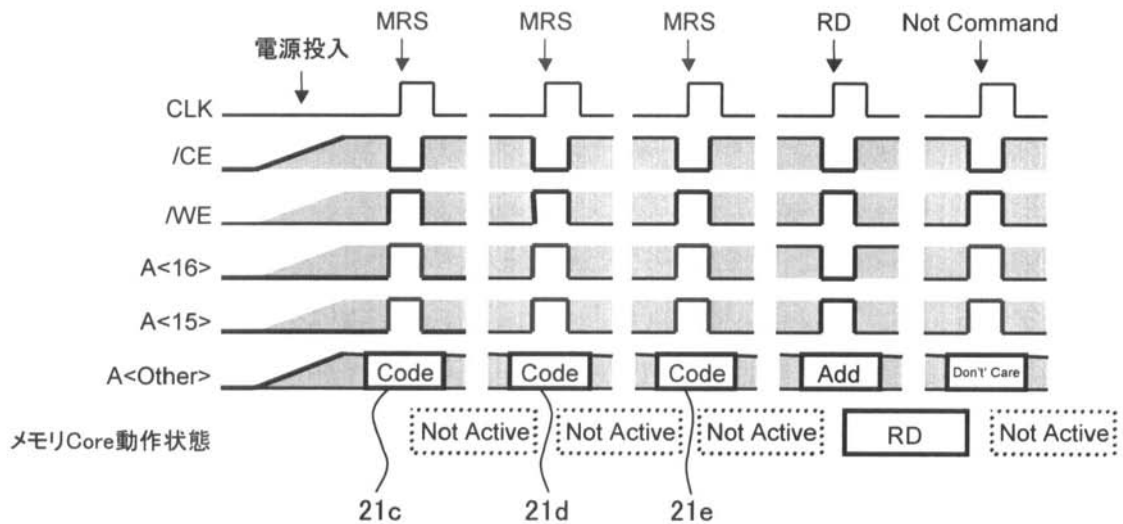
【図 3】

電源投入後、イニシャライズ(リセット)後、あるいは、
ローパワースタンバイからの復帰後の、
最初のRDコマンドのみでMRSを行なう場合を示す図



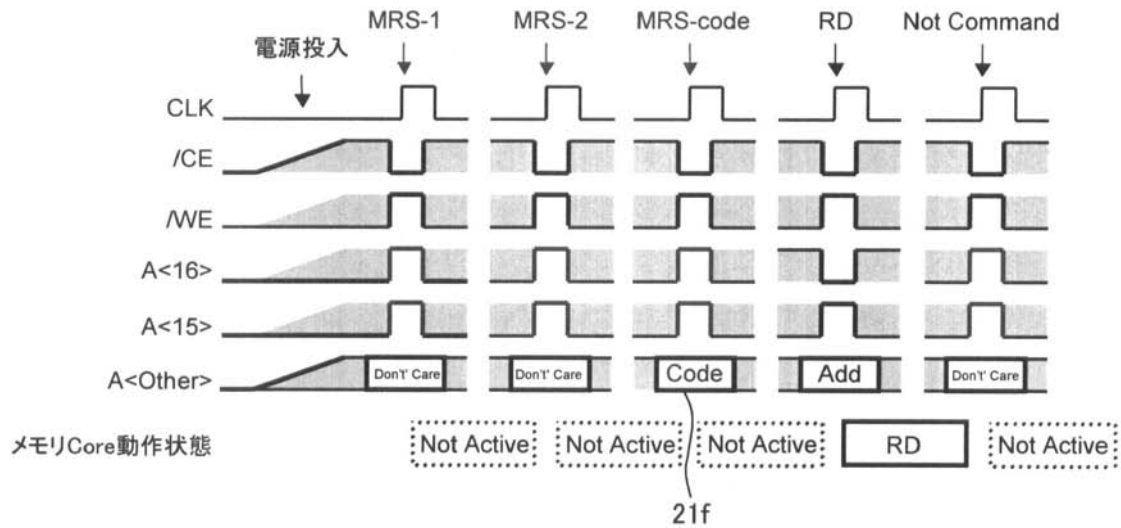
【図 4】

MRSコマンドによる誤設定を防止する第2の手法について示す図



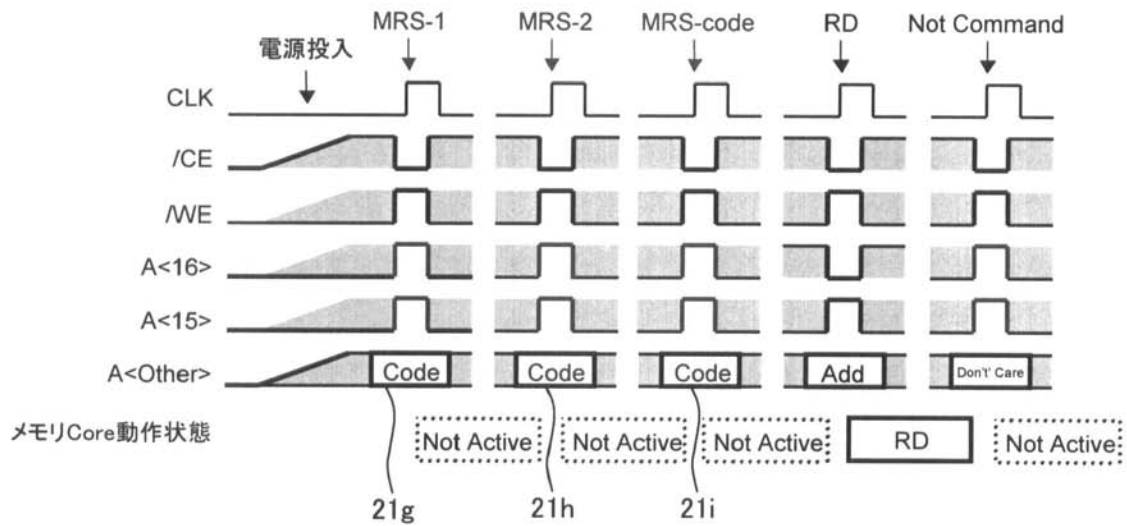
【図 5】

MRSコマンドによる誤設定を防止する第3の手法について示す図



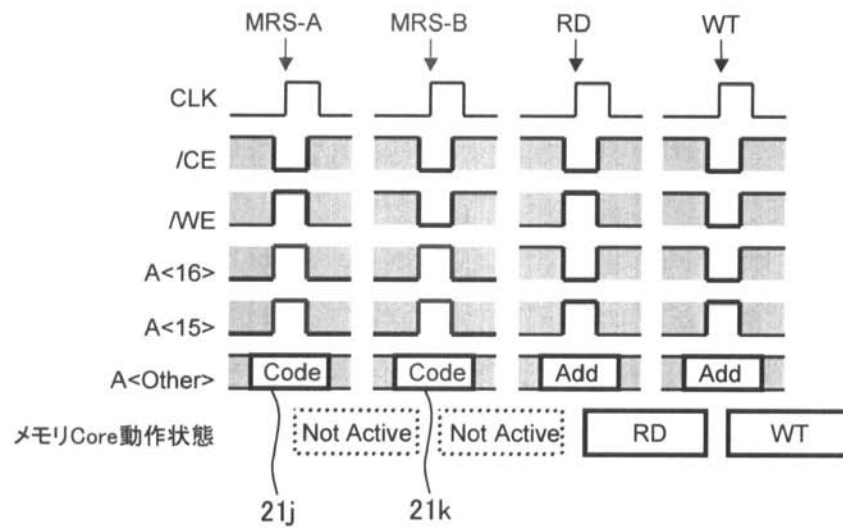
【図 6】

MRSコマンドによる誤設定を防止する第4の手法について示す図



【図 7】

MRSコマンドによる誤設定を防止する第5の手法について示す図



フロントページの続き

(72)発明者 三代 俊哉

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Fターム(参考) 5B060 AB30

5L106 AA01 DD11

5M024 AA90 BB30 BB40 JJ52 PP01 PP07