

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2011-519152

(P2011-519152A)

(43) 公表日 平成23年6月30日(2011.6.30)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/092 (2006.01)	HO 1 L 27/08 3 2 1 F	4 M 1 0 4
HO 1 L 21/8238 (2006.01)	HO 1 L 29/78 6 1 3 A	5 F 0 4 8
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 V	5 F 1 1 0
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 3 B	5 F 1 4 0
HO 1 L 27/08 (2006.01)	HO 1 L 29/78 6 1 8 B	

審査請求 未請求 予備審査請求 未請求 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2011-503484 (P2011-503484)
 (86) (22) 出願日 平成21年4月9日 (2009.4.9)
 (85) 翻訳文提出日 平成22年12月7日 (2010.12.7)
 (86) 国際出願番号 PCT/FR2009/050642
 (87) 国際公開番号 W02009/136095
 (87) 国際公開日 平成21年11月12日 (2009.11.12)
 (31) 優先権主張番号 0852464
 (32) 優先日 平成20年4月11日 (2008.4.11)
 (33) 優先権主張国 フランス (FR)

(71) 出願人 501089863
 サントル ナショナル ドゥ ラ ルシェ
 ルシェサイアンティフィク (セエヌエール
 エス)
 フランス国, エフー75016 パリ, リ
 ユ ミッシェル アンジュ3
 (74) 代理人 100099759
 弁理士 青木 篤
 (74) 代理人 100092624
 弁理士 鶴田 準一
 (74) 代理人 100122965
 弁理士 水谷 好男
 (74) 代理人 100141162
 弁理士 森 啓

最終頁に続く

(54) 【発明の名称】 相補型 p、及び n MOSFET トランジスタの製造方法、このトランジスタを包含する電子デバイス、及び少なくとも1つのこのデバイスを包含するプロセッサ

(57) 【要約】

ゲート電極 (14、28) によって制御されるチャネル (20、34) によって接続される金属ショットキーのソース電極 (10、24)、及びドレイン電極 (12、26) を有する相補型 p、及び n MOSFET トランジスタ (3、4) を製造する方法であって、p、及び n トランジスタの双方のための単一のシリサイドからソース電極、及びドレイン電極を製造することと、相補型 n トランジスタ (4) をマスクして、シリサイドと、p トランジスタのチャネル (20) との間の界面 (22) における周期表の II 族、及び III 族からの第 1 の不純物 (21) を偏析することと、相補型 p トランジスタ (3) をマスクして、シリサイドと、n トランジスタのチャネル (34) との間の界面 (36) における周期表の V 族、及び VI 族からの第 2 の不純物 (35) を偏析することと、を有する。

【選択図】 図 1

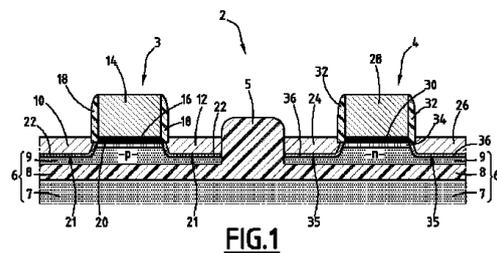


FIG.1

【特許請求の範囲】

【請求項 1】

半導体基板(6)上に配列され、かつゲート電極(14、28)によって制御されるチャンネル(20、34)によって接続される金属ショットキーのソース電極(10、24)、及びドレイン電極(12、26)をそれぞれが有する相補型p、及びnMOSFETトランジスタ(3、4)を製造する方法であって、

固体シリコン、SOI、及びSONの基板から構成されるグループから、前記基板(6)を選択することと、

前記半導体基板(6)上に配置される前記pトランジスタ、及び前記nトランジスタの双方(3、4)のための単一のシリサイドから前記ソース電極(10、24)、及び前記ドレイン電極(12、26)を製造することと、

前記pトランジスタ(3)のソース電極(10)、及びドレイン電極(12)を製造するために、前記相補型nトランジスタ(4)をマスクして、前記シリサイドと、前記pトランジスタのチャンネル(20)との間の界面(22)における周期表のII族、及びIII族からの第1の不純物(21)を偏析することと、

前記nトランジスタ(4)のソース電極(24)、及びドレイン電極(26)を製造するために、前記相補型pトランジスタ(3)をマスクして、前記シリサイドと、前記nトランジスタのチャンネル(34)との間の界面(36)における周期表のV族、及びVI族からの第2の不純物(35)を偏析することと、

を有し、前記第1の不純物、及び前記第2の不純物(21、35)の偏析は、シリサイドへの注入、金属への注入、及びシリサイド前の注入から構成されるグループの中の注入によって実行され、

前記第1の不純物、及び前記第2の不純物(21、35)は、シリサイドへの注入の場合は、700未満の温度でのアニーリングにより活性化によって、前記シリサイドと、前記チャンネル(20、34)との間の前記界面(22、36)で偏析され、金属への注入、又はシリサイド前の注入の場合は、前記単一のシリサイドを形成する間に偏析される、ことを特徴とする方法。

【請求項 2】

前記単一のシリサイドは、シリコンと、白金とを有する合金である請求項1に記載の方法。

【請求項 3】

前記単一のシリサイドは、ニッケルと、シリコンとを有する合金である請求項1に記載の方法。

【請求項 4】

前記チャンネル(20、34)を製造する技術は、無歪チャンネル、絶縁体上の歪みシリコン基板を使用することによる歪みチャンネル、ソース区域、及びドレイン区域の選択エピタキシーにより歪みチャンネル、歪み誘電材料の層を有するチャンネル、フランジ状チャンネル、並びにナノワイヤベースチャンネルから構成されるグループから、選択する請求項1~3のいずれか一項に記載の方法。

【請求項 5】

ベリリウム、マグネシウム、カルシウム、ストロンチウム、及びバリウムから構成されるII族の元素のリストから、前記pトランジスタ(3)のために前記第1の不純物(21)を選択する請求項1~4のいずれか一項に記載の方法。

【請求項 6】

ホウ素、アルミニウム、ガリウム、及びインジウムから構成されるIII族の元素のリストから、前記pトランジスタ(3)のために前記第1の不純物(21)を選択する請求項1~4のいずれか一項に記載の方法。

【請求項 7】

リン、ヒ素、及びアンチモンから構成されるV族の元素のリストから、前記nトランジスタ(4)のために前記第2の不純物(35)を選択する請求項1~6のいずれか一項に

10

20

30

40

50

記載の方法。

【請求項 8】

硫黄、セレン、及びテルルから構成される V I 族の元素のリストから、前記 n トランジスタ (4) のために前記第 2 の不純物 (3 5) を選択する請求項 1 ~ 6 のいずれか一項に記載の方法。

【請求項 9】

偏析された前記第 1 の不純物、及び前記第 2 の不純物 (2 1、3 5) の濃度は、 $5 \times 10^7 / \text{cm}^3$ と、 $5 \times 10^{21} / \text{cm}^3$ との間である請求項 1 ~ 8 のいずれか一項に記載の方法。

【請求項 10】

前記第 1 の不純物、及び第 2 の不純物 (2 1、3 5) の偏析は、シリサイドへの注入によって実行され、

前記相補型 n トランジスタ (4) をマスクして、周期表の元素の I I 族、及び I I I 族からの元素で形成される前記第 1 の不純物 (2 1) を前記シリサイドに注入して、前記 p トランジスタ (3) の前記ソース電極 (1 0)、及び前記ドレイン電極 (1 2) を製造することと、

前記相補型 p トランジスタ (3) をマスクして、周期表の元素の V 族、及び V I 族からの元素で形成される前記第 2 の不純物 (3 5) を前記シリサイドに注入して、前記 n トランジスタ (4) の前記ソース電極 (2 4)、及び前記ドレイン (2 6) 電極を製造することと、

低温アニールによる活性化によって、前記シリサイドと、前記チャネル (2 0、3 4) との間の界面において、前記第 1 の不純物 (2 1)、前記及び第 2 の不純物 (3 5) を偏析するステップと、

を有する請求項 1 ~ 9 のいずれか一項に記載の方法。

【請求項 11】

半導体基板 (6) 上に配列されるシリサイドから形成され、かつゲート電極 (1 4、2 8) によって制御されるチャネル (2 0、3 4) によって接続される金属ショットキーのソース電極 (1 0、2 4)、及びドレイン電極 (1 2、2 6) をそれぞれが有する少なくとも 1 つの p M O S F E T トランジスタ (3)、及び少なくとも 1 つの n M O S F E T トランジスタ (4) を有する型であり、前記 p、及び n M O S F E T トランジスタ (3、4) の前記ソース電極 (1 0、2 4)、及び前記ドレイン電極 (1 2、2 6) のための単一のシリサイドがあり、前記 p M O S F E T トランジスタ (3) の前記ソース電極 (1 0)、及び前記ドレイン電極 (1 2) は、前記シリサイドと、前記 p トランジスタのチャネル (2 0) との間の界面 (2 2) において偏析される周期表の I I 族、及び I I I 族からの第 1 の不純物 (2 1) を有し、前記 n M O S F E T トランジスタ (4) の前記ソース電極 (2 4)、及び前記ドレイン電極 (2 6) は、前記シリサイドと、前記 p トランジスタのチャネル (3 4) との間の界面 (3 6) において偏析される周期表の V 族、及び V I 族からの第 2 の不純物 (3 5) を有し、請求項 1 ~ 10 のいずれか一項に記載の製造方法によって取得されることを特徴とする電子デバイス (2)。

【請求項 12】

C M O S インバータ回路、論理ゲート、マルチプレクサ、揮発性メモリ、及び不揮発性メモリから構成されるグループに属する請求項 11 に記載のデバイス (2)。

【請求項 13】

少なくとも 1 つの請求項 11、又は請求項 12 に記載の電子デバイス (2) を含むことを特徴とするプロセッサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体基板上に配置される金属ソースショットキー電極、及び金属ドレインショットキー電極を有し、それぞれのトランジスタのソース電極、及びドレイン電極が、ゲート電極によって制御されるチャネルで接続される相補型 p、及び n M O S F E T トラ

10

20

30

40

50

ンジスタの製造方法に関する。

【背景技術】

【0002】

また、本発明は、少なくとも1つのpトランジスタと、少なくとも1つのnトランジスタとを有する型式であって、それぞれのトランジスタが、金属ソースショットキー電極、及び金属ドレインショットキー電極を有し、シリコン基板上に配置されるシリサイドから形成され、それぞれのトランジスタのソース電極、及びドレイン電極が、ゲート電極によって制御されるチャンネルで接続される電子デバイスに関する。

【0003】

また、この電子デバイスを包含するプロセッサに関する。

10

【0004】

米国特許第7052945号B2は、半導体基板上に配置される金属ソースショットキー電極、及び金属ドレインショットキー電極を有する相補型p、及びnMOSFETトランジスタを製造する方法を説明する。それぞれのpトランジスタのソース電極、及びドレイン電極の製造は、白金シリサイド、パラジウムシリサイド、又はイリジウムシリサイドから行われる。それぞれのnトランジスタのソース電極、及びドレイン電極の製造は、エルビウムなどの希土類ベースのシリサイドから行われる。それぞれのトランジスタのソース電極、及びドレイン電極は、チャンネルで接続される。それぞれのpトランジスタのチャンネルは、ヒ素、リン、及びアンチモンから構成されるグループからの元素によってドーブされる。それぞれのnトランジスタのチャンネルは、ホウ素、インジウム、及びガリウムから構成されるグループからの元素によってドーブされる。この方法によって、pトランジスタ、及びnトランジスタの100ナノメートルよりも小さい長さのチャンネルを取得することが可能である。チャンネルの長さは、チャンネルによって接続されるソース電極、及びドレイン電極を分離する距離である。

20

【0005】

2005年に米国半導体工業会によって刊行された国際半導体テクノロジーロードマップ(International Technology Roadmap of Semiconductor, ITRS)2005による18nmのゲート長に対応するテクノロジーノードのボトルネックを、以下に具体的に示す。

I：チャンネルとの接合におけるドーパントの高い溶解度、及びソース電極、及びドレイン電極の張り出し部分(extensions)の非常に浅い深さ($X_j=5.1\text{nm}$)

30

II：チャンネルと、ソース電極、及びドレイン電極との間の接合における急激な濃度勾配(1nm/decadeより小さい)

III：非常に薄いシリサイドの厚さ(10nm)

IV：シリサイドを形成する間の低減されるシリコン消費(8.4nmより小さい)

V：シリサイドのスクエア当たりの非常に低い抵抗(10nmの厚さのシリサイドで15.8 /)

VI：シリサイドと、チャンネルとの間の界面におけるソース電極、及びドレイン電極の非常に低い比接触抵抗(specific contact resistance)($5.4 \times 10^{-9} \text{ } \times \text{cm}^2$)

VII：低い合計接触抵抗(60~80 $\times \mu\text{m}$)

【0006】

40

米国特許第7052945号B2で説明される相補型p、及びnMOSFETトランジスタは、ボトルネックI、及びIIを防ぐことが可能である。ソースショットキー電極、及びドレインショットキー電極と、チャンネルとの間の接合は、ドーブされず、ボトルネックIII~Vを防ぐことが可能である。シリサイドの厚さは、ソースショットキー電極、及びドレインショットキー電極のために制限されない。

【0007】

しかしながら、米国特許第7052945号B2で説明される相補型p、及びnMOSFETトランジスタは、0.2eV付近のショットキー障壁を有する。白金シリサイドから製造されるpチャンネルのソース電極、及びドレイン電極では、ショットキー障壁は、実質的に0.15eVに等しくなる。イッテルビウム、エルビウムなどの希土類ベースから

50

製造される n チャンネルのソース電極、及びドレイン電極ではそれぞれ、ショットキー障壁は、 $0.2 eV$ 、 $0.25 eV$ に実質的に等しくなる。これらの比較的高いショットキー障壁では、上述の技術的なボトルネック VI 、及び VII を解決することは可能ではない。また、従来のアプローチを使用して製造される $MOSFET$ トランジスタ、すなわちチャンネルと、ソース電極、及びドレイン電極との間に強くドーブされた接合を有するトランジスタによって取得される性能に相当する性能を取得することは可能ではない。実際には、高い障壁によって、ソース電極、及びドレイン電極の十分な比接触抵抗を取得することが妨げられる。

【0008】

さらに、米国特許第 7052945 号 B2 で説明される相補型 p、及び n $MOSFET$ トランジスタを製造する方法は、希土類ベースのシリサイドを組み込んで、n トランジスタのソース電極、及びドレイン電極を製造するために、比較的複雑になる。希土類の組み込みは、酸素に非常に敏感であり、かつ超高真空において実行しなければならない。超高真空の用語は、非常に高い真空を示すために使用される。

10

【発明の概要】

【発明が解決しようとする課題】

【0009】

したがって、本発明は、ショットキーソース電極、及びショットキードレイン電極を有する相補型 p、及び n $MOSFET$ トランジスタの製造を著しく簡素化するとともに、ソース電極、及びドレイン電極の比接触抵抗を最小化するために、この相補型 p、及び n $MOSFET$ トランジスタのソース電極、及びドレイン電極のショットキー障壁を大幅に低減することを目的とする。

20

【課題を解決するための手段】

【0010】

そのためには、本発明は、
 半導体基板上に配置される p トランジスタ、及び n トランジスタの双方のための単一のシリサイドからソース電極、及びドレイン電極を製造することと、
 シリサイドと、p トランジスタのチャンネルとの間の界面における周期表の II 族、及び III 族から第 1 の不純物を偏析 (segregate) して、相補型 n トランジスタをマスクして p トランジスタのソース電極、及びドレイン電極を製造することと、
 シリサイドと、n トランジスタのチャンネルとの間の界面における周期表の V 族、及び VI 族から第 2 の不純物を偏析して、相補型 p トランジスタをマスクして n トランジスタのソース電極、及びドレイン電極を製造することと、
 を有する上述の形式の製造方法に関する。

30

【0011】

他の実施形態に従うと、本発明に係る製造方法は、以下の特徴の 1 つ、又はいくつかを単独で、又はいくつかの技術的に可能な組み合わせで有する。

単一のシリサイドは、シリコンと、白金とを有する合金である。

単一のシリサイドは、ニッケルと、シリコンとを有する合金である。

本方法は、固体シリコン (solid silicon)、 SOI (Silicon on Insulator)、 SON (Silicon on Nothing)、及びゲルマニウムベースの基板から構成されるグループから、基板を選択することを含む。

40

本方法は、無歪チャンネル (non-strained channel)、絶縁体上の歪みシリコン基板を使用することによる歪みチャンネル、ソース区域、及びドレイン区域の選択エピタキシーにより歪みチャンネル、歪み誘電材料の層を有するチャンネル、フランジ状チャンネル (flanged channel)、及びナノワイヤベースチャンネルから構成されるグループから、そのチャンネルを製造する技術を選択することを含む。

ベリリウム、マグネシウム、カルシウム、ストロンチウム、及びバリウムから構成される II 族の元素のリストから、p トランジスタのために第 1 の不純物を選択することを含む。

50

ホウ素、アルミニウム、ガリウム、及びインジウムから構成されるⅢ族の元素のリストから、pトランジスタのために第1の不純物を選択することを含む。

リン、ヒ素、及びアンチモンから構成されるⅤ族の元素のリストから、nトランジスタのために第2の不純物を選択することを含む。

硫黄、セレン、及びテルルから構成されるⅥ族の元素のリストから、nトランジスタのために第2の不純物を選択することを含む。

偏析された第1の不純物、及び第2の不純物の濃度は、 $5 \times 10^7 / \text{cm}^3$ と、 $5 \times 10^{21} / \text{cm}^3$ との間である。

第1の不純物、及び第2の不純物のは、シリサイドへの注入、金属への注入、及びシリサイド前の注入から構成されるグループの中の注入によって実行される。

10

第1の不純物、及び第2の不純物の偏析は、シリサイドへの注入によって実行され、本方法は、

相補型nトランジスタをマスクして、周期表の元素のⅢ族、及びⅣ族からの元素で形成される第1の不純物をシリサイドに注入するステップと、

相補型pトランジスタをマスクして、周期表の元素のⅤ族、及びⅥ族からの元素で形成される第2の不純物をシリサイドに注入するステップと、

低温アニールによる活性化によって、シリサイドと、チャンネルとの間の界面において、第1の不純物、及び第2の不純物を偏析するステップと、

を有し、第1の不純物、及び第2の不純物を偏析するステップの単一の活性化のためのアニリング温度は、摂氏700度よりも低い。

20

【0012】

本発明の他の対象は、pトランジスタ、及びnトランジスタのソース電極、及びドレイン電極のための単一のシリサイドがあることを特徴とする上述の形式の電子デバイスである。pトランジスタのソース電極、及びドレイン電極は、シリサイドと、pトランジスタのチャンネルとの間の界面において偏析される第1の不純物であって、周期表のⅢ族、及びⅣ族の元素である第1の不純物を有することを特徴とする。そして、nトランジスタのソース電極、及びドレイン電極は、シリサイドと、nトランジスタのチャンネルとの間の界面において偏析される第2の不純物であって、周期表のⅤ族、及びⅥ族の元素である第2の不純物を有することを特徴とする。

【0013】

30

他の実施形態に従うと、本発明に係る電子デバイスは、以下の特徴を有する。

電子デバイスは、CMOSインバータ回路、論理ゲート、マルチプレクサ、揮発性メモリ、及び不揮発性メモリから構成されるグループに属する。

【0014】

本発明の他の対象は、先に規定した少なくとも1つの電子デバイスを含むことを特徴とするプロセッサである。

【発明の効果】

【0015】

本発明、及びその有利な点は、単なる一例として提供され、かつ添付した図面に関連して提供される以下の説明を読むことによって、より理解することになるであろう。

40

【図面の簡単な説明】

【0016】

【図1】本発明の第1の実施形態に従う、絶縁体基板上的シリコンであって、シリサイドは、シリコンフィルムの全てを消費していない電子デバイスの横断面を示す図である。

【図2】本発明の第1の実施形態に従う製造方法のゲート電極を形成するステップを示す図である。

【図3】本発明の第1の実施形態に従う製造方法のソース電極、及びドレイン電極の単一のシリサイドを形成するステップを示す図である。

【図4】本発明の第1の実施形態に従う製造方法において、pトランジスタのソース電極、及びドレイン電極のシリサイドにⅢ族、又はⅣ族の不純物を注入するステップを

50

示す図である。

【図5】本発明の第1の実施形態に従う製造方法において、nトランジスタのソース電極、及びドレイン電極のシリサイドにV族、又はVI族の不純物を注入するステップを示す図である。

【図6】本発明の第1の実施形態に従う製造方法において、低温アニーリングによる活性化によって、シリサイドと、pトランジスタ、及びnトランジスタのチャンネルとの間の界面において不純物を偏析するステップを示す図である。

【図7】本発明の第1の実施形態に従って、相補型p、及びnMOSFETトランジスタにおいて、ドレイン電極の供給電圧の絶対値を0.1Vから1.6Vまで0.25Vずつ変化させて、ゲート電極の供給電圧の関数としてドレイン電流の変遷を示す曲線の組を示す図である。

10

【図8】本発明の第1の実施形態に従って、相補型p、及びnMOSFETトランジスタにおいて、ゲート電極の供給電圧の絶対値を0Vから2Vまで0.25Vずつ変化させて、ドレイン電極の供給電圧の関数としてドレイン電流の変遷を示す曲線の組を示す図である。

【図9】本発明の第1の実施形態に従って、アニーリング温度の関数としてホウ素不純物の偏析の後に、pトランジスタの正孔のショットキー障壁の変遷の結果を示す図である。

【図10】本発明の第1の実施形態に従って、アニーリング温度の関数としてヒ素不純物の偏析の後のnトランジスタの電子のショットキー障壁の変遷の結果を示す図である。

【図11】本発明の第2の実施形態に従って、アニーリング温度の関数として硫黄不純物の偏析の後のnトランジスタの電子のショットキー障壁の変遷の結果を示す図である。

20

【図12】本発明の第3の実施形態に従う、絶縁体基板上のシリコンであって、シリサイドは、シリコンフィルムの全てが消費されている電子デバイスの横断面を示す図である。

【図13】本発明の第3の実施形態に従う製造方法のソース電極、及びドレイン電極の単一のシリサイドを形成するステップを示す図である。

【図14】本発明の第4の実施形態に従う、固体シリコンの基板の電子デバイスの横断面を示す図である。

【発明を実施するための形態】

【0017】

図1において、電子デバイス2は、pMOSFETトランジスタ3と、相補型nMOSFETトランジスタ4とを有する。pMOSFETトランジスタ3は、nMOSFETトランジスタ4から絶縁体区域5によって、分離される。相補型MOSFETトランジスタ3、及び4は、半導体基板6上に製造される。説明される実施形態では、基板6は、シリコンオンインシュレータ(SOI)である。

30

【0018】

SOI基板6は、絶縁層8、及びシリコンの薄膜層9に連続的に覆われるシリコンウェハ7から形成される。絶縁層8は、シリカ(SiO_2)の層などである。薄膜層9、すなわち活性層(active layer)は、30nmよりも薄い膜厚を有し、好適には2nmから15nmの間である。完全に空乏化した(depleted)活性層9は、 $5 \times 10^{15} \sim 5 \times 10^{17} \text{cm}^{-3}$ 程度にわずかにドーピングされる。ドーピングは、pMOSFETトランジスタ3は、p型であり、nMOSFETトランジスタ4は、n型である。

40

【0019】

pMOSFETトランジスタ3は、ソース電極10と、ドレイン電極12と、ゲート電極14とを有する。ゲート電極14は、ゲート絶縁層16、及びゲート電極14のいずれかの側面に配置される絶縁支柱(insulating struts)18とによって、他の構造から電氣的に絶縁される。

【0020】

ソース電極10、及びドレイン電極12は、ゲート電極14に並べられる。ソース電極10、及びドレイン電極12は、チャンネル20で接続される。ソース電極10、及びドレイン電極12のそれぞれにおいて、第1の不純物21は、一方では、対応する電極10、

50

及び 12 と、チャンネル 20 との間の界面領域 22 で偏析され、他方では、対応する電極 10、及び 12 と、基板 6 との間で、偏析される。

【0021】

nMOSETトランジスタ 4 は、ソース電極 24 と、ドレイン電極 26 と、ゲート電極 28 とを有する。ゲート電極 28 は、絶縁ゲート層 30 と、ゲート電極 28 のいずれかの側面に配置される絶縁支柱 32 とによって、他の構造から電氣的に絶縁される。

【0022】

ソース電極 24、及びドレイン電極 26 は、ゲート電極 28 に並べられる。ソース電極 24、及びドレイン電極 26 は、チャンネル 34 で接続される。ソース電極 24、及びドレイン電極 26 のそれぞれにおいて、第 2 の不純物 35 は、一方では、対応する電極 24、及び 26 と、チャンネル 34 との間の界面区域 36 で偏析され、他方では、対応する電極 24、及び 26 と、基板 6 との間で、偏析される。

10

【0023】

pトランジスタ 3、及び nトランジスタ 4 のソース電極 10、及び 24、並びにドレイン電極 12、及び 26 は、金属ショットキー電極であり、単一のシリサイドから形成される。単一のシリサイドは、シリコンと、白金との合金 (PtSi) などである。

【0024】

チャンネル 20、及び 34 はそれぞれ、不歪チャンネルなどである。チャンネル 20、及び 34 はそれぞれ、対応するゲート電極 14、及び 28 によって、オフモードと、オンモードとの間で制御できる。オフモードにおいて、ソース電極 10、及び 24 と、ドレイン電極 12、及び 26 との間のチャンネル 20、及び 34 を循環する電流は、実質的に零である。オンモードにおいて、電荷キャリアは、チャンネル 20、及び 34 において実質的に自由に移動する。電流は、ソース電極 10、及び 24 からドレイン電極 12、及び 26 に向かって循環する。

20

【0025】

チャンネル 20、及び 34 を構成するキャリアは、活性層 9 の主要なキャリアである。すなわち、nドープでは電子であり、pドープでは正孔である。

【0026】

ゲート電極 14、及び 28 はそれぞれ、タングステンなどの金属で作られる。絶縁層 16、及び 30 は、シリカ (SiO₂) などの熱酸化 (thermal oxide) で作られる。絶縁支柱 18、及び 32 は、窒化ケイ素 (SiN) などの誘電材料から作られる。

30

【0027】

pMOSFETトランジスタのそれぞれの界面区域 22 で偏析される第 1 の不純物 21 は、元素周期表の II 族、及び III 族の元素である。上述の実施形態では、第 1 の不純物は、ホウ素である。

【0028】

nMOSFETトランジスタのそれぞれの界面区域 36 で偏析される第 2 の不純物 35 は、元素周期表の V 族、及び VI 族の元素である。上述の実施形態では、第 2 の不純物は、ヒ素である。

【0029】

偏析された不純物 21、及び 35 の濃度は、 $5 \times 10^7 / \text{cm}^3$ と $5 \times 10^{21} / \text{cm}^3$ との間であり、好適には、 $5 \times 10^{20} / \text{cm}^3$ に等しい。

40

【0030】

ここで、電子デバイス 2 を製造する方法は、図 2 ~ 6 を使用して説明される。

【0031】

製造方法は、絶縁区域 5 を形成し、トランジスタ 3、及び 4 の p 型、及び n 型に従って活性層 9 をドープすることによって、SOI を製造することによって開始する。

【0032】

図 2 に示すように、対応するゲート電極 14、及び 28 によって覆われる絶縁層 16、及び 30 を形成することが続く。次いで、誘電支柱 18、及び 32 は、等方性の蒸着、及

50

び異方性のプラズマエッチングにより、対応するゲート電極のそれぞれの側面につくられる。

【0033】

図3に示すように、製造方法は、単一のシリサイドを形成するステップにより続けられる。単一のシリサイドは、ソース電極10、及び24、並びにドレイン電極12、及び26の区域において、シリコンと、白金との合金(PtSi)の基部から形成される。説明される実施形態において、基板6のシリコンの薄膜層9の膜厚は、シリサイドにより完全には消費(consume)されない。シリコンの高純度の層は、一方でソース電極10、及び24、並びにドレイン電極12、及び26の間の区域に残り、他方で絶縁層8に残る。シリサイドが形成されるとき、ソース電極10、及び24、並びにドレイン電極12、及び26の間の区域は、ゲート電極14、及び28に並べられる。

10

【0034】

図4~6に示すように、説明される実施形態において、ソース電極10、及び24、並びにドレイン電極12、及び26と、チャンネル20、及び34との間の界面における不純物21、及び35の偏析は、シリサイドへの注入(implantation to silicide、ITS)によって、実施される。

【0035】

図4に示すように、製造方法の次のステップにおいて、周期表のII族、及びIII族からの第1の不純物21を、ソース電極10、及びドレイン電極12の区域のシリサイドにイオン注入によって閉じ込める(confine)ことを含む。説明される実施形態において、区域10、及び12に注入される第1の不純物21は、ホウ素原子である。ゲート電極28とともに、ソース電極24、及びドレイン電極26の区域は、ホウ素である第1の不純物21が注入されないように、マスク38によって保護される。

20

【0036】

シリサイドの密度は、シリコンの密度の4倍であるので、イオン注入の間、ホウ素不純物21は、ソース電極10、及びドレイン電極12の区域のシリサイド層ですぐに停止する。金属ゲート電極14は、ソース電極10、及びドレイン電極12の区域の間に位置する活性層9の部分にホウ素不純物が到達しないように、イオン注入の間、スクリーンとしての機能を果たす。したがって、注入の後、ホウ素不純物21は、活性層9に到達している非常に少ない少数との関連で、主にソース電極10、及びドレイン電極12の区域に位置する。

30

【0037】

図5に示すように、製造方法の次のステップにおいて、周期表のV族、及びVI族からの第2の不純物35を、ソース電極24、及びドレイン電極26の区域のシリサイドにイオン注入によって閉じ込める。説明される実施形態において、区域24、及び26に注入される第2の不純物35は、ヒ素原子である。ゲート電極14とともに、ソース電極10、及びドレイン電極12の区域は、ヒ素である第2の不純物35が注入されないように、マスク42によって保護される。先に説明した第1の不純物21の注入ステップと同様に、シリサイドの密度は、シリコンの密度の4倍であり、かつ金属ゲート電極28のスクリーンの役割によって、ヒ素不純物35は、活性層9に到達している非常に少ない少数との関連で、主にソース電極24、及びドレイン電極26の区域に位置する。

40

【0038】

図6に示すように、電子デバイス2の製造方法の最後のステップは、低温アニーリングステップから構成され、先に注入された第1の不純物21、及び第2の不純物35を、一方でソース電極10、及び24、並びにドレイン電極12、及び26それぞれのシリサイドと、対応するチャンネル20、及び34との界面において偏析し、他方でソース電極10、及び24、並びにドレイン電極12、及び26それぞれのシリサイドと、基板6との間で偏析する。アニーリング温度は、摂氏700度よりも低く、好適には摂氏600度に等しい。

【0039】

50

電子デバイス2の動作概念は、MOS蓄積トランジスタ(MOS accumulation transistor)の動作概念である。pMOSFETトランジスタのチャンネル20を構成するキャリアは、正孔であり、nMOSFETトランジスタのチャンネル34を構成するキャリアは、電子である。チャンネル20、及び34それぞれの伝導は、それぞれのゲート電極14、及び28と、それぞれ対応するソース電極10、及び24との間に印加される供給電圧 V_{GS} で制御する。

【0040】

簡単にするために、それぞれのゲート電極14、及び28と、それぞれ対応するソース電極10、及び24との間に印加される供給電圧 V_{GS} は、ゲート電極14、及び28の供給電圧 V_g と称する。それぞれのドレイン電極12、及び26と、それぞれ対応するソース電極10、及び24との間に印加される供給電圧 V_{DS} は、ゲート電極12、及び26の供給電圧 V_d と称する。それぞれのドレイン電極12、及び26と、それぞれ対応するソース電極10、及び24との間を循環する電流 I_{DS} は、ドレイン電流 I_d と称する。

10

【0041】

図7、及び8において、MOSFETトランジスタ3、及び4で取得される電気的性能を説明する。ここで、タンゲステンゲート電極14、及び28のゲート長は、70nmに等しく、熱酸化絶縁層16、及び30の膜厚は、2.4nmに等しく、摂氏600度に等しいアニーリング温度が不純物21、及び35を活性化(activate)する。

【0042】

図7において、曲線50~56は、pMOSFETトランジスタ3において、ドレイン電極12の供給電圧 V_d を-0.1Vから-1.6Vまで0.25Vずつ変化させて、ゲート電極14の供給電圧 V_g の関数としてドレイン電流 I_d の変遷を示す。したがって、曲線50、51、52、53、54、55、及び56はそれぞれ、供給電圧が-0.1V、-0.35V、-0.6V、-0.85V、-1.1V、-1.35V、及び-1.6Vに等しい。曲線60~66は、nMOSFETトランジスタ4において、ドレイン電極26の供給電圧 V_d を+0.1Vから+1.6Vまで0.25Vずつ変化させて、ゲート電極28の供給電圧 V_g の関数としてドレイン電流 I_d の変遷を示す。したがって、曲線60、61、62、63、64、65、及び66はそれぞれ、供給電圧が+0.1V、+0.35V、+0.6V、+0.85V、+1.1V、+1.35V、及び+1.6Vに等しい。

20

30

【0043】

図8において、曲線70~78は、pMOSFETトランジスタ3において、ゲート電極14の供給電圧 V_g を0Vから-2Vまで0.25Vずつ変化させて、ドレイン電極12の供給電圧 V_d の関数としてドレイン電流 I_d の変遷を示す。したがって、曲線70、71、72、73、74、75、76、77、及び78はそれぞれ、供給電圧が0V、-0.25V、-0.5V、-0.75V、-1V、-1.25V、-1.5V、-1.75V、及び-2Vに等しい。曲線80~88は、nMOSFETトランジスタ4において、ゲート電極28の供給電圧 V_g を0Vから+2Vまで0.25Vずつ変化させて、ドレイン電極12の供給電圧 V_d の関数としてドレイン電流 I_d の変遷を示す。したがって、曲線80、81、82、83、84、85、86、87、及び88はそれぞれ、供給電圧が0V、+0.25V、+0.5V、+0.75V、+1V、+1.25V、+1.5V、+1.75V、及び+2Vに等しい。

40

【0044】

ゲート電極14、及び28と、ソース電極10、及び24との間に供給電圧がないとき、MOSFETトランジスタ3、及び4はそれぞれ、オフモードである。実際には、ゲート電極14、及び28の供給電圧 V_g が0Vに近いとき、付加的な障壁が、ゲート電極14、及び28が発現させる電界効果により生成され、ソース電極10、及び24と、ドレイン電極12、及び26との間を電流 I_d が還流することを防止する。

【0045】

図7に示すように、pトランジスタ3では、ゲート電極14の供給電圧 V_g が本質的に

50

0 Vに等しいとき、- 0.1 Vと、- 1.6 Vとの間の供給電圧 V_d の値に関わらず、チャンネル 20 を還流するドレイン電流 I_d は、 $3 \times 10^{-9} \text{A}/\mu\text{m}$ より小さい。図 7 に示すように、n トランジスタ 4 では、ゲート電極 14 の供給電圧 V_g が本質的に 0 V に等しいとき、供給電圧 V_d が 0.1 V に等しいと、チャンネル 34 を還流するドレイン電流 I_d は、 $1 \times 10^{-8} \text{A}/\mu\text{m}$ に本質的に等しく、供給電圧 V_d が + 1.6 V に等しいと、約 $3 \times 10^{-7} \text{A}/\mu\text{m}$ の値に増加する。

【 0 0 4 6 】

p トランジスタ 3 は、ゲート電極 14 と、ソース電極 10 との間が負の供給電圧 V_g でオンモードである。n トランジスタ 4 は、ゲート電極 28 と、ソース電極 24 との間が正の供給電圧 V_g でオンモードである。また、ゲート電極 14、及び 28 それぞれの供給電圧 V_g は、トランジスタ 3、及び 4 それぞれがオンモードになるように、絶対値でしきい値 V_{th} よりも大きくならなければならない。その結果、対応するチャンネル 20、及び 34 に存在する多数キャリアの伝導層は、ソース電極 10、及び 24 をドレイン電極 12、及び 26 に接続し、電流 I_d がチャンネル 20、及び 34 を還流することが可能になる。

10

【 0 0 4 7 】

しきい値 V_{th} は、ゲート電極 14、及び 28 の材料に主に依存する。

【 0 0 4 8 】

図 8 において、p トランジスタ 3 のしきい値 V_{th} は、ドレイン電極 12 の供給電圧 V_d に依存し、曲線 73 に対応する供給電圧、すなわち - 0.75 V に実質的に等しくなる。n トランジスタ 4 のしきい値 V_{th} は、ドレイン電極 26 の供給電圧 V_d に依存し、曲線 82 に対応する供給電圧、すなわち + 0.5 V に実質的に等しくなる。

20

【 0 0 4 9 】

図 7 において曲線 50、及び 60 で示すように、しきい値 V_{th} は、過渡モードの傾きと、飽和モードの漸近線との間の交点の x 軸に対応する。グラフでは、曲線 50 のしきい値電圧 V_{th_50} は、実質的に - 0.75 V に等しく、曲線 60 のしきい値電圧 V_{th_60} は、実質的に + 0.6 V に等しい。これらは、先に図 8 の曲線から推測された値に相当する。ドレイン電極 12、及び 26 の供給電圧 V_d が増加することによって、しきい値電圧 V_{th} がわずかに減少することが図 7、及び 8 から明らかになる。

【 0 0 5 0 】

図 7 において、飽和モードで p トランジスタ 3 のチャンネル 20 を還流するドレイン電流 I_d は実質的に、ドレイン電極 12 の供給電圧 V_d が - 0.1 V に等しいとき（曲線 50）の $3 \times 10^{-5} \text{A}/\mu\text{m}$ と、ドレイン電極 12 の供給電圧 V_d が - 1.6 V に等しいとき（曲線 56）の $4.4 \times 10^{-4} \text{A}/\mu\text{m}$ との間である。飽和モードで n トランジスタ 4 のチャンネル 34 を還流するドレイン電流 I_d は実質的に、ドレイン電極 26 の供給電圧 V_d が 0.1 V に等しいとき（曲線 60）の $4 \times 10^{-5} \text{A}/\mu\text{m}$ と、ドレイン電極 26 の供給電圧 V_d が + 1.6 V に等しいとき（曲線 66）の $7.1 \times 10^{-4} \text{A}/\mu\text{m}$ との間である。

30

【 0 0 5 1 】

図 7 に示すように、p トランジスタ 3 のしきい値での傾きは、12 decade/V に実質的に等しく、n トランジスタ 4 のしきい値での傾きは、9 decade/V に実質的に等しい。

【 0 0 5 2 】

オンモードでは、ゲート電極 14、及び 28 の供給電圧 V_g の絶対値が、しきい値 V_{th} よりも大きいとき、静電的な障壁は、消失し、残りのショットキー障壁が、チャンネル 20、及び 34 におけるキャリアの強い蓄積のために、弱くなる。次いで、理想的には 0 eV に近い小さなショットキー障壁は、ショットキーソーストランジスタ 10、及び 24、並びにショットキードレイントランジスタ 12、及び 26 を有する MOSFET トランジスタ 3、及び 4 において、良好な電氣的な性能を取得するために優勢になる。

40

【 0 0 5 3 】

図 9 において、アニーリング温度の関数として p MOSFET トランジスタ 3 のショットキー障壁の変遷を示す。アニーリング温度が摂氏 500 度の温度まで上昇したとき、正孔のショットキー障壁は、大幅に減少する。摂氏 500 度を超えるアニーリング温度では

50

、正孔のショットキー障壁は、摂氏500度に等しいアニーリング温度での0.08 eVから摂氏700度に等しいアニーリング温度での0.065 eVまでわずかに減少する。したがって、好適には、アニーリング温度は、摂氏500度になるであろう。

【0054】

図10において、アニーリング温度の関数としてnMOSFETトランジスタ4のショットキー障壁の変遷は、アニーリング温度が摂氏600度が増加したときに、電子のショットキー障壁において非常に明確な減少が示される。摂氏600度を超えるアニーリング温度では、電子のショットキー障壁は、摂氏600度に等しいアニーリング温度での0.075 eVから摂氏700度に等しいアニーリング温度での0.07 eVまでわずかに減少する。したがって、好適には、アニーリング温度は、摂氏600度になるであろう。

10

【0055】

このように、不純物を偏析するステップは、摂氏700度よりも低く、好適には摂氏600度に等しい低いアニーリング温度でpMOSFETトランジスタ3、及びnMOSFETトランジスタ4のユニークなステップで実行される。

【0056】

有利には、本発明に従う電子デバイス2は、図7、及び8を使用して先に説明したように、より良好なレベルの電子的な性能を取得することが可能である。

【0057】

有利には、本発明に従う電子デバイス2は、相補型p、及びnMOSFETトランジスタ3、及び4のソース電極10、及び24、並びにドレイン電極12、及び26のショットキー障壁を著しく減少することが可能である。

20

【0058】

pMOSFETトランジスタ3において、0.08 eVよりも低いショットキー障壁は、摂氏500度以上のアニーリング温度で取得される。これは、従来のpMOSFETトランジスタのショットキー障壁の典型的な値である約0.15 eVを著しく下回る。

【0059】

nMOSFETトランジスタ4において、0.075 eVよりも低いショットキー障壁は、摂氏600度以上のアニーリング温度で取得される。これは、従来のnMOSFETトランジスタのショットキー障壁の典型的な値である0.02 eV~15 eVを著しく下回る。

30

【0060】

本発明に従う製造方法において、有利には、シリサイドを形成するステップは、著しく簡素化される。つまり、単一のシリサイドが、単一のステップを介して形成されるが、2つの異なるシリサイドを使用する従来の製造方法は、シリサイドを形成するいくつかのステップを含む。すなわち、2つの型のシリサイドそれぞれのための、蒸着ステップ、活性化ステップ、及び固有の選択的な除去ステップである。これは、本発明に従う製造方法よりも著しく複雑である。

【0061】

有利には、本発明に従う製造方法は、nトランジスタ4のシリサイドに希土類を組み入れる必要がない。これによりシリサイドを形成するステップが単純化され、超真空において実行する必要がない。

40

【0062】

図11において、第2の実施形態を示す。ここで、先に説明した実施形態と類似する構成要素には、同一の符号を使用して示される。

【0063】

第2の実施形態に従うと、nMOSFETトランジスタ4のソース電極24、及びドレイン電極26の区域に閉じ込められる第2の不純物35は、硫黄原子である。硫黄は、二重ドナー(double donor)であり、周期表のVI族に属する。

【0064】

図11において、アニーリング温度の関数としてのnMOSFETトランジスタ4のシ

50

ショットキー障壁の変遷は、アニーリング温度が摂氏500度に上昇したときに、電子のショットキー障壁の非常に明確な減少が示される。摂氏500度に等しいアニーリング温度では、ショットキー障壁は、0.1 eVに実質的に等しくなる。したがって、好適的には、nMOSFETトランジスタのアニーリング温度は、摂氏500度に等しくなるであろう。

【0065】

このように、第2の実施形態に従うと、不純物を偏析するステップは、摂氏700度よりも低く、好適には摂氏500度の低アニーリング温度で、pMOSFETトランジスタ3、及びnMOSFETトランジスタ4にのみ実施される。

【0066】

第2の実施形態の工程は、第1の実施形態の工程と同一であるので、再び説明しない。

【0067】

有利には、本発明に従う電子デバイス2は、周期表のVI族の二重ドナーで構成される不純物を偏析することによって、MOSFETトランジスタ4のソース電極24、及びドレイン電極26のショットキー障壁を著しく減少することができる。

【0068】

同様に有利には、本発明に従う電子デバイス2は、周期表のII族の二重アクセプタで構成される不純物を偏析することによって、MOSFETトランジスタ3のソース電極10、及びドレイン電極12のショットキー障壁を著しく減少することができる。

【0069】

図12、及び13において、第3の実施形態を示す。ここで、先に説明した実施形態と類似する構成要素には、同一の符号を使用して示される。

【0070】

図12において、電子デバイスのpトランジスタ3、及びnトランジスタ4のソース電極10、及び24、並びにドレイン電極12、及び26は、SOI基板6の絶縁層8と接触する。

【0071】

実際には、製造方法は、第1の実施形態で説明した製造方法と、図13に示すシリサイドを形成するステップで異なる。この第3の実施形態で単一のシリサイドを形成するステップの間、シリサイドは、ソース電極10、及び24、並びにドレイン電極12、及び26の区域に位置するシリコンの全ての活性層9を消費する。したがって、単一のシリサイドを形成した後、ソース電極10、及び24、並びにドレイン電極12、及び26は、SOI基板6のシリカ絶縁層8に接触する。弱くドーブされた活性層9は、ゲート電極14、及び28の下に位置する区域に存在したままである。

【0072】

第3の実施形態の工程は、第1の実施形態の工程と同一であるので、再び説明しない。

【0073】

図14において、第4の実施形態を示す。ここで、先に説明した実施形態と類似する構成要素には、同一の符号を使用して示される。

【0074】

電子デバイス2のpMOSFETトランジスタ3、及びnMOSFETトランジスタ4は、固体シリコン基板6の上に製造される。MOSFETトランジスタ3、及び4はそれぞれ、固体シリコン基板6の上部に、井戸(well)とも称されるわずかにドーブされた活性層9を有する。ドーブの濃度は、 $10^{15} \sim 10^{17} \text{cm}^{-3}$ に近い。井戸9のドーピングは、pMOSFETトランジスタ3でn型であり、nMOSFETトランジスタ4でp型である。

【0075】

絶縁域5の深さは、pMOSFETトランジスタ3の井戸9の正孔の移動が、nMOSFETトランジスタ4に向かうことを妨げることができる。反対にnMOSFETトランジスタ4の井戸9の正孔の移動が、pMOSFETトランジスタ3に向かうことを妨げることができる。

10

20

30

40

50

【 0 0 7 6 】

第 4 の実施形態の工程は、デプレッション M O S トランジスタの公知の工程と同一である。

【 0 0 7 7 】

他の実施形態に従うと、基板 6 は、S O N 基板である。

【 0 0 7 8 】

他の実施形態に従うと、基板 6 は、ゲルマニウムベースの基板である。

【 0 0 7 9 】

他の実施形態に従うと、ゲート電極 1 4 は、ポリシリコンで作られる。

【 0 0 8 0 】

他の実施形態に従うと、絶縁層 1 6、及び 3 0 は、酸化ハフニウム (HfO_2)、酸化ハフニウムのケイ酸塩 ($HFO Si$)、又はランタンアルミナ ($LaAlO_3$) などの高い誘電係数を有する誘電材料 (HK) で作られる。

10

【 0 0 8 1 】

他の実施形態に従うと、ソース電極 1 0、及び 2 4、並びにドレイン電極 1 2、及び 2 6 と、チャンネル 2 0、及び 3 4 の間の界面における不純物 2 1、及び 3 5 の偏析は、いずれの基板の形式において、金属への注入 ($implantation\ to\ metal$ 、 ITM) で実施される。

【 0 0 8 2 】

金属への注入は、イオン注入によって、金属への不純物 2 1、及び 3 5 を閉じ込めて、次いで、シリサイドを形成するステップの間に行われる活性化を介して、シリサイドと、対応するチャンネル 2 0、及び 3 4 との間の界面を偏析する不純物 2 1、及び 3 5 を有する。

20

【 0 0 8 3 】

他の実施形態に従うと、ソース電極 1 0、及び 2 4、並びにドレイン電極 1 2、及び 2 6 と、チャンネル 2 0、及び 3 4 の間の界面における不純物 2 1、及び 3 5 の偏析は、いずれの基板の形式において、シリサイド前注入 ($implantation\ before\ silicide$ 、 IBS) で実施される。

【 0 0 8 4 】

シリサイド前注入は、基板 6 の上部面に近接して位置する基板 6 のシリコン薄膜を介して不純物 2 1、及び 3 5 を注入して、次いで、注入した層の全ての薄膜を消費するために、ソース電極 1 0、及び 2 4、並びにドレイン電極 1 2、及び 2 6 の単一のシリサイドを形成する。不純物 2 1、及び 3 5 は、シリサイドと、界面 2 0、及び 3 4 との間の界面でシリサイドを形成するステップの間に偏析される。

30

【 0 0 8 5 】

他の実施形態に従うと、単一のシリサイドは、シリコンの白金の合金である。

【 0 0 8 6 】

他の実施形態に従うと、単一のシリサイドは、ニッケルと、シリコンとを有する合金である。

【 0 0 8 7 】

他の実施形態に従うと、アルミニウム、ゲルマニウム、又はインジウムの第 1 の不純物 2 1 は、シリサイドと、チャンネル 2 0 との間の界面で偏析されて、 $pMOSFET$ トランジスタ 3 のソース電極 1 0、及びドレイン電極 1 2 を製造する。

40

【 0 0 8 8 】

他の実施形態に従うと、ベリリウム、カルシウム、ストロンチウム、及びバリウムの第 1 の不純物 2 1 は、シリサイドと、チャンネル 2 0 との間の界面で偏析されて、 $pMOSFET$ トランジスタ 3 のソース電極 1 0、及びドレイン電極 1 2 を製造する。

【 0 0 8 9 】

他の実施形態に従うと、リン、又はアンチモンの第 2 の不純物 3 5 は、シリサイドと、チャンネル 3 4 との間の界面で偏析されて、 $nMOSFET$ トランジスタ 4 のソース電極 2

50

4、及びドレイン電極26を製造する。

【0090】

他の実施形態に従うと、セレン、又はテルルの第2の不純物35は、シリサイドと、チャンネル34との間の界面で偏析されて、nMOSFETトランジスタ4のソース電極24、及びドレイン電極26を製造する。

【0091】

他の実施形態に従うと、チャンネル20、及び34は、歪みSilicon-on-Insulator(strain Silicon-on-Insulator、sSOI)基板を使用して作られる歪みチャンネルである。

【0092】

他の実施形態に従うと、チャンネル20、及び34は、ソース電極10、及び24、並びにドレイン電極12、及び26の区域の選択エピタキシーにより作られる歪みチャンネルである。

10

【0093】

他の実施形態に従うと、チャンネル20、及び34は、歪んだ窒化物、又は歪んだ酸化物の層などの誘電材料の歪み層を使用して作られる歪みチャンネルである。

【0094】

他の実施形態に従うと、チャンネル20、及び34は、フランジ状チャンネル(flanged channel)である。

【0095】

他の実施形態に従うと、チャンネル20、及び34は、ナノワイヤベースチャンネルである。

20

【0096】

このように、本発明に従う電子デバイスは、それぞれのトランジスタのソース電極、及びドレイン電極のショットキー障壁が著しく低減されるために、pMOSFETトランジスタ、及びnMOSFETトランジスタそれぞれのソース電極、及びドレイン電極の比接触抵抗を最小化することが可能であることが理解される。

【0097】

また、本発明に従う電子デバイスの製造方法は、単一のシリサイドを使用して相補型p、及びnMOSFETトランジスタのソース電極、及びドレイン電極をつくることによって、顕著に簡素化されることが理解される。また、希土類のグループの元素を有しないシリサイドを使用することも、本発明に係る製造方法の簡素化に貢献する。

30

【 図 1 】

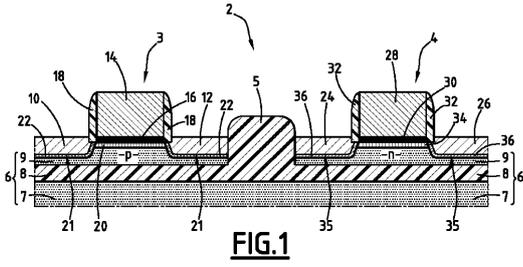


FIG.1

【 図 2 】

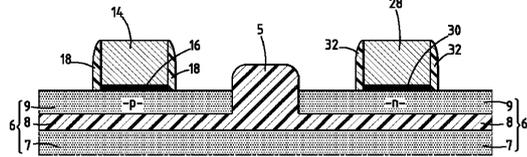


FIG.2

【 図 3 】

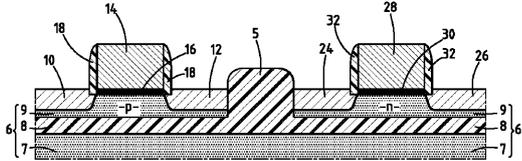


FIG.3

【 図 6 】

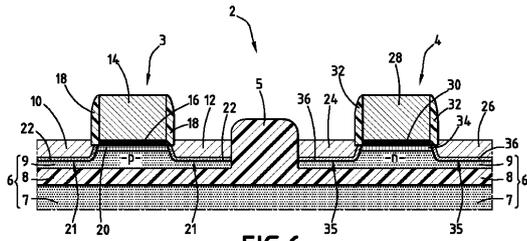


FIG.6

【 図 7 】

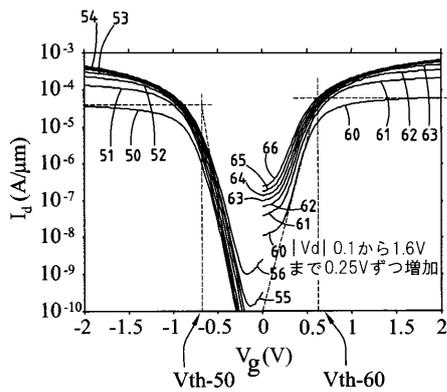


FIG.7

【 図 4 】

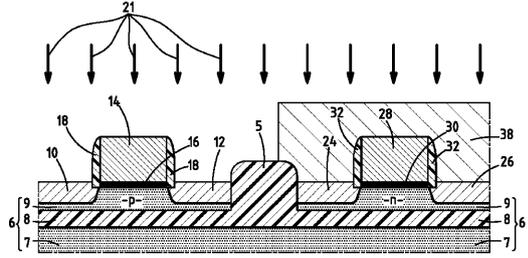


FIG.4

【 図 5 】

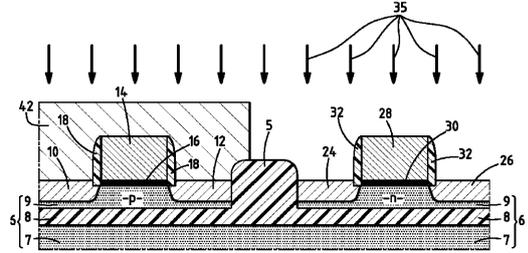


FIG.5

【 図 8 】

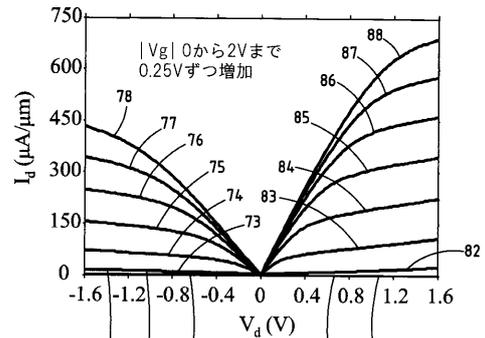


FIG.8

【 図 9 】

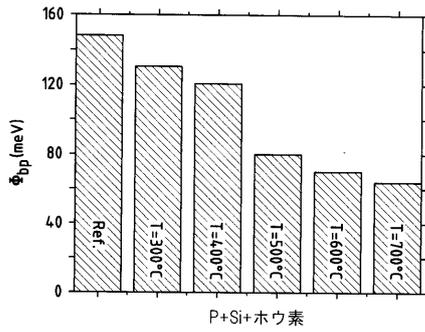


FIG.9

【 図 10 】

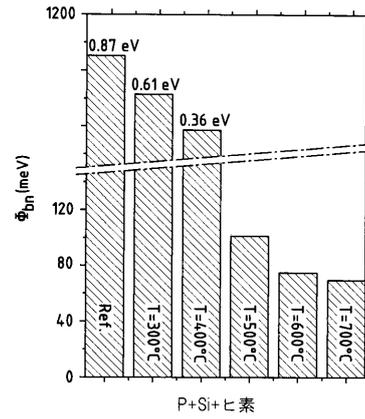


FIG.10

【 図 11 】

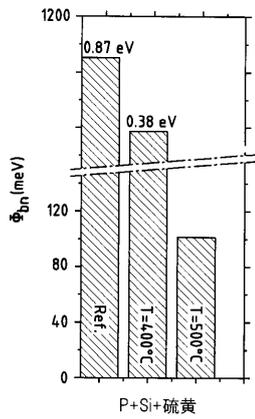


FIG.11

【 図 12 】

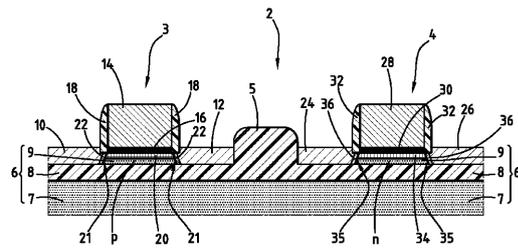


FIG.12

【 図 13 】

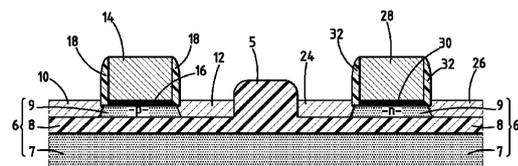


FIG.13

【 図 1 4 】

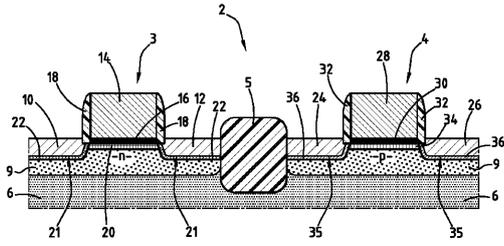


FIG.14

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No

PCT/FR2009/050642

A. CLASSIFICATION OF SUBJECT MATTER		
INV.	H01L21/336 H01L29/78 H01L21/225	H01L21/8238 H01L29/47 H01L21/265
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	BERA L K ET AL: "Dopant-Segregated Ni-Silicide Schottky-Source/Drain CMOS on Strained-Si/SiGe Multiple Quantum-Well Channel on Bulk-Si" SOLID-STATE DEVICE RESEARCH CONFERENCE, 2006. ESSDERC 2006. PROCEEDING OF THE 36TH EUROPEAN, IEEE, PI, 1 September 2006 (2006-09-01), pages 290-293, XP031047050 ISBN: 978-1-4244-0301-1 page 290 - page 291; figure 9; table 1 ----- -/--	1, 3, 4, 6, 7, 9, 11
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date, or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 30 octobre 2009		Date of mailing of the international search report 05/11/2009
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Ott, André

INTERNATIONAL SEARCH REPORT

 International application No
 PCT/FR2009/050642

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>QIU Z J ET AL: "Role of Si implantation in control of underlap length in Schottky-barrier source/drain MOSFETs on ultrathin body SOI" ULTIMATE INTEGRATION OF SILICON, 2008. ULIS 2008. 9TH INTERNATIONAL CONFERENCE ON, IEEE, PISCATAWAY, NJ, USA, 12 March 2008 (2008-03-12), pages 175-178, XP031256604 ISBN: 978-1-4244-1729-2 page 175 - page 177; figures</p>	1,2,4,6, 7,9,11
X	<p>ZHIJUN QIU ET AL: "A Comparative Study of Two Different Schemes to Dopant Segregation at NiSi/Si and PtSi/Si Interfaces for Schottky Barrier Height Lowering" IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. 54, no. 1, 1 January 2008 (2008-01-01), pages 396-403, XP011199367 ISSN: 0018-9383 page 396 - page 402; figure 1; table 1</p>	1-4,6,7, 9-11
X	<p>EP 1 763 084 A (FUJITSU LTD [JP]) 14 March 2007 (2007-03-14) paragraphs [0032], [0033]; figures 1-36</p>	1-13
A	<p>KINOSHITA A ET AL: "High-performance 50-nm-gate-length schottky-source/drain MOSFETs with dopant-segregation junctions" VLSI TECHNOLOGY, 2005. DIGEST OF TECHNICAL PAPERS. 2005 SYMPOSIUM ON KYOTO, JAPAN JUNE 14-16, 2005, PISCATAWAY, NJ, USA, IEEE, 14 June 2005 (2005-06-14), pages 158-159, XP010818281 ISBN: 978-4-900784-00-0 page 152; figure 1 & KINOSHITA A ET AL: "Solution for high-performance Schottky-source/drain MOSFETs: Schottky barrier height engineering with dopant segregation technique" VLSI TECHNOLOGY, 2004. DIGEST OF TECHNICAL PAPERS. 2004 SYMPOSIUM ON HONOLULU, HI, USA JUNE 15-17, 2004, PISCATAWAY, NJ, USA, IEEE, 15 June 2004 (2004-06-15), pages 168-169, XP010732846 ISBN: 978-0-7803-8289-3</p>	1-13

-/--

INTERNATIONAL SEARCH REPORT

International application No PCT/FR2009/050642

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>MATSUMOTO S ET AL: "CMOS APPLICATION OF SCHOTTKY SOURCE/DRAIN SOI MOSFET WITH SHALLOW DOPED EXTENSION" JAPANESE JOURNAL OF APPLIED PHYSICS, JAPAN SOCIETY OF APPLIED PHYSICS, TOKYO.; JP, vol. 43, no. 4B, 1 April 2004 (2004-04-01), pages 2170-2175, XP001227735 ISSN: 0021-4922 page 2170 - page 2174; figures</p>	1-13
A	<p>GB 2 124 428 A (WESTERN ELECTRIC CO) 15 February 1984 (1984-02-15) claims 1-25; figures</p>	1-13

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/FR2009/050642

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
EP 1763084	A	14-03-2007	JP	2007103897 A	19-04-2007
			US	2007057347 A1	15-03-2007
GB 2124428	A	15-02-1984	CA	1215476 A1	16-12-1986
			DE	3326534 A1	26-01-1984
			FR	2530867 A1	27-01-1984
			JP	1830072 C	15-03-1994
			JP	59032172 A	21-02-1984
			US	4485550 A	04-12-1984

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2009/050642

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. H01L21/336 H01L29/78 H01L21/8238 H01L29/47 H01L21/265 H01L21/225		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE		
Documentation minimale consultée (système de classification suivi des symboles de classement) H01L		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	BERA L K ET AL: "Dopant-Segregated Ni-Silicide Schottky-Source/Drain CMOS on Strained-Si/SiGe Multiple Quantum-Well Channel on Bulk-Si" SOLID-STATE DEVICE RESEARCH CONFERENCE, 2006. ESSDERC 2006. PROCEEDING OF THE 36TH EUROPEAN, IEEE, PI, 1 septembre 2006 (2006-09-01), pages 290-293, XP031047050 ISBN: 978-1-4244-0301-1 page 290 - page 291; figure 9; tableau 1 -/-	1, 3, 4, 6, 7, 9, 11
<input checked="" type="checkbox"/>	Voir la suite du cadre C pour la fin de la liste des documents	
<input checked="" type="checkbox"/>	Les documents de familles de brevets sont indiqués en annexe	
* Catégories spéciales de documents cités:		
<p>"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent</p> <p>"E" document antérieur, mais publié à la date de dépôt international ou après cette date</p> <p>"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)</p> <p>"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens</p> <p>"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée</p> <p>"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention</p> <p>"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément</p> <p>"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier</p> <p>"Z" document qui fait partie de la même famille de brevets</p>		
Date à laquelle la recherche internationale a été effectivement achevée		Date d'expédition du présent rapport de recherche internationale
30 octobre 2009		05/11/2009
Nom et adresse postale de l'Administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040. Fax: (+31-70) 340-3016		Fonctionnaire autorisé Ott, André

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2009/050642

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	<p>QIU Z J ET AL: "Role of Si implantation in control of underlap length in Schottky-barrier source/drain-MOSFETs on ultrathin body SOI" ULTIMATE INTEGRATION OF SILICON, 2008. ULIS 2008. 9TH INTERNATIONAL CONFERENCE ON, IEEE, PISCATAWAY, NJ, USA, 12 mars 2008 (2008-03-12), pages 175-178, XP031256604 ISBN: 978-1-4244-1729-2 page 175 - page 177; figures</p>	1,2,4,6, 7,9,11
X	<p>ZHIJUN QIU ET AL: "A Comparative Study of Two Different Schemes to Dopant Segregation at NiSi/Si and PtSi/Si Interfaces for Schottky Barrier Height Lowering" IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. 54, no. 1, 1 janvier 2008 (2008-01-01), pages 396-403, XP011199367 ISSN: 0018-9383 page 396 - page 402; figure 1; tableau 1</p>	1-4,6,7, 9-11
X	<p>EP 1 763 084 A (FUJITSU LTD [JP]) 14 mars 2007 (2007-03-14) alinéas [0032], [0033]; figures 1-36</p>	1-13
A	<p>KINOSHITA A ET AL: "High-performance 50-nm-gate-length schottky-source/drain MOSFETs with dopant-segregation junctions" VLSI TECHNOLOGY, 2005. DIGEST OF TECHNICAL PAPERS. 2005 SYMPOSIUM ON KYOTO, JAPAN JUNE 14-16, 2005, PISCATAWAY, NJ, USA, IEEE, 14 juin 2005 (2005-06-14), pages 158-159, XP010818281 ISBN: 978-4-900784-00-0 page 152; figure 1 & KINOSHITA A ET AL: "Solution for high-performance Schottky-source/drain MOSFETs: Schottky barrier height engineering with dopant segregation technique" VLSI TECHNOLOGY, 2004. DIGEST OF TECHNICAL PAPERS. 2004 SYMPOSIUM ON HONOLULU, HI, USA JUNE 15-17, 2004, PISCATAWAY, NJ, USA, IEEE, 15 juin 2004 (2004-06-15), pages 168-169, XP010732846 ISBN: 978-0-7803-8289-3</p>	1-13

-/--

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2009/050642

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	MATSUMOTO S ET AL: "CMOS APPLICATION OF SCHOTTKY SOURCE/DRAIN SOI MOSFET WITH SHALLOW DOPED EXTENSION" JAPANESE JOURNAL OF APPLIED PHYSICS, JAPAN SOCIETY OF APPLIED PHYSICS, TOKYO.; JP, vol. 43, no. 4B, 1 avril 2004 (2004-04-01), pages 2170-2175, XP001227735 ISSN: 0021-4922 page 2170 - page 2174; figures	1-13
A	GB 2 124 428 A (WESTERN ELECTRIC CO) 15 février 1984 (1984-02-15) revendications 1-25; figures	1-13

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2009/050642

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 1763084	A	14-03-2007	JP 2007103897 A	19-04-2007
			US 2007057347 A1	15-03-2007
GB 2124428	A	15-02-1984	CA 1215476 A1	16-12-1986
			DE 3326534 A1	26-01-1984
			FR 2530867 A1	27-01-1984
			JP 1830072 C	15-03-1994
			JP 59032172 A	21-02-1984
			US 4485550 A	04-12-1984

フロントページの続き

(51)Int.Cl.			F I			テーマコード(参考)
H 0 1 L 21/28	(2006.01)		H 0 1 L 29/78		6 1 6 K	
H 0 1 L 29/47	(2006.01)		H 0 1 L 27/08		3 3 1 E	
H 0 1 L 29/872	(2006.01)		H 0 1 L 21/28		3 0 1 S	
H 0 1 L 29/78	(2006.01)		H 0 1 L 29/48		M	
			H 0 1 L 29/78		3 0 1 S	

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100160716

弁理士 遠藤 力

(72)発明者 ラリウ, ギレム

フランス国, エフ - 5 9 6 5 0 ビルヌブ ダスク, リュ デ ベテラン, 9

(72)発明者 デュボワ, エマニュエル

フランス国, エフ - 5 9 8 9 0 ケスノワ シュール ドユル, アレ デュ ベル エール, 1 3

Fターム(参考) 4M104 AA01 AA02 AA09 BB18 BB21 BB22 BB39 BB40 CC01 CC03
DD26 DD79 DD81 DD83 DD84 DD92 GG09 GG10 GG14 HH15
HH17
5F048 AC03 AC04 BA16 BB05 BB09 BB11 BB14 BC15 BD01 BF06
BF16 DA23
5F110 AA03 BB03 BB04 BB05 BB08 CC02 DD01 DD05 DD13 EE04
EE09 EE32 FF01 FF02 FF03 FF23 GG01 GG02 GG06 GG12
GG25 GG28 GG32 GG34 GG44 HJ01 HJ04 HJ13 HJ23 HK05
HK34 HK40 HK50 QQ11
5F140 AA30 AA40 AB03 AC01 AC28 AC36 BA01 BD11 BD13 BE07
BF01 BF04 BF07 BG14 BG51 BG53 BH13 BH21 BH42 BH49
BJ01 BJ08 BJ30 BK32 BK33 BK34 BK38 CB04