

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5947904号
(P5947904)

(45) 発行日 平成28年7月6日(2016.7.6)

(24) 登録日 平成28年6月10日(2016.6.10)

(51) Int. Cl.	F I	
HO 1 L 23/12 (2006.01)	HO 1 L 23/12	5 O 1 W
HO 1 L 25/065 (2006.01)	HO 1 L 25/08	H
HO 1 L 25/07 (2006.01)	HO 1 L 25/08	E
HO 1 L 25/18 (2006.01)	HO 1 L 23/12	5 O 1 S
HO 1 L 27/10 (2006.01)	HO 1 L 25/08	G
請求項の数 12 (全 63 頁) 最終頁に続く		

(21) 出願番号	特願2014-534530 (P2014-534530)	(73) 特許権者	309034272 インヴェンサス・コーポレーション アメリカ合衆国 カリフォルニア州 95 134、サン・ホセ、オーチャード・パー クウェイ 3025
(86) (22) 出願日	平成24年10月3日(2012.10.3)	(74) 代理人	100099623 弁理士 奥山 尚一
(65) 公表番号	特表2014-529201 (P2014-529201A)	(74) 代理人	100096769 弁理士 有原 幸一
(43) 公表日	平成26年10月30日(2014.10.30)	(74) 代理人	100107319 弁理士 松島 鉄男
(86) 国際出願番号	PCT/US2012/000425	(74) 代理人	100114591 弁理士 河村 英文
(87) 国際公開番号	W02013/052080	(74) 代理人	100125380 弁理士 中村 綾子
(87) 国際公開日	平成25年4月11日(2013.4.11)		
審査請求日	平成27年10月2日(2015.10.2)		
(31) 優先権主張番号	61/600,527		
(32) 優先日	平成24年2月17日(2012.2.17)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	13/439,317		
(32) 優先日	平成24年4月4日(2012.4.4)		
(33) 優先権主張国	米国 (US)		
最終頁に続く			

(54) 【発明の名称】 直交するウインドウを有するマルチダイ・ワイヤボンド・アセンブリのためのスタブ最小化

(57) 【特許請求の範囲】

【請求項1】

メモリ記憶アレイを構成する能動素子と、
前記記憶アレイ内の位置を指定するアドレス情報を受信するアドレス入力コンタクトと、
前記記憶アレイとの間でデータを送ることと受けることとの少なくとも一方を行うデータコンタクトと
を備えた超小型電子構造体であって、
前記構造体は、第1の表面と、前記第1の表面から離れるように延び、互いに反対側にある第1の周縁部及び第2の周縁部とを有し、前記構造体は、前記第1の表面に露出した端子を有し、該端子は第1の端子を含み、前記構造体は前記第1の端子により受信したアドレス情報を前記アドレス入力コンタクトに提供し、前記第1の端子のうちの少なくともいくつかの各々には、前記アドレス入力コンタクトのうちの1以上へと送られる情報を含む信号の割当てがなされており、
前記第1の端子は、前記第1の表面に垂直な仮想平面の対向する第1の側及び第2の側に設けられており、前記第1の側に設けられている第1の端子の信号の割当てと、前記第2の側に設けられている第1の端子の信号の割当てとは、前記仮想平面に関して対称であり、
前記端子は更に、前記データコンタクトに接続され、前記第1の表面に露出した第2の端子を含み、前記第2の端子の第1部分は前記第1の端子と前記第1の周縁部との間に位

置し、前記第 2 の端子の第 2 部分は前記第 1 の端子と前記第 2 の周縁部との間に位置している、超小型電子構造体。

【請求項 2】

前記第 1 の側にある第 1 の端子の各々の信号の割当てと、前記第 2 の側にある、対応する第 1 の端子の信号の割当てとが、鏡像関係にある、請求項 1 に記載の超小型電子構造体。

【請求項 3】

前記第 1 の側に設けられている第 1 の端子と、前記第 2 の側に設けられている第 1 の端子とは、前記記憶アレイ内の位置を一意に指定するために十分なアドレス情報を伝えるものであり、

10

前記超小型電子構造体は、前記第 1 の表面において露出した複数の無接続端子を更に備えており、

前記第 1 の側にある第 1 の端子の各々の位置と、前記第 2 の側にある無接続端子の位置とは、前記仮想平面に関して対称であり、

前記第 2 の側にある第 1 の端子の各々の位置と、前記第 1 の側にある無接続端子の位置とは、前記仮想平面に関して対称である、請求項 1 に記載の超小型電子構造体。

【請求項 4】

前記第 1 の側及び前記第 2 の側の各々にある第 1 の端子は、前記記憶アレイ内の記憶位置を一意に指定するために十分な前記アドレス情報を受信するものである、請求項 1 に記載の超小型電子構造体。

20

【請求項 5】

前記第 1 の側及び前記第 2 の側の各々にある第 1 の端子は、前記記憶アレイ内の単一の記憶位置を一意に指定するために必要な前記アドレス情報の大部分を受信するものである、請求項 1 に記載の超小型電子構造体。

【請求項 6】

前記超小型電子構造体の第 1 の表面は第 1 の方向を向いており、

前記構造体は 1 以上の半導体チップを備えており、

前記アドレス入力コンタクトは、前記 1 以上の半導体チップのうちの少なくとも 1 つの半導体チップの表面において露出しており、

前記構造体は、前記第 1 の方向を向いた第 1 の表面と、前記第 1 の方向とは反対の方向を向いた第 2 の表面とを有する基板を更に備えており、

30

前記 1 以上の半導体チップは、前記基板の第 1 の表面又は第 2 の表面の少なくとも一方に重なるように設けられている、請求項 1 に記載の超小型電子構造体。

【請求項 7】

メモリ記憶アレイを構成する能動素子と、

前記記憶アレイ内の位置を指定するアドレス情報を受信するアドレス入力コンタクトと

、前記記憶アレイとの間でデータを送ることと受けることとの少なくとも一方を行うデータコンタクトと

を備えた超小型電子構造体であって、

40

前記構造体は、第 1 の表面と、前記第 1 の表面から離れるように延び、互いに反対側にある第 1 の周縁部及び第 2 の周縁部と、前記第 1 の表面から離れるように延びているとともに、互いに反対側にある前記第 1 の周縁部及び第 2 の周縁部の方向と交わる方向に延びている第 3 の周縁部及び第 4 の周縁部とを有し、前記構造体は、前記第 1 の表面に露出した端子を有し、該端子は第 1 の端子を含み、前記構造体は前記第 1 の端子により受信したアドレス情報を前記アドレス入力コンタクトに提供し、前記第 1 の端子のうちの少なくともいくつかの各々には、前記アドレス入力コンタクトのうちの 1 以上へと送られる情報を含む信号の割当てがなされており、

前記第 1 の端子は、前記第 1 の表面に垂直な仮想平面の対向する第 1 の側及び第 2 の側に設けられており、前記第 1 の側に設けられている第 1 の端子の信号の割当てと、前記第

50

2の側に設けられている第1の端子の信号の割当てとは、前記仮想平面に関して対称であり、

前記端子は更に、前記データコンタクトに接続され、前記第1の表面に露出した第2の端子を含み、前記第2の端子の第1部分は前記第1の端子と前記第1の周縁部との間に位置し、前記第2の端子の第2部分は前記第1の端子と前記第2の周縁部との間に位置し、前記第2の端子の第3部分は前記第1の端子と前記第3の周縁部との間に位置し、前記第2の端子の第4部分は前記第1の端子と前記第4の周縁部との間に位置している、超小型電子構造体。

【請求項8】

前記仮想平面は、第1の方向に延びる線において前記第1の表面と交わる第1の仮想平面であり、

10

第2の仮想平面は、前記第1の方向と交わる第2の方向に延びている線において前記第1の表面と交わっており、

前記第2の仮想平面の第1の側に設けられた第2の端子の各々の信号の割当てと、前記第2の仮想平面の第2の側にある、対応する第2の端子の信号の割当てとは、鏡像関係にある、請求項7に記載の超小型電子構造体。

【請求項9】

複数の第2の能動素子を有するバッファ素子を更に備えており、前記バッファ素子は、少なくともいくつかの前記アドレス入力コンタクトに送るために、前記アドレス情報の再生と部分的な復号化と完全な復号化とのうちの少なくとも1つを行うものである、請求項7に記載の超小型電子構造体。

20

【請求項10】

前記超小型電子構造体は、基板と、前記基板の表面にある、垂直に重ねられた複数の半導体チップを含む積重ね部とを有し、

前記積重ね部は、前記メモリ記憶アレイと、少なくとも1つの半導体チップであって、別の半導体チップの上に少なくとも部分的にあり、該半導体チップと電気的に相互接続された半導体チップとを有している、請求項7に記載の超小型電子構造体。

【請求項11】

メモリ記憶アレイを構成する能動素子と、

前記記憶アレイ内の位置を指定するアドレス情報を受信するアドレス入力コンタクトと

30

、
前記記憶アレイとの間でデータを送ることと受けることとの少なくとも一方を行うデータコンタクトと

を備えた超小型電子構造体であって、

前記構造体は、第1の表面と、前記第1の表面から離れるように延び、互いに反対側にある第1の周縁部及び第2の周縁部とを有し、前記構造体は、前記第1の表面に露出した端子を有し、該端子は第1の端子を含み、前記構造体は前記第1の端子により受信したアドレス情報を前記アドレス入力コンタクトに提供し、前記第1の端子のうちの少なくともいくつかの各々には、前記アドレス入力コンタクトのうちの1以上へと送られる情報を含む信号の割当てがなされており、

40

前記第1の端子は、前記第1の表面に垂直な仮想平面の対向する第1の側及び第2の側のそれぞれに設けられ、前記第1の端子は、前記第1の側に設けられた第1の組と前記第2の側に設けられた第2の組とを含み、前記第1の組及び前記第2の組の各々は、前記記憶アレイ内の位置を一意に指定するために十分なアドレス情報を伝えるものであり、

前記端子は更に、前記データコンタクトに接続され、前記第1の表面に露出した第2の端子を含み、前記第2の端子の第1部分は前記第1の端子の前記第1の組と前記第1の周縁部との間に位置し、前記第2の端子の第2部分は前記第1の端子の前記第2の組と前記第2の周縁部との間に位置している、超小型電子構造体。

【請求項12】

前記メモリ記憶アレイは、第1の記憶アレイと第2の記憶アレイとを有し、前記超小型

50

電子構造体は、前記第1の側にある第1の端子により受信したアドレス情報を前記第1の記憶アレイに提供するとともに、前記第2の側にある第1の端子により受信したアドレス情報を前記第2の記憶アレイに提供して、デュアルランクメモリアクセスを提供するものである、請求項11に記載の超小型電子構造体。

【発明の詳細な説明】

【技術分野】

【0001】

本願の主題は超小型電子構造体、例えば、限定はされないが、少なくとも1つの半導体チップ又は少なくとも1つの半導体チップの一部を有する構造体等の、能動回路素子を組み込んだ構造体と、超小型電子構造体を組み込んだアセンブリとに関する。

10

【0002】

[関連出願の相互参照]

本願は、2012年8月27日出願の米国特許出願第13/595,486号の継続出願であり、その出願は、2012年4月4日出願の米国特許出願第13/439,317号、同第13/439,273号、同第13/439,228号と、2012年4月5日出願の同第13/440,212号、同第13/440,199号、同第13/440,280号と、2011年12月27日出願の同第13/337,565号及び同第13/337,575号と、2012年4月5日出願の同第13/440,515号と、2012年1月20日出願の同第13/354,772号及び同第13/354,747号との一部継続出願であるとともに、2012年2月17日出願の米国仮出願第61/600,483号及び同第61/600,527号の非仮出願であって、これら仮出願の出願日の利益を主張するものである。本願は、2011年10月3日出願の米国仮出願第61/542,488号、同第61/542,495号及び同第61/542,553号の出願日の利益を主張するものでもある。これら全ての先行出願の開示内容は、引用することにより本明細書の一部をなすものとする。

20

【背景技術】

【0003】

半導体チップは、一般に、あらかじめパッケージ化された個々のユニットとして提供される。標準的なチップは、平坦で矩形の本体を有する。この本体は、チップの内部の回路部に接続されたコンタクトを有する大きな前面を有している。個々のチップの各々は、通常、チップのコンタクトに接続された外部端子を有するパッケージに含まれている。また、端子、すなわちパッケージの外部接続点は、プリント回路基板等の回路パネルに電氣的に接続するためのものである。多くの従来設計によれば、チップパッケージは、チップ自体の面積よりもかなり大きな回路パネルの面積を占めている。本明細書において、「チップの面積」とは、前面を有する平坦なチップに関して用いる場合には、前面の面積を表す用語として理解されるべきである。

30

【0004】

チップのいかなる物理的構成においても、サイズは考慮すべき重要な事項である。チップのより小型の物理的構成に対する要求は、携帯型電子デバイスの急速な発展により、更に高まりつつある。単なる例であるが、一般に「スマートフォン」と呼ばれるデバイスは、携帯電話の機能を、強力なデータプロセッサ、メモリ、並びに全地球測位システム受信機、電子カメラ及びローカルエリアネットワーク接続等の補助デバイスと、高解像度ディスプレイ及び関連する画像処理チップとともに一体化したものである。こうしたデバイスは、完全なインターネット接続、最大解像度の映像を含むエンターテインメント、ナビゲーション、電子銀行等の機能を、全てポケットサイズのデバイスにより提供することができる。複雑な携帯型デバイスにおいては、多数のチップを小さな空間に詰め込む必要がある。さらに、チップのうちのいくつかは、一般に「I/O」と呼ばれる多くの入出力接続を有している。これらのI/Oを、他のチップのI/Oと相互に接続しなければならない。相互接続を形成するコンポーネントにより、アセンブリのサイズを大幅に増加させるべきではない。同様の必要性は、例えば、インターネット検索エンジンで使用されるもの等の

40

50

、性能の向上及びサイズの低減が必要とされるデータサーバにおける用途等の他の用途でも生ずる。

【0005】

メモリ記憶アレイ、特にダイナミックランダムアクセスメモリチップ(DRAM: dynamic random access memory chip)及びフラッシュメモリチップを含む半導体チップ等の超小型電子素子は、一般に、単一チップ又は複数チップのパッケージ及びアセンブリにパッケージ化される。各パッケージは、端子と、超小型電子素子、例えばその中のチップとの間で信号を伝え、電源及び接地を接続するために数多くの電氣的接続を有する。これらの電氣的接続は、チップのコンタクト支持面に対して水平方向に延在する、例えばトレース、ビームリード等の水平導体と、チップの表面に対して垂直方向に延在するビア等の垂直導体と、チップの表面に対して水平及び垂直の両方向に延在するワイヤボンド等といった、異なった種類の導体を含むことができる。

10

【0006】

従来の超小型電子パッケージには、メモリ記憶アレイを構成する能動素子を備えた超小型電子素子を組み込むことができる。したがって、いくつかの従来の超小型電子素子では、別の素子の有無にかかわらず、トランジスタ又は他の能動素子がメモリ記憶アレイを構成する。場合によっては、この超小型電子素子は、主としてメモリ記憶アレイ機能を提供するものとして構成することができ、すなわちこの場合、超小型電子素子は、メモリ記憶アレイ機能を提供する能動素子を、他のいかなる機能よりも数多く具体化することができる。場合によっては、超小型電子素子は、DRAMチップ、又はそのような半導体チップを重ねて電氣的に相互に接続したアセンブリとすることもできるし、それらを含むものとすることもできる。通常、そのようなパッケージの端子の全ては、超小型電子素子が設けられるパッケージ基板の1以上の周縁部に隣接して列の組(sets of columns)として設けられる。例えば、図1に示している1つの従来の超小型電子パッケージ12において、パッケージ基板20の第1の周縁部16に隣接して端子の3つの列14を設けることができ、パッケージ基板20の第2の周縁部22に隣接して端子の別の3つの列18を設けることができる。従来のパッケージにおけるパッケージ基板20の中央領域24には、端子の列は全くない。図1は更に、パッケージ内の、面28上に素子コンタクト26を有する半導体チップ11を示している。素子コンタクト26は、パッケージ基板20の中央領域24における開口部、例えばボンドウインドウを通じて延びるワイヤボンド30により、パッケージ12の端子の列14、18と電氣的に相互に接続されている。場合によっては、超小型電子素子11の面28と基板20との間に接着層32を設け、ワイヤボンドが接着層32の開口部を通して延在する状態で、超小型電子素子と基板との機械的な接続を補強することができる。

20

30

【発明の概要】

【発明が解決しようとする課題】

【0007】

上記に鑑みて、超小型電子パッケージにおける端子の配置の改善を行って、特に、そのようなパッケージと、そのようなパッケージを搭載し互いに電氣的に相互接続することができる回路パネルとを備えたアセンブリにおける電氣的性能を向上させることができる。

40

【課題を解決するための手段】

【0008】

本発明の一態様によれば、メモリ記憶アレイを構成する複数の能動素子を備えることのできる超小型電子構造体が提供される。この超小型電子構造体は、前記記憶アレイ内の位置を指定するアドレス情報を受信する複数のアドレス入力部を備えている。前記構造体は、第1の表面と、前記第1の表面において露出した端子とを有することができる。前記端子は第1の端子を含むことができる。前記構造体は、前記第1の端子において受信したアドレス情報を前記アドレス入力部に与えるように構成することができる。第1の端子の各々には、前記アドレス入力部のうちの1以上に送られる情報を含む信号の割当てがなされている。前記第1の端子は、前記第1の表面に垂直な仮想平面(theoretical plane)の

50

対向する第 1 の側及び第 2 の側に設けられている。前記第 1 の側に設けられている第 1 の端子の信号の割当てと、前記第 2 の側に設けられている第 1 の端子の信号の割当てとは、前記仮想平面に関して対称である。

【 0 0 0 9 】

このような超小型電子構造体の一例として、前記第 1 の側にある第 1 の端子の各々信号の割当てと、前記第 2 の側にある第 1 の端子の各々の信号割当てとは、鏡像関係にある。

【 0 0 1 0 】

このような超小型電子構造体の別の例として、前記第 1 の端子の第 1 の組及び第 2 の組の各々は、前記メモリ記憶アレイ内の位置を指定するために十分なアドレス情報を運ぶように構成される。この例において、前記超小型電子構造体は、前記第 1 の表面において露出した複数の無接続端子 (no-connect terminal) を更に備えたものとして構成することができる。前記第 1 の側にある第 1 の端子の各々の位置と、前記第 2 の側にある無接続端子の位置とは、前記仮想平面に関して対称とすることができる。このような場合、前記第 2 の側にある第 1 の端子の各々の位置と、前記第 1 の側にある無接続端子の位置とは、前記仮想平面に関して対称とすることができる。

10

【 0 0 1 1 】

1 つ又は複数の例によれば、前記第 1 の側及び前記第 2 の側のそれぞれにある第 1 の端子は、前記記憶アレイ内の単一の記憶位置を一意に指定するために必要な前記アドレス情報を受信するものとして構成することができる。

【 0 0 1 2 】

1 つ又は複数の例によれば、前記第 1 の側及び前記第 2 の側のそれぞれにある第 1 の端子は、前記記憶アレイ内の単一の記憶位置を一意に指定するために必要な前記アドレス情報の大部分を受信するものとして構成することができる。

20

【 0 0 1 3 】

1 つ又は複数の例によれば、前記端子は、前記超小型電子構造体を回路パネルの対応するコンタクトへと電氣的に接続するものとして構成することができる。

【 0 0 1 4 】

1 つ又は複数の例によれば、前記端子は、前記超小型電子構造体を回路パネルの対応するコンタクトへと、ボンドメタルにより電氣的に接続するように構成することができる。

【 0 0 1 5 】

1 つ又は複数の例によれば、前記記憶アレイ内の能動素子の数を、前記構造体の他の構成要素内の能動素子の数よりも多くすることができる。

30

【 0 0 1 6 】

1 つ又は複数の例によれば、前記超小型電子構造体は、前記記憶アレイに関する 1 以上の動作パラメータを不揮発性記憶するシリアルプレゼンス検出 (serial presence detect, SPD) 素子を更に備えたものとして構成することができる。

【 0 0 1 7 】

1 つ又は複数の例によれば、前記構造体は、前記記憶アレイのシリアル番号と、欠陥のある位置とのいずれか又は両方を不揮発性記憶するシリアルプレゼンス検出 (SPD) 素子を更に備えたものとして構成することができる。

40

【 0 0 1 8 】

1 つ又は複数の例によれば、前記超小型電子構造体の第 1 の表面は、第 1 の方向を向いている。前記構造体は 1 以上の半導体チップを有している。前記アドレス入力部は、前記 1 以上の半導体チップのうちの少なくとも 1 つの半導体チップの表面において露出している。前記構造体は、前記第 1 の方向を向いている第 1 の表面と、前記第 1 の方向とは反対の方向を向いている第 2 の表面とを有する基板を更に備えている。前記 1 以上の半導体チップは、前記基板の第 1 の表面又は第 2 の表面のうちの少なくとも一方の上に重なるように設けられている。

【 0 0 1 9 】

1 つ又は複数の例によれば、前記超小型電子構造体の第 1 の表面は、第 1 の方向を向い

50

ている。前記構造体は、前記第1の方向を向いている第1の表面と、前記第1の方向とは反対の方向を向いている第2の表面とを有する基板を備えている。前記1以上の半導体チップのうちの少なくとも1つは、前記基板の第1の表面に重なるように設けられている。

【0020】

1つ又は複数の例によれば、前記仮想平面は、第1の方向に延びる線において前記第1の表面と交わる第1の仮想平面である。前記端子のうちの少なくともいくつかは、第2の仮想平面の対向する第1の側及び第2の側に設けられている。この第2の仮想平面は、前記第1の表面に垂直であり、かつ、前記第1の方向と交わる第2の方向に沿った第2の線において前記第1の表面と交わっている。前記第2の仮想平面の第1の側に設けられている少なくともいくつかの端子の信号の割当てと、前記第2の仮想平面の第2の側に設けられている少なくともいくつかの端子の信号割当てとは、鏡像関係にある。

10

【0021】

1つ又は複数の例によれば、前記超小型電子構造体は、複数の第2の能動素子を有するバッファ素子を備えたものとして行うことができる。前記バッファ素子は、少なくともいくつかのアドレス入力部に送るために、前記アドレス情報を再生することと、部分的に復号化することと、完全に復号化することとのうちの少なくとも1つを行うように構成することができる。

【0022】

1つ又は複数の例によれば、前記記憶アレイは、互いに少なくとも部分的に重なり合っている、垂直に重ねられた複数の半導体チップのうちの1以上に組み込むことができる。

20

【0023】

1つ又は複数の例によれば、前記超小型電子構造体は、第1の表面を有する基板を備えたものとして行うことができる。前記基板の第1の表面及び前記超小型電子構造体の第1の表面は第1の方向を向いている。垂直に重ねられた複数の半導体チップは、前記第1の方向とは反対の第2の方向を向いている前記基板の第2の表面に重なっている。

【0024】

1つ又は複数の例によれば、前記超小型電子構造体は第1の半導体チップ及び第2の半導体チップを備えている。各半導体チップは、前記第1の表面に平行な単一の面内に位置する面を有している。前記アドレス入力部のうちの少なくともいくつかは、前記第1の半導体チップの面において露出したものとして行うことができ、前記アドレス入力部のうちの少なくともいくつかは、前記第2の半導体チップの面において露出したものとして行うことができる。

30

【0025】

1つ又は複数の例によれば、前記超小型電子構造体は、1以上の半導体チップと、該1以上の半導体チップのうちの少なくとも1つの半導体チップの面に重なる表面を有する誘電体層とを備えている。前記誘電体層の表面は、前記1以上の半導体チップの面から離れる方向を向いている。前記構造体は、誘電体層に沿って延びているトレースと、該トレースから延びており、前記少なくとも1つの半導体チップの表面において露出したアドレス入力部に電氣的に接続される金属化ビア (metallized via) とを備えている。前記構造体は、前記端子により受信したアドレス情報を、前記トレース及び前記金属化ビアを通じて前記アドレス入力部へと伝えるように構成することができる。

40

【0026】

1つ又は複数の例によれば、前記超小型電子構造体の前記メモリ記憶アレイは、第1のメモリ記憶アレイ及び第2のメモリ記憶アレイを含むことができる。前記超小型電子構造体は、前記第1の側にある前記第1の端子により受信したアドレス情報を前記第1のメモリ記憶アレイに提供するとともに、前記第2の側にある前記第1の端子により受信したアドレス情報を前記第2のメモリ記憶アレイに提供して、デュアルランクメモリアクセスを提供するものとして構成することができる。

【0027】

1つ又は複数の例によれば、前記超小型電子構造体は、シングルランクメモリアクセス

50

を提供するものとして構成することができる。

【0028】

本発明の別の態様によれば、超小型電子アセンブリが提供される。この超小型電子アセンブリは、対向する第1の表面及び第2の表面と、それぞれ前記第1の表面及び前記第2の表面にある第1のパネルコンタクト及び第2のパネルコンタクトとを有する回路パネルを備えたものとして構成することができる。

【0029】

第1の超小型電子構造体及び第2の超小型電子構造体は、前記第1のパネルコンタクト及び前記第2のパネルコンタクトにそれぞれ取り付けられる端子を有している。このような態様によれば、各超小型電子構造体は、メモリ記憶アレイを構成する能動素子と、前記記憶アレイ内の位置を指定するアドレス情報を受信するアドレス入力部とを備えたものとして構成することができる。前記構造体は、第1の表面と、前記第1の表面において露出した端子とを有することができる。前記端子は第1の端子を含み、前記構造体は、前記第1の端子において受信したアドレス情報を前記アドレス入力部に送るように構成することができる。一例において、各第1の端子には、前記アドレス入力部のうちの1以上に送られる情報を含む信号の割当てをすることができる。前記第1の端子は、前記第1の表面に垂直な仮想平面の対向する第1の側及び第2の側に設けられている。前記第1の側に設けられた第1の端子の信号割当てと、前記第2の側に設けられた第1の端子の信号割当てとは、鏡像関係にある。

【0030】

1つ又は複数の例によれば、各超小型電子構造体は1以上の半導体チップを含むことができ、各超小型電子構造体のメモリ記憶アレイは、前記1以上の半導体チップのうちの少なくとも1つに組み込むことができる。各超小型電子構造体の第1の端子は、それぞれの前記超小型電子構造体の少なくとも1つの半導体チップの動作モードを制御する情報を伝える端子を含むことができる。

【0031】

1つ又は複数の例によれば、前記仮想平面の第1の側及び第2の側のそれぞれにある第1の端子は、それぞれの超小型電子構造体に送られる全てのコマンド信号を運ぶものとして構成することができる。一例では、前記コマンド信号は、書込みイネーブル信号と、行アドレス・ストロープ信号と、列アドレス・ストロープ信号とを含むことができる。

【0032】

1つ又は複数の例によれば、前記仮想平面の第1の側及び第2の側のそれぞれにある第1の端子は、それぞれの超小型電子構造体に送られるクロック信号を運ぶように構成することができる。前記クロック信号は、前記アドレス情報を運ぶ信号をサンプリングするために用いられるクロックを含む。

【0033】

1つ又は複数の例によれば、各超小型電子構造体において、前記仮想平面の第1の側及び第2の側のそれぞれにある第1の端子は、当該超小型電子構造体に送られる全てのバンクアドレス信号 (bank address signal) を運ぶように構成することができる。

【0034】

1つ又は複数の例によれば、前記第1の超小型電子構造体の仮想平面の第1の側にある第1の端子は、前記回路パネルを通じて、前記第2の超小型電子構造体の仮想平面の第2の側にある第1の端子に接続することができる。前記第1の超小型電子構造体の前記第2の側にある第1の端子は、前記回路パネルの前記第1の表面及び第2の表面に平行な、互いに直交するx方向及びy方向に沿った、前記第2の超小型電子構造体の第1の側にある、当該第1の端子が接続される対応する第1の端子の1ボールピッチ以内に位置合わせすることができる。

【0035】

1つ又は複数の例によれば、前記第1の超小型電子構造体の前記第2の側にある第1の端子は、前記回路パネルの第1の表面及び第2の表面に平行な、互いに直交するx方向及

10

20

30

40

50

びy方向に沿った、当該端子が接続される前記第2の超小型電子構造体の前記第1の側にある第1の端子と合致させることができる。

【0036】

1つ又は複数の例によれば、前記第1の超小型電子構造体の第1の端子のうちの1つと、前記第2の超小型電子構造体の第1の端子のうちの対応する1つとの間の電氣的接続のうちの少なくとも1つの電氣的接続のスタブの長さは、前記超小型電子構造体の各々の第1の端子の最小ピッチの7倍未満とすることができる。

【0037】

1つ又は複数の例によれば、前記第1の超小型電子構造体の第1の端子と前記第2の超小型電子構造体の第1の端子との間の、前記回路パネルを通じた電氣的接続の少なくともいくつかは、前記回路パネルの厚みにほぼ等しい電氣的長さとすることができる。

10

【0038】

1つ又は複数の例によれば、前記回路パネルの第1の表面及び第2の表面において露出した、電氣的に接続される一対の第1のパネルコンタクト及び第2のパネルコンタクトを接続する導電性素子を合わせた全長は、前記パネルコンタクトの最小ピッチの7倍未満とすることができる。

【0039】

1つ又は複数の例によれば、前記回路パネルは、前記超小型電子構造体のそれぞれに送られる全ての前記アドレス情報を運ぶ複数の導体を有するバスを備えることができる。前記導体は、前記回路パネルの第1の表面及び第2の表面に平行な第1の方向に延びたもの

20

【0040】

1つ又は複数の例によれば、前記第1の端子は、前記仮想平面の第1の側及び第2の側のそれぞれにある個々の列内に設けることができる。前記回路パネルは、前記第1の超小型電子構造体及び前記第2の超小型電子構造体の第1の端子が電氣的に接続される回路パネル上の接続位置と、少なくとも第3の超小型電子構造体の端子が電氣的に接続される回路パネル上の別の接続位置との間で全てのアドレス情報をグローバルルーティングするルーティング層を1つのみ備えたものとする

【0041】

1つ又は複数の例によれば、前記仮想平面の第1の側及び第2の側のそれぞれにある第1の端子は、2つの平行な列内の位置に設けることができる。前記回路パネルは、前記超小型電子構造体の1以上の超小型電子構造体の端子が電氣的に接続される前記回路パネル上の各接続位置間で全てのアドレス情報をグローバルルーティングするルーティング層を2つのみ備えたものとする

30

【0042】

1つ又は複数の例によれば、前記第1の超小型電子構造体及び前記第2の超小型電子構造体の第1の端子が電氣的に接続される前記回路パネル上の接続位置と、少なくとも第3の超小型電子構造体の端子が電氣的に接続される前記回路パネル上の別の接続位置との間で全ての前記アドレス情報をグローバルルーティングするルーティング層が1つのみ設ける

40

【図面の簡単な説明】

【0043】

【図1】従来の超小型電子パッケージを示す断面図である。

【図2】本明細書において参照される超小型電子アセンブリを示す斜視図である。

【図3】本明細書において参照される超小型電子アセンブリを示す断面図である。

【図4】図3に示したようなアセンブリ内の一対の超小型電子パッケージ間の電氣的相互接続を示す説明図である。

【図5】本発明の一実施形態による超小型電子構造体を示す断面図である。

【図5A】本発明の一実施形態による超小型電子構造体の端子の配置を示す平面図である。

50

【図 5 B】図 5 A に示したようなパッケージにおける端子の可能な配置を示す別の平面図である。

【図 5 C】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 5 D】本発明の一実施形態による超小型電子構造体を示す断面図である。

【図 5 E】本発明の一実施形態による、積み重ねた超小型電子構造体を示す断面図である。

。

【図 5 F】本発明の一実施形態による、積み重ねた超小型電子構造体を示す断面図である。

。

【図 5 G】本発明の一実施形態による超小型電子構造体を示す断面図である。

【図 5 H】本発明の一実施形態による、超小型電子構造体における端子の配置を示す平面図である。

10

【図 6 A】本発明の一実施形態による、パッケージに組み込まれる超小型電子素子における素子コンタクトの種々の配置を示す平面図である。

【図 6 B】本発明の一実施形態による、パッケージに組み込まれる超小型電子素子における素子コンタクトの種々の配置を示す平面図である。

【図 6 C】本発明の一実施形態による、パッケージに組み込まれる超小型電子素子における素子コンタクトの種々の配置を示す平面図である。

【図 7 A】本発明の一実施形態による超小型電子アセンブリを示す断面図である。

【図 7 B】本発明の一実施形態による超小型電子アセンブリを示す斜視図である。

【図 8】本発明の一実施形態による超小型電子パッケージを示す断面図である。

20

【図 9】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 10】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 11】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 12】本発明の一実施形態による超小型電子パッケージを示す平面図である。

【図 13】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 14】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 15 A】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 15 B】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 16】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 17】図 16 に示したような超小型電子パッケージを更に示す断面図である。

30

【図 18】図 16 に示したような本発明の一実施形態による超小型電子パッケージを更に示す平面図である。

【図 19】図 16 に示したような第 1 の超小型電子パッケージ及び第 2 の超小型電子パッケージを組み込んだ超小型電子アセンブリを示す断面図である。

【図 20】図 16 に示したような本発明の一実施形態による超小型電子パッケージにおける代替的な端子配置を示す説明図である。

【図 21】図 16 に示したような本発明の一実施形態による超小型電子パッケージにおける代替的な端子配置を示す説明図である。

【図 22】図 16 に示したような本発明の実施形態の変形形態による超小型電子パッケージを示す断面図である。

40

【図 23】本発明の一実施形態による超小型電子パッケージを示す平面図である。

【図 24】本発明の一実施形態による超小型電子パッケージを示す平面図である。

【図 25】本発明の一実施形態による超小型電子パッケージを示す平面図である。

【図 26】本発明の一実施形態による超小型電子パッケージを示す平面図である。

【図 27】本発明の一実施形態による超小型電子パッケージを示す平面図である。

【図 28】本発明の一実施形態による超小型電子パッケージを示す平面図である。

【図 29】本発明の一実施形態による超小型電子パッケージを示す平面図である。

【図 30】本発明の一実施形態による超小型電子パッケージを示す平面図である。

【図 31】本発明の一実施形態によるシステムを示す断面図である。

【発明を実施するための形態】

50

【 0 0 4 4 】

図 1 に関して説明した例示的な従来の超小型電子パッケージ 1 2 に鑑みて、本発明者らは、メモリ記憶アレイチップを組み込んだ超小型電子構造体及びそのような超小型電子構造体を組み込んだアセンブリの電気的性能の向上に役立つ可能な改善を認識している。

【 0 0 4 5 】

特に、パッケージ等の超小型電子構造体の使用に際して、例えば図 2 ~ 図 4 に示しているようなアセンブリに設けられた場合に、改善をすることができる。これらの図において、パッケージ 1 2 A が回路パネルの表面に設けられ、それと対向するように、別の同様のパッケージ 1 2 B が回路パネルの反対側の表面に設けられている。パッケージ 1 2 A、1 2 B は通常、機能的及び機械的に互いに同等である。機能的及び機械的に同等なパッケージの他の対である 1 2 C 及び 1 2 D と、1 2 E 及び 1 2 F とをも、通常同じ回路パネル 3 4 に設けることができる。回路パネルとそれに取り付けられたパッケージとは、一般にデュアルインラインメモリモジュール (dual in-line memory module) (「D I M M」) と呼ばれるアセンブリの一部を構成することができる。対向して設けられたパッケージの各対におけるパッケージ、例えばパッケージ 1 2 A、1 2 B は、回路パネルの対向する表面にあるコンタクトに接続し、各対におけるパッケージ同士が通常、各々の面積の 9 0 % 以上にわたり互いに重なるものとなっている。回路パネル 3 4 内のローカル配線は、端子、例えば各パッケージの「1」、「5」とラベル付けされた端子を回路パネル上のグローバル配線へと接続する。グローバル配線は、接続位置 I、I I、及び I I I 等の、回路パネル 3 4 上の接続位置に何らかの信号を伝えるためのバス 3 6 の信号導体を有する。例えば、パッケージ 1 2 A、1 2 B は、接続位置 I に接続されたローカル配線によってバス 3 6 に電氣的に接続され、パッケージ 1 2 C、1 2 D は、接続位置 I I に接続されたローカル配線によってバスに電氣的に接続され、パッケージ 1 2 E、1 2 F は、接続位置 I I I に接続されたローカル配線によってバスに電氣的に接続されている。

【 0 0 4 6 】

回路パネル 3 4 は、十字型すなわち「シューレース」パターンに似たローカル相互接続配線により、パッケージ 1 2 A、1 2 B の各々の端子を電氣的に相互接続する。ここで、パッケージ 1 2 A の一方の縁部 1 6 付近の「1」というラベルが付された端子は、回路パネル 3 4 を通ってパッケージ 1 2 B の同じ側の縁部 1 6 付近の、パッケージ 1 2 B の「1」というラベルが付された端子に接続している。しかし、回路パネル 3 4 に取り付けられたパッケージ 1 2 B の縁部 1 6 は、パッケージ 1 2 A の縁部 1 6 から遠くに位置している。図 2 ~ 図 4 はさらに、パッケージ 1 2 A の縁部 2 2 付近の「5」というラベルが付された端子が、回路パネル 3 4 を通ってパッケージ 1 2 B の同じ縁部 2 2 付近の、パッケージ 1 2 B の「5」というラベルが付された端子に接続することも示す。アセンブリ 3 8 において、パッケージ 1 2 A の縁部 2 2 はパッケージ 1 2 B の縁部 2 2 から遠くに位置している。

【 0 0 4 7 】

各パッケージ、例えばパッケージ 1 2 A 上の端子と、その反対側に設けられたパッケージすなわちパッケージ 1 2 B 上の対応する端子との間の、回路パネルを通る接続は、かなり長いものである。図 3 から更にわかるように、同様の超小型電子パッケージ 1 2 A、1 2 B のこのようなアセンブリにおいて、回路パネル 3 4 は、バス 3 6 の信号導体を、バスから同じ信号が各パッケージに送られることになっている場合には、「1」という印がついたパッケージ 1 2 A の端子と、「1」という印がついたパッケージ 1 2 B の対応する端子とに対して、電氣的に相互に接続することができる。同様に、回路パネル 3 4 は、バス 3 6 の別の信号導体を、「2」という印がついたパッケージ 1 2 A の端子と、「2」という印がついたパッケージ 1 2 B の対応する端子とに対して、電氣的に相互に接続することができる。同じことが、「3」という印がついた各パッケージ 1 2 A、1 2 B の端子の回路パネル 3 4 を通る電氣的接続についてもいえる。同じ接続の仕組みを、バスの別の信号導体及びそれぞれのパッケージの対応する端子にも当てはめることができる。回路パネル

3 4 上のバス 3 6 と、パッケージの各々の対における各パッケージ、例えば、パッケージ 1 2 A、1 2 B (図 2) との間の、基板の接続位置 I におけるローカル配線は、非終端型のスタブ (unterminated stub) の形式とすることができる。このようなローカル配線は、比較的長い場合には、場合によっては後述するようにアセンブリ 3 8 の性能に影響を及ぼす可能性がある。さらに、回路パネル 3 4 においては、他のパッケージ、すなわちパッケージの対 1 2 C 及び 1 2 D 並びにパッケージの対 1 2 E 及び 1 2 F におけるある端子をバス 3 6 のグローバル配線に電氣的に相互に接続するようなローカル配線も要求され、このような配線も、同じようにアセンブリの性能に影響を及ぼす可能性がある。

【 0 0 4 8 】

図 4 は更に、信号「1」、「2」、「3」、「4」、「5」、「6」、「7」、及び「8」を伝えるために割り当てられた端子のそれぞれの対における、超小型電子パッケージ 1 2 A と 1 2 B との間の相互接続を示している。図 4 からわかるように、端子の列 1 4、1 8 は各パッケージ 1 2 A、1 2 B それぞれの縁部 1 6、2 2 の付近にあるため、端子の列 1 4、1 8 が延びている方向 4 2 に直交する方向 4 0 において回路パネル 3 4 を横断するために必要な配線は、非常に長くなる可能性がある。D R A M チップ等の超小型電子素子の長さは、それぞれの辺において 1 0 ミリメートルの範囲にすることができるということを知れば、対向して設けられる 2 つのパッケージ 1 2 A、1 2 B の対応する端子に同じ信号をルーティングするのに必要な、図 2 ~ 図 4 に示したアセンブリ 3 8 における回路パネル 3 4 内のローカル配線の長さは、場合によっては 5 ミリメートルから 1 0 ミリメートルの範囲に及ぶ可能性があり、通常は約 7 ミリメートルとすることができる。

【 0 0 4 9 】

場合によっては、このように対向して設けられる超小型電子パッケージの端子を接続するために必要な回路パネルの配線の長さは、アセンブリの電氣的性能にひどく影響を及ぼさない場合がある。しかし、パッケージ 1 2 A、1 2 B 上の互いに接続された端子の対によって運ばれる信号が、アドレス情報か、又は回路パネルに接続された複数のパッケージのメモリ記憶アレイ機能の動作に共通のアドレス情報をサンプリングするために利用できるクロック情報等の他の情報かを伝えるために用いるバス 3 6 からの信号である場合には、バス 3 6 からそれぞれのパッケージ上の端子まで延びているスタブの配線長さが性能に著しく影響を及ぼす場合があるということを知れば、本発明者らは認識している。相互接続を行う配線が比較的長い場合には、より甚だしく影響があり、それによって、送信信号の安定時間、リングング、ジッタ、又は符号間干渉が受け入れがたい程度にまで増大する可能性がある。

【 0 0 5 0 】

特定の実施形態において、アドレス情報を伝えるために用いるバス 3 6 は、コマンド情報、アドレス情報、バンクアドレス情報、及びクロック情報を伝えるためのコマンド・アドレス・バス 3 6 とすることができる。具体的な実施にあたり、コマンド情報は、回路パネル上のそれぞれの信号導体上のコマンド信号として送信することができる。アドレス情報を、それぞれの信号導体上のアドレス信号として送信することもでき、バンクアドレス情報を、それぞれの信号導体上のバンクアドレス信号として送信することもでき、クロック情報を、それぞれの信号導体上のクロック信号として送信することもできる。D R A M チップ等のメモリ記憶アレイを有する超小型電子素子の具体的な実施にあたり、バス 3 6 が運ぶことができるコマンド信号は、書込み許可 (write enable)、行アドレス・ストロープ、及び列アドレス・ストロープとすることができ、バス 3 6 が運ぶことができるクロック信号は、少なくともバス 3 6 が運ぶアドレス信号をサンプリングするためのクロック信号とすることができる。

【 0 0 5 1 】

したがって、本明細書において説明する本発明のある実施形態によれば、このような第 1 のパッケージ及び第 2 のパッケージが、回路パネル、例えば回路基板、モジュール基板若しくはカード、又はフレキシブル回路パネルの、向かい合った面に対向するように設けられる場合に、回路パネル上のスタブの長さを短くできるように構成された超小型電子パ

10

20

30

40

50

パッケージが提供される。互いに向かい合うように回路パネルに設けられた第1の超小型電子パッケージ及び第2の超小型電子パッケージを組み込んだアセンブリは、それぞれのパッケージ間のスタブの長さを非常に短くすることができる。このようなアセンブリにおいてスタブの長さを短くすると、例えばなかでも整定時間、リングング、ジッタ、又は符号間干渉のうちの1以上を低減することにより、電気的性能を向上させることができる。さらに、回路パネルの構造の単純化、又は回路パネルの設計若しくは製造、若しくは回路パネルの設計及び製造の両方の複雑性及びコストの低減等、他の利点もまた得ることができる。

【0052】

先に述べたような、本発明の実施形態による超小型電子構造体100を図5及び図5Aに示している。図5に示しているように、構造体100は、第1の表面201と、複数の端子、例えば第1の表面において露出した第1の端子104及び第2の端子106とを有している。本明細書において、導電性素子が構造体の表面「において露出する(exposed at)」という表現は、上記導電性素子が、上記構造体の外側からその表面に向かってその表面に対して垂直な方向に移動する仮想点(theoretical point)との接触のために利用できることを意味する。したがって、構造体の表面において露出する端子又は他の導電性素子は、そのような表面から突出したものとすることができるか、そのような表面と同一平面をなすものとすることができるか、又はそのような表面から後退し、その構造体内の穴又はくぼみを通じて露出したものとすることができる。

【0053】

超小型電子構造体100は、その上に能動素子202、例えば、トランジスタのような能動デバイス、若しくは他の能動素子を含むことができ、これらの能動素子により、他の素子の有無にかかわらず、メモリ記憶アレイ204が構成される。一例では、能動素子202、及び能動素子によって構成されるメモリ記憶アレイ204は、超小型電子構造体の1つの超小型電子素子の一部内に、又は1以上の超小型電子素子、例えば、1以上の半導体チップ内に組み込むことができるか、又は超小型電子構造体の1以上の超小型電子パッケージ又はそのアセンブリ内に組み込むことができる。限定はされないが、一例では、超小型電子構造体100は、例えば、超小型電子パッケージ若しくはその一部とすることができる。パッケージの第1の表面において端子が露出する。別の例では、超小型電子構造体は、電氣的に接続された複数の超小型電子パッケージを含むアセンブリとすることができるか、又は電氣的に接続された超小型電子素子、半導体チップ、又は超小型電子素子若しくは半導体チップの一部、又は超小型電子パッケージの一部を含む構造とすることができる。

【0054】

一例では、メモリ記憶アレイ204は、超小型電子構造体の機能部を含み、その機能部は、超小型電子構造体の別の機能部の補助的な役割を果たすことができる。例えば、超小型電子構造体は、論理機能部、例えばプロセッサと、メモリ機能部とを含むことができ、メモリ機能部は、論理機能部の機能を支援することができるか、又は論理機能部の機能を果たすことを助けることができる。しかし、特定の例では、超小型電子構造体は、主にメモリ記憶アレイ機能を提供するように構成することができる。後者の場合、超小型電子構造体は、メモリ記憶アレイ機能を提供する能動素子202、例えばトランジスタなどの能動デバイスを、その構造体のメモリ記憶アレイ機能以外の機能を提供する他の構成要素における能動素子よりも、数多く有することができる。

【0055】

超小型電子構造体は、メモリ記憶アレイ204内の位置を指定するアドレス情報を受信するための複数のアドレス入力部206を有することができる。したがって、アドレス入力部は、上記のように超小型電子素子の表面において露出するコンタクトとすることができる。超小型電子構造体は、その超小型電子構造体の特定の端子が受信したアドレス情報をアドレス入力部206へと送るように構成されている。例えば、超小型電子構造体は、構造体の特定の端子において受信された信号を、対応する特定のアドレス入力部206へ

10

20

30

40

50

とつなぐことができる。特定の例では、アドレス入力部は、超小型電子素子101、例えば、半導体チップの面207において露出したものとすることができる。面207は、超小型電子構造体の第1の表面201と向かい合っている。別の例では、アドレス入力部206は、第1の表面201から離れた側にある、超小型電子素子101の面209において露出したものとすることができる。一例では、超小型電子構造体は、その中に配線を含むことができ、配線は、一組の端子、例えば、「第1の端子」104を、構造体の対応するアドレス入力部と電氣的に直接的に接続することができる。本明細書において、「第1の端子」104の各々は、1以上のアドレス入力部206を含む超小型電子構造体における信号割当てを有する。別の例では、後に更に説明するように、超小型電子構造体は、その上に複数の能動素子を有する半導体チップ等のバッファ素子を含むことができ、このよ

10

【0056】

超小型電子構造体は、超小型電子構造体の「シリアルプレゼンス検出(serial presence detect, SPD)素子」として「SPD」機能を実行する少なくとも一部分を有する不揮発性メモリを更に備えたものとすることができる。そのようなSPD素子は、超小型電子構造体の編成、タイミング又は容量のうちの少なくとも1つに関連する動作パラメータ

20

を含むことができる。一実施形態では、SPD素子は、メモリ記憶アレイが設けられ、かつアドレス入力部によってアドレス情報が提供される1以上の半導体チップ以外の半導体チップ内に組み込むことができる。一例では、動作パラメータは、使用可能状態において超小型電子構造体の回路によって行アドレス・ストロブ(row address strobe)信号が検出された後の待ち時間のクロックサイクル数のようなタイミング(これ以降、「RAS待ち時間」とする)に関連する場合があるか、又は使用可能状態において超小型電子構造体の回路によって列アドレス・ストロブ信号が検出された後の待ち時間のクロックサイクル数に関連する場合があるか、又は例えば、1ギガバイト(「1Gb」)、2ギガバイト(「2Gb」)等の超小型電子構造体の容量に関連する場合があるか、又は「シングルランク」、「2ランク」、「4ランク」若しくは他の構造体等の超小型電子構造体の編成

30

に関連する場合があるか、又は他の動作パラメータ、若しくは上記の動作パラメータの組み合わせ、若しくは他の動作パラメータに関連する場合がある。一例では、不揮発性メモリは、限定はされないが、上記のパラメータのうちの1つのパラメータの情報を記憶することができるか、又は動作パラメータの任意の組み合わせの情報を記憶することができる。特定の例では、SPDは、メモリ記憶アレイへの読み出し又は書き込みアクセス中に回避されるべきである、超小型電子構造体のメモリ記憶アレイ内の既知の不良メモリ位置のテーブルを含むことができる。

【0057】

仮想平面(theoretical plane)132は、超小型電子構造体の対向する第1の縁部140と第2の縁部141との間の位置において、第1の表面201に対して垂直な方向に沿って超小型電子構造体を通して延びている。仮想平面と他の構造体との間の関係は、後に述べる例から明らかになるであろう。図5Aから更にわかるように、超小型電子構造体100は、仮想平面132の対向する第1の側及び第2の側に設けられた複数の第1の端子、例えば、複数の端子104を有している。これらの端子は、第1の表面において露出している導電性素子、例えば、コンタクト、パッド、ポスト、ピン、ソケット、配線とすることができる。場合によっては、これらの端子は、導電性結合材料等を用いて、別の素子、例えば、回路パネルの対応するコンタクトに導通可能に接続されるように構成することができ、場合によっては、結合材料は、なかでも、ハンダ、スズ又は金のようなボンダ

40

メタルとすることができる。このような場合に、それらの端子は、端子、例えばパッド又はポストの金属製素子の表面に取り付けられる、ハンダボール、金バンプ、金属及びポリ

50

マ材料を含む導電性マトリックス材料、又は上記の材料のうちの1以上の組み合わせ等の、可融導電性材料の接合素子を含むことができる。他の場合には、それらの端子は、各構成要素の対応する導電性素子間の圧入又は締め込み等によって、別の構成要素の対応する機構に対し機械的にかつ電氣的に係合するように構成することができ、場合によっては、それらの端子に係合する対応する導電性表面に対してスライド又はワイプすることもできる。

【0058】

図5A及び図5Bから更にわかるように、第1の端子104のうちの第1の組が仮想平面132の第1の側に設けられ、第1の端子104のうちの同じ構成の第2の組が、第1の側と向かい合う仮想平面132の第2の側に設けられている。超小型電子構造体は、第1の端子により受信されたアドレス情報をアドレス入力部に与えるように構成されている。本明細書において、超小型電子素子若しくはその一部のアドレス情報、又はコマンド・アドレス・バス情報、又は信号及びアドレス入力の文脈において用いられる場合に、「端子上のアドレス情報がアドレス入力部に与えられる」という表現は、端子上のアドレス情報が、アドレス入力との電氣的接続を介して、又は端子により受信されたアドレス情報の再生、部分的な復号化又は復号化のうちの少なくとも1つを実行することができるバッファ素子を通して、アドレス入力部に送られることを意味する。図5Aから更にわかるように、第1の端子104のうちの第1の組の信号割当ては、第1の端子104のうちの第2の組の信号割当ての鏡像となっている。

【0059】

本明細書において、仮想平面132の両側にそれぞれ設けられた第1の端子の対の信号割当ては、その対の各端子に割り当てられる信号が機能的に同等である場合に、互いに鏡像の関係にある。アドレス空間内の位置を指定する際に別の信号と同じ機能を有するあるアドレス信号は、その別のアドレス信号と機能的に同等である。このことは、超小型電子構造体上の一対のアドレス端子、例えば、「A2L」(A2__Left)及び「A2R」(A2__Right)がそれぞれ、同じアドレス空間内のある位置を指定するために用いられるアドレス内の重み 2^2 (2の2乗)のビットを指定するという例において、最も明らかである。各信号A2L及びA2Rを用いて、同じアドレス空間内、又は同等のアドレス空間内のアドレスの同様の部分を指定することができるため、これらの端子は同じ信号割当てを有する。それによる一例では、パッケージA2L及びA2Rの端子の一方又は両方のいずれかに送られるアドレス情報は、超小型電子構造体100(図5)内に組み込まれた1以上の超小型電子素子において同じ名称「A2」を有する対応するアドレス入力部、例えば、素子コンタクトに送ることができることは明らかである。したがって、一例では、鏡像信号割当てを有する第1の端子の各対に割り当てられる信号、例えば、第1の端子のうちの第1の組内の信号A2L及び第2の組内の信号A2Rは、超小型電子構造体の外部の場所にあるドライバ回路の同一の出力から生じるものとすることができる。さらに、そのような例では、信号A2L及びA2Rが超小型電子構造体の端子により受信される、回路パネルの外部に露出したパネルコンタクトは別々であるが、場合によっては、それらのパネルコンタクトは、回路パネルの1以上の他の場所において電氣的に互いに結び付けることができる。したがって、場合によっては、一対の同等の信号A2L及びA2Rは、そのような他の回路パネルの場所において単一の信号として運ばれる。

【0060】

別の例では、超小型電子構造体は複数の超小型電子素子を備えることができ、それらの超小型電子構造体においては、超小型電子構造体内の超小型電子素子のうちの1以上に対し、同じ構造体の超小型電子素子のうちの別の1以上に与えられるアドレス情報とは別にアドレス情報が与えられる。この場合、仮想平面の第1の側及び第2の側のそれぞれにある端子の第1の組及び第2の組によりアドレス信号が受信されるが、仮想平面の第1の側にある第1の端子により受信されるアドレス情報は、超小型電子構造体の1以上の第1の超小型電子素子のアドレス入力部にのみ与えることができる。逆に、第1の側とは反対側の、仮想平面の第2の側にある第1の端子により受信されるアドレス情報は、超小型電子

10

20

30

40

50

構造体の超小型電子素子のうちの1以上の第2の超小型電子素子のアドレス入力部にのみ与えることができる。一例では、1以上の第1の超小型電子素子は、仮想平面の第1の側に設けることができ、1以上の第2の超小型電子素子は、仮想平面の第2の側に設けることができる。このような場合、信号割当てとしてA2Lを有する、パッケージの端子により受信されるアドレス情報と、それと鏡像関係にある信号割当てA2Rを有する、パッケージの端子により受信されるアドレス情報とはそれぞれ、超小型電子構造体100(図5)のそれぞれの第1の超小型電子素子及び第2の超小型電子素子の同じ名称「A2」を有する素子コンタクトに送ることができる。

【0061】

それぞれの第1のグリッド114及び第2のグリッド124に設けることのできる、第1の端子のうちの第1の組及び第2の組の各組の信号割当ては、仮想平面132に関して対称であるものとして示している。信号A15を受信するものとして割り当てられた第1の組の端子114-1と、信号A15を受信するものとして割り当てられた第2の組の対応する端子124-1とは、仮想平面132に関して対称である。仮想平面132の対向する第1の端子どうしの同じ関係が、図5において、及び本願の他の図において与えられる種々の断面図に表されている。具体的には、このような図における表記「A」は、アドレス入力部に送られることになるアドレス情報を受信するために同じ信号割当てを有する一対の第1の端子の場所を表しており、このような第1の端子は、各超小型電子構造体100等においてそれぞれ鏡像関係にある位置に設けられる。

【0062】

場合によっては、仮想平面の第1の側及び第2の側のそれぞれにある第1の端子は、記憶アレイ内の単一の記憶場所を一意的に指定するために必要な各信号を受信するように構成することができる。他の場合には、第1の側及び第2の側のそれぞれにある第1の端子は、記憶アレイ内の単一の記憶場所を一意的に指定するために必要な信号の大部分のみを受信するように構成することができる。

【0063】

仮想平面132は、縁部141よりも縁部140の近くに存在するものとすることができるか、又は縁部140よりも縁部141の近くに存在するものとするすることができる複数の位置において超小型電子構造体を通して延びているものとするすることができるが、特定の例において、かつ図5Aに示しているように、仮想平面は縁部140と141との間の中間的な位置において構造体100を通して延びるものとするすることができる。

【0064】

図5Aにおいて更に示しているような特定の例では、超小型電子構造体の第1の表面201は第1の方向214に面しており、超小型電子構造体100は、同じ第1の方向に面した第1の表面110を有する基板102を有している。基板102の第2の表面108は、第1の方向とは反対の第2の方向216に面したものとするすることができる。

【0065】

そのような例では、場合によっては、能動素子202のうちのいくつか又は全てが設けられる半導体チップ等の超小型電子素子101は、基板102の第2の表面108から離れた側の面209を有することができる。図5Cにおける特定の例において更にわかるように、超小型電子構造体100内に組み込まれる超小型電子素子101は、その前面105に素子コンタクト111、113を有することができ、それらのコンタクトは、基板102の第2の表面108にあるそれぞれの基板コンタクト121、123に電気的に接続される。例えば、ワイヤボンディングにより素子コンタクト111、113と基板コンタクト121、123とを電気的に接続することができる。あるいは、他のタイプの導体、例えば、リードフレームの一部、可撓性リボンボンディング等を用いて、素子コンタクト111、113を、それぞれの基板コンタクト121、123と電気的に接続することができる。場合によっては、素子コンタクト111、113を、超小型電子素子101の前面105よりも、基板表面108から高い位置に設けられる他の導電性素子と接続することができる。1つのタイプのこのような超小型電子素子101では、素子コンタクト111、11

10

20

30

40

50

3のうちのいくつかのコンタクトはそれぞれ、超小型電子素子に供給されるアドレス情報のうちの特定のアドレス情報を受信できるように構成することができる。特定の実施形態では、そのようなコンタクト111、113はそれぞれ、超小型電子素子の外部から、すなわち、ワイヤボンダ112等のパッケージの配線を通して、かつ第1の端子104を通して、超小型電子素子101に供給されるアドレス信号を受信するアドレス入力部とすることができる。また、コンタクト111、113は、限定はされないが、ワイヤボンダ112及び第2の端子106等を通して、超小型電子素子の外部から他の情報又は信号を受信するように構成することもできる。

【0066】

こうした超小型電子素子101の特定の一例において、それぞれの超小型電子素子が用いるクロックのエッジに対して、すなわち、異なる第1の電圧状態と第2の電圧状態との間でのクロックの遷移において、素子コンタクト111、113において存在するアドレス信号をサンプリングすることができる。すなわち、それぞれのアドレス信号は、クロックのより低電圧の状態とより高電圧の状態との間の上昇の遷移において、又は、クロックのより高電圧の状態とより低電圧の状態との間の下降の遷移においてサンプリングすることができる。したがって、複数のアドレス信号はクロックの上昇の遷移において全てサンプリングすることもできるし、そのようなアドレス信号はクロックの下降の遷移において全てサンプリングすることもできるし、又は、別の例において、素子コンタクト111、113のうちの1つにおけるアドレス信号は、クロックの上昇の遷移においてサンプリングすることができ、別の1つの外部のコンタクトにおけるアドレス信号は、クロックの下降の遷移においてサンプリングすることができる。

【0067】

主としてメモリ記憶アレイ機能を提供するように構成することのできる別のタイプの超小型電子素子101において、アドレスコンタクトのうちの1以上を多重方式で用いることができる。この例において、それぞれの超小型電子素子101の特定の素子コンタクト111、113は、外部から超小型電子素子に供給される互いに異なる2つ以上の信号を受け取ることができる。したがって、第1のアドレス信号は異なる第1の電圧状態と第2の電圧状態との間のクロックの第1の遷移（例えば、上昇の遷移）において、特定のコンタクト111、113においてサンプリングすることができ、第1のアドレス信号以外の信号は、第1の電圧状態と第2の電圧状態との間のクロックの、第1の遷移とは反対の第2の遷移（例えば、下降の遷移）において、特定のコンタクトにおいてサンプリングすることができる。

【0068】

このような多重方式において、それぞれの超小型電子素子101の同じ素子コンタクト111、113上で、クロックの同じサイクル内で2つの異なった信号を受け取ることができる。特定の場において、この方法での多重化により、それぞれの超小型電子素子101の同じ素子コンタクト111、113において、同じクロックサイクル内で第1のアドレス信号と、それとは別の信号とを受け取ることができる。更に別の例において、この方法での多重化によって、第1のアドレス信号と、別の第2のアドレス信号とを、それぞれの超小型電子素子101の同じ素子コンタクト111、113において同じクロックサイクル内で受け取ることができる。

【0069】

いくつかの実施の形態において、基板102は、シート状又はボード状の誘電体素子を含むことができ、誘電体素子は、本質的に、ポリマ材料、例えば、なかでも樹脂又はポリイミドからなることができる。あるいは、基板は、例えばBT樹脂又はFR-4構成のガラス繊維強化エポキシ等の複合的構成を有する誘電体素子を含むことができる。いくつかの例では、誘電体素子は、誘電体素子の平面内で、すなわち、基板102の第1の表面110に平行な方向に、最大30パーセント/摂氏温度（以下、「ppm/」）の熱膨張率を有する。別の例では、基板は、端子及び他の導電性構造体が配置される、12パーセント/摂氏温度未満の熱膨張率（coefficient of thermal expansion）

10

20

30

40

50

(「CTE」)を有する材料の支持要素を含むことができる。例えば、こうしたCTEが小さい素子は、本質的に、ガラス材料、セラミック材料、半導体材料、若しくは液晶ポリマ材料、又はこうした材料の組合せからなることができる。

【0070】

図5Cからわかるように、基板コンタクトの第1の組121及び第2の組123が、基板の第2の表面108において露出したものとすることができる。基板コンタクトの第1の組121は、例えば、超小型電子素子の面105の上方に延びる導電性構造体を通して、超小型電子素子の素子コンタクト132の列111(図6A)と電氣的に接続することができる。この導電性構造体は例えば、ワイヤボンド112とすることができる。場合によっては、超小型電子素子の背面107と基板102の第2の表面108との間にダイのアタッチ用の接着剤を設けることができ、超小型電子素子と基板との間の接続を機械的に強化することができる。基板コンタクトの第2の組123は、素子コンタクト131の列113(図6A)と電氣的に接続することができる。

10

【0071】

図6Aから更にわかるように、超小型電子素子130の縁部170が第1の方向142に沿って延びたものとすることができ、縁部170に隣接するコンタクト131の列111が面105に沿って同じ第1の方向142に延びたものとすることができる。縁部170に対して平行な、超小型電子素子130の別の縁部172が第1の方向142に延び、コンタクト131の第2の列113が、縁部172に隣接して面105に沿って同じ第1の方向142に延びたものとするすることができる。図6Aに更に示しているように、超小型電子素子上のコンタクトの列は、列111の場合のように完全に設けることができるか、又は列113の場合のように、列内の場所のうちいくつかにおいてのみコンタクトを設けることができる。ワイヤボンド112(図5C)等の導電性構造体により、コンタクト111、113を、基板の第2の表面108において露出する対応するコンタクト121、123と電氣的に接続することができる。

20

【0072】

図6Bは、図6Aに示した実施形態の変形形態を示している。超小型電子素子180のコンタクト131を、超小型電子素子180のそれぞれの周縁部170、172、176、178に隣接する列及び行内に配置し、それらの周縁部と位置合わせすることができる。縁部170、172は平行であり、第1の方向142に延びている。

30

【0073】

図6Cは、図6Aに示した実施形態の別の変形形態を示している。超小型電子素子190のコンタクトは、超小型電子素子の縁部170、172に隣接する列188及び189内に配置される。しかし、この場合、超小型電子素子190は、導電性再分配層を有する半導体チップを有し、コンタクト131は、再分配コンタクトの列188、189を含むことができ、それらのコンタクトは半導体チップのコンタクト192、194と接触するように形成された導電性トレース又は金属化ビア(metallized via)によって、半導体チップのコンタクト192、194に接続される(又は金属化ビア及びトレースの両方によってチップのコンタクト192、194に接続することができる)。この場合、コンタクト192、194は、場合によっては、半導体のバックエンドオブライン(back end of line) (「BEOL」)配線を通して半導体チップの能動素子と接続することができ、その配線は、ビア又は他の導電性構造体を含むことができ、場合によってはコンタクト192、194の下に配置することもできる。

40

【0074】

図6A~図6Cに特に示しているように、いくつかの実施形態では、超小型電子素子のコンタクトは、コンタクト192の列のように単一列で配置することができるか、又は、コンタクト111、113の列について示すように複数の列で配置することができる。各列は、方向142に沿う列の各垂直レイアウト位置にコンタクトを含むことができるか、又は、コンタクトは、コンタクト113の列の1つの列の場合と同様に列の1以上の位置から欠落させることができる。特定の実施形態では、コンタクトは、図6Aに示したよう

50

なコンタクトの配置に代えて、超小型電子素子の面105(図5C)上のエリアアレイ内に、すなわち、図6Aに示す超小型電子素子の面105、若しくは面105の或る部分の上に分布するエリアアレイ等のエリアアレイ内に配置することができる。別の例では、超小型電子素子のコンタクトは、図5Bで超小型電子素子の境界をマーク付けした破線で示す超小型電子素子の1以上の周辺縁部に隣接してコンタクトの1以上の組で配置することができる。特定の例では、超小型電子素子は単一半導體チップとすることができ、超小型電子素子上のコンタクト111又は113は、半導體チップのコンタクトである「チップコンタクト」とすることができる。

【0075】

別の例では、図6Cを参照すると、特定の超小型電子素子190が、面105において露出するチップコンタクト192の単一の列を有することができる。チップコンタクト192の単一の列は、超小型電子素子の対向する第1の縁部170及び第2の縁部172に対して平行に、かつその中間にある仮想軸174に、又はその近くに配置することができる。例えば、面105は、超小型電子素子190の第1の縁部170及び第2の縁部172にそれぞれ隣接する第1の周辺領域及び第2の周辺領域を有することができる。チップコンタクト192の列は、第1の周辺領域184と第2の周辺領域186との間に見られる面105の中央領域181に配置することができる。中央領域は、第1の縁部170及び第2の縁部172に対して平行な仮想の境界182及び183によって定められるエリア内に配置することができる。本明細書において、超小型電子素子又は半導體チップの面の「中央領域」は、その面の対向する第1の縁部及び第2の縁部に対して平行な方向において、その面の寸法全体を通して延びている平行な境界を有する、その面のエリアを意味し、中央領域は、対向する第1の縁部と第2の縁部との間の面の最短寸法の中央の3分の1に及び、第1の周辺領域は、中央領域と第1の縁部との間の面の最短寸法の3分の1に及び、第2の周辺領域は、中央領域と第2の縁部との間の最短寸法の3分の1に及び。

【0076】

一例では、ワイヤボンド112は、チップコンタクト192のそのような列から、コンタクト121等の基板コンタクト、又はコンタクト123まで直接延在することができる。代替的には、いくつかのワイヤボンド112がそのようなチップコンタクト192からコンタクト121まで延在することができ、いくつかのワイヤボンド112がそのようなチップコンタクト192からコンタクト123まで延在することができる。

【0077】

代替的には、超小型電子素子は2列以上のチップコンタクトを有することができる。例えば、図6Cは、第1のチップコンタクト列192及び第2のチップコンタクト列194を有する超小型電子素子を示す。各チップコンタクト列192、194は、軸174に隣接して、例えば、軸174に極めて近接して、すなわち、中央領域181内に配置することができる。場合によっては、超小型電子素子は、3列以上のコンタクトを有することもできる。

【0078】

図6Cに示す特定の例では、超小型電子素子は、チップコンタクトの第1の列192及び第2の列194を有することができ、コンタクト111又は113は、再分配コンタクトを含むことができ、再分配コンタクトは、超小型電子素子の面105上に形成され、また、例えばトレース及びビア等の導電性素子によってチップコンタクトに電気的に接続される。特に断らない限り、本明細書の例のそれぞれにおける超小型電子素子の「コンタクト」は、述べたこれらの方法の任意の方法で配置することができる。

【0079】

超小型電子素子は、素子コンタクトの列内に配置されない場合がある別のコンタクトも含むことができる。場合によってはこれらの更なるコンタクトを、電力、接地に接続するために、又は、試験をするために使用することができるようなプロービングデバイスとの接触のために利用可能なコンタクトとして使用することができる。

10

20

30

40

50

【0080】

図5Cに見られるように、パッケージ100は、例えば回路パネル等の、パッケージ100の外部の構成要素にパッケージ100を電気的かつ機械的に接続する第1の端子104及び第2の端子106を有することができる。端子104、106は、導電性パッド、ポスト、又は他の導電性構造体とすることができる。図5Cに示す例では、端子は、場合によっては、なかでもはんだ、錫、インジウム、金、若しくは共晶材料等のボンドメタル又は他の導電性ボンド材料を含むことができるような接合要素130を含むことができ、また場合によっては、導電性パッド又はポスト等の基板の導電性構造体に取り付けられる導電性パンプ等の更なる構造体も含むことができる。第1の端子104及び第2の端子106は、例えばトレース及びビア等の基板上の導電性構造体を通して基板コンタクト121、123に電気的に接続することができる。特定の例では、第1の端子104のうちの第1の組は、第2の表面108と対向する基板102の第1の表面110において露出する第1のグリッド114内の場所に設けることができる。第1の端子104のうちの第2の組は、基板の第1の表面110において露出する第2のグリッド124内の位置に設けることができ、仮想平面132の、第1の端子のうちの第1の組とは反対側に配置されている。図のいくつかでは、第1の組及び第2の組は、超小型電子素子の前面の外側境界を越えて延在するように示しているが、それは、必ずしも当てはまらない。本発明のある特定の実施形態では、各組における第1の端子の組は、上述のアドレス情報、又は特定の実施形態では、上述のアドレス情報及びコマンド・アドレス・バスの或る特定の信号を運ぶように構成することができる。

10

20

【0081】

例えば、超小型電子素子101がDRAM半導体チップを含むかDRAM半導体チップである場合、第1の組及び第2の組のそれぞれは、パッケージ内の回路が、例えば、行アドレス及び列アドレスのデコード、並びにもしある場合にはバンク選択回路が使用して、パッケージにおける超小型電子素子内のメモリ記憶アレイの全ての利用可能なアドレス指定可能であるメモリ位置からアドレス指定可能なメモリ位置を決定することのできる、超小型電子パッケージ100に送られるアドレス情報を運ぶように構成される。特定の実施形態において、第1の組及び第2の組のそれぞれは、そのようなメモリ記憶アレイ内のアドレス指定可能なメモリ位置を決定するために超小型電子パッケージ100内のそのような回路が用いるアドレス情報の全てを運ぶように構成することができる。

30

【0082】

そのような実施形態の変形形態において、第1のグリッド114及び第2のグリッド124内の位置に設けられた第1の端子は、そのようなメモリ記憶アレイ内のアドレス指定可能なメモリ位置を決定するために超小型電子パッケージ100内のそのような回路が用いるアドレス情報の大部分を運ぶように構成することができる。その場合には、超小型電子パッケージ上の上述の第2の端子106のうちの少なくともいくつか等の他の端子が、アドレス情報の残りの部分を運ぶように構成される。そのような変形形態において、特定の実施形態において、第1の組及び第2の組のそれぞれにおける第1の端子は、そのようなメモリ記憶アレイ内のアドレス指定可能なメモリ位置を決定するのに超小型電子パッケージ100内のそのような回路が用いるアドレス情報の3/4以上を運ぶように構成される。

40

【0083】

特定の実施形態において、第1の組及び第2の組、例えば、グリッド114、124のそれぞれはチップセレクト情報、例えば、チップ内のメモリ記憶位置にアクセスするために超小型電子パッケージ100内の特定のチップを選択するのに利用できる情報を運ぶように構成されない場合がある。別の実施形態において、第1の組及び第2の組のうちの少なくとも1つにおける第1の端子は、実際にチップセレクト情報を運ぶことができる。

【0084】

通常、超小型電子パッケージ100内の超小型電子素子101がDRAMチップであるか、DRAMチップを含む場合には、一実施形態におけるアドレス信号は、パッケージの

50

外部の構成要素、例えば、後述の回路パネル154(図7A)等の回路パネルからパッケージに送られる全てのアドレス情報を含むことができ、それを用いて超小型電子パッケージ内のランダムアクセスアドレス指定可能メモリ位置を決定してそこに読み取りアクセス、又は読み取りアクセス又は書込みアクセスのどちらかを行う。

【0085】

第2の端子106のうちの少なくともいくつかは、第1の組及び第2の組を有する第1の端子104によって運ばれるアドレス信号以外の信号を運ぶように構成することができる。特定の例では、第2の端子106は、チップセレクト、リセット、電源電圧、例えば、V_{dd}、V_{ddq}及び接地、例えば、V_{ss}及びV_{ssq}等のデータ、データ・ストロープ信号又は他の信号若しくは基準電位のうちの1以上を運ぶことができる。第2の端子の一部又は全ては、第1の端子のうちの第1の組及び第2の組が配置される、同じ第1のグリッド114及び第2のグリッド124内の位置にも配置することができる。そのような場合に、第1のグリッド114及び第2のグリッド124内の場所に配置されるいくつかの端子を、データ、データ・ストロープ信号、又はチップセレクト、リセット、電源電圧、例えば、V_{dd}、V_{ddq}及び接地、例えば、V_{ss}及びV_{ssq}等の他の信号若しくは基準電位のうちの1以上を運ぶように構成することができる。第3のグリッド116及び第4のグリッド126内の場所に配置されるいくつかの端子を、データ、データ・ストロープ信号、又はチップセレクト、リセット、電源電圧、例えば、V_{dd}、V_{ddq}及び接地、例えば、V_{ss}及びV_{ssq}等の他の信号若しくは基準電位のうちの1以上を運ぶように構成することができる。

10

20

【0086】

特定の実施形態において、各超小型電子パッケージの第1のグリッド114及び第2のグリッド124の第1の端子は、超小型電子素子101の動作モードを制御する情報を運ぶように構成することができる。より具体的には、第1の端子の第1の組及び第2の組のそれぞれは、超小型電子パッケージ100に送られるコマンド信号及びクロック信号の少なくとも一方の特定の一組すべてを運ぶように構成することができる。一実施形態において、第1の組及び第2の組を有するそれぞれの第1の端子104は、外部の部品、例えば回路パネル又は他の素子から超小型電子パッケージ100へと送られるコマンド信号、アドレス信号、バンクアドレス信号、及びクロック信号のすべてを運ぶように構成ことができ、このコマンド信号は、行アドレス・ストロープ、列アドレス・ストロープ、及び書込み許可を含む。

30

【0087】

超小型電子素子のうちの1以上がダイナミックランダムアクセスメモリ(「DRAM」)半導体チップ又はDRAMチップのアセンブリによって提供されるもの等のダイナミックメモリ記憶アレイ機能を提供するように構成される一実施形態においては、コマンド信号は、書込み許可、行アドレス・ストロープ、及び列アドレス・ストロープ信号とすることができる。ODT(on die termination)(ダイの上にある終端)、チップセレクト、クロックイネーブル等の他の信号は、グリッド114、124等の第1の組及び第2の組内に置かれている端子が運ぶ場合もあるし、運ばない場合もある。クロック信号は、アドレス信号をサンプリングするのに超小型電子素子のうちの1以上が用いるクロックとすることができる。例えば、図7の超小型電子パッケージにおいて、また、図5Aに更に示すように、第1の端子104は、アドレス信号A₀~A₁₅(A₀及びA₁₅を含む)、及びバンクアドレス信号B_{A0}、B_{A1}及びB_{A2}だけでなく、クロック信号CK及びCKB、行アドレス・ストロープ(row address strobe)RAS、列アドレス・ストロープ(column address strobe)CAS、及び書込み許可(write enable)信号WEも運ぶように構成することができる。

40

【0088】

超小型電子素子のうちの1以上がダイナミックランダムアクセスメモリ(「DRAM」)半導体チップ又はDRAMチップのアセンブリによって提供されるもの等のダイナミックメモリ記憶アレイ機能を提供するように構成される一実施形態においては、コマンド信

50

号は、書込み許可、行アドレス・ストロブ、及び列アドレス・ストロブ信号とすることができる。ODT（ダイの上にある終端）、チップセレクト、クロックイネーブル等の他の信号は、グリッド114、124等の第1の組及び第2の組内に配置されている端子が運ぶ場合もあるし、運ばない場合もある。クロック信号は、アドレス信号をサンプリングするのに超小型電子素子のうちの1以上が用いるクロックとすることができる。例えば、図7Aに示している超小型電子パッケージ100Aにおいて、また、図5Aに更に示すように、第1の端子104は、アドレス信号A0～A15（A0及びA15を含む）、及びバンクアドレス信号BA0、BA1及びBA2だけでなく、クロック信号CK及びCKB、行アドレス・ストロブRAS（row address strobe）、列アドレス・ストロブ（column address strobe）CAS、及び書込み許可信号（write enable）WEも運ぶように構成することができる。

10

【0089】

一実施形態では、アドレス信号以外の信号を運ぶように構成される第2の端子106の少なくともいくつかは、第1のグリッド114及び第2のグリッド124内の位置に配置することができる。一例では、コマンド信号、アドレス信号、及びクロック信号以外の信号を運ぶように構成される第2の端子106の少なくともいくつかは、第1のグリッド114及び第2のグリッド124内の位置に配置することができる。図面において、第2の端子106の特定の構成を示しているが、図示の特定の構成は例示の目的のためであり、限定することを意図したものではない。例えば、第2の端子106は、電源又は接地信号に接続するように構成される端子も含むことができる。

20

【0090】

パッケージの第1のグリッド114及び第2のグリッド124内の第1の端子の配置構成は、図5A～図5Cに特に示している。一例では、各グリッド114、124は、端子の、平行な第1の列及び第2の列136を含むことができる。各グリッド内の端子の列136は互いに隣接させることができる。代替的に、図5A～図5Cには示していないが、少なくとも1つの端子を、端子の第1の列と第2の列との間に配置することができる。図5Bに見られる等の別の例では、グリッドは、列の軸119が、こうした列の端子104の大部分を通過して延びる、すなわち、列の端子104の大部分に対して中央に置かれる、端子の列を含むことができる。しかし、こうした列では、端子の1以上は、端子104'の場合と同様に、列の軸119に対して中央に置かれられない場合がある。この場合、これらの1以上の端子は、たとえこうした端子（複数可）が軸119に対して中央に置かれなくても、特定の列の一部と考えられる。その理由は、こうした端子が、任意の他の列の軸より、その特定の列の軸119に近いからである。列の軸119は、列の軸に対して中央に置かれていないこれらの1以上の端子を通して延びることができるか、又は場合によっては、中央に置かれられない端子は、列の軸119が、列の中央に置かれられないこれらの端子を通過する可能性がないように、列の軸からより遠くにあるものとするすることができる。1つの列内に、又は更に、グリッド内のそれぞれの列の列軸に対して中央に置かれられない2つ以上の列内に、1つの、いくつかの、又は多くの端子が存在する場合がある。

30

【0091】

パッケージの第1のグリッド114及び第2のグリッド124内の第1の端子の配置構成は、図5A～図5Cに特に示している。一例では、図5Bに示しているように、各グリッド114、124は、端子の平行な第1の列及び第2の列136を含むことができる。各グリッド内の端子の列136は互いに隣接させることができる。あるいは、図5A～図5Cに示していないが、少なくとも1つの端子を、端子の第1の列と第2の列との間に配置することができる。図5Bに見られる等の別の例では、グリッドは、列軸119が、こうした列の端子104の大部分を通過して延在する、すなわち、列の端子104の大部分に対して中央に置かれる、端子の列を含むことができる。しかし、こうした列では、端子の1以上は、端子104'の場合と同様に、列軸119に対して中央に置かれられない場合がある。この場合、これらの1以上の端子は、たとえこうした端子（複数可）が軸119に対して中央に置かれなくても、特定の列の一部と考えられる。その理由は、こうした端子が

40

50

、任意の他の列の軸より、その特定の列の軸 1 1 9 に近いからである。列軸 1 1 9 は、列軸に対して中央に置かれたいこれらの 1 つ又は複数の端子を通して延在することができるか、又は場合によっては、中央に置かれたい端子は、列軸 1 1 9 が、列の中央に置かれたいこれらの端子を通過する可能性がないように、列軸からより遠くにあることができる。1 つの列内に、又は更に、グリッド内のそれぞれの列の列軸に対して中央に置かれたい 2 つ以上の列内に、1 つの、いくつかの、又は多くの端子が存在する場合がある。

【 0 0 9 2 】

図 5 において提供される上記の例におけるように、また、図 5 A にも示されるように、第 2 のグリッド 1 2 4 内の第 1 の端子の信号割当ては、第 1 のグリッド 1 1 4 内の第 1 の端子の信号割当て 1 2 4 と鏡像の関係にある。換言すれば、第 1 のグリッド及び第 2 のグリッド内の第 1 の端子の信号割当ては、第 1 のグリッド 1 1 4 と第 2 のグリッド 1 2 4 との間の仮想平面又は仮想軸 1 3 2 に関して対称である。軸 1 3 2 は、この場合、第 1 の端子の列 1 3 6 が延びる方向 1 4 2 に延びている。第 2 のグリッド 1 2 4 内の信号割当てが第 1 のグリッド 1 1 4 内の信号割当ての鏡像である状態において、信号 A 1 5 を運ぶように割当てられる第 1 のグリッド 1 1 4 の第 1 の端子 1 1 4 - 1 は、信号 A 1 5 を運ぶように割当てられる第 2 のグリッド 1 2 4 の対応する第 1 の端子 1 2 4 - 1 とグリッド内で同じく相対的に垂直方向の位置に（方向 1 4 2 に沿って）ある。しかし、第 1 のグリッド 1 1 4 が 2 つの列 1 3 6 を含み、信号 A 1 5 を運ぶように割当てられる第 1 のグリッド 1 1 4 の端子 1 1 4 - 1 が、第 1 のグリッド 1 1 4 の 2 つの列 1 3 6 の中の左列内にあるため、鏡像配置構成により、信号 A 1 5 を運ぶように割当てられる第 2 のグリッド 1 2 4 の対応する端子 1 2 4 - 1 が、第 2 のグリッド 1 2 4 の 2 つの列の中の右列内にあることが要求される。この配列のもうひとつの結果は、信号 A 9 を運ぶように割り当てられた端子もまた、第 1 のグリッド 1 1 4 及び第 2 のグリッド 1 2 4 のそれぞれにおいて同じ、グリッド内での相対的に垂直方向の場所にあるということである。しかし、第 1 のグリッド 1 1 4 において、A 9 を運ぶように割り当てられた端子 1 1 4 - 1 は、第 1 のグリッド 1 1 4 の 2 つの列 1 3 6 のうちの右側の列にあり、配列が鏡像であるためには、信号 A 9 を運ぶように割り当てられた第 2 のグリッド 1 2 4 の対応する端子 1 2 4 - 2 は、第 2 のグリッド 1 2 4 の 2 つの列のうちの左側の列になければならない。図 5 A からわかるように、第 1 のグリッド及び第 2 のグリッドのそれぞれにおけるそれぞれの第 1 の端子について、少なくとも、上述の超小型電子構造体のアドレス入力を受信するアドレス情報を運ぶように割り当てられたそれぞれの第 1 の端子について、同じ関係が当てはまる。

【 0 0 9 3 】

第 1 の端子の信号割当ての対称性の基準となる仮想平面 1 3 2 は、基板上的の種々の場所に位置させることができる。仮想平面 1 3 2 は、いくつかの実施形態ではパッケージの中心軸であることができる軸とみなすことができ、その中心軸は、特に、第 1 の端子の列 1 3 6 が縁部 1 4 0、1 4 1 に平行な方向に延在し、第 1 のグリッド及び第 2 のグリッドが、この中心軸の回りで対称である位置に配置されるとき、基板の対向する第 1 の縁部 1 4 0 及び第 2 の縁部 1 4 1 から等距離に位置付けられる。一例では、軸 1 3 2 は、基板の第 1 の縁部 1 4 0 及び第 2 の縁部 1 4 1 に対して平行で、かつ等距離にあるラインから任意の 2 つの隣接する端子列間の最小ピッチの 3 . 5 倍以下の距離内に位置させることができる。代替的に、この対称軸 1 3 2 は、縁部 1 4 0 と 1 4 1 との間で等距離である中心軸から水平方向 1 3 5 にオフセットさせることができる。

【 0 0 9 4 】

特定の例では、第 1 のグリッド及び第 2 のグリッド内の端子は、パッケージの中央領域内に設けることができる。一例では、第 1 のグリッド 1 1 4 及び第 2 のグリッド 1 2 4 のそれぞれにおける端子の少なくとも 1 つの列 1 3 6 は、基板の第 1 の縁部 1 4 0 及び第 2 の縁部 1 4 1 から等距離にあり、かつ平行であるラインから任意の 2 つの隣接する平行な端子列 1 3 6 間の最小ピッチの 3 . 5 倍以下の距離内に設けることができる。

【 0 0 9 5 】

上記で述べたように、第 2 の端子 1 0 6 は、上記で述べたアドレス情報以外の情報又は

10

20

30

40

50

コマンド・アドレス・バスの上記で述べた信号以外の信号を運ぶように構成することができる。一例では、第2の端子106は、超小型電子素子への、及び/又は超小型電子素子からの単方向又は双方向のデータ信号及びデータ・ストロブ信号、並びに、データマスク信号及び終端抵抗に対して並列終端をオン又はオフにするために使用されるODT信号すなわち「ダイ上終端(on die termination)」信号を運ぶために使用される端子を含むことができる。特定の例では、チップセレクト、リセット、クロックイネーブル等の信号、並びに、電源電圧等の基準電位、例えばV_{dd}、V_{ddq}、又は接地、例えばV_{ss}及びV_{ssq}は、第2の端子106によって運ぶことができる。いくつかの実施形態では、コマンド・アドレス・バス信号以外の信号を運ぶように構成される一部又は全ての端子が、適切に設置することができる場所であればどこへでも、パッケージに第2の端子106として設けることができる。例えば、第2の端子106の一部又は全ては、第1の端子104が設けられる基板102上の同じグリッド114、124内に配置することができる。第2の端子106の一部又は全ては、第1の端子104の一部又は全てと同じ列内に又は異なる列内に配置することができる。場合によっては、1以上の第2の端子は、その同じグリッド又は列内の第1の端子に組み入れることができる。

10

【0096】

特定の例では、第2の端子106のうちの一部又は全ては、基板の第1の表面110において露出する第3のエリア又はグリッド116内に設けることができ、第2の端子の別の組は、第1の表面110において露出する第4のエリア又はグリッド126内に設けることができる。特定の例では、第3のエリア又はグリッド116内の第2の端子の信号割当ては、第1のグリッド及び第2のグリッドについて上述した方法と同様の方法で、第4のエリア又はグリッド126内の第2の端子の信号割当ての鏡像とすることができる。第3のグリッド116及び第4のグリッド126は、場合によっては、第1のグリッド及び第2のグリッドが延びる方向134に延在することができ、また、互いに平行とすることができる。第3のグリッド及び第4のグリッドも、第1のグリッド114及び第2のグリッド124に平行とすることができる。代替的には、図5Aを参照すると、第2の端子が配置されるグリッド127、137は、方向142と交わるか、更には直交する別の方向135に沿って延びることができる。別の例では、いくつかの第2の端子は、図5Aに示したグリッド116、126、127及び137のそれぞれの中に配置することができる。いくつかの第2の端子も、第1のグリッド114及び第2のグリッド124内の場所に配置することもしないこともできる。

20

30

【0097】

また、図5Aに示しているように、グリッド127における第2の端子の信号クラス割当ては、垂直軸132に関して対称とすることができ、グリッド137における第2の端子の信号クラス割当ては、垂直軸132に関して対称とすることができる。本明細書において、2つの信号クラス割当ては、それらの信号割当てが同じ割当てのクラスにある場合には、たとえそのクラス内での数値インデックスが異なっていようと、互いに関して対称とすることができる。例示的な信号クラス割当ては、データ信号、データ・ストロブ信号、データ・ストロブ補数信号、及びデータマスク信号を含むことができる。特定の例において、グリッド127において信号割当てDQSH、DQSLを有する第2の端子は、たとえそれらの第2の端子が異なる信号割当てを有していようと、データ・ストロブである自らの信号クラス割当てについて垂直軸132に関して対称である。

40

【0098】

図5Aに更に示すように、例えばデータ信号DQ0、DQ1、...等についてのデータ信号の超小型電子パッケージ上の第2の端子の空間的位置への割り当ては、垂直軸132に関してモジュロXの対称性(modulo-X symmetry)を有することができる。このモジュロXの対称性は、1以上の対の第1のパッケージ及び第2のパッケージが互いに対向して回路パネルに設けられ、回路パネルは対向して設けられたそれぞれのパッケージの対における第1のパッケージ及び第2のパッケージの対応する第2の端子の対に電気的に接続する、図7A及び図7B等において見られるアセンブリ200又は354における信号の品

50

質 (signal integrity) を保つのに役立つ。端子の信号割当てが或る軸に関して「モジュロ X の対称性」を有する場合には、同じ番号の「モジュロ X 」を有する信号を運ぶ端子が、その軸に関して対称である位置に置かれる。したがって、図 7 A 及び図 7 B 等におけるそのようなアセンブリ 200 又は 354 において、モジュロ X の対称性により回路パネルを介した電氣的接続を行うことができ、第 1 のパッケージの端子 DQ0 が回路パネルを介して同じモジュロ X (この場合 X は 8) の数値を有する第 2 のパッケージの端子 DQ8 に電氣的に接続することができ、回路パネルの厚みを本質的に真っ直ぐ通る、すなわちそれに垂直な方向に接続を行うことができるようになってきている。したがって、8 モジュロ 8 の演算の結果の数は 0 であり、9 モジュロ 8 の演算の結果の数は 1 である。それゆえ、信号割当てがモジュロ 8 の対称性を有する場合、モジュロ 1 演算が「1」の結果をもたらす、DQ1 等の信号を運ぶように構成される端子は、モジュロ 8 演算が同じ結果、すなわち、「1」をもたらす、DQ9 又は DQ17 等の信号を運ぶように構成される別の端子と、1 つの軸に関して対称となる基板上の位置に置かれる。

【0099】

一例において、「 X 」は 2^n (2 の n 乗) という数字とすることができる。ただし n は 2 以上である。又は、 X は $8 \times N$ とすることができる。ただし、 N は 2 以上である。したがって一例において、 X は、1/2 バイトにおけるビット数 (4 ビット)、1 バイトにおけるビット数 (8 ビット)、複数バイトにおけるビット数 ($8 \times N$ 、ただし N は 2 以上)、ワードにおけるビット数 (32 ビット)、又は複数ワードにおけるビット数と等しくすることができる。そのようにして、一例において、図 5 A に示したようにモジュロ 8 の対称性がある場合には、データ信号 DQ0 を運ぶように構成されたグリッド 127 におけるパッケージ端子 DQ0 の信号割当ては、データ信号 DQ8 を運ぶように構成された別のパッケージ端子 DQ8 の信号割当てと垂直軸 132 に関して対称である。さらに、垂直軸の回りのグリッド 137137 におけるパッケージ端子 DQ0 及び DQ8 の信号割当てについても同じことが当てはまり、グリッド 137 についても同じことが当てはまる。本明細書において説明するもの等のモジュロ 8 の対称性は、パッケージ端子 DQ0 ~ DQ15 の信号割当てのそれぞれに関してグリッド 127、137 において見ることができる。

【0100】

図示はしていないが、モジュロ数「 X 」は 2^n (2 の n 乗) 以外の数字とすることができる、2 よりも大きな任意の数とすることができることに注意することが重要である。したがって、対称性の基礎であるモジュロ数 X は、パッケージがそのために組み立てられる又は構成されるデータサイズにおいて存在するビット数によって決めることができる。例えば、データサイズが 8 ビットではなく 10 ビットである場合には、信号割当てはモジュロ 10 の対称性を有することができる。データサイズが奇数ビットを有する場合には、モジュロ数 X はそのような数を有することができる場合さえあってもよい。

【0101】

図 5 D は、図 5 を参照して上記で説明した超小型電子構造体 100 の別の例を示している。図 5 D の例では、超小型電子素子 101 の面 207 は、上記の例と同じように反対に面する第 2 の表面 108 の上に重なるのではなく、基板 102 の第 1 の表面 110 の上に重なることができる。この場合、第 1 の端子 104 の第 1 の組 114 及び第 2 の組 124 は、超小型電子素子 101 のエリアの外部に位置決めすることができる。図 5 D において更に見られるように、超小型電子構造体 100 の接合素子 130 を含む第 1 の端子 104 は、超小型電子素子 101 の高さ $H2$ を収容し、端子を、回路パネル 90 の表面 95 において露出した対応するコンタクト 92 と位置合わせし、かつ接合できるようにするために十分な高さ $H1$ を与えるものである。図 5 E の例において示しているように、第 1 の超小型電子構造体 100 A 及び第 2 の超小型電子構造体 100 B からなる垂直に重ねられたアセンブリを構成できるように、第 2 の超小型電子構造体 100 B が、第 1 の超小型電子構造体 100 A の第 2 の表面 108 において露出した端子の対応する組 314、316 に接合される第 1 の端子 104 を有することができる。

【0102】

10

20

30

40

50

別の例では、図 5 F に示されるように、図 5 に対して上記で論じられたような編成を有する、超小型電子構造体又はパッケージ 2 2 0 が、図 5 D に対して上記で説明されたように超小型電子構造体 1 0 0 の上方に垂直に配置されることが示されている。超小型電子構造体 2 2 0 の端子 2 2 2 は、端子、例えば、超小型電子構造体 1 0 0 の第 1 の端子 1 0 4 及び第 2 の端子 1 0 6 に関して図 5、図 5 A において図示され、上記で説明されたようにすることができる。端子 2 2 2 は、以下のように、超小型電子構造体 1 0 0 の第 2 の表面 1 0 8 において露出する端子 3 1 4、3 1 6 と位置合わせし、接合することができるか、又は別の方法で電氣的に相互接続することができる。

【 0 1 0 3 】

別の例では、図 5 F に示しているように、図 5 に対して上記で論じられたような編成を有する、超小型電子構造体又はパッケージ 2 2 0 が、図 5 D に対して上記で説明されたように超小型電子構造体 1 0 0 の上方に垂直に配置されることが示されている。超小型電子構造体 2 2 0 の端子 2 2 2 は、端子、例えば超小型電子構造体 1 0 0 の第 1 の端子 1 0 4 及び第 2 の端子 1 0 6 に関して図 5、図 5 A において図示され、上記で説明したようにすることができる。端子 2 2 2 は、以下のように、超小型電子構造体 1 0 0 の基板 1 0 2 の第 2 の表面 1 0 8 において露出する端子 3 1 4、3 1 6 と位置合わせし、接合することができるか、又は別の方法で電氣的に相互接続することができる。

【 0 1 0 4 】

一例では、図 5 A において与えられるようなボールアウト (ball-out)、すなわち、端子構成を有する超小型電子構造体は、業界標準規格 D D R 3 又は D D R 4 仕様に従って動作する超小型電子素子を含む超小型電子構造体のために用いることができる。

【 0 1 0 5 】

図 5 H は、図 5、図 5 A 及び図 5 B に示した本発明の実施形態の変形形態による超小型電子構造体のための端子構成を示している。図 5 H の変形形態は、超小型電子構造体 2 4 0 の仮想平面 1 3 2 の第 1 の側 2 4 1 に配置される第 1 の端子のうちの第 1 の組 2 4 2 と、仮想平面の第 2 の側 2 4 3 に配置される第 1 の端子のうちの第 2 の組 2 4 4 との間に対称性を与えることができる別の方法を示している。この例では、上記の例の場合と同様に、第 1 の端子のうちの第 1 の組及び第 2 の組はそれぞれ、メモリ記憶アレイ内の位置を指定するために十分なアドレス情報を運ぶように構成することができる。場合によっては、各組 2 4 2、2 4 4 は、メモリ記憶アレイ内の位置を指定するために必要となるアドレス情報の大部分のみを運ぶことができる。

【 0 1 0 6 】

図 5 H に示したような例では、アドレス情報を超小型電子構造体内の 1 以上のメモリ記憶アレイのアドレス入力部に送るのに必要とされない場合がある仮想平面の各側にある無接続端子 (no-connect terminal) の組を設けることができる。本明細書において、超小型電子構造体の「無接続端子」は、そのような無接続端子上に何らかの情報が存在するかどうかにかかわらず、超小型電子構造体内の任意の電気経路、例えば、任意の超小型電子素子、例えば、半導体チップに情報を伝達するための経路に接続されない端子を意味する。したがって、無接続端子に接続される超小型電子構造体外部の別の構成要素から接続される場合があるように、無接続端子に情報が存在する場合があっても、無接続端子に存在する情報は、超小型電子構造体内の任意の超小型電子素子に設けられる経路内には存在しない。

【 0 1 0 7 】

この場合、第 1 の側における第 1 の端子それぞれの場所は、仮想平面 1 3 2 の第 2 の側にある無接続端子の場所と、仮想平面に関して対称とすることができ、第 2 の側における第 1 の端子それぞれの場所は、第 1 の側にある無接続端子の場所と仮想平面に関して対称である。したがって、図 5 H において見られるように、例えば、フィールド 0 (2 4 2) として示される、その面の第 1 の側 2 4 1 における第 1 の端子の組のうちの第 1 の端子それぞれの場所は、フィールド 0 (N C) として示される、面 1 3 2 の第 2 の側 2 4 3 に設けられた無接続端子の組のうちの無接続端子の位置と、仮想平面 1 3 2 に関して対称であ

10

20

30

40

50

る。また、図 5 H において、フィールド 1 (2 4 4) として示される、面 1 3 2 の第 2 の側 2 4 3 の組のうちの各第 1 の端子の場所と、フィールド 1 (N C) として示される、面の第 1 の側 2 4 1 に設けられた無接続端子の組のうちの無接続端子の場所とは、仮想平面 1 3 2 に関して対称である。

【 0 1 0 8 】

一方の側にある第 1 の端子とその反対側にある無接続端子との間の対称性に関する上記の要件が満たされる限り、面の同じ側 (例えば、第 1 の側 2 4 1) にある第 1 の端子の組及び無接続端子の組は、任意の適切な場所に配置することができる。面 1 3 2 の一方の側にある第 1 の端子の組が配置される空間は、連続している必要はない。面 1 3 2 の一方の側にある無接続端子の組が配置される空間も連続している必要はない。したがって、仮想平面の同じ第 1 の側 2 4 1 上のフィールド 0 (2 4 2) として示した第 1 の端子の組の場所と、フィールド 1 (N C) として示した無接続端子の組の場所とは、その構造体の表面の重なり合わないエリアを占有する必要はなく、すなわち、第 1 の側 2 4 1 の第 1 の端子の組のうちの第 1 の端子の場所は、互いに混在することを含む、第 1 の側 2 4 1 の無接続端子に対して任意の適切な場所に配置することができる。さらに、同じ関係は、面 1 3 2 の第 2 の側にある第 1 の端子及び無接続端子にも適用することができる。実際には、一例において、その面の一方の側にある各端子及び各無接続端子は、共通のグリッド内の任意の場所に配置することができる。

【 0 1 0 9 】

一例では、図 5 H による超小型電子構造体の第 2 の端子の場所は、図 5 H に更に見られるようにすることができる。この場合、第 2 の端子の組 2 4 6、2 4 8、2 5 0 及び 2 5 2 は、図 5、図 5 A 及び図 5 B に対して上記で説明されたようにすることができるか、又は本明細書において更に図示及び説明されるようにすることができる。

【 0 1 1 0 】

一例では、図 5 H において表されるようなボールアウト、すなわち、端子構成を有する超小型電子構造体は、業界標準規格 L P D D R 3 仕様に準拠する超小型電子素子を含む超小型電子構造体に用いることができる。

【 0 1 1 1 】

図 7 A は、回路パネル 1 5 4 の対向する第 1 の表面 1 5 0 及び第 2 の表面 1 5 2 に設けられるような、第 1 の超小型電子パッケージ 1 0 0 A 及び第 2 の超小型電子パッケージ 1 0 0 B のアセンブリ 2 0 0 を示している。特定の内部構造を有する超小型電子構造体を示してきたが、いくつかの例では、各超小型電子構造体 1 0 0 は、図 5、図 5 A、図 5 A ~ C、図 5 D、図 5 E、図 5 F 若しくは図 5 G のいずれかを参照して上記で図示及び説明されたようにすることができるか、又は本明細書において別の方法で図示及び説明されるようにすることができる。各超小型電子構造体 1 0 0 A は、その向かい側に設けられる超小型電子構造体 1 0 0 B と同じ内部構造を有することができるか、又は超小型電子構造体 1 0 0 A は、他方の超小型電子構造体 1 0 0 B とは異なった内部構造とすることができる。回路パネルは、なかでも、デュアルインラインメモリモジュール (「 D I M M 」) で使用されるプリント回路基板、システム内の他の構成要素と接続される回路基板若しくはパネル、又はマザーボード等の種々のタイプとすることができる。第 1 の超小型電子構造体 1 0 0 A 及び第 2 の超小型電子構造体 1 0 0 B は、回路パネル 1 5 4 の第 1 の表面 1 5 0 及び第 2 の表面 1 5 2 において露出した対応するコンタクト 1 6 0、1 6 2 にそれぞれ取り付けることができる。

【 0 1 1 2 】

図 7 A に特に示しているように、各パッケージの第 2 のグリッド内の第 1 の端子の信号割当てが、各パッケージの第 1 のグリッド内の第 1 の端子の信号割当ての鏡像であるため、パッケージ 1 0 0 A、1 0 0 B が互いに対向する回路パネルに実装されると、第 1 のパッケージ 1 0 0 A の第 1 のグリッド 1 1 4 A 内のそれぞれの第 1 の端子は、第 2 のパッケージ 1 0 0 B の第 2 のグリッド 1 2 4 B 内の同じ信号割当てを有する対応する第 1 の端子と位置合わせすることができ、その対応する第 1 の端子に電氣的に接続される。さらに、

第1のパッケージ100Aの第2のグリッド124A内のそれぞれの第1の端子は、第1のグリッド114B内の同じ信号割当てを有する対応する第1の端子に位置合わせすることができ、その対応する第1の端子に電氣的に接続される。

【0113】

確かに、接続された端子の各対の位置合わせは、ある許容誤差以内とすることができ、それにより、接続された端子の各対は、回路パネル154の第1の表面150に沿って直交するx方向及びy方向に沿って、互いに1ボールピッチ以内で位置合わせすることができる。図7Aから明らかであるように、各グリッドの第1の端子は、回路パネルの表面350に平行な、直交するx方向及びy方向において互いに1ボールピッチ以内で位置合わせすることができる。ボールピッチは、いずれかのパッケージ上の任意の2つの隣接する平行な端子列間の最小ピッチ以下である。特定の例において、グリッドは、第1の超小型電子パッケージ及び第2の超小型電子パッケージ上の第1の端子のうちの少なくともいくつかが互いに合致するよう、x方向及びy方向に沿って互いに位置合わせすることができる。本明細書において、回路パネルの互いに向かい合う表面のパッケージの第1の端子が互いに「合致する」場合、位置合わせは慣例的な製造公差内とすることができ、又は第1の回路パネル及び第2の回路パネルの表面に平行な直交するx方向及びy方向に沿って互いに1ボールピッチの半分よりも小さい公差内とすることができる。ボールピッチは上述のとおりである。

10

【0114】

特定の例では、それぞれの第1のパッケージ100A及び第2のパッケージ100Bの位置合わせされたグリッド（例えば、第1のパッケージの第1のグリッド114A及び第2のパッケージの第2のグリッド124B）の場所の少なくとも半分は、回路パネル154の第1の表面150に沿って直交するz方向及びy方向において互いに位置合わせすることができる。

20

【0115】

そのため、図7Aに更に示しているように、第1のパッケージ100Aのグリッド114A内で「A」と記号が付いた信号を運ぶ特定の第1の端子は、同じ信号「A」を運ぶ第2のパッケージ100Bのグリッド124Bの対応する第1の端子に位置合わせされる。同じことが、第1のパッケージ100Aのグリッド124A内で「A」と記号が付いた信号を運ぶ特定の第1の端子に関して同様に当てはまり、この第1の端子は、同じ信号「A」を運ぶ第2のパッケージ100Bのグリッド114Bの対応する第1の端子に位置合わせされる。

30

【0116】

このようにして、図7Aから更にわかるように、第1のパッケージ100A及び第2のパッケージ100Bの電氣的に接続された第1の端子の各対間の回路パネルを通る電気接続の長さは、電氣的に接続された第2の端子のこれらの対のそれぞれの対の端子が、互いに重なるか又は互いに1ボールピッチ以内で少なくとも位置合わせされることができるといふ点で、大幅に低減することができる。これらの電気接続の長さの低減により、回路パネル及びアセンブリのスタブ長を低減することができ、スタブ長を低減することは、第1の端子によって運ばれ、第1のパッケージ及び第2のパッケージの両方のパッケージ内の超小型電子素子に送られる上記で述べた信号について、なかでも、整定時間、リングング、ジッタ、又は符号間干渉を低減すること等、電気性能を向上させるのに役立つ。さらに、回路パネルの構造を簡略化すること、又は、回路パネルを設計若しくは製造する複雑さ及びコストを低減すること等の他の利益も得ることができる。

40

【0117】

図7Aに更に示しているように、各パッケージ100A、100Bの第2の端子が、例えば図5、図5A～図5Cに関して上述した特定の鏡像配置構成を有する第3のグリッド及び第4のグリッド内に配置される場合、各パッケージの第3のグリッドのそれぞれの端子は、他のパッケージの第4のグリッドの同じ信号割当てを有する対応する第2の端子に位置合わせすることができ、その対応する第2の端子に電氣的に接続される。そのため、

50

図7Aに見られるように、第1のパッケージ100Aの第3のグリッド116A内のそれぞれの端子は、第2のパッケージ100Bの第4のグリッド126B内の同じ信号割当てを有する対応する端子に位置合わせすることができ、その対応する端子に電氣的に接続される。さらに、第1のパッケージ100Aのグリッド126A内のそれぞれの端子は、第3のグリッド116B内の同じ信号割当てを有する対応する端子の1ボールピッチ以内で位置合わせすることができ、その対応する端子に電氣的に接続される。ここでもまた、接続された端子の各対の位置合わせは、ある許容誤差以内にあり、それにより、接続された端子の各対は、回路パネル154の第1の表面150において直交するx方向及びy方向に互いに1ボールピッチ以内で位置合わせすることができる。特定の実施形態では、その位置合わせは、パッケージ100A、100Bの対応する接続される端子が互いに合致するよう

10

【0118】

そのため、図7Aに更に示しているように、第1のパッケージ100Aのグリッド116A内で「B」と記号が付いた信号を運ぶ特定の第1の端子は、第2のパッケージ100Bのグリッド126Bの同じ信号「B」を運ぶ対応する第1の端子の1ボールピッチ以内で位置合わせすることができ、その対応する第1の端子に電氣的に接続される。同じことが、第1のパッケージ100Aのグリッド126A内で「B」と記号が付いた信号を運ぶ特定の第1の端子に関して同様に当てはまり、その特定の第1の端子は、第2のパッケージ100Bのグリッド116Bの同じ信号「B」を運ぶ対応する第1の端子の1ボールピッチ以内で位置合わせすることができ、その対応する第1の端子に電氣的に接続される。

20

【0119】

上述した第1のパッケージ及び第2のパッケージの対応する第1の端子104間の接続と同様に、この実施形態では、第1のパッケージ及び第2のパッケージの電氣的に接続された第2の端子106の対間の回路パネルを通る電氣的接続の長さは、電氣的に接続された第2の端子のこれらの対のそれぞれの対内の端子が、互いに合致するか又は回路パネル表面に平行な、直交するx方向及びy方向に沿って互いに1ボールピッチ以内で少なくとも位置合わせされることができるという点で、大幅に低減することができる。さらに、スタブ長を低減し、第1のパッケージと第2のパッケージとの間の接続のために回路パネルの構成を簡略化することに関して上述した利益と同様の利益を、超小型電子パッケージの第2の端子、すなわちコマンド・アドレス・バスの上記で述べた信号以外の信号を運ぶよう

30

【0120】

図7Bは、それぞれが上記で又は以降で述べる構成を有する超小型電子パッケージ100A、100Bの2つ以上の対が、パッケージ100A、100Bと同様の方向で、回路パネル354、例えばデュアルインラインメモリモジュール(「DIMM」)のボード上のそれぞれのパネルコンタクトと電氣的に相互に接続することができることを更に示している。そのため、図7Bは、上述したように、互いに向き合う対向する向きで回路パネル354と電氣的に相互接続されたパッケージ100A、100Bの3つの対を示している。

【0121】

図7Bは、回路パネル、及び、回路パネルの互いに向き合う第1の表面及び第2の表面に対して互いに対向して設けられた複数の超小型電子パッケージを組み込んだ、例えば、なかでもDIMM等の超小型電子アセンブリを示している。図7Bに見られるように、上記で述べたアドレス情報又は場合によっては、コマンド・アドレス・バス信号は、超小型電子パッケージ100A、110Bのそれぞれの対が回路パネルの反対側に接続される接続位置I、II、又はIII間で、少なくとも一つの方向143に沿った回路パネル又は回路ボード354のバス36、例えばアドレスバス又はコマンド・アドレス・バス上でルーティングすることができる。こうしたバス36の信号は、わずかに異なる時点においてそれぞれの接続位置I、II、又はIIIでパッケージの各対に達する。少なくとも一つの方向143は、各パッケージ100A又は100B内の少なくとも一つの超小型電子素

40

50

子上の複数のコンタクトの少なくとも1つの列111が延びる方向142と交わるか又は方向142と直交するものとするができる。こうして、回路パネル354上の(すなわち、その上の又はその内の)バス36の信号導体は、場合によっては、回路パネルに接続されたパッケージ100A又は100B内の超小型電子素子上のコンタクトの少なくとも1つの列111に平行な方向142に沿って互いに間隔を置いて設けることができる。

【0122】

このような構成は、特に各超小型電子パッケージの第1のグリッド104の端子がこのような方向142に延びる1以上の列に設けられる場合には、バス36の信号をルーティングするための回路パネル上の1以上のグローバルルーティング層の信号導体のルーティングを簡単にするのに役立つ。例えば、比較的少数の第1の端子がそれぞれのパッケージ上の同じ垂直のレイアウト場所に配置される場合には、回路パネル上のコマンド・アドレス・バス信号のルーティングを簡単にするのを可能にすることができる。したがって、図5Cに示した例では、各パッケージの第1のグリッド114及び第2のグリッド124は、図5Aに更に示しているように、例えば、アドレス信号A3及びA1を受信する第1のグリッド114及び第2のグリッド124の端子等の同じ垂直のレイアウト位置において配置される4つの端子のみを有する。

【0123】

一実施形態では、超小型電子アセンブリ354は、アセンブリ354の超小型電子パッケージ100A、100Bに送られる少なくとも一部の信号のバッファリングを行う半導体チップを含むことができる超小型電子素子358を有することができる。バッファリング機能を有するこうした超小型電子素子358は、超小型電子アセンブリ354の外部の構成要素に関して超小型電子パッケージ100A及び100B内の超小型電子素子のそれぞれについてインピーダンス分離を提供するのに役立つように構成することができる。

【0124】

例示的な実施形態では、超小型電子アセンブリ354は、ソリッドステートドライブコントローラ等の論理機能を実施するように主に構成される半導体チップを含むことができる超小型電子素子358を有することができる。超小型電子パッケージ100A及び100B内の超小型電子素子の1以上はそれぞれ、不揮発性フラッシュメモリ等のメモリ記憶要素を含むことができる。超小型電子素子358は、システム2500(図31)等のシステムの中央処理ユニットを、超小型電子素子に含まれるメモリ記憶素子との間のデータ転送の監視から解放する専用のプロセッサを含むことができる。ソリッドステートドライブコントローラを含むそのような超小型電子素子354は、システム2500等のシステムのマザーボード(例えば、図31に示す回路パネル2502)上のデータバスとの間の直接メモリアクセスを提供することができる。

【0125】

コントローラ機能及び/又はバッファリング機能を含む超小型電子素子358を有する超小型電子アセンブリ354のそのような実施形態において、コマンド・アドレス・バス信号は、それぞれの接続位置I、II、又はIIIにおいて超小型電子素子358とパッケージ100A、100Bのそれぞれの対との間でルーティングすることができる。図7Bに示した特定の例において、接続位置I、II、又はIIIを乗り越えて延びるコマンド・アドレス・バス36の一部は、方向143又は方向143と交わる別の方向に延在して超小型電子素子358のコンタクトに達することができる。一実施形態において、コマンド・アドレス・バス36は、方向143に延びて超小型電子素子358のコンタクトに達するものとするができる。

【0126】

図8は、図5A～図7Aに関して上記で説明された実施形態の変形形態による超小型電子パッケージ200を示している。超小型電子素子は、第1の半導体チップ101A及び第2の半導体チップ101Bを含む複合的構造を有する。第2の半導体チップ101Bも、第1の半導体チップと同様に、その前面105に、基板コンタクト121、123と電氣的に接続される素子コンタクト111B、113Bを有する。特定の実施形態では、ス

10

20

30

40

50

ペーサ素子 103 を、第 1 の半導体チップの前面 105 と第 2 の半導体チップの背面 107 との間に設けることができる。ペーサ素子は、第 2 の半導体チップ 101B がペーサ素子 103 により第 1 の半導体チップに重ねられた後に、1 つの処理ステージにおいて第 1 の半導体チップ 101A に接続されるワイヤボンド 112 を形成するのを容易にすることができる。

【0127】

図 9 は、図 8 に示した実施形態の別の変形形態を示している。超小型電子素子は、基板の第 2 の表面 108 と第 1 の半導体チップ 101A の背面 107 との間に設けられた別の半導体チップ 109 を更に備えている。半導体チップ 109 は、その前面 125 にコンタクト 129 を有することができる、そのコンタクトは、対応するコンタクト 115、117 に面し、接合される。チップ 109 と対応する基板コンタクト 115、117 との間の接合は、導電性接合素子 118 により行うことができ、その素子は、ボンドメタル、堆積された導電性材料、金属のポスト若しくはピラー、例えば、銅、ニッケル等の硬質金属、又はその組み合わせを含むことができる。特定の例では、半導体チップ 109 はベアチップ、すなわち、パッケージ化されていないチップとすることができる。あるいは、半導体チップ 109 は、なかでも、リード、トレース、又はビア等の導電性構造体を含むことができるか、又はパッケージ化された半導体素子とすることができる。

【0128】

超小型電子パッケージが、図 8 若しくは図 9 において見られるか、又は以下に説明される例において見られるように、半導体チップが垂直に重ねられた構造を有する場合、パッケージ内のチップのうちの 1 以上は、パッケージ内の別の半導体チップに送るためにパッケージの端子 104 若しくは 106、又は両方のそのような端子により受信された信号をバッファリングするか、又は別の方法でそのような情報を再生するように構成、例えば設計、組み立て、又は準備することができる。例えば、図 8 に示したような構成では、基板に隣接する第 1 の半導体チップ 101A が、第 2 の半導体チップに送るために 1 以上の信号又は情報をバッファリングすることができるか、又は別の方法で再生することができる。図 9 において見られるような構成では、半導体チップ 109 が、半導体チップ 101A、101B のうちの 1 以上に送るために信号をバッファリングするか、又は別の方法でそのような情報を再生することができる。その代わりに、又はそれに加えて、半導体チップ 109 は、端子 104 若しくは 106、若しくは 104、106 の両方に送るために、半導体チップ 101A、101B のうちの 1 以上から受信した信号を再生することができるか、又は端子から半導体チップ 101A、101B にまで両方向に送られる信号、若しくは半導体チップ 101A、101B から超小型電子パッケージの端子にまで送られる信号を再生することができる。

【0129】

あるいは、又は上述のように信号を再生することに加えて、一例において、そのような複合的 (composite) 超小型電子素子における第 1 のチップは、超小型電子素子の動作モードを制御する情報を部分的に又は完全に復号化するように構成することができる。特定の例において、そのような複合的超小型電子素子における第 1 の半導体チップは、超小型電子素子パッケージの第 1 の端子等の端子により受け取られるアドレス情報又はコマンド情報のうちの少なくとも一方を部分的に又は完全に復号化するように構成することができる。次に、第 1 のチップはそのような部分的な又は完全な復号化の結果を出力して、1 以上の第 2 の半導体チップ 101A 及び 101B に送ることができる。

【0130】

パッケージの端子により受信された信号又は情報は、基板コンタクト 115 に、そして接合素子 118 を通して半導体チップ 109 へとルーティングすることができる。その際、半導体チップ 109 は、受信された信号又は情報を再生し、基板コンタクト 117 に送ることができる。その信号又は情報は、基板コンタクト 117 から、基板によって、その上にある導電性トレース等を通して、基板コンタクト 111、113 へとルーティングことができ、次にその信号又は情報は、例えば、ワイヤボンド 112 等を通して半導体

10

20

30

40

50

チップ101A、101Bへとルーティングされる。特定の例では、半導体チップ109は、半導体チップ101A、101Bに送られる上記で言及されたコマンド信号、アドレス信号及びクロック信号をバッファリングするように構成することができる。

【0131】

図10は、特定の例による超小型電子パッケージ600を示している。超小型電子素子は、それぞれが基板602とは反対側のコンタクト担持面631を有する、電氣的に相互に接続された第1の半導体チップ632と複数の第2の半導体チップ634との垂直積層構造630を有している。ワイヤボンダ635は、半導体チップ632、634上のコンタクト626を、基板上の対応するコンタクト636へと電氣的に相互接続させる。スペーサ638は、半導体チップ634の隣接する面間に設けることができ、スペーサ638は、半導体チップ632のコンタクト担持面631と半導体チップ634の後面との間に設けることができる。場合によっては、接着剤層(図示せず)を、各スペーサと、こうしたスペーサに隣接する半導体チップの面との間に設けることができる。図10に示すように、1以上の第2の半導体チップ634が第1の半導体チップ632に電氣的に相互接続される。例えば、図10に見られるように、垂直に重ねられた3つの第2の半導体チップ634が存在し、第2の半導体チップ634の面631は互いに平行である。

【0132】

図10において見られる超小型電子パッケージ600において、第1の半導体チップ632及び第2の半導体チップ634のそれぞれは、そのような半導体チップがそれぞれ、任意の他の機能よりもメモリ記憶アレイ機能を提供する能動素子を数多く具体化するように構成することができる。例えば、第1の半導体チップ及び第2の半導体チップのそれぞれは、メモリ記憶アレイと、メモリ記憶アレイにデータを入力しメモリ記憶アレイからデータを出力するのに必要な全ての回路とを含むことができる。例えば、それぞれの半導体チップにおけるメモリ記憶アレイが書き込み可能な場合、それぞれの半導体チップは、パッケージの端子から外部データ入力を受け取るように構成された回路と、そのような半導体チップからパッケージの端子にデータ出力を送るよう構成された回路とを含むことができる。したがって、それぞれの第1の半導体チップ632及びそれぞれの第2の半導体チップ634は、そのような半導体チップ内のメモリ記憶アレイとの間でデータを入出力し、そのようなデータを受け取って超小型電子パッケージの外部の構成要素に送ることができるダイナミックランダムアクセスメモリ(「DRAM」)チップ又はその他のメモリチップとすることができる。言い換えれば、そのような場合、それぞれのDRAMチップ又は他のメモリチップ内のメモリ記憶アレイとの間の信号は、超小型電子パッケージ内の別の半導体チップによるバッファリングを必要としない。

【0133】

あるいは、別の例において、1以上の第2の半導体チップ634は、任意の他の機能よりもメモリ記憶アレイ機能を提供する能動素子を数多く具体化することができるが、第1の半導体チップ632は異なるタイプのチップとすることができる。この場合、第1の半導体チップ632は、信号をバッファする、すなわち1以上の第2の半導体チップ634に送るために端子で受け取った信号を再生するか、又は端子に送るために第2の半導体チップ634のうちの1以上から受け取った信号を再生するか、又は端子から1以上の第2の半導体チップ634へ、及び1以上の半導体チップから超小型電子パッケージの端子への両方向に送られる信号を再生するように構成、例えば設計、組み立て、又は準備することができる。

【0134】

特定の例において、第1の半導体チップは、1以上の第2の半導体チップに送られるアドレス情報をバッファするように構成するか、コマンド信号、アドレス信号、及びクロック信号をバッファするように構成することができる。例えば第1の半導体チップ632は、信号の他のデバイスへの、例えば1以上の第2の半導体チップ634への転送においてバッファリング機能を提供する能動素子を、任意の他の機能よりも数多く具体化するバッファチップとすることができる。このとき、その1以上の第2の半導体チップは、メモリ

10

20

30

40

50

記憶アレイは有するが、なかでもバッファ回路、デコーダ若しくはプレデコーダ、又はワード線ドライバ等のDRAMチップに共通の回路は省くことのできる、機能を減らしたチップとすることができる。その場合、第1のチップ632は、積層構造における「マスター」チップとして第2の半導体チップ634のそれぞれにおける動作を制御するよう機能することができる。特定の例において、第2の半導体チップは、バッファリング機能を果たすことができないように構成することができ、このため、第1の半導体チップ及び第2の半導体チップが重ねられた配列は、超小型電子パッケージにおいて必要なバッファリング機能を第1の半導体チップによって果たすことができるように、かつ重ねられた配列における第2の半導体チップのいずれによっても果たすことができないように構成される。上記と同様に、第1の半導体チップは、第1の半導体チップ及び第2の半導体チップから構成される超小型電子素子の動作モードを制御する、第1の端子により受信された情報を部分的又は完全に復号化するように構成することができる。その代わりに、又はそれに加えて、第1の半導体チップは、第1の端子により受信されたアドレス情報又はコマンド情報のうちの少なくとも1つを部分的又は完全に復号化するように構成することができる。特定の例では、第2の半導体チップのうちの1以上は、アドレス情報、コマンド情報、又は超小型電子素子の動作モードを制御する情報等の、超小型電子パッケージの第1の端子により受信される情報を完全に復号化するように構成されない場合がある。

10

【0135】

本明細書において説明した実施形態のいずれかにおいて、1以上の第2の半導体チップは、なかでも、以下の技術、すなわちDRAM、NANDフラッシュメモリ、RRAM(登録商標)(「抵抗性RAM(resistive RAM)」)、又は「抵抗性ランダムアクセスメモリ」、相変化メモリ(「PCM(phase-change memory)」)、例えばトンネル接合デバイスを具現できるような磁気抵抗性ランダムアクセスメモリ、スピントルクRAM、又は連想メモリのうちの1以上により実現することができる。

20

【0136】

図11は、更なる変形形態による超小型電子パッケージ660を示す断面図であり、図12は、それに対応する平面図である。複数ある第2の半導体チップ634は、互いに階段状に設けられている。これにより、第1の半導体チップ632のコンタクトは、第2の半導体チップ634Aの縁部618の外側にて、第1の半導体チップ632の真上に露出している。さらに、半導体チップ634Aのコンタクトは、当該第2の半導体チップの真上で、第2の半導体チップ634Bの縁部618の外側において露出している。第1のチップ及び第2のチップと基板との間の電氣的接続及びチップ間の電氣的接続は、半導体チップの積層構造において隣接するチップを電氣的に接続するワイヤボンダ635、又は、チップをパッケージ基板662に対し、直接、電氣的に接続するワイヤボンダ637によって行うことができる。

30

【0137】

図13は、図10を参照して述べた実施形態の更なる変形形態による超小型電子パッケージ670を示している。1以上の第2の半導体チップ634のコンタクト間の接続には、重ねられた半導体チップのユニット630の1以上の縁部に沿って、すなわち、該ユニット630内の半導体チップ634の縁部に沿って延びているトレース又はリード640が含まれる。ユニット630は、第1の半導体チップ632のコンタクト627と電氣的に相互接続されるように設けられている。このコンタクト627は、場合によってはマイクロピラーなどの導電性ポストを含む場合のある、ボンダメタル、例えば、はんだ、錫、金、インジウム、共晶物が、導電性バンプが、又はその両者等である。トレース654は、コンタクト627から第2のコンタクト626へと、第1の半導体チップの面631に沿って延びたものとすることができる。そして、第2のコンタクト626は、ワイヤボンダ645等を通じて基板602に電氣的に接続することができる。

40

【0138】

第2の半導体チップ634間の電氣的接続は、第2の半導体チップ634の前面に沿って延びているトレース644を更に含むことができる。図13に更に示すように、第2の

50

半導体チップの前面 6 4 2 は、基板 6 0 2 とは反対側の上方に、又は基板 6 0 2 側の下方を向いたものとする事ができる。

【 0 1 3 9 】

さらに、図 1 4 は、超小型電子パッケージ 6 8 0 を示している。第 2 の半導体チップ 6 3 4 は、第 1 のチップのコンタクト 6 2 7 側を向き、かつ、ボンドメタル、例えば、はんだ、錫、金、インジウム、共晶物か、導電性バンプか、又はその両者等により、フリップチップ状に第 1 のチップのコンタクト 6 2 7 に接合されたコンタクト 6 4 7 を有している。トレース 6 5 4 は、コンタクト 6 2 7 を第 1 チップの他のコンタクト 6 2 6 と電氣的に接続することができ、前記他のコンタクト 6 2 6 は、ワイヤボンド 6 4 5 等を通して基板に電氣的に接続される。

10

【 0 1 4 0 】

図 1 5 A は、特定の例による超小型電子パッケージ 6 9 0 を更に示している。1 以上の第 2 の半導体チップ 6 3 4 は、第 2 の半導体チップ 6 3 4 の少なくとも一部の厚み 6 5 2 の方向に沿って、すなわち、チップ 6 3 4 の面 6 4 2 に垂直な方向に沿って延びている貫通型シリコンピア (through-silicon-via) (「TSV」) 6 5 0 により、互いに電氣的に接続される。図 1 5 A に見られるように、一例では、TSV 6 5 0 は、場合によっては導電性ポスト、例えばマイクロピラーを含む場合のある、ボンドメタル、例えば、はんだ、錫、金、インジウム、共晶物か、導電性バンプか、又はその両者等の、第 1 の半導体チップ 6 3 2 のコンタクト 6 2 7 と電氣的に接続することができ、トレース 6 5 4 は、コンタクト 6 2 7 から第 2 のコンタクト 6 2 6 へと第 1 の半導体チップの面 6 3 1 に沿って延びたものとする事ができる。そして、第 2 のコンタクト 6 2 6 は、ワイヤボンド 6 4 5 を通じて基板に電氣的に接続することができ、

20

【 0 1 4 1 】

一例では、第 1 の端子、第 2 の端子、又は両方等の、パッケージ 6 9 0 の端子により受信した情報又は信号は、基板コンタクト 6 3 6 に接合されたワイヤボンド 6 4 5 を通じて第 1 の半導体チップ 6 3 2 が受信することができ、ワイヤボンド 6 4 5 は、超小型電子パッケージのこのような端子に接合されている。そして、バッファ要素として動作する第 1 の半導体チップ 6 3 2 は、受信した情報又は信号を再生し、次に、再生された情報又は信号を、例えば、第 1 のチップ 6 3 2 と第 2 のチップ 6 3 4 との間の接続を通じて、また、第 2 のチップ 6 3 4 の積層構造内の TSV 6 5 0 を通じて、1 以上の第 2 の半導体チップへと送ることができ、一例では、第 1 の半導体は、超小型電子構造体内の 1 以上の第 2 の半導体チップ 6 3 4 に送るために、アドレス情報を再生すること、部分的に復号化すること、又は完全に復号化することのうちの少なくとも 1 つを行うことができる。

30

【 0 1 4 2 】

図 1 5 B は、図 1 5 A に示した超小型電子パッケージの変形形態を示している。図 1 5 A に示したパッケージとは異なり、アドレス情報又はその他の情報を再生するか又は少なくとも部分的に復号化するか又は完全に復号化することのうちの少なくとも 1 つを行う、例えば、パッケージ内の他の半導体チップに送る信号を再生する半導体チップ 6 6 4 は、基板 6 0 2 の第 2 の表面 1 0 8 に隣接して配置されていない。むしろこの場合、半導体チップ 6 6 4 は、1 以上の他の半導体チップの上に重なるようなパッケージ内の位置に設けることができる。例えば図 1 5 B に示すように、チップ 6 6 4 は、基板 6 0 2 の第 1 の表面 1 0 8 及びチップ 6 6 4 に隣接して設けられた半導体チップ 6 6 2 と少なくとも部分的に重なっており、さらに、半導体チップ 6 6 2 の上に設けられた半導体チップ 6 6 3 A、6 6 3 B 及び 6 6 3 C の上に少なくとも部分的に重なっている。一例において、半導体チップ 6 6 2、6 6 3 A、6 6 3 B、及び 6 6 3 C は、メモリ記憶アレイを備えたものとする事ができる。上述の例のように、このようなチップ 6 6 2、6 6 3 A、6 6 3 B、及び 6 6 3 C はそれぞれ、そのようなチップに書き込むデータ若しくはそのようなチップから読み出すデータ又はその両方をバッファする、例えば一時的に記憶する回路を組み込んだものとする事ができる。あるいは、チップ 6 6 2、6 6 3 A、6 6 3 B、及び 6 6 3 C は機能的により限られている場合があり、そのようなチップに書き込むデータ若しくは

40

50

そのようなチップから読み出すデータ又はその両方を一時的に記憶する少なくとも1つの別のチップとともに用いることが必要な場合がある。

【0143】

半導体チップ664は、超小型電子パッケージの端子に対し、例えば、第1の端子604の組及び第2の端子606の組に対し、導電性構造体、例えばワイヤボンダ665を通じて電氣的に接続することができる。この導電性構造体は、半導体チップ663Aの前面631に部分的に載っており、基板の第2の表面108において露出しているコンタクト636に接続している。導電性構造体、例えばワイヤボンダ665は、チップ663A上のコンタクト638を通り、チップ663Aの面631に沿うか、チップ664の対向する面641に沿うか、又はチップ663Aの面631及びチップ664の面641の両方に沿って延びている導体（不図示）を通して半導体チップ664と電氣的に接続することができる。上記で示したように、半導体チップ664を、導電性構造体、例えばワイヤボンダ665を通して受信した信号又は情報を再生するか又は少なくとも部分的に復号化することのうちの少なくとも1つを行うように構成することができ、また、そのような場合、再生されるか又は少なくとも部分的に復号化された信号又は情報を、チップ662、663A、663B、及び663C等のパッケージ内の別のチップへと送るよう構成することができる。

10

【0144】

図15Bから更にわかるように、半導体チップ662、663A、663B、及び663Cは、このようなチップのうちの1つ、2つ、又は3つ以上を貫いて延在することができる複数の貫通型シリコンビア672、674、及び676により、半導体チップ664と、及び互いと電氣的に接続することができる。このような貫通型シリコンビアはそれぞれ、パッケージ内の配線、例えば、半導体チップ662、663A、663B、663C、及び664のうちの2つ以上の導電性パッド又はトレースと電氣的に接続することができる。特定の例（図示せず）において、貫通型シリコンビアは、全ての半導体チップ662、663A、663B、及び663Cの厚みを貫いて延在することができる。ただし、それぞれの貫通型シリコンビアは貫いて延びているそれぞれのそのような半導体チップと電氣的に接続していない場合がある。

20

【0145】

図15Bから更にわかるように、複数のフィン671を含むことができるヒートシンク又はヒートスプレッド668を、なかでも熱接着剤、熱導電性グリース、又ははんだ等の熱導電性材料669等を介して、半導体チップ664の面、例えばその裏面633に熱的に結合することができる。

30

【0146】

図15Bに示した超小型電子アセンブリ695は、サイクルごとに指定された数のデータビットを、基板上にそのために設けられた第1の端子及び第2の端子を介して超小型電子パッケージとの間でやりとりすることのできるメモリモジュールとして動作するように構成することができる。例えば超小型電子アセンブリは、可能な構成の中でもとりわけ32データビット、64データビット、又は96データビット等の複数のデータビットを、端子604、606と電氣的に接続することができる回路パネル等の外部構成要素との間でやりとりするように構成することができる。別の例において、パッケージとの間でやりとりされたビットが誤り訂正符号ビットを含む場合には、パッケージとの間でやりとりされるサイクルごとのビット数は、36ビット、72ビット、又は108ビットとすることができる。ここで具体的に説明するもの以外のデータ長も可能である。

40

【0147】

図16～図18は、本発明の別の実施形態による更なる超小型電子構造体1400を示している。超小型電子構造体は、パッケージの第1の表面1410に対して平行な方向1435において互いに間隔を置いて設けられた縁部を有する第1の超小型電子素子1401及び第2の超小型電子素子1403を有することができる。超小型電子構造体内の超小型電子素子は、ここで、図16～図18に示す例における超小型電子構造体内に少なくと

50

も2つの超小型電子素子1401、1403が存在することを除いて、これまでの説明及び図のいずれに関して上記で図示及び説明されたような端子に対する任意の向き又は電氣的相互接続を有することができる。

【0148】

図16において見られるように、パッケージ上の第1の端子は、仮想平面1432の両側の位置において第1の組及び第2の組として配置され、その各組内の第1の端子はそれぞれの側にあるグリッド1414、1424内の位置に設けることができる。第1の組及び第2の組それぞれにおける第1の端子は、上記のように、仮想平面の対向する第1の端子の信号割当ての鏡像となる信号割当てを有することができる。上記の実施形態と同様に、いくつかの例では、第1の端子の組1414、1424は、平行な第1のグリッド及び第2のグリッド内に設けることができ、各グリッドは、超小型電子構造体のメモリ記憶アレイ内の位置を指定する、アドレス入力部によって受信される上記で説明したアドレス情報を伝えるように構成されている。上記の実施形態と同様に、第1の端子の各組は、メモリ記憶アレイ内の記憶位置を一意的に指定するために十分なアドレス情報を運ぶように構成することができる。

【0149】

特定の実施形態では、各グリッド内の第1の端子は、コマンド・アドレス・バス信号の集まり、すなわち、超小型電子パッケージに送られるコマンド信号、アドレス信号、バンクアドレス信号及びクロック信号の全てを運ぶように構成することができる。コマンド信号は、書込み許可信号、行アドレス・ストロブ信号及び列アドレス・ストロブ信号を含む。クロック信号は、アドレス信号をサンプリングするために用いることができる。グリッド1414、1424内の端子は、パッケージ1400内の超小型電子素子1401、1403の対応するコンタクトに電氣的に接続され、各グリッドは、コマンド・アドレス・バスの上記の信号の全てをパッケージ内の超小型電子素子に伝達するように構成されている。さらに、図16に具体的に示しているように、かつ以下に更に説明するように、第1のグリッド1414内の端子の信号割当てと、第2のグリッド1424内の端子の信号割当てとは、鏡像関係にある。

【0150】

第1の組及び第2の組、例えばあるグリッド内の信号割当てと、別のグリッド内の信号割当てとが鏡像関係にある平行したグリッド内に第1の端子の2重の組を設けることにより、互いに対向して回路パネルに設けられる第1の超小型電子パッケージ及び第2の超小型電子パッケージのアセンブリにおいてスタブの長さを低減することができる。第1の超小型電子パッケージ及び第2の超小型電子パッケージが、回路パネルの互いに向かい合う設置面に接続され、回路パネルがそれらのパッケージを電氣的に相互に接続すると、第1の超小型電子構造体又はパッケージの第1の端子の各々は、電氣的に接続される第2の超小型電子構造体パッケージの、鏡像にあたる組である、第2のものの対応する第1の端子と、1ボールピッチ以内で位置合わせすることができる。加えて、第2の超小型電子構造体又はパッケージの第1の組又はグリッドの第1の端子の各々は、電氣的に接続される第1の超小型電子構造体又はパッケージの、鏡像にあたる組又はグリッドである、第2のものの対応する第1の端子と、1ボールピッチ以内でそのように位置合わせすることができる。その結果、第1の構造体又はパッケージのそれぞれの第1の端子は、第2の構造体又はパッケージの対応する第1の端子に電氣的に接続することができ、対向する回路パネルの表面上の端子の各対の設置位置は、回路パネルの表面のうちの1つの表面に平行で互いに直交するx方向及びy方向に沿って、互いに1ボールピッチ以内にある。場合によっては、互いに向かい合う回路パネルの表面上の接続された端子の各対の設置位置は、更に互いに合致する場合がある。したがって、第1のパッケージ及び第2のパッケージの電氣的に接続された第1の端子の対間の回路パネルを通る電氣的接続の長さは、電氣的に接続された第1の端子のこれらの対のそれぞれの対内の端子が、互いに合致するか又は第1の回路パネル表面に沿って直交するx方向及びy方向に、互いに1ボールピッチ以内で位置合わせすることができるという点で、大幅に低減することができる。

10

20

30

40

50

【 0 1 5 1 】

回路パネル構成も、この構成を有するアセンブリにおいて同様に簡略化することができる。その理由は、第1の端子の電氣的に接続された各対間のルーティングが、主に垂直方向、すなわち回路パネルの厚みを通る方向に沿ったものとしてすることができるからである。すなわち、回路パネルの対向する表面に設けられた各パッケージの対応する第1の端子の各対を電氣的に接続するためには、回路パネル上のビア接続があれば十分とすることができる。

【 0 1 5 2 】

超小型電子構造体(図17)の第1の表面1410に平行な方向に沿って互いに間隔を置いて設けられる第1の超小型電子素子1401及び第2の超小型電子素子1403を少なくとも有する超小型電子構造体1400の別の特徴を、図16~図20を参照して、また図21~図30に示す各構造体も参照して理解することができる。この場合に、メモリ記憶アレイは、第1のメモリ記憶アレイ及び第2のメモリ記憶アレイを含むことができる。そのような超小型電子構造体1400において、図19から理解することができるように、構造体1400Aは、その第1の端子のうちの第1の組、例えばグリッド1414A上のアドレス情報を、第1のメモリ記憶アレイを有する第1の超小型電子素子1401Aのアドレス入力部に与える一方で、第1の端子の第1の組、例えばグリッド1414A上のアドレス情報を、第2のメモリ記憶アレイを有する第2の超小型電子素子1403Aのアドレス入力部に与えないように構成することができる。同様に、構造体1400Aは、第1の端子のうちの第2の組、例えばグリッド1424A上のアドレス情報を、第2の超小型電子素子1403Aのアドレス入力部に与える一方で、第1の端子のうちの第2の組、例えば、グリッド1424A上のアドレス情報を、第1の超小型電子素子1401Aに与えないように構成することができる。

【 0 1 5 3 】

この概念は、更に多くの数の超小型電子素子を有する超小型電子構造体においても実現することができる。したがって、超小型電子構造体1400Aは、その第1の端子のうちの第1の組、例えばグリッド1414Aにて受信されたアドレス情報を、2つ以上の超小型電子素子のアドレス入力部に与える一方で、第1の端子のうちの第2の組にて受信されたアドレス情報をそれら2つ以上の超小型電子素子に与えないように構成することができる。逆に、構造体は、第1の端子のうちの第1の組、例えばグリッド1414Aにて受信されたアドレス情報を、2つ以上の超小型電子素子のアドレス入力部に与える一方で、第1の端子のうちの第2の組にて受信されたアドレス情報をそれら2つ以上の超小型電子素子に与えないように構成することができる。

【 0 1 5 4 】

加えて、第1の端子のうちの第1の組及び第2の組がそれぞれ第1の超小型電子素子及び第2の超小型電子素子に少なくともアドレス情報を送るように構成される超小型電子構造体内のそのような編成によれば、超小型電子構造体はその内部で2ランク以上のメモリアクセスを与えることを容易にすることができる。具体的には、第1の端子のうちの第1の組及び第2の組を通して超小型電子構造体により異なったアドレス情報を受信することで、単一の超小型電子構造体からのデュアルランクのメモリアクセスを容易になる。1つのそのような例では、限定はしないが、それぞれ16ビット長のデータ経路を有する4つの超小型電子構造体を組み込んだ単一の超小型電子構造体が、デュアルランクの32ビット長のメモリアクセスを提供することができる。このようにして、超小型電子構造体は、デュアルランクメモリアクセス、例えば、第1のメモリチャンネル及び第2のメモリチャンネルがそれぞれNビットのデータ長を有することができる2チャンネルメモリアクセスを提供するように構成することができる。限定はされないが、Nビットは、16ビット、32ビット又は64ビット(通常は誤りの検出又は訂正のためのビットを含まない)等のメモリチャンネルの通常のデータバス長を有することができるか、又は18ビット、36ビット又は72ビット(通常、誤りの検出又は訂正のためのビットを含むバス)の長さを有するものとしてすることができる。

10

20

30

40

50

【 0 1 5 5 】

あるいは、第1の端子のうちの第1の組及び第2の組がそれぞれ、第1の超小型電子素子及び第2の超小型電子素子のそれぞれに同じアドレス情報を送るように構成される場合、超小型電子構造体は、相対的に広いデータ経路を有するランクのメモリアクセスを提供することができる。具体的には、第1の端子のうちの第1の組及び第2の組をそれぞれ通して超小型電子構造体によって同じアドレス情報を受信することで、上記のようなデュアルランクアドレス型の超小型電子構造体のデータ経路の大きさの2倍とすることができるデータ経路を有するシングルランクのメモリアクセスを容易にすることができる。1つのそのような例では、限定はされないが、各々が16ビット長のデータ経路を有する4つの超小型電子素子を組み込んだ単一の超小型電子構造体は、シングルランクの64ビット長のメモリアクセスを提供することができる。したがって、1つの例では、図16～図20を参照して、又は図21～図30のうちの1以上を参照して説明する超小型電子構造体1400のいずれかにおける少なくとも2つの超小型電子素子はそれぞれ、シングルランクメモリアクセスを提供するようにともに機能することができる。そのような場合に、データバス長は、デュアルランクメモリアクセスを有する超小型電子構造体の場合よりも大きくすることができる。この場合、(デュアルランクの場合のNビットと比較して)2Nビットのデータバス長を有するメモリチャネルが、超小型電子構造体内のメモリ記憶アレイ機能を提供する各超小型電子素子内の位置にアクセスすることができる。さらに、超小型電子構造体によって提供されるシングルランクメモリアクセスは、2Nビット、例えば32ビット、64ビット又は128ビット(誤り検出なし)のデータバス長を有することができ、2Nビット、例えば、32ビット、64ビット又は128ビット(誤り検出なし)のデータバス長を有することができるか、又は2Nビット、例えば、36ビット、72ビット、又は144ビット(誤り検出なし)のデータバス長を有することができる。

10

20

【 0 1 5 6 】

さらに、それぞれの超小型電子パッケージの対が接続される接続位置間で回路パネルに沿ったバス36(図7B)上で上記アドレス情報をルーティングするのに必要な回路パネル上の配線のグローバルルーティング層の数も、回路パネルに取り付けられる超小型電子パッケージが本明細書の原理に従って構成されるときに、削減することができる。具体的には、回路パネルに沿ってそのような信号をルーティングするのに必要なグローバルルーティング層の数は、場合によっては、2つ以下のルーティング層にまで削減することができる。しかし、回路パネル上に、バス36上で上記アドレス情報又は信号以外の信号を運ぶ、更に多くの数のグローバルルーティング層があってもよい。

30

【 0 1 5 7 】

また、超小型電子パッケージは、第1の端子以外の第2の端子も有することができ、そのような端子は通常、上述のコマンド・アドレス・バス信号以外の信号を運ぶように構成されている。一例において、第2の端子は、データマスク及び並列終端をオン又はオフとするために用いる終端レジスタへのODT信号すなわち「ダイ上終端(on die termination)」信号だけではなく、超小型電子素子との間の一方又は双方向のデータ信号、並びにデータ・ストロブ信号を運ぶために用いる端子を含むことができる。チップセレクト、リセット、電源電圧、例えばV_{dd}、V_{ddq}、及び接地、例えばV_{ss}及びV_{ssq}等の信号又は基準電位は、第2の端子により運ぶことができる。これらの信号又は基準電位のいずれも、第1の端子によって運ぶ必要はない。いくつかの実施形態において、コマンド・アドレス・バス信号以外の信号を運ぶように構成したいいくつかの又は全ての端子を、パッケージ上の任意の位置に第2の端子として配置することができる。

40

【 0 1 5 8 】

あるいは、いくつかの実施形態では、コマンド・アドレス・バス信号以外の信号を運ぶように構成される一部又は全ての端子を、パッケージ上の第1の端子の第1のグリッド及び第2の鏡像となるグリッド内にも設けることができる。こうして、上述したように、これらの対応する第1の端子間で回路パネル上に設けられる電氣的接続のスタブ長を低減することができる。

50

【 0 1 5 9 】

他の実施形態では、コマンド・アドレス・バス信号以外の信号を運ぶように構成される端子の一部又は全ては、パッケージ表面の第3のグリッド内の第2の端子のある組として設けることができ、第2の端子の別の組は、同じパッケージ表面の第4のグリッド内に設けることができる。第3のグリッド内の第2の端子の信号割当ては、第4のグリッド内の第2の端子の信号割当ての鏡像である。こうして、上述した第1のパッケージ及び第2のパッケージの対応する第1の端子間の接続と同様に、第1のパッケージ及び第2のパッケージの電氣的に接続された第2の端子の対間の回路パネルを通る電氣的接続の長さは、電氣的に接続された第2の端子のこれらの対のそれぞれの対内の端子が、互いに合致するか、又は、互いに1ボールピッチ以内で位置合わせすることができるという点で、大幅に低減することができる。さらに、スタブ長を低減し、第1のパッケージと第2のパッケージとの間の接続のための回路パネルの構成を簡略化するための上述した利益と同様の利益を、超小型電子パッケージの第2の端子がこのように配置されるときにも得ることができる。

10

【 0 1 6 0 】

図17を参照すると、第1の超小型電子素子1401及び第2の超小型電子素子1403はそれぞれ、能動素子によって構成されるメモリ記憶アレイを含むことができるとともに、該記憶アレイ内の位置を指定するアドレス情報を受信するためのアドレス入力部をも有している。特定の例では、第1の超小型電子素子1401及び第2の超小型電子素子1403の各々は、第1の超小型電子素子1401及び第2の超小型電子素子1403がそれぞれ、上記のように、トランジスタ等の、メモリ記憶アレイ機能を提供する能動素子を他のいかなる機能よりも数多く有するという点で、主にメモリ記憶アレイ機能を提供するように構成すなわち組み立てをすることができる。

20

【 0 1 6 1 】

図17に示す特定の例では、第1の超小型電子素子1401及び第2の超小型電子素子1403は、超小型電子素子の面1431において素子コンタクト1436を有することができる。図17に示しているように、これらコンタクトは基板1402とは反対側を向いており、基板の第2の表面1408において露出している対応する基板コンタクト1446と電氣的に接続される。しかし、これら超小型電子素子は別の方向に向けることができ、図5Gの上記の例と同様に、そして所有者が共通している米国仮特許出願第13/439,317号、特に以下に参照するその図6等においてもわかるように、場合によっては下向きにすることができ、素子コンタクト1436は、基板1402の第2の表面1408に向かって面したものとすることができる。上記仮特許出願の開示内容は、引用することにより本明細書の一部をなすものとする。

30

【 0 1 6 2 】

図16～図18に示しているように、パッケージ1400は、例えば回路パネル等の、パッケージ1400の外部の構成要素にパッケージ1400を電氣的かつ機械的に接続する第1の端子1414、1424及び第2の端子106を有するものとする。端子は、導電性パッド、ポスト、又は他の導電性構造体とすることができる。図17において見られる例では、接合ユニット1430は、なかでも、はんだ、スズ、インジウム、金若しくは共晶材料等のボンドメタル、又は他の導電性ボンド材料を含むことができ、端子の第1のグリッド1404及び第2のグリッド1406に取り付けることができる。第1の端子1404及び第2の端子1406は、例えば、トレース及びビア等の、基板上の導電性構造体を通して、基板コンタクト1446と電氣的に接続することができる。

40

【 0 1 6 3 】

パッケージの第1のグリッド1414及び第2のグリッド1424内の第1の端子の配置構成は、図16に特に示している。一例では、各グリッド1414、1424は、端子の、平行な第1の列及び第2の列1438を含むことができる。各グリッド内の端子の列1438は互いに隣接させることができる。あるいは、図16に示していないが、少なくとも1つの端子を、端子の第1の列と第2の列との間に設けることができる。図16に示

50

しているように、第2のグリッド1424内の第1の端子の信号割当ては、第1のグリッド1414内の第1の端子の信号割当て1424の鏡像である。つまり、第1のグリッド内及び第2のグリッド内の第1の端子の信号割当ては、軸平面1432に関して対称である。この軸平面1432は、基板の表面1410と直交する方向に延びており、かつ、第1のグリッド1414と第2のグリッド1424との間の中央に位置する線において表面1410と交わるものである。この場合において、軸平面1432は、第1の端子の列1438が延びる方向1434に沿って延びている。第2のグリッド1424における信号割当てが第1のグリッド1414におけるそれらの鏡像である状態において、信号CK（クロック）を運ぶように割り当てられた第1のグリッド1414の第1の端子1404は、信号CKを運ぶように割り当てられた第2のグリッド1414の対応する第1の端子1404と、グリッド内で相対的に同じ垂直位置（1434に沿った方向）にある。しかし、第1のグリッド1414は2つの列1438を含み、信号CKを運ぶように割り当てられた第1のグリッド1414の端子は、第1のグリッドの2つの列1438のうちの左側の列にあるため、信号割当てが鏡像であるためには、信号CKを運ぶように割り当てられた第2のグリッド1424の対応する端子は、第2のグリッドの2つの列のうちの右側の列1438になければならない。この配列のもうひとつの結果は、信号WE（書込み許可（write enable））を運ぶように割り当てられた端子もまた、第1のグリッド1424及び第2のグリッド1424のそれぞれにおいて、グリッド内で相対的に同じ垂直位置にあるということである。しかし、第1のグリッド1414において、WEを運ぶように割り当てられた端子は、第1のグリッドのうちの2つの列1438のうちの右側の列にあり、配列が鏡像であるためには、信号WEを運ぶように割り当てられた第2のグリッド1424の対応する端子は、第2のグリッド1424の2つの列のうちの左側の列1438になければならない。図16に示しているように、第1のグリッド及び第2のグリッドのそれぞれにおけるそれぞれの第1の端子について、少なくとも、上述のコマンド・アドレス・バス信号を運ぶように割り当てられたそれぞれの第1の端子について、同じ関係が当てはまる。

【0164】

第1の端子の信号割当ての対称性の基準となる仮想平面、すなわち「軸」平面1432は、基板上の種々の位置に位置するものとしてすることができる。特定の形態では、第1の端子の列1438が縁部1440、1442に平行な方向に延び、第1のグリッド及び第2のグリッドがある軸に関して対称となる位置に設けられるときに特に、その軸が中心軸である軸平面は、基板の対向している第1の縁部1440及び第2の縁部1442から等距離に位置する表面におけるラインに沿って基板の表面1410と交わることができる。

【0165】

特定の例において、第1のグリッド1414のうちの第1の端子1404は、第1の超小型電子素子1401と電気的に接続することができ、第2のグリッド1424の第1の端子1404は、第2の超小型電子素子1403と電気的に接続することができる。このような場合、第1のグリッド1414の第1の端子1404はまた、第2の超小型電子素子1403とは電気的に接続しないものとしてことができ、パッケージ1400の第2のグリッド1424の第1の端子1404も、第1の超小型電子素子1401とは電気的に接続しないものとしてすることができる。更に別の例において、第1のグリッド及び第2のグリッド1414のそれぞれの第1の端子1404は、第1の超小型電子素子1401及び第2の超小型電子素子1403の各々と電気的に接続することができる。

【0166】

上記で述べたように、第2の端子1406は、上記で述べたアドレス情報又はコマンド・アドレス・バスの信号以外の情報又は信号を運ぶように構成することができる。一例では、第2の端子1406は、超小型電子素子との間の単方向又は双方向のデータ信号及びデータ・ストロブ信号、並びに、データマスク信号及び終端抵抗に対して並列終端をオン又はオフとするためにチップによって使用されるODT信号すなわち「ダイ上終端（on

10

20

30

40

50

die termination) 」信号を運ぶために使用される端子を含むことができる。チップセレクト、リセット、クロックイネーブル等の信号、並びに、電源電圧等の基準電位、例えば V_{dd} 、 V_{ddq} 、又は接地、例えば V_{ss} 及び V_{ssq} は、第1の端子1404又は第2の端子1406のいずれによっても運ばれる信号の一部とすることができる。しかし、これらの信号又は基準電位はいずれも、第1の端子1404によって運ばれる必要はない。図16～図18において更に示すように、第2の端子1406(図17のみ。図16、図18に加える)は、基板の第1の表面1410において露出している第3のグリッド1416の位置に設けることができ、第2の端子の別の組は、第1の表面1410において露出する第4のグリッド1426内に設けることができる。特定の場合には、第1のグリッド及び第2のグリッドの場合に上記で説明されたのと同じように、第3のグリッド1416内の第2の端子の信号割当ては、第4のグリッド1426内の第2の端子の信号割当ての鏡像とすることができる。第3のグリッド1416及び第4のグリッド1426は、第1のグリッド及び第2のグリッドが延びている方向1434に沿って延びたものとしてことができ、互いに平行とすることができる。第3のグリッド及び第4のグリッドは、第1のグリッド1414及び第2のグリッド1424に平行とすることもできる。あるいは、第3のグリッド1416及び第4のグリッド1426はそれぞれ、方向1434と直交する別の方向1435に延びたものとしてすることができる。

【0167】

図17に示すように、基板の第2の表面1408の上に封入剤1448を重ねて設けることができ、超小型電子素子1401、1403と接触させることができる。場合によっては、封入剤は、基板1402とは反対側を向く超小型電子素子1401、1403の表面1431の上に重なるように設けることができる。

【0168】

更なる変形形態では、超小型電子構造体の第1の超小型電子素子及び第2の超小型電子素子は、所有者が共通の米国特許出願第13/337,565号('565出願)及び第13/440,515号('515出願)において代替的に示しているように設けることができ、これらの開示内容は引用することにより本明細書の一部をなすものとする。例えば、パッケージの基板は、複数の開口部を有するものとしてことができ、それらの開口部は、'565出願及び'515出願の図7A及び図7B並びに図10Bにおいて見られるように、超小型電子素子のある面にあるコンタクトが基板の第2の表面1408に向かって面したものとすることのできるボンドウインドウ(bond window)とすることができる、ある超小型電子素子のコンタクトを支持する前面を、別の超小型電子素子の背面の上に重ねることができ、各超小型電子素子はメモリ記憶アレイの能動素子を組み込んだものとしてすることができる。このような実施形態における超小型電子素子は、'565出願又は'515出願のいずれかにおいて図示及び説明しているような超小型電子構造体、例えば、パッケージの端子と電氣的に相互接続することができる。

【0169】

別の変形形態では、超小型電子構造体は、'565出願又は'515出願の図8A及び図8B又は図11に示すように、その中に設けることのできる3つの超小型電子素子を含むことができる。

【0170】

図19は、第1の超小型電子パッケージ1400A及び第2の超小型電子パッケージ1400Bのアセンブリ1450を示している。超小型電子パッケージはそれぞれ、回路パネル1464の互いに対向している第1の表面1460及び第2の表面1462に設けられている、上記図16～図18を参照して述べたような超小型電子パッケージ1400である。回路パネルは、なかでも、デュアルインラインメモリモジュール('DIMM)で使用されるプリント回路基板、システム内の他の構成要素と接続される回路基板若しくはパネル、又はマザーボード等の種々のタイプとすることができる。第1の超小型電子パッケージ1400A及び第2の超小型電子パッケージ1400Bは、回路パネル1464の第1の表面1460及び第2の表面1462において露出している対応するコンタクト

10

20

30

40

50

1470、1472に取り付けることができる。

【0171】

図16に特に示すように、各パッケージの第2のグリッド1424内の第1の端子の信号割当ては、各パッケージの第1のグリッド1414内の第1の端子の信号割当ての鏡像であるため、図19のようにパッケージ1400A、1400Bが互いに対向するように回路パネルに設けられると、第1のパッケージ1400Aの第1のグリッド1414A内のそれぞれの第1の端子は、第2のパッケージ1400Bの第2のグリッド1424B内の同じ信号割当てを有する対応する第1の端子と位置合わせがなされ、その対応する第1の端子に電氣的に接続される。さらに、第1のパッケージ1400Aの第2のグリッド1424A内のそれぞれの第1の端子は、第1のグリッド1414B内の同じ信号割当てを有する対応する第1の端子に位置合わせがなされ、その対応する第1の端子に電氣的に接続される。確かに、接続された端子の各対の位置合わせは、ある許容誤差内にあり、それにより、接続された端子の各対は、回路パネル1464の第1の表面1460に沿って互いに直交するx方向及びy方向に沿って、互いに1ボールピッチ以内で位置合わせすることができる。

10

【0172】

そして、図19に更に示すように、第1のパッケージ1400Aのグリッド1414A内で「A」という記号が付いた信号を運ぶ特定の第1の端子は、同じ信号「A」を運ぶ第2のパッケージ1400Bのグリッド1424Bの対応する第1の端子と位置合わせがなされる。同じことが、第1のパッケージ1400Aのグリッド1424A内で「A」という記号が付いた信号を運ぶ特定の第1の端子に関しても同様に当てはまる。この第1の端子は、同じ信号「A」を運ぶ第2のパッケージ1400Bのグリッド1414Bの対応する第1の端子と位置合わせがなされる。

20

【0173】

このように、図19から更にわかるように、第1のパッケージ1400A及び第2のパッケージ1400Bの電氣的に接続された第1の端子の各対間の回路パネルを通る電氣的接続の長さは、電氣的に接続された第2の端子のこれらの対のそれぞれの対内の端子が、互いの上に乗るか又は互いに1ボールピッチ以内で少なくとも位置合わせすることができるという点で、大幅に低減することができる。これらの電氣的接続の長さの低減により、回路パネル及びアセンブリのスタブ長を低減することができる。スタブ長の低減は、第1の端子によって運ばれ、第1のパッケージ及び第2のパッケージの両パッケージ内の超小型電子素子に送られる上記信号について、なかでも、整定時間、リングング、ジッタ、又は符号間干渉を低減すること等、電氣的な性能を向上させるのに役立つ。さらに、回路パネルの構造を簡略化すること、又は、回路パネルを設計若しくは製造する複雑さ及びコストを低減すること等の他の利益も得ることができる。

30

【0174】

図19に更に示すように、各パッケージ1400A、1400Bの第2の端子が、図16～図18に関して述べた特定の鏡像配置構成を有する第3のグリッド及び第4のグリッド内に配置される場合、各パッケージの第1のグリッドのそれぞれの第2の端子は、別のパッケージの第2のグリッドの同じ信号割当てを有する対応する第2の端子と位置合わせすることができ、その対応する第2の端子に電氣的に接続される。そして、図19に見られるように、第1のパッケージ1400Aの第3のグリッド1416A内のそれぞれの第2の端子1406は、第2のパッケージ1400Bの第4のグリッド1426B内の同じ信号割当てを有する対応する第2の端子と位置合わせされ、その対応する第2の端子に電氣的に接続される。さらに、第1のパッケージ1400Aの第4のグリッド1426A内のそれぞれの第2の端子は、第3のグリッド1416B内の同じ信号割当てを有する対応する第2の端子と位置合わせされ、その対応する第1の端子に電氣的に接続される。ここでもまた、接続された端子の各対の位置合わせは、ある許容誤差内にあり、それにより、接続された端子の各対は、回路パネル1464の第1の表面1460に沿って互いに直交するx方向及びy方向に沿って、互いに1ボールピッチ以内で位置合わせすることができ

40

50

る。

【0175】

そして、図19に更に示すように、第1のパッケージ1400Aのグリッド1416A内で「B」という記号が付いた信号を運ぶ特定の第1の端子は、第2のパッケージ1400Bのグリッド1426Bの同じ信号「B」を運ぶ対応する第1の端子と位置合わせがなされ、その対応する第1の端子に電氣的に接続される。同じことが、第1のパッケージ1400Aのグリッド1426A内で「B」という記号が付いた信号を運ぶ特定の第1の端子に関して同様に当てはまる。この特定の第1の端子は、第2のパッケージ1400Bのグリッド1416Bの同じ信号「B」を運ぶ対応する第1の端子と位置合わせされ、その対応する第1の端子に電氣的に接続される。

10

【0176】

上述した第1のパッケージ及び第2のパッケージの対応する第1の端子1404間の接続と同様に、この実施形態では、第1のパッケージ及び第2のパッケージの電氣的に接続された第2の端子1406の対間の回路パネルを通る電氣的接続の長さは、電氣的に接続された第2の端子のこれらの対のそれぞれの対内の端子が、互いの上に載るか又は回路パネル表面に平行な、互いに直交するx方向及びy方向に沿って互いに1ボールピッチ以内で少なくとも位置合わせすることができるという点で、大幅に低減することができる。さらに、スタブ長を低減し、第1のパッケージと第2のパッケージとの間の接続のために回路パネルの構成を簡略化することに関して上述した利益と同様の利益を、超小型電子パッケージの第2の端子、すなわち、コマンド・アドレス・バスの上記で述べた信号以外の信号を運ぶように割り当てることができる端子がこのように配置されるときにも得ることができる。

20

【0177】

図20は、互い違いに設けられた、パッケージ1480の第1のグリッド1474及び1484と第2のグリッド1476及び1486とのそれぞれにおける端子の特定の配置を示している。各グリッド内の隣接する列1438、1439内の相対的に同じ垂直位置にある端子を、パッケージの垂直レイアウト方向1434に沿って互いにオフセットされた位置に設けることができる。

【0178】

図21は、超小型電子パッケージの平行な第1のグリッド1478及び第2のグリッド1488における第1の端子の特定の配置を示している。各グリッドは隣接する3つの端子列を含む。上記のように、いくつかの実施形態では、上記コマンド・アドレス・バス信号以外の信号を、上記コマンド・アドレス・バス信号をも運ぶ同じグリッド内の端子に割り当てることが可能である。上記のような鏡像信号割当てを有する一対のグリッド1478、1488の各々が2つ又は3つではなく、4つの端子列を有する他の配置も可能である。

30

【0179】

図16～図18における実施形態の更なる変形形態では、上記コマンド・アドレス・バス信号を運ぶために設けられる第1の端子を、端子の第1の列及び第2の列の各々に設けることができる。個々の列の各々は、上記コマンド・アドレス・バス信号の全てを運ぶように構成される第1の端子の組を有している。さらに、第1の端子は、第1の列及び第2の列が延在する方向と同じ方向に延在する軸に関して信号の割当てが対称であるという点で、第1の列及び第2の列の信号割当てが互いに信号割当ての鏡像となるように設けることができる。このように、第1の列内の第1の端子の信号割当ては、パッケージ上の第2の列内の相対的に同じ垂直位置における第1の端子の信号割当てと同じである。

40

【0180】

図22は、更に別の変形形態による超小型電子パッケージ1490を示している。超小型電子素子1401、1403は、垂直に重ねられた半導体チップアセンブリである。図22に示しているように、超小型電子素子1401、1403のうちの1以上は、第1の半導体チップ1451を有することができる。この第1の半導体チップ1451は、図1

50

6～図18を参照して既に説明したように、基板1402とは反対側に面するコンタクト支持面1431と、基板1402上の基板コンタクトにワイヤボンディングされる、面1431上のコンタクト1436とを有している。一例では、この超小型電子素子の第2の半導体チップ1453は、第1の半導体チップ1451の対応するコンタクト1445に面し、上記のように、導電性バンプ、例えば、ボンドメタル等を通してそれに接合されるコンタクト1455を有することができる。

【0181】

他の変形形態では、パッケージ1490内の超小型電子素子1401、1403のうちの1以上を、図10、図11、図12、図13、図14又は図15を参照して上記で説明したように組み立てることができる。

【0182】

更に別の変形形態では、例えば、'515出願及び'565出願の図8A及び図8B並びに図11に関して図示及び説明されているように、又は、例えば、所有者が共通の米国出願第13/354,717号('747出願)の図9A及び図15Aに関して図示及び説明されているように、超小型電子構造体は、その面にコンタクトを有し、基板の第2の表面に向かって下向きに設けられた3つの超小型電子素子を含むことができ、コンタクトは、基板内の開口部、例えば、ボンドウインドウにより露出している。上記出願の開示内容は、引用することにより本明細書の一部をなすものとする。

【0183】

図23は、図16～図18の上記の実施形態の変形形態による超小型電子パッケージ1500を示している。第1の超小型電子素子1501と、第2の超小型電子素子1503と、第3の超小型電子素子1505と、第4の超小型電子素子1507とが組み込まれている。このパッケージは、上記アドレス情報を運ぶために割り当てられた、第1の端子の4つの組1514、1524、1534、1544、例えば、4つのグリッドを更に示している。第1の端子の一部の組の信号割当てと、第1の端子の別の組の信号割当てとは、鏡像の関係にある。特定の例では、第1の端子は、コマンド・アドレス・バスの信号を運ぶのに割り当てることができる。上記の例と同様に、第1の端子の各組又はグリッドは、超小型電子素子の1つのみと電気的に接続することができるか、又は超小型電子素子の2つ以上に接続することができる。図23は、第1の端子のグリッド1514、1524、1534及び1544を有するパッケージ1500の1つの取り得る配置と、第2の端子のグリッド1516、1526、1536及び1546の1つの取り得る配置とを示している。

【0184】

図23に示しているように、超小型電子素子はそれぞれ、通常、平行な2つの「長い」縁部1510を有している。これら縁部は、図6B、図6C、図6D及び図7Aに関して上記で説明したように、超小型電子素子上の1以上のコンタクトの列が延在する方向と同じ方向に延在している。一例では、これらの「長い」縁部はそれぞれ、各超小型電子素子の平行な2つの短い縁部1512よりも長くすることができる。別の例では、これらの「長い」縁部1510は、実際には同じ超小型電子素子の「短い」縁部1512よりも短いものの、単に1以上のコンタクトの列と同じ方向に延在したものとすることができる。以下の説明において、各パッケージ内の超小型電子素子の「長い」縁部及び「短い」縁部は、これらの定義を含む概念である。

【0185】

図23において更に見られるように、この特定の変形形態では、グリッドのうちの2つのグリッド1524、1534は、超小型電子素子1503、1505を分けるパッケージの中心線1530の近くに設けることができる一方で、別のグリッド1514、1544は、パッケージの周縁部1550、1552の付近に設けることができる。

【0186】

図24は、図23に示したパッケージの変形形態によるパッケージ1560を示す平面図である。パッケージ上の第1の端子のグリッドの場所が変わっている。この場合、パッ

10

20

30

40

50

ケージ 1560 と図 23 のパッケージ 1500 との差を見ると、パッケージ 1560 内のグリッド 1534 の場所が、第 2 の端子のグリッド 1536 の場所と入れ替わっており、それにより、グリッド 1536 はこの場合、第 1 の端子のグリッド 1524 と 1534 との間に設けられる。加えて、パッケージ 1560 内のグリッド 1544 の場所が、第 2 の端子のグリッド 1546 の場所と入れ替わっており、それにより、グリッド 1546 はこの場合、第 1 の端子のグリッド 1534 と 1544 との間に設けられる。

【0187】

図 25 は、図 23 に示したパッケージの別の変形形態によるパッケージ 1570 を示す平面図である。第 1 の端子のグリッドの場所が変わっている。この場合、パッケージ 1570 と図 23 のパッケージ 1500 との差を見ると、パッケージ 1570 内の第 1 の端子のグリッド 1524 の場所が、第 2 の端子のグリッド 1526 の場所と入れ替わっており、それにより、グリッド 1524 はこのとき、グリッド 1514 と 1526 との間に、かつそれらに隣接して設けられている。加えて、パッケージ 1570 内のグリッド 1534 の場所が、図 23 に示した位置に対して第 2 の端子のグリッド 1536 の場所と入れ替わっており、それにより、グリッド 1534 はこのとき、グリッド 1536 と 1544 との間に、かつそれらに隣接して配置されている。

【0188】

図 26 は、図 16 ~ 図 18 の上記の実施形態の更なる変形形態によるパッケージ 1600 を示す平面図である。第 1 の超小型電子素子 1601 と、第 2 の超小型電子素子 1603 と、第 3 の超小型電子素子 1605 と、第 4 の超小型電子素子 1607 とが基板上の 1 つのマトリックス内に配置されている。各超小型電子素子は、第 1 の方向 1620 に沿って延在する平行な第 1 の縁部 1610 (複数) と、平行な第 2 の縁部 1612 (複数) とを有している。第 2 の縁部 1612 (複数) は、基板の第 2 の表面 1408 (図 17) に平行な第 2 の方向 1622 であって、第 1 の方向と交差する、例えば第 1 の方向 1620 と直交する第 2 の方向 1622 に沿って延在している。第 1 の縁部 1610 は、このような縁部がそれぞれの超小型電子素子の長さの寸法を表すときに、「長い」縁部とすることができ、第 2 の縁部 1612 は、そのような縁部が、その長さより短いそれぞれの超小型電子素子の寸法を表すときに、「短い縁部」とすることができる。あるいは、第 2 の縁部 1612 は、そのような縁部がそれぞれの超小型電子素子の長さの寸法を表すときに、「長い」縁部とすることができ、第 1 の縁部 1610 は、そのような縁部が、その長さより短いそれぞれの超小型電子素子の寸法を表すときに「短い縁部」とすることができる。

【0189】

図 26 に示しているように、超小型電子素子は、超小型電子素子 1601、1603 の第 1 の縁部 1610 が互いに隣接しかつ平行である状態に設けることができる。超小型電子素子 1605、1607 の第 1 の縁部 1610 も同様に、互いに隣接し、かつ平行とすることができる。超小型電子素子はまた、超小型電子素子 1601 の 1 つの第 2 の縁部 1612 が他の超小型電子素子 1607 の第 2 の縁部 1612 に隣接し、かつ平行であり、超小型電子素子 1603 の 1 つの第 2 の縁部 1612 が他の超小型電子素子 1605 の 1 つの第 2 の縁部 1612 に隣接し、かつ平行となるように設けられている。超小型電子素子 1601 の第 1 の縁部 1610 のそれぞれは、場合によっては、超小型電子素子 1607 の第 1 の縁部 1610 と同一直線上に設けることができる。同様に、超小型電子素子 1603 の第 1 の縁部 1610 のそれぞれは、場合によっては、超小型電子素子 1605 の第 1 の縁部 1610 と同一直線上に設けることができる。

【0190】

それぞれの超小型電子素子 1601、1603、1605、1607 のある部分の上に載ったものとしてことができ、それらに電氣的に接続される第 2 の端子のグリッド 1651、1653、1655、1657 は、任意の適した配置構成で配置された端子を有することができる。これらの第 2 の端子をグリッド内に設置する必要はない。グリッド 1651、1653、1655、又は 1657 の任意の 1 つのグリッド内の信号割当ては、任意の別のグリッド 1651、1653、1655、又は 1657 のグリッド内の端子の信号

10

20

30

40

50

割当ての鏡像である。

【0191】

特定の例では、グリッド1651、1653、1655、又は1657の任意のグリッド内の第2の端子の信号割当てと、グリッドの任意の1つのグリッドの信号割当てが別のグリッドの信号割当てとは、超小型電子構造体の基板表面1602に平行な垂直レイアウト方向の垂直軸1680に関して対称とすることができるという点において、グリッド1651、1653、1655、又は1657の1つ又は2つの別のグリッド内の第2の端子の信号割当ての鏡像とすることができる。それに対して代替的に又は付加的には、グリッドのうちの任意の1つのグリッドの信号割当てと、別のグリッドの信号割当てとは、水平軸1682に関して対称とすることができる。

10

【0192】

例えば、図26に示しているように、グリッド1651の信号割当てと、グリッド1653の信号割当てとは、超小型電子構造体の第1の表面1602に平行な垂直軸1680に関して対称である。垂直軸1680は、図示の例ではグリッド1651と1653との間にある垂直レイアウト方向1620に沿って延びている。同様に、グリッド1651の信号割当てと、グリッド1657の信号割当てとは、水平軸1682に関して対称である。水平軸1682は、図示の例ではグリッド1651と1657との間にある、超小型電子構造体の第1の表面1602に平行な方向1622に沿って延在している。代替的な配置構成では、グリッド1651及び1657のそれぞれは、水平軸1682の両側において基板表面の部分へと延在することができ、上述した関係が別の形で存在しているものとすることができる。同様に、このような配置構成は、グリッド1653及び1655についても設けることができる。

20

【0193】

図26に示す特定の例では、グリッド1651及び1657の信号割当てと、それぞれのグリッド1653及び1655の信号割当てとは、第1の仮想平面1680、すなわち垂直軸に関して対称である。同様に、グリッド1651及び1653の信号割当てと、それぞれのグリッド1657及び1655の信号割当てとは、水平軸に関して対称である。水平軸1682は、超小型電子構造体の第1の表面1602に垂直な第2の仮想平面である。水平軸は、第1の仮想平面1680が延在している構造体の第1の表面に平行な別の方向で交差している。

30

【0194】

図27は、上述した実施形態(図23)の別の変形形態による超小型電子パッケージ1700を示す平面図である。第1の超小型電子素子1701及び第2の超小型電子素子1703の第1の縁部1710は、端子を担持する基板表面1704の第1の周辺縁部1740に平行な第1の方向1720に延在し、超小型電子素子1701、1703の第2の縁部1712は、基板の端子を担持する基板表面1704に平行な第2の方向1722に延在する。パッケージ1700は、第3の超小型電子素子1705及び第4の超小型電子素子1707を更に備えている。第3の超小型電子素子1705及び第4の超小型電子素子1707の第1の縁部1730は、第2の方向1722に延在し、第3の超小型電子素子1705及び第4の超小型電子素子1707の第2の縁部1732は、第1の方向1720に延在する。図27に更に示すように、上記コマンド・アドレス・バス信号を運ぶように構成される第1の端子の第1のグリッド1714及び第2のグリッド1724は、基板の第1の周辺縁部1740及び第2の周辺縁部1742から離れた基板表面の中央領域に設けることができる。ここでは、第2のグリッド1724内の信号割当ては、上述したように、第1のグリッド1714内の信号割当ての鏡像である。図27に示す一例では、第1の端子の第1のグリッド1714及び第2のグリッド1724は、第1の超小型電子素子1701及び第2の超小型電子素子1703の隣接する第1の縁部1710間に配置することができる。第3の超小型電子素子1705及び第4の超小型電子素子1707の部分の上に載ったものとすることができる。第2の端子のグリッド1751、1753、1755、1757は、グリッド内の第2の端子が電氣的に接続されるそれぞれの超小型電

40

50

子素子 1701、1703、1705、1707 の上に少なくとも部分的に載ったものとしてすることができる。図 27 に示すように、グリッド 1753 内の第 2 の端子の信号割当ては、グリッド 1751 内の第 2 の端子の信号割当ての鏡像とすることができる。グリッド 1714、1724 及びグリッド 1751、1753 内の端子の鏡像信号割当てにより、同様の構成の 2 つのパッケージ 1700 が回路パネルの互いに対向する表面上に互いに逆向きとなるように設けられる場合に、回路パネル内のスタブ長を上記のように低減することができる。

【0195】

超小型電子素子 1705、1707 の部分の上に載り、それらに電気的に接続することができる第 2 の端子のグリッド 1755 及び 1757 は、任意の適した配置構成で設けられた端子を有することができる。これらの第 2 の端子をグリッド内に設置する必要はない。グリッド 1755 のうちの 1 つのグリッド内の信号割当ては、他のグリッド 1757 内の端子の信号割当ての鏡像である。しかし、特定の例では、信号割当てがグリッド 1755 と 1758 との間において方向 1722 に沿って延在する軸 1735 に関して対称とすることもできるという点で、グリッド 1755 内の第 2 の端子の信号割当ては、別のグリッド 1757 内の第 2 の端子の信号割当ての鏡像とすることができる。この場合、グリッド 1755、1757 内のこれらの第 2 の端子について、図 27 の水平方向に延在する軸 1735 に関して対称となるようにすることができる。

【0196】

さらに、このような構成は超小型電子パッケージにおいて与えることができる。必須ではないが、第 1 の端子のグリッド間で、又は第 2 の端子の他のグリッド 1751 と 1753 との間で信号割当てが対称となるようにすることができる。図 17 に更に示すように、端子の組、例えばグリッド 1755、1757 内の端子は、図 5A を参照して既に説明した信号クラスの対称性、又はモジュロ X の対称性のうちの 1 以上を有することができる。

【0197】

図 27 は、第 1 の超小型電子素子 1701、第 2 の超小型電子素子 1703、第 3 の超小型電子素子 1705、及び第 4 の超小型電子素子 1707 の隣接する縁部 1730 と 1710 との間の超小型電子構造体又はパッケージ 1700 の中央領域内に設けられる超小型電子素子として、1 以上のバッファ要素 1750 を設けることができることを更に示している。それぞれのこうしたバッファ要素は、特にパッケージの第 1 の端子により受信される上記コマンド・アドレス・バス信号用の構造体の端子と、パッケージ内の超小型電子素子の 1 以上との間の信号分離を行うために使用することができる。1 以上のバッファ要素は、第 1 の端子で受信されるか又は第 2 の端子で受信される信号を再生し、再生された信号をパッケージ内の超小型電子素子の 1 以上に送る。

【0198】

代替的に又は付加的に、超小型電子素子の隣接する縁部 1710 と 1730 との間の基板 1702 のエリアにより、1 以上の減結合キャパシタ (decoupling capacitor) を、パッケージ上又はパッケージ内に設けることが可能となる。1 以上の減結合キャパシタは、パッケージの内部電源又は接地バスに接続される。

【0199】

図 28 は、図 27 に示した実施形態の変形形態を示している。第 1 のグリッド 1714 及び第 2 のグリッド 1724 の場所は、第 1 の超小型電子素子 1701 及び第 2 の超小型電子素子 1703 の少なくともある部分の上に載るように変えることができる。こうした場合、第 3 の超小型電子素子 1705 及び第 4 の超小型電子素子 1707 の場所も、第 3 の超小型電子素子 1705 及び第 4 の超小型電子素子 1707 の第 1 の縁部 1730 の部分がパッケージの中央から離れたものとなるように変えることができる。この場合、第 3 の超小型電子素子及び第 4 の超小型電子素子の第 1 の縁部 1730 は、第 1 の超小型電子素子及び第 2 の超小型電子素子の第 2 の縁部 1712 の部分と方向 1720 に沿って平行に延び、かつ前記部分から間隔を置いて設けられている。それにより、1 以上のバッファ要素か、減結合キャパシタか、又は他のデバイスの接続に利用可能なパッケージの中央の

10

20

30

40

50

エリア 1760 を、図 27 に示したものよりも大きくすることができる。また、図 28 は、基板の第 1 の縁部 1736 及び第 2 の縁部 1738 に隣接するグリッド内の場所に配置することができる第 2 の端子の信号割当てが、縁部 1736、1738 に対して平行な第 1 の方向 1720 に沿って延在する軸（不図示）に関して対称となるようにすることができる配置も示している。その代わりに、又はそれに加えて、基板の第 3 の縁部 1737 及び第 4 の縁部 1739 に隣接するグリッド内に配置することができる第 2 の端子の組の信号割当ては、第 1 の方向 1720 と交差し、例えば、第 3 の縁部 1737 及び第 4 の縁部 1739 に対して平行とすることのできる第 2 の方向 1722 に沿って延在する軸（不図示）に関して対称となるようにすることができる。

【0200】

図 29 は、上述した実施形態（図 28）の変形形態による超小型電子パッケージ 1800 を示している。この変形形態では、超小型電子素子 1801、1803、1805、及び 1807 は、風車のような構成で設けられている。超小型電子素子 1801、1803 の第 1 の縁部 1810 は、超小型電子素子 1805、1807 の第 2 の縁部 1830 と同じ方向 1820 に延びている。加えて、超小型電子素子 1805、1807 の第 1 の縁部 1830 は、超小型電子素子 1801、1803 の第 2 の縁部 1812 と同じ方向 1822 に延びている。超小型電子素子 1801 の第 1 の縁部 1810 のうちの 1 つの第 1 の縁部の一部分は、超小型電子素子 1807 の隣接する第 2 の縁部 1832 の一部分から間隔を置いて設けられ、かつその部分と平行である。同様に、超小型電子素子 1805 の第 1 の縁部 1830 のうちの 1 つの第 1 の縁部の一部分は、超小型電子素子 1801 の隣接する第 2 の縁部 1812 から間隔を置いて設けられ、かつその縁部と平行である。これらの関係は、超小型電子素子 1803 の第 1 の縁部 1810 のうちの 1 つの第 1 の縁部の一部分及び超小型電子素子 1805 の第 2 の縁部 1832 のうちの 1 つの第 2 の縁部の一部分、並びに超小型電子素子 1807 の第 1 の縁部 1830 のうちの 1 つの第 1 の縁部の一部分及び超小型電子素子 1803 の第 2 の縁部 1812 のうちの 1 つの第 2 の縁部の一部分について、パッケージ内で同様に繰り返すことができる。

【0201】

加えて、超小型電子素子 1801 の第 1 の縁部 1810 のうちの 1 つの第 1 の縁部を含み、別の超小型電子素子 1805 の第 1 の縁部 1830 と交わる、基板に垂直な平面 1840 が存在することを更に示している。同様に、超小型電子素子 1805 の第 1 の縁部 1830 のうちの 1 つの第 1 の縁部を含み、別の超小型電子素子 1803 の第 1 の縁部 1810 に交わる、基板に垂直な平面 1842 が存在する。図 29 から、超小型電子素子 1807 の第 1 の縁部のうちの 1 つの第 1 の縁部を含む同様な平面が超小型電子素子 1801 の第 1 の縁部に交わり、超小型電子素子 1803 の第 1 の縁部のうちの 1 つの第 1 の縁部を含む同様な平面が超小型電子素子 1807 の第 1 の縁部に交わることがわかる。このパッケージは、1 つの超小型電子素子の第 1 の縁部を含む平面が、パッケージ内の多くても 1 つの他の超小型電子素子の第 1 の縁部にしか交わらないように組み立てることができる。

【0202】

図 29 は、鏡像信号割当てを有する第 1 の端子の組、例えばグリッド 1814、1824 がそれぞれ、パッケージ 1800 内の超小型電子素子の 1 以上の上に部分的に又は完全に載ることができることを更に示している。第 1 の端子を含むグリッド及び第 2 の端子を含むグリッド内の信号割当ては、図 27 又は図 28 を参照して述べたように行うことができる。加えて、超小型電子素子の隣接する縁部 1810、1832 間に配置され、かつ、超小型電子素子の面がその上に全く配置されない基板の中央領域 1850 は、図 27 及び図 28 を参照して述べた 1 以上のバッファ要素が、減結合キャパシタが、又はその両者を収容することができる。

【0203】

図 30 は、図 25 を参照して説明した超小型電子パッケージ 1570 の変形形態による超小型電子パッケージを示している。この超小型電子パッケージは、4 つの超小型電子素

10

20

30

40

50

子ではなく、基板 1 9 0 2 上に互いに間隔を置いて設けられる 3 つの超小型電子素子 1 9 0 1 A、1 9 0 2 B 及び 1 9 0 2 C を有している。図 2 5 に示した実施形態において、第 1 のグリッド 1 5 1 4 及び第 2 のグリッド 1 5 2 4、並びに第 3 のグリッド 1 5 3 4 及び第 4 のグリッド 1 5 4 4 を用いる場合と同様に、パッケージ 1 9 0 0 の第 1 のグリッド 1 9 1 4 内の第 1 の端子の信号割当ては、第 2 のグリッド 1 9 2 4 内の第 1 の端子の信号割当ての鏡像とすることができる。さらに、同じことが、パッケージ 1 9 0 0 の第 3 のグリッド 1 9 3 4 内の第 1 の端子の信号割当てについてもいえ、それは、第 4 のグリッド 1 9 4 4 内の第 1 の端子の信号割当ての鏡像とすることができる。加えて、図 3 0 に示しているように、特定の例では、第 1 のグリッド 1 9 1 4 は第 1 の超小型電子素子 1 9 0 1 A の上に重ねることができる一方で、第 2 のグリッド 1 9 2 4 は第 2 の超小型電子素子 1 9 0 1 B の上に重ねることができる。図 3 0 に更に示しているように、第 3 のグリッド 1 9 3 4 は、第 3 の超小型電子素子 1 9 0 1 C の上に重ねることができる。第 4 のグリッド 1 9 4 4 は、図 3 0 に示しているように、第 3 の超小型電子素子 1 9 0 1 C の縁部 1 9 4 2 の外側において、基板 1 9 0 2 の表面の一部の上に重ねることができる。あるいは、図に示していないが、第 4 のグリッド 1 9 4 4 も第 3 の超小型電子素子 1 9 0 1 C の上に重ねることができる。

10

【 0 2 0 4 】

これまでの図 2 3 ~ 図 3 0 を参照して例示し、説明した各例は、その面上にコンタクトを有する超小型電子素子を用いて実現することができる。この面は、超小型電子構造体の第 1 の面が面している同じ方向に面しているか、又は超小型電子構造体の第 1 の表面が面している方向とは反対側を向いたものとしてすることができる。したがって、特定の例において、超小型電子構造体は、所有者が共通の米国特許出願第 1 3 / 4 3 9 , 3 1 7 号の図 1 3 ~ 図 2 0 のいずれかの例において図示及び説明されるようにすることができる。その開示内容は、引用することにより本明細書の一部をなすものとする。

20

【 0 2 0 5 】

図 2 3 ~ 図 3 0 において説明した例は基板の上に重なる超小型電子素子を示しているが、超小型電子素子が成形されたユニット、例えば、ウェハレベルユニット内に一緒に配置される場合のように、適切な場合には基板を省くことができる。この場合、その上にあるトレース及び電氣的相互接続を支持するために、超小型電子素子のコンタクト支持面上に、又はその上方に誘電体層を形成することができる。

30

【 0 2 0 6 】

他の例では、重ねられた複数の超小型電子素子を有する超小型電子構造体を、所有者が共通の米国特許出願第 1 3 / 4 3 9 , 3 1 7 号の図 2 1 ~ 図 2 5 を参照して図示及び / 又は説明されるような単一又は複数の積み重ねからなる実施態様とすることができる。その開示内容は、引用することにより本明細書の一部をなすものとする。

【 0 2 0 7 】

更に他の例では、4 つの超小型電子素子を有する超小型電子構造体を、' 5 6 5 出願又は ' 5 1 5 出願の図 9 A、図 9 B、図 9 C、図 9 D、図 9 F、図 9 H、図 1 2 B、図 1 2 C 又は図 1 2 D において図示及び説明されたようにすることができるか、又は ' 7 4 7 出願の図 7 A、図 7 B、図 8、図 1 1 A、図 1 1 B、図 1 1 C、図 1 1 D、図 1 2、図 1 3 B、図 1 4 B 又は図 1 4 C において図示及び説明されたようにすることができる。

40

【 0 2 0 8 】

上記の図 5 ~ 図 3 0 を参照して上述した超小型電子パッケージ及び超小型電子アセンブリは、図 3 1 に示すシステム 2 5 0 0 等の、さまざまな電子システムの構造体において利用することができる。例えば、本発明のさらなる実施形態によるシステム 2 5 0 0 は、他の電子構成要素 2 5 0 8、2 5 1 0 及び 2 5 1 1 とともに上述した超小型電子パッケージ及び / 又は超小型電子アセンブリ等、複数のモジュール又は構成要素 2 5 0 6 を有している。

【 0 2 0 9 】

図示した例示的なシステム 2 5 0 0 において、システムは、フレキシブルプリント回路

50

基板等の、回路パネル、マザーボード、又はライザーパネル 2502 を含むことができる。回路パネルは、モジュール又は構成要素 2506、2508、2510 を互いに相互接続する多数の導体 2504 を含むことができる。多数の導体 2504 のうちの 1 つのみを図 31 に示している。このような回路パネル 2502 は、システム 2500 に含まれる超小型電子パッケージ及び / 又は超小型電子アセンブリのそれぞれとの間で信号を伝達することができる。しかし、これは単に例示に過ぎず、モジュール又は構成要素 2506 同士の間での電氣的接続を行う任意の適切な構造を用いることもできる。

【0210】

特定の実施形態では、システム 2500 は、半導体チップ 2508 等のプロセッサをも備えることができる。そして、各モジュール又は構成要素 2506 は、あるクロックサイクルにおいて N 個のデータビットを並行して送ることができ、プロセッサは、あるクロックサイクルにおいて M 個のデータビットを並行して送ることができるようになっている。ただし、M は N 以上の値である。

10

【0211】

一例では、システム 2500 は、あるクロックサイクルにおいて 32 個のデータビットを並行して送るように構成されたプロセッサチップ 2508 を備えることができる。このシステムは、図 5A ~ 図 5C を参照して説明した超小型電子パッケージ 100 等の 4 つのモジュール 2506 をも備えることができる。各モジュール 2506 は、あるクロックサイクルにおいて 8 個のデータビットを並行して送るように構成されている（すなわち、各モジュール 2506 は、第 1 の超小型電子素子及び第 2 の超小型電子素子を備えることができ、これらの 2 つの超小型電子素子の各々は、あるクロックサイクルにおいて 4 個のデータビットを並行して送る）。

20

【0212】

別の例では、システム 2500 は、あるクロックサイクルにおいて 64 個のデータビットを並行して送るプロセッサチップ 2508 を備えることができる。このシステムは、図 23 ~ 図 29 のいずれか 1 つを参照して説明した超小型電子パッケージ等の 4 つのモジュール 2506 も備えることができる。各モジュール 2506 は、あるクロックサイクルにおいて 16 個のデータビットを並行して送る（すなわち、各モジュール 2506 は 4 つの超小型電子素子を備えることができ、これらの 4 つの超小型電子素子の各々は、あるクロックサイクルにおいて 4 個のデータビットを並行して送る）。

30

【0213】

図 31 に示した例では、構成要素 2508 は半導体チップであり、構成要素 2510 はディスプレイスクリーンであるが、他の任意の構成要素をシステム 2500 において用いることもできる。説明を明瞭にするために、図 31 には 2 つの追加の構成要素 2508 及び 2511 しか示していないが、もちろん、システム 2500 は、任意の数のそのような構成要素を備えることができる。

【0214】

モジュール又は構成要素 2506 並びに構成要素 2508 及び 2511 は、破線で示した共通のハウジング 2501 内に設けることができ、必要に応じて互いに電氣的に相互に接続して所望の回路を形成することができる。ハウジング 2501 は、例えば、携帯電話又は携帯情報端末において使用可能なタイプのポータブルハウジングとして示され、スクリーン 2510 は、このハウジングの表面において露出したものとするることができる。構造体 2506 が撮像チップ等の光感知素子を備えている実施形態では、光をこの構造体に送るレンズ 2511 又は他の光学デバイスも設けることができる。ここでも、図 31 に示した単純化したシステムは単なる例示に過ぎず、デスクトップコンピュータ、ルータ等の固定構造として一般に考えられるシステムを含む他のシステムを、上記で説明した構造体を用いて組み立てることができる。

40

【0215】

本発明の上記の実施形態の種々の特徴は、本発明の範囲又は趣旨から逸脱することなく、具体的に既に説明した以外の方法において組み合わせることができる。本開示内容は、

50

上記の本発明の実施形態の全てのそのような組み合わせ及び変形形態を包含したものであることを意図している。

なお、特願 2014-534530 の出願当初の特許請求の範囲は以下の通りである。

〔請求項 1〕

メモリ記憶アレイを構成する能動素子と、

前記記憶アレイ内の位置を指定するアドレス情報を受信するアドレス入力部と

を備えた超小型電子構造体であって、

前記構造体は、第 1 の表面と、該第 1 の表面に露出した端子とを有し、該端子は第 1 の端子を含み、前記構造体は前記第 1 の端子により受信したアドレス情報を前記アドレス入力部に提供し、前記第 1 の端子のうちの少なくともいくつかの各々には、前記アドレス入力部のうちの 1 以上へと送られる情報を含む信号の割当てがなされており、

前記第 1 の端子は、前記第 1 の表面に垂直な仮想平面の対向する第 1 の側及び第 2 の側に設けられており、前記第 1 の側に設けられている第 1 の端子の信号の割当てと、前記第 2 の側に設けられている第 1 の端子の信号の割当てとは、前記仮想平面に関して対称である、超小型電子構造体。

〔請求項 2〕

前記第 1 の側にある第 1 の端子の各々の信号の割当てと、前記第 2 の側にある第 1 の端子の各々の信号の割当てとが、鏡像関係にある、請求項 1 に記載の超小型電子構造体。

〔請求項 3〕

前記第 1 の端子のうちの第 1 の組及び第 2 の組の各々は、前記メモリ記憶アレイ内の位置を指定するために十分なアドレス情報を伝えるものであり、

前記超小型電子構造体は、前記第 1 の表面において露出した複数の無接続端子を更に備えており、

前記第 1 の側にある第 1 の端子の各々の位置と、前記第 2 の側にある無接続端子の位置とは、前記仮想平面に関して対称であり、

前記第 2 の側にある第 1 の端子の各々の位置と、前記第 1 の側にある無接続端子の位置とは、前記仮想平面に関して対称である、請求項 1 に記載の超小型電子構造体。

〔請求項 4〕

前記第 1 の側及び前記第 2 の側の各々にある第 1 の端子は、前記記憶アレイ内の単一の記憶位置を一意に指定するために必要な前記アドレス情報を受信するものである、請求項 1 に記載の超小型電子構造体。

〔請求項 5〕

前記第 1 の側及び前記第 2 の側の各々にある第 1 の端子は、前記記憶アレイ内の単一の記憶位置を一意に指定するために必要な前記アドレス情報の大部分を受信するものである、請求項 1 に記載の超小型電子構造体。

〔請求項 6〕

前記端子は、前記超小型電子構造体を回路パネルの対応するコンタクトへと電氣的に接続するものである、請求項 1 に記載の超小型電子構造体。

〔請求項 7〕

前記記憶アレイに関する 1 以上の動作パラメータを不揮発性記憶するシリアルプレゼンス検出 (SPD) 素子を更に備えた請求項 1 に記載の超小型電子構造体。

〔請求項 8〕

前記超小型電子構造体の第 1 の表面は第 1 の方向を向いており、

前記構造体は 1 以上の半導体チップを備えており、

前記アドレス入力部は、前記 1 以上の半導体チップのうちの少なくとも 1 つの半導体チップの表面において露出しており、

前記構造体は、前記第 1 の方向を向いた第 1 の表面と、前記第 1 の方向とは反対の方向を向いた第 2 の表面とを有する基板を更に備えており、

前記 1 以上の半導体チップは、前記基板の第 1 の表面又は第 2 の表面の少なくとも一方に重なるように設けられている、請求項 1 に記載の超小型電子構造体。

10

20

30

40

50

[請求項 9]

前記記憶アレイのシリアル番号と、欠陥のある位置とのいずれか又は両方を不揮発性記憶するシリアルプレゼンス検出 (SPD) 素子を更に備えた請求項 8 に記載の超小型電子構造体。

[請求項 10]

前記超小型電子構造体の第 1 の表面は第 1 の方向を向いており、
前記構造体は、前記第 1 の方向を向いた第 1 の表面と、前記第 1 の方向とは反対の方向を向いた第 2 の表面とを有する基板を備えており、
前記 1 以上の半導体チップのうちの少なくとも 1 つは、前記基板の第 1 の表面に重なるように設けられている、請求項 8 に記載の超小型電子構造体。

10

[請求項 11]

前記仮想平面は、第 1 の方向に延びる線において前記第 1 の表面と交わる第 1 の仮想平面であり、
前記端子は複数の第 2 の端子を含み、該複数の第 2 の端子は第 2 の仮想平面の対向する第 1 の側及び第 2 の側に設けられており、前記第 2 の仮想平面は、前記第 1 の表面に垂直であり、かつ、前記第 1 の方向と交わる第 2 の方向に沿った第 2 の線において前記第 1 の表面と交わっており、
前記第 2 の仮想平面の第 1 の側に設けられた第 2 の端子の信号の割当てと、前記第 2 の仮想平面の第 2 の側に設けられた第 2 の端子の信号の割当てとは、鏡像関係にある、請求項 1 に記載の超小型電子構造体。

20

[請求項 12]

複数の第 2 の能動素子を有するバッファ素子を更に備えており、前記バッファ素子は、少なくともいくつかの前記アドレス入力部に送るために、前記アドレス情報の再生と部分的な復号化と完全な復号化とのうちの少なくとも 1 つを行うものである、請求項 1 に記載の超小型電子構造体。

[請求項 13]

前記記憶アレイは、互いに少なくとも部分的に重なり合っている、垂直に重ねられた複数の半導体チップのうちの 1 以上に組み込まれているものである、請求項 1 に記載の超小型電子構造体。

[請求項 14]

前記超小型電子構造体は、第 1 の表面を有する基板を備え、
前記基板の第 1 の表面と前記超小型電子構造体の第 1 の表面とは、第 1 の方向を向いており、
垂直に重ねられた前記複数の半導体チップは、前記第 1 の方向とは反対の第 2 の方向を向いている前記基板の第 2 の表面に重ねて設けられている、請求項 13 に記載の超小型電子構造体。

30

[請求項 15]

前記超小型電子構造体は第 1 の半導体チップと第 2 の半導体チップとを備えており、各半導体チップは、前記第 1 の表面に平行な単一の面に位置する面を有しており、前記アドレス入力部のうちの少なくともいくつかは、前記第 1 の半導体チップの面において露出しており、前記アドレス入力部のうちの少なくともいくつかは前記第 2 の半導体チップの面において露出している、請求項 1 に記載の超小型電子構造体。

40

[請求項 16]

前記超小型電子構造体は、1 以上の半導体チップと、該 1 以上の半導体チップのうちの少なくとも 1 つの半導体チップの面に重なる表面を有する誘電体層とを備えており、
前記誘電体層の表面は、前記 1 以上の半導体チップの面から離れる方向を向いており、
前記構造体は、前記誘電体層に沿って延びているトレースと、該トレースから延びており、前記少なくとも 1 つの半導体チップの表面において露出したアドレス入力部に電氣的に接続される金属化ビアとを備えており、
前記構造体は、前記端子により受信したアドレス情報を、前記トレース及び前記金属化

50

ビアを通じて前記アドレス入力部へと伝えるものである、請求項 1 1 に記載の超小型電子構造体。

[請求項 1 7]

前記メモリ記憶アレイは、第 1 のメモリ記憶アレイと第 2 のメモリ記憶アレイとを有し、前記超小型電子構造体は、前記第 1 の側にある第 1 の端子により受信したアドレス情報を前記第 1 のメモリ記憶アレイに提供するとともに、前記第 2 の側にある第 1 の端子により受信したアドレス情報を前記第 2 のメモリ記憶アレイに提供して、デュアルランクメモリアクセスを提供するものである、請求項 1 に記載の超小型電子構造体。

[請求項 1 8]

前記超小型電子構造体はシングルランクメモリアクセスを提供するものである、請求項 1 に記載の超小型電子構造体。

[請求項 1 9]

対向している第 1 の表面及び第 2 の表面と、前記第 1 の表面及び前記第 2 の表面の各々にある第 1 のパネルコンタクト及び第 2 のパネルコンタクトとを有する回路パネルと、

前記第 1 のパネルコンタクト及び前記第 2 のパネルコンタクトにそれぞれ取り付けられる端子を有する第 1 の超小型電子構造体及び第 2 の超小型電子構造体と

を備えた超小型電子アセンブリであって、

前記超小型電子構造体の各々は、

メモリ記憶アレイを構成する能動素子と、

前記記憶アレイ内の位置を指定するアドレス情報を受信するアドレス入力部と

を備えており、

前記構造体は、第 1 の表面と、前記第 1 の表面において露出した端子とを有し、前記端子は第 1 の端子を含み、前記構造体は前記第 1 の端子により受信したアドレス情報を前記アドレス入力部に送り、前記第 1 の端子のうち少なくともいくつかの各々には、前記アドレス入力部のうちの 1 以上に送られる情報を含む信号の割当てがなされており、

前記第 1 の端子は、前記第 1 の表面に垂直な仮想平面の対向する第 1 の側及び第 2 の側に設けられ、前記第 1 の側に設けられた第 1 の端子の信号割当てと、前記第 2 の側に設けられた第 1 の端子の信号割当てとは、前記仮想平面に関して対称である、超小型電子アセンブリ。

[請求項 2 0]

前記超小型電子構造体の各々は 1 以上の半導体チップを有し、前記超小型電子構造体の各々の前記メモリ記憶アレイは、当該超小型電子構造体の 1 以上の前記半導体チップのうちの少なくとも 1 つに組み込まれており、前記超小型電子構造体の各々の第 1 の端子は、当該超小型電子構造体の少なくとも 1 つの前記半導体チップの動作モードを制御する情報を伝える端子を含むものである、請求項 1 9 に記載の超小型電子アセンブリ。

[請求項 2 1]

前記超小型電子構造体の各々の第 1 の側にある各第 1 の端子の信号割当てと、前記超小型電子構造体の各々の第 2 の側にある各第 1 の端子の信号割当てとが、鏡像の関係にある、請求項 1 9 に記載の超小型電子構造体。

[請求項 2 2]

前記第 1 の超小型電子構造体の前記仮想平面の第 1 の側にある第 1 の端子は、前記回路パネルを通じて、前記第 2 の超小型電子構造体の前記仮想平面の第 2 の側にある第 1 の端子と接続され、

前記第 1 の超小型電子構造体の前記第 2 の側にある第 1 の端子は、前記回路パネルの前記第 1 の表面及び第 2 の表面に平行であり、かつ互いに直交する x 方向及び y 方向に沿った、前記第 2 の超小型電子構造体の前記第 1 の側にある、当該第 1 の端子が接続される対応する第 1 の端子と 1 ボールピッチ以内に位置合わせされている、請求項 1 9 に記載の超小型電子アセンブリ。

[請求項 2 3]

前記第 1 の超小型電子構造体の前記第 2 の側にある第 1 の端子は、前記回路パネルの前

10

20

30

40

50

記第 1 の表面及び第 2 の表面に平行であり、かつ互いに直交する x 方向及び y 方向に沿った、当該第 1 の端子が接続される前記第 2 の超小型電子構造体の前記第 1 の側にある第 1 の端子と合致している、請求項 2 2 に記載の超小型電子アセンブリ。

[請求項 2 4]

前記第 1 の超小型電子構造体の第 1 の端子のうちの 1 つと、前記第 2 の超小型電子構造体の第 1 の端子のうちの対応する 1 つとの間の電氣的接続のうちの少なくとも 1 つの電氣的接続のスタブの長さは、前記超小型電子構造体の各々の第 1 の端子の最小ピッチの 7 倍未満である、請求項 1 9 に記載の超小型電子アセンブリ。

[請求項 2 5]

前記第 1 の超小型電子構造体の第 1 の端子と前記第 2 の超小型電子構造体の第 1 の端子との間の、前記回路パネルを通じた電氣的接続の少なくともいくつかは、前記回路パネルの厚みにほぼ等しい電氣的長さである、請求項 1 9 に記載の超小型電子アセンブリ。

[請求項 2 6]

前記回路パネルの前記第 1 の表面及び前記第 2 の表面において露出した、電氣的に接続される一対の第 1 のパネルコンタクト及び第 2 のパネルコンタクトを接続する導電性素子を合わせた全長は、前記パネルコンタクトの最小ピッチの 7 倍未満である、請求項 1 9 に記載の超小型電子アセンブリ。

[請求項 2 7]

前記回路パネルは、前記超小型電子構造体の各々に送られる前記アドレス情報の全てを伝える複数の導体を有するバスを備えており、

前記導体は、前記回路パネルの第 1 の表面及び第 2 の表面に平行な第 1 の方向に沿って延びている、請求項 1 9 に記載の超小型電子アセンブリ。

[請求項 2 8]

第 1 の端子は、前記仮想平面の第 1 の側及び第 2 の側の各々にある個々の列内に設けられており、

前記回路パネルは、前記第 1 の超小型電子構造体及び前記第 2 の超小型電子構造体の第 1 の端子が電氣的に接続される前記回路パネル上の接続位置と、少なくとも第 3 の超小型電子構造体の端子が電氣的に接続される前記回路パネル上の別の接続位置との間で前記アドレス情報の全てをグローバルルーティングするルーティング層を 1 つのみ備えている、請求項 1 9 に記載の超小型電子アセンブリ。

[請求項 2 9]

前記仮想平面の第 1 の側及び第 2 の側の各々にある第 1 の端子は、平行な 2 つの列内の位置に設けられており、

前記回路パネルは、前記超小型電子構造体のうちの 1 以上の超小型電子構造体の端子が電氣的に接続される前記回路パネル上の各接続位置間で前記アドレス情報の全てをグローバルルーティングするルーティング層を 2 つのみ備えている、請求項 1 9 に記載の超小型電子アセンブリ。

[請求項 3 0]

前記第 1 の超小型電子構造体及び前記第 2 の超小型電子構造体の第 1 の端子が電氣的に接続される前記回路パネル上の接続位置と、少なくとも第 3 の超小型電子パッケージの端子が電氣的に接続される前記回路パネル上の別の接続位置との間で前記アドレス情報の全てをグローバルルーティングするルーティング層が 1 つのみ設けられている、請求項 2 9 に記載の超小型電子アセンブリ。

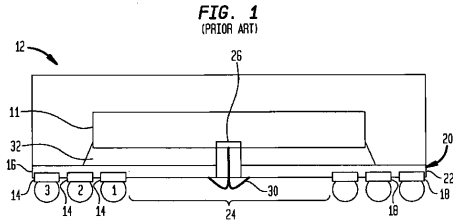
10

20

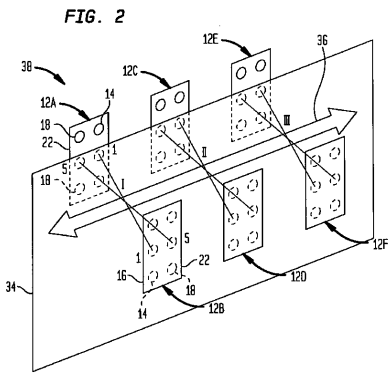
30

40

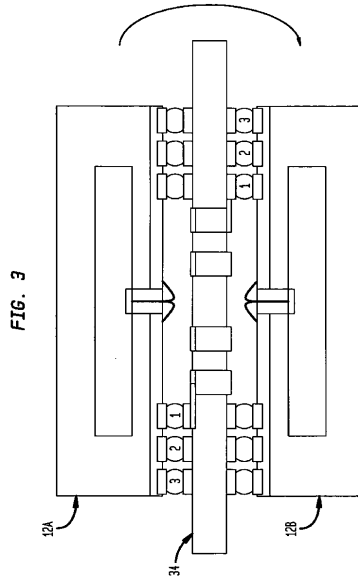
【 図 1 】



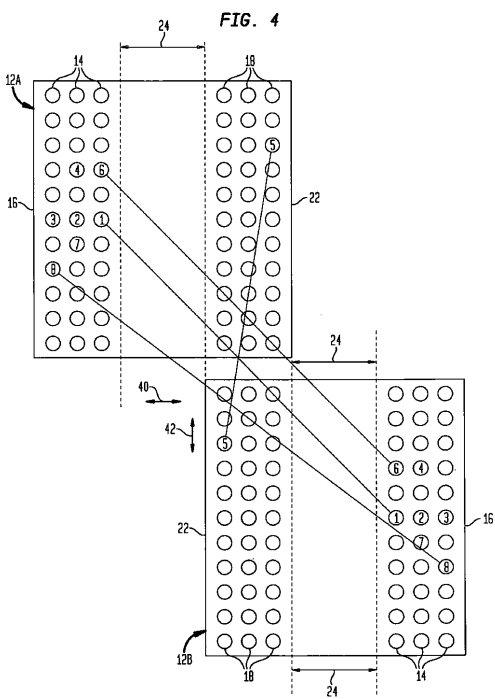
【 図 2 】



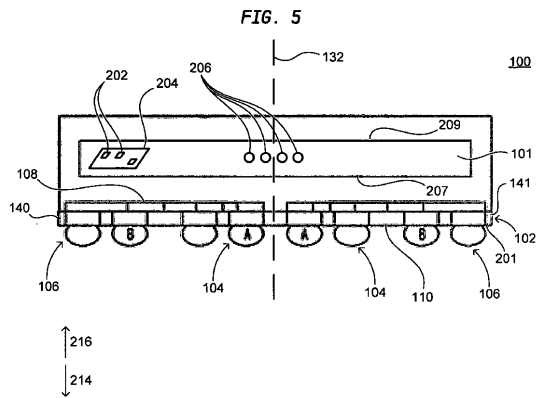
【 図 3 】



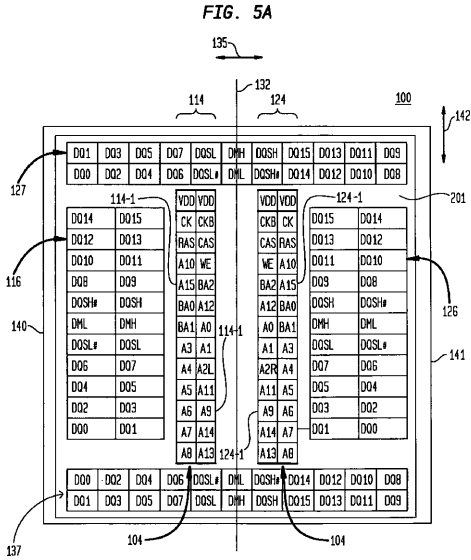
【 図 4 】



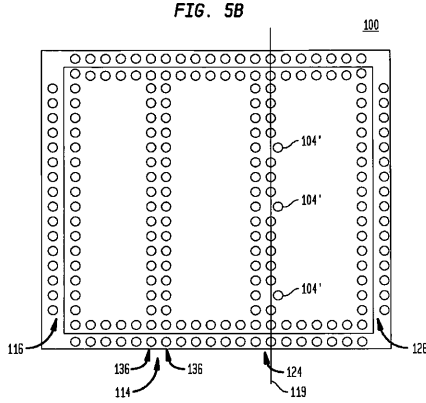
【 図 5 】



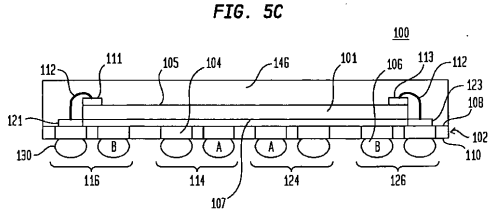
【 5 A 】



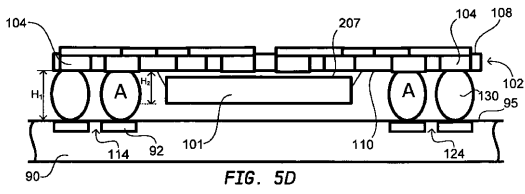
【 5 B 】



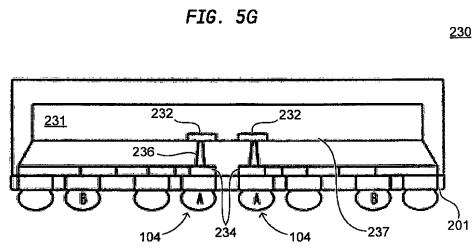
【 5 C 】



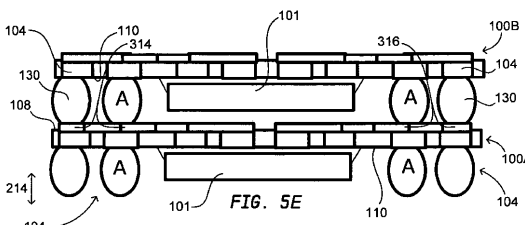
【 5 D 】



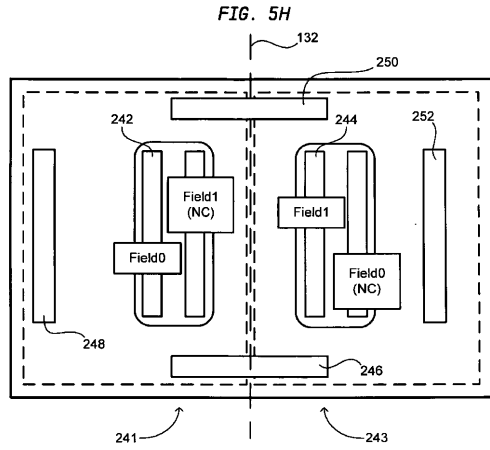
【 5 G 】



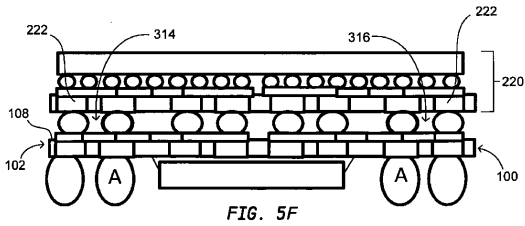
【 5 E 】



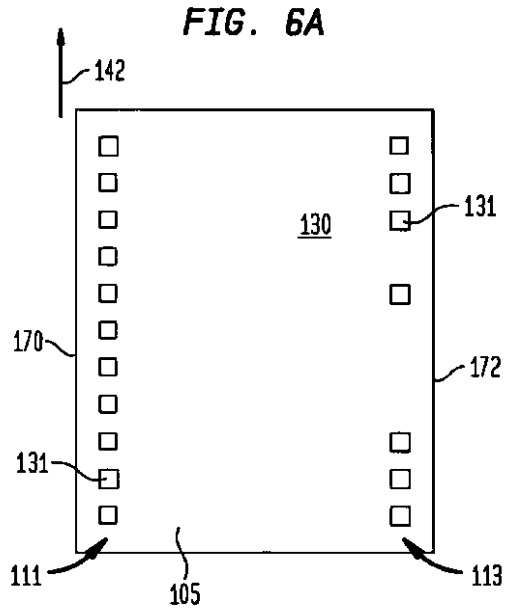
【 5 H 】



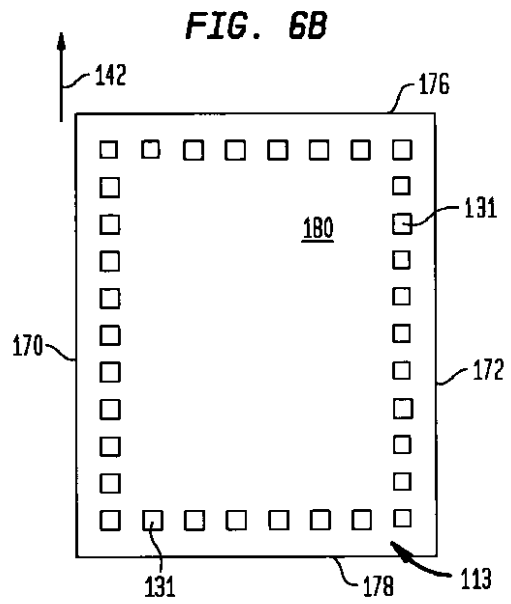
【 5 F 】



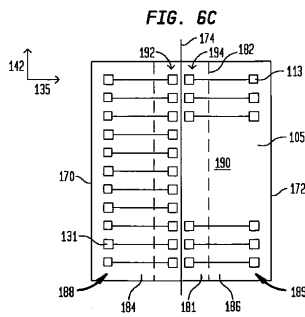
【 図 6 A 】



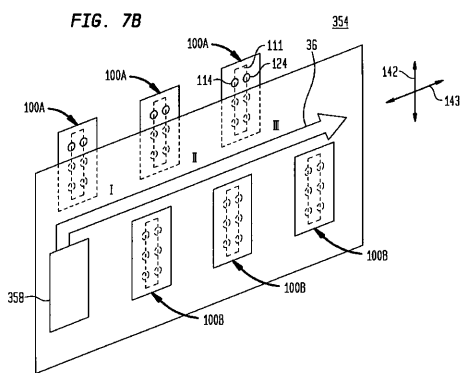
【 図 6 B 】



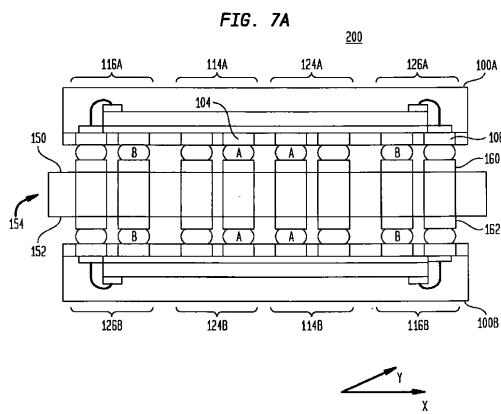
【 図 6 C 】



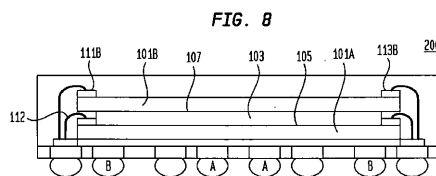
【 図 7 B 】



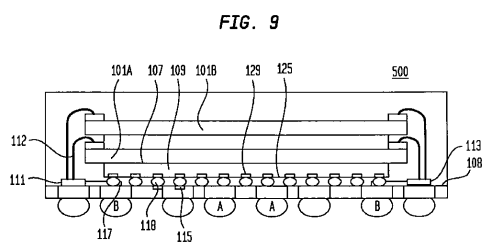
【 図 7 A 】



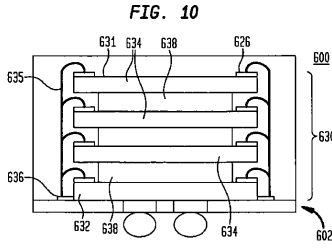
【 図 8 】



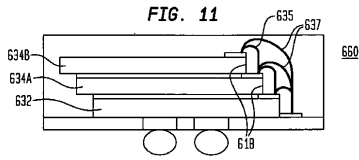
【 図 9 】



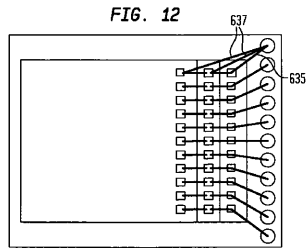
【 図 1 0 】



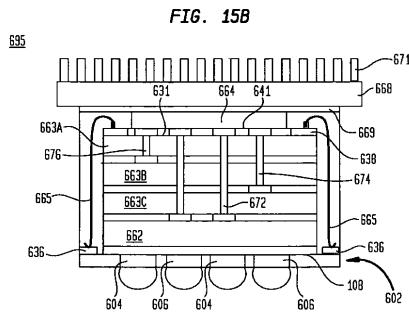
【 図 1 1 】



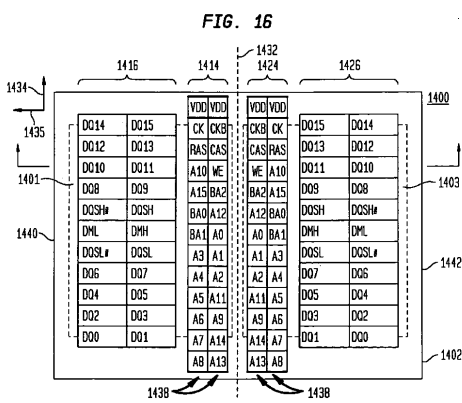
【 図 1 2 】



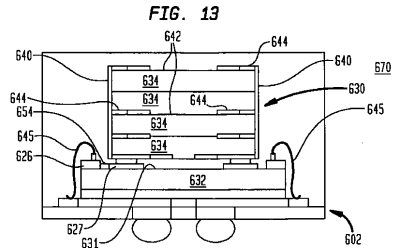
【 図 1 5 B 】



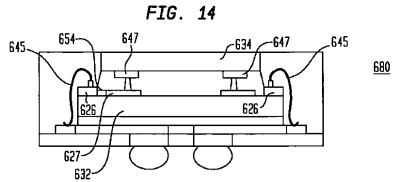
【 図 1 6 】



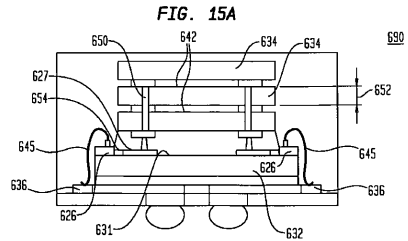
【 図 1 3 】



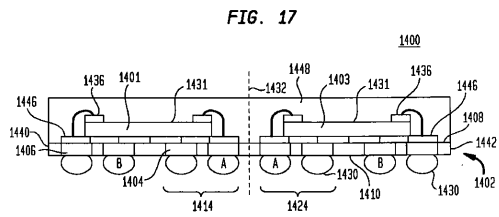
【 図 1 4 】



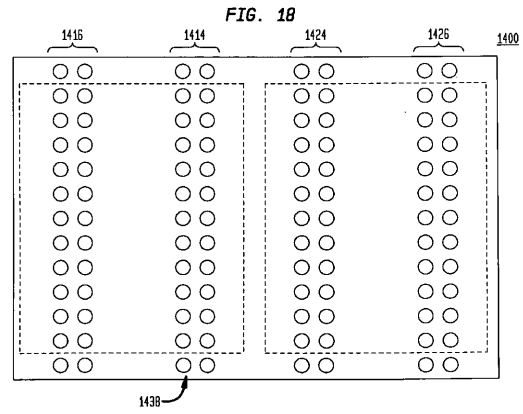
【 図 1 5 A 】



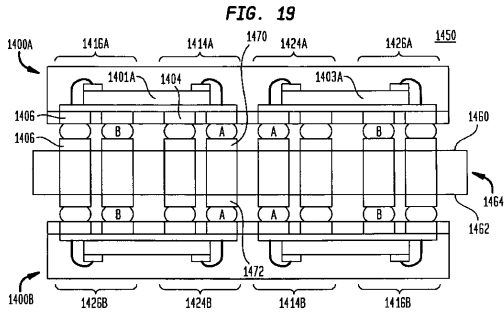
【 図 1 7 】



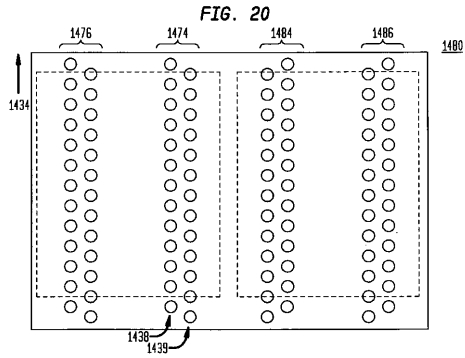
【 図 1 8 】



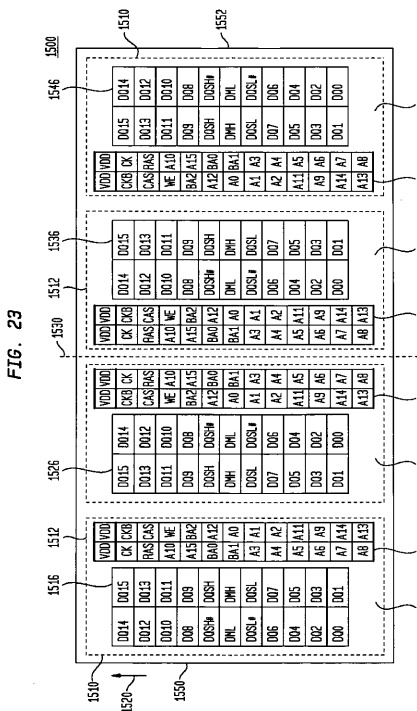
【 図 19 】



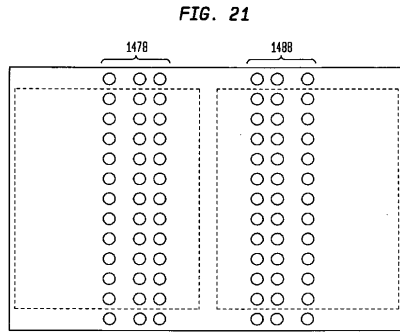
【 図 20 】



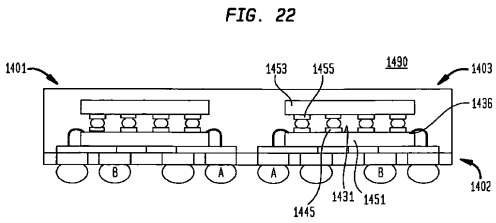
【 図 23 】



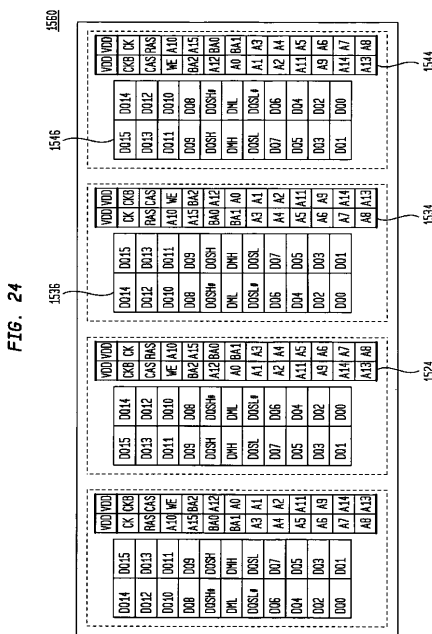
【 図 21 】



【 図 22 】



【 図 24 】



【 29 】

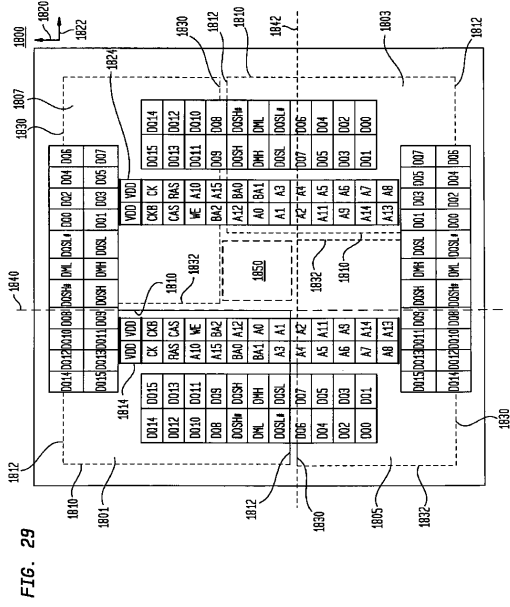


FIG. 29

【 30 】

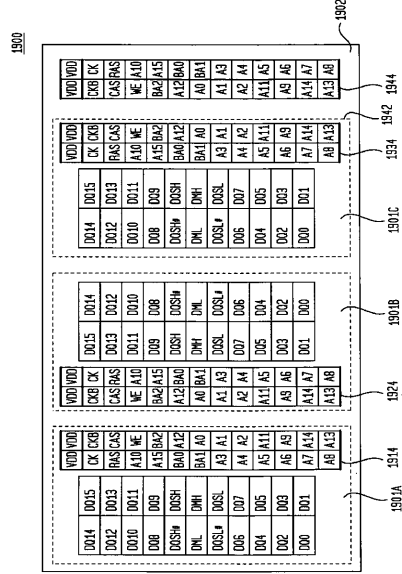


FIG. 30

【 31 】

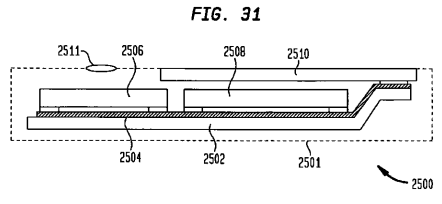


FIG. 31

フロントページの続き

(51) Int.Cl. F I
H 0 1 L 27/10 4 9 5

- (31)優先権主張番号 13/440,212
(32)優先日 平成24年4月5日(2012.4.5)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 13/440,280
(32)優先日 平成24年4月5日(2012.4.5)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 13/354,772
(32)優先日 平成24年1月20日(2012.1.20)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 61/600,483
(32)優先日 平成24年2月17日(2012.2.17)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 13/439,228
(32)優先日 平成24年4月4日(2012.4.4)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 13/440,515
(32)優先日 平成24年4月5日(2012.4.5)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 13/439,273
(32)優先日 平成24年4月4日(2012.4.4)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 13/337,565
(32)優先日 平成23年12月27日(2011.12.27)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 61/542,495
(32)優先日 平成23年10月3日(2011.10.3)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 13/440,199
(32)優先日 平成24年4月5日(2012.4.5)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 61/542,488
(32)優先日 平成23年10月3日(2011.10.3)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 61/542,553
(32)優先日 平成23年10月3日(2011.10.3)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 13/354,747
(32)優先日 平成24年1月20日(2012.1.20)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 13/337,575
(32)優先日 平成23年12月27日(2011.12.27)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 13/595,486
(32)優先日 平成24年8月27日(2012.8.27)
(33)優先権主張国 米国(US)

早期審査対象出願

- (74)代理人 100142996
弁理士 森本 聡二
- (74)代理人 100154298
弁理士 角田 恭子
- (74)代理人 100166268
弁理士 田中 祐
- (74)代理人 100170379
弁理士 徳本 浩一
- (74)代理人 100161001
弁理士 渡辺 篤司
- (74)代理人 100179154
弁理士 児玉 真衣
- (74)代理人 100180231
弁理士 水島 亜希子
- (74)代理人 100184424
弁理士 増屋 徹
- (72)発明者 クリスブ, リチャード・デューイット
アメリカ合衆国カリフォルニア州9 5 1 3 4, サン・ノゼ, オーチャード・パークウェイ 3 0 2
5
- (72)発明者 ゴーニ, ワエル
アメリカ合衆国カリフォルニア州9 5 1 3 4, サン・ノゼ, オーチャード・パークウェイ 3 0 2
5
- (72)発明者 ハーバ, ベルガセム
アメリカ合衆国カリフォルニア州9 5 0 7 0, サラトガ, ミラー・コート 1 9 4 8 7
- (72)発明者 ランプレクト, フランク
アメリカ合衆国カリフォルニア州9 4 0 4 0, マウンテン・ビュー, カリフォルニア 2 0 2 5,
2 3

審査官 石坂 博明

- (56)参考文献 特開2007-013146(JP, A)
特開2008-016666(JP, A)
特開平11-087640(JP, A)
特開2000-315776(JP, A)
特開2002-083897(JP, A)
特開2007-149977(JP, A)
特開2003-051545(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12 - 23/15
25/00 - 25/07
25/10 - 25/11
25/16 - 25/18
27/10