

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021年3月4日 (04.03.2021)



(10) 国际公布号
WO 2021/036094 A1

- (51) 国际专利分类号:
H01L 27/108 (2006.01) *G11C 7/02* (2006.01)
G11C 11/41 (2006.01) *G11C 5/06* (2006.01)
- (21) 国际申请号: PCT/CN2019/124626
- (22) 国际申请日: 2019年12月11日 (11.12.2019)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201910788328.7 2019年8月26日 (26.08.2019) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区翠微路6号海恒大厦630室, Anhui 230000 (CN)。
- (72) 发明人: 冀康灵 (JI, Kangling); 中国安徽省合肥市经济技术开发区翠微路6号海恒大厦630室由长鑫存储技术有限公司转交, Anhui 230000 (CN)。李红文 (LI, Hongwen); 中国安徽省合肥市经济技术开发区翠微路6号海恒大厦630室由长鑫存储技术有限公司转交, Anhui 230000 (CN)。田凯 (TIAN, Kai); 中国安徽省合肥市经济技术开发区翠微路6号海恒大厦630室由长鑫存储技术有限公司转交, Anhui 230000 (CN)。
- (74) 代理人: 北京律智知识产权代理有限公司 (BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.); 中国北京市朝阳区慧忠路5号B1605、B1606、B1607, Beijing 100101 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

(54) Title: CHIP AND ELECTRONIC APPARATUS

(54) 发明名称: 芯片及电子装置

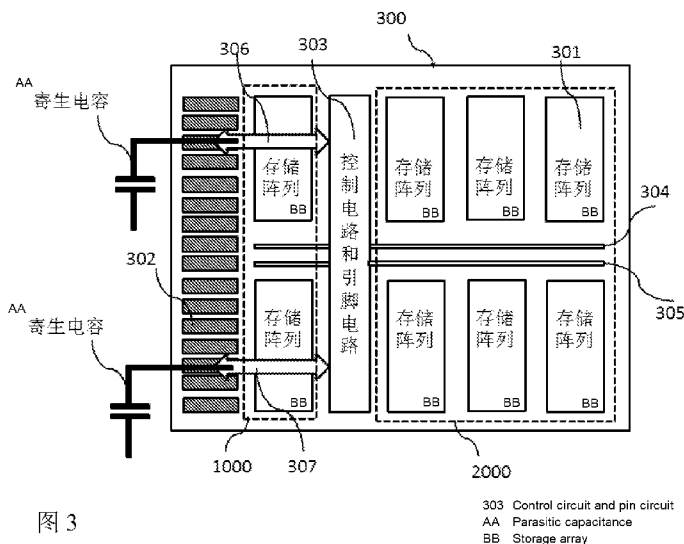


图3

303 Control circuit and pin circuit
AA Parasitic capacitance
BB Storage array

(57) Abstract: A chip (300) and an electronic apparatus. The chip (300) comprises a storage module, pins (302), a control module (303), first connecting lines (306, 307) and second connecting lines (304, 305). The storage module comprises a first storage array group (1000) and a second storage array group (2000), and the first storage array group (1000) and the second storage array group (2000) respectively comprise a plurality of storage arrays (301); the pins (302) are located on the side face, away from the second storage array group (2000), of the first storage array group (1000); the control module (303) is located between the first storage array group (1000) and the second storage array group (2000); the first connecting lines (306, 307) are connected to the pins (302) and the control module (303); and the second connecting lines (304, 305) are connected to the control module (303), the first storage array group (1000) and the second storage array group (2000), wherein the lengths of the first connecting lines (306, 307) are less than the length from the control module (303) to the side, away from the control module (303), of the second storage array group (2000). The chip (300) reduces parasitic capacitance introduced by the first connecting lines (306, 307).

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种芯片(300)和电子装置。该芯片(300)包括存储模块、引脚(302)、控制模块(303)、第一连线(306,307)和第二连线(304,305)。存储模块包括第一存储阵列组(1000)和第二存储阵列组(2000), 第一存储阵列组(1000)和第二存储阵列组(2000)分别包括多个存储阵列(301); 引脚(302)位于第一存储阵列组(1000)远离第二存储阵列组(2000)的侧面; 控制模块(303)位于第一存储阵列组(1000)与第二存储阵列组(2000)之间; 第一连线(306,307)连接引脚(302)与控制模块(303); 以及第二连线(304,305)连接控制模块(303)与第一存储阵列组(1000)和第二存储阵列组(2000); 其中, 第一连线(306,307)的长度小于控制模块(303)至第二存储阵列组(2000)远离控制模块(303)一侧的长度。芯片(300)降低了第一连线(306,307)引入的寄生电容。

芯片及电子装置

技术领域

本申请涉及半导体领域，尤其涉及一种芯片和包括该芯片的电子装置。

5

背景技术

在满足现有封装要求的情况下，实现高速低功耗的芯片布局，是 DRAM（Dynamic Random Access Memory）设计中非常重要的一个环节。现有的部分 DRAM 芯片的封装，要求芯片的引脚在芯片的一侧，通常是在芯片的短边的一侧。这样的芯片布局对芯片的性能造成不利影响。指令需要从芯片引脚的一侧进入，经过译码后传输到芯片存储阵列的一侧，对存储阵列进行操作。从存储阵列取得的数据需要从芯片的存储阵列一侧跨过整个芯片传输到引脚所在的一侧。这导致芯片的操作速度较慢，而且由于大量数据的长距离传输，芯片的功耗也比较大。

为了解决上述问题，设计者引入了一层顶层连线。这一层连线的传输速度较快。通过该层连线的引入，可把芯片的引脚相关电路和控制电路设置到芯片的中段，然后通过引入的快速连线实现引脚相关电路和控制电路与外部引脚的连接。这样的布局使得通过引脚进入的指令可以快速到达芯片中部，而从存储阵列返回的数据也只需传输到芯片的中部的引脚相关电路和控制电路，然后通过引入的顶层连线将数据传送到芯片的外部引脚。这种芯片布局对传输速度、芯片功耗以及芯片内部的电源分布都有明显的改善。但是，随着芯片容量增大，顶层连线的长度增加，导致额外引入的寄生电容对高速信号的传输造成较大影响，甚至导致眼图闭合。

需要说明的是，在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解，因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

发明内容

本公开提供一种芯片和电子装置，进而至少在一定程度上克服或改善现有技术中顶层连线寄生电容较大或传输速度较低的问题。

本公开的其他特性和优点将通过下面的详细描述变得显然，或部分地通过本公开的实践而习得。

根据本公开的第一方面，提供一种芯片，包括：

存储模块，包括第一存储阵列组和第二存储阵列组，所述第一存储阵列组和所述第二存储阵列组分别包括多个存储阵列；

引脚，位于所述第一存储阵列组远离所述第二存储阵列组的一侧；

控制模块，位于所述第一存储阵列组与所述第二存储阵列组之间；

第一连线，连接所述引脚与所述控制模块；以及
第二连线，连接所述控制模块与所述第一存储阵列组和所述第二存储阵列组；
其中，所述第一连线的长度小于所述控制模块至所述第二存储阵列组远离所述控制模块一侧的长度。

5 在一个实施例中，所述控制模块包括控制电路和引脚电路。

在一个实施例中，所述第一连线包括指令地址连线和数据连线，所述第二连线包括指令地址总线 and 数据总线。

在一个实施例中，所述第一存储阵列组包括的存储阵列的数量与所述第二存储阵列组包括的存储阵列的数量比值为 $1/5$ 至 $1/3$ 。

10 在一个实施例中，所述第一存储阵列组包括的存储阵列的数量与所述第二存储阵列组包括的存储阵列的数量比值为 $1/3$ 。

在一个实施例中，所述第一存储阵列组包括的存储阵列的数量与所述第二存储阵列组包括的存储阵列的数量比值为 $1/5$ 。

15 在一个实施例中，所述第一存储阵列组包括的存储阵列的数量与所述第二存储阵列组包括的存储阵列的数量比值为 $1/2$ 。

在一个实施例中，所述控制模块位于所述第一存储阵列组和所述第二存储阵列组相邻的两侧面的中间位置。

在一个实施例中，所述存储模块还包括第三存储阵列组，所述第三存储阵列组包括多个存储阵列，所述控制模块包括第三侧面和第四侧面；

20 其中，所述第三存储阵列组包括的存储阵列位于所述控制模块的所述第三侧面或所述第四侧面。

在一个实施例中，所述存储模块还包括第三存储阵列组，所述第三存储阵列组包括多个存储阵列，所述控制模块包括第三侧面和第四侧面；

25 其中，所述第三存储阵列组包括的存储阵列分别位于所述控制模块的所述第三侧面和所述第四侧面。

在一个实施例中，所述第一连线为顶层连线，并且通信连接所述引脚与所述控制模块。

在一个实施例中，所述存储模块为矩形，所述引脚位于所述矩形的两条短边之一的一侧。

30 根据本公开的第二方面，提供一种电子装置，包括上述实施例中任一项所述的芯片。本公开具有以下有益效果：

本公开通过改进控制电路和引脚电路的布局，从而降低了顶层连线引入的寄生电容，减少了寄生电容对芯片的不利影响，并且一定程度提高了芯片的操作速度。

应当理解的是，以上的一般描述和后文的细节描述仅是示例性和解释性的，并不能限制本公开。

35

附图说明

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据

5 这些附图获得其他的附图。

图 1 是相关技术的芯片的结构布局示意图；

图 2 是相关技术的芯片的结构布局示意图；

图 3 是本公开一个实施例的芯片的结构布局示意图；

图 4 是本公开一个实施例的芯片的结构布局示意图；

10 图 5 是本公开一个实施例的芯片的结构布局示意图；

图 6 是本公开一个实施例的芯片的结构布局示意图；

图 7 是本公开一个实施例的芯片的结构布局示意图。

具体实施方式

15 现在将参考附图更全面地描述示例实施例。然而，示例实施例能够以多种形式实施，且不应被理解为限于在此阐述的实施例；相反，提供这些实施例使得本公开将全面和完整，并将示例实施例的构思全面地传达给本领域的技术人员。在图中相同的附图标记表示相同或类似的部分，因而将省略对它们的重复描述。

此外，所描述的特征、结构或特性可以以任何合适的方式结合在一个或更多实施

20 例中。在下面的描述中，提供许多具体细节从而给出对本公开的实施例的充分理解。然而，本领域技术人员将意识到，可以实践本公开的技术方案而没有特定细节中的一个或更多，或者可以采用其它的方法、组元、装置、步骤等。在其它情况下，不详细示出或描述公知方法、装置、实现或者操作以避免模糊本公开的各方面。

附图中所示的方框图仅仅是功能实体，不一定必须与物理上独立的实体相对应。

25 即，可以采用软件形式来实现这些功能实体，或在一个或多个硬件模块或集成电路中实现这些功能实体，或在不同网络和/或处理器装置和/或微控制器装置中实现这些功能实体。

附图中所示的流程图仅是示例性说明，不是必须包括所有的内容和操作/步骤，也不是必须按所描述的顺序执行。例如，有的操作/步骤还可以分解，而有的操作/步

30 骤可以合并或部分合并，因此实际执行的顺序有可能根据实际情况改变。

应理解，虽然本文中可能使用术语第一、第二、第三等来描述各种组件，但这些组件不应受这些术语限制。这些术语乃用以区分一组件与另一组件。因此，下文论述

的第一组件可称为第二组件而不偏离本公开概念的教导。如本文中所使用，术语“及/或”包括相关联的列出项目中的任一个及一或多者的所有组合。

本领域技术人员可以理解，附图只是示例实施例的示意图，附图中的模块或流程并不一定是实施本公开所必须的，因此不能用于限制本公开的保护范围。

5 图 1 是相关技术的芯片 100 的结构布局示意图。

如图 1 所示，相关技术的芯片 100 包括存储模块（包括多个存储阵列 101）、引脚 102、控制模块 103（控制电路和引脚电路）和第二连线（指令地址总线 104 和数据总线 105）。其中，引脚 102 与控制电路和引脚电路 103 通信连接，该连接属于本领域公知技术，在此不在赘述。控制电路和引脚电路 103 与多个存储阵列 101 通过指令地址总线 104 和数据总线 105 通信连接，其中，控制电路和引脚电路 103 与指令地址总线 104 和数据总线 105 的连接以及指令地址总线 104 和数据总线 105 与多个存储阵列 101 的连接属于本领域公知技术，在此不在赘述。其中，指令地址总线 104 在图 1 中示出为一条线路，在其他实施例中指令地址总线 104 可以是两条单独的线路（指令总线和地址总线）。在图 1 中指令地址总线 104 和数据总线 105 示出为两条单独的线路，在其他实施例中指令地址总线 104 和数据总线 105 可以是一条线路。

15 参考图 1，当引脚 102 接收到操作指令后，经过控制电路和引脚电路 103 的译码等操作后，将指令通过指令地址总线 104 传递至多个存储阵列 101 的一侧，从而对多个存储阵列 101 进行操作。在指令通过指令地址总线 104 传递至多个存储阵列 101 后，从多个存储阵列 101 获取的数据需要通过数据总线 105 传递至控制电路和引脚电路 103，然后通过引脚 102 将数据传递出来。

图 1 中的芯片的布局方式，由于指令和数据的长距离传输，导致芯片的读取和存储速度较慢，而且功率消耗也较大。

图 2 是相关技术的芯片 200 的结构布局示意图。

25 如图 2 所示，相关技术的芯片 200 包括存储模块（包括多个存储阵列 201）、引脚 202、控制模块 203（控制电路和引脚电路）、第二连线（指令地址总线 204 和数据总线 205）和第一连线（指令地址连线 206 和数据连线 207）。其中，指令地址连线 206 和数据连线 207 具有寄生电容，寄生电容是由于指令地址连线 206 和数据连线 207 在氧化层上布线所导致的寄生电容，在图 2 中以电容标记用于表示指令地址连线 206 和数据连线 207 导致产生寄生电容。

参考图 2，引脚 202 与控制电路和引脚电路 203 通过指令地址连线 206 和数据连线 207 通信连接，该连接属于本领域公知技术，在此不在赘述。控制电路和引脚电路 203 与多个存储阵列 201 通过指令地址总线 204 和数据总线 205 通信连接，其中，控制电路和引脚电路 203 与指令地址总线 204 和数据总线 205 的连接以及指令地址总线 204 和数据总线 205 与多个存储阵列 201 的连接属于本领域公知技术，在此不在赘述。其中，指令地址总线 204 在图 2 中示出为一条线路，在其他实施例中指令地址总线 204 可以是两条单独的线路。在图 2 中，指令地址总线 204 和数据总线 205 示出为两条单独的线路，在其他实施例中指令地址总线 204 和数据总线 205 可以是一条线路。

参考图 2，控制电路和引脚电路 203 两侧均设置有多个存储阵列 201，并且控制电路和引脚电路 203 两侧设置的存储阵列 201 的数量相等（均为 4 个）。控制电路和引脚电路 203 与引脚 202 之间通过指令地址连线 206 和数据连线 207 实现通信连接，其中，指令地址连线 206 和数据连线 207 均为芯片的顶层连线，该顶层连线设置在芯片的顶层，因此相对于芯片的其他金属层而言，该顶层连线的宽度和厚度相对较大，较大的宽度和厚度使得顶层连线的电阻相对较低，因此顶层连线具有较快的传输速度和较低的功率损耗，从而可以实现控制电路和引脚电路 203 与引脚 202 之间的高速数据传递。

还参考图 2，当引脚 202 接收到操作指令后，通过指令地址连线 206 将指令传递至控制电路和引脚电路 203，经过控制电路和引脚电路 203 的译码等操作后，将指令通过指令地址总线 204 传递至多个存储阵列 201，对多个存储阵列 201 进行操作。在指令通过指令地址总线 204 传递至多个存储阵列 101 后，从多个存储阵列 201 获取的数据通过数据总线 205 传递至控制电路和引脚电路 203，再通过数据连线 207 将数据传输至引脚 202，从而将数据传递出来。

图 2 中的芯片 200 的布局方式中，将控制电路和引脚电路 203 设置在多个存储阵列 201 中间（控制电路和引脚电路 203 两侧设置的存储阵列 201 的数量相等），控制电路和引脚电路 203 通过指令地址连线 206 和数据连线 207 与引脚 201 连接。因为控制电路和引脚电路 203 设置在多个存储阵列 201 中间，所以控制电路和引脚电路 203 向存储阵列 201 发送的指令和从存储阵列 201 获取数据的速度获得较大提高，使得芯片 200 的读取和存储速度得到提高，而且功率消耗也较低。但是，由于控制电路和引脚电路 203 与引脚 201 之间的指令地址连线 206 和数据连线 207 的引入，导致芯片 200 额外引入了寄生电容，该寄生电容的引入对芯片的信号和数据传输造成不利影

响，甚至导致眼图闭合。

图 3 是本公开一个实施例的芯片 300 的结构布局示意图。

如图 3 所示，本公开的芯片 300 包括存储模块（包括第一存储阵列组 1000 和
5 第二存储阵列组 2000，所述第一存储阵列组 1000 和所述第二存储阵列组 2000 分别包
括多个存储阵列 301）、引脚 302、控制模块 303（控制电路和引脚电路）、第二连
线（指令地址总线 304 和数据总线 305）和第一连线（指令地址连线 306 和数据连线
307）。其中，指令地址连线 306 和数据连线 307 具有寄生电容。在图 3 所示的实
例中，第一存储阵列组 1000 包括两个存储阵列 301，第二存储阵列组 2000 包括 6 个
10 存储阵列，但本发明不限于此，第一存储阵列组 1000 可包括不同于两个的存储阵列
301，第二存储阵列组 2000 可包括不同于 6 个的存储阵列。

参考图 3，第一存储阵列组 1000 与第二存储阵列组 2000 所分别包括的存储阵列
201 的数量比值为 1/3。

在一个实施例中，所述第一连线的长度小于所述控制模块 303 至所述第二存储阵
15 列组 2000 远离所述控制模块 303 一侧的长度。

在一个实施例中，存储模块包括的存储阵列均匀排列，因此存储阵列的数量比值
可以反映芯片的元件之间的长度关系。即，参考图 3，第一存储阵列组 1000 与第
二存储阵列组 2000 所分别包括的存储阵列 201 的数量比值为 1/3，则同时可以反映出所
述第一连线的长度与所述控制模块 303 至所述第二存储阵列组 2000 远离所述控制模
20 块 303 一侧的长度比值约为 1/3（所述第一连线的长度小于所述控制模块 303 至所述
第二存储阵列组 2000 远离所述控制模块 303 一侧的长度）。

参考图 3，引脚 302 与控制电路和引脚电路 303 通过指令地址连线 306 和数据连
线 307 通信连接，该连接属于本领域公知技术，在此不在赘述。控制电路和引脚电路
303 与多个存储阵列 301 通过指令地址总线 304 和数据总线 305 通信连接，其中，控
25 制电路和引脚电路 303 与指令地址总线 304 和数据总线 305 的连接以及指令地址总线
304 和数据总线 305 与多个存储阵列 201 的连接属于本领域公知技术，在此不在赘述。
其中指令地址总线 304 在图 3 中示出为一条线路，在其他实施例中指令地址总线 304
可以是两条单独的线路。在图 3 中，指令地址总线 304 和数据总线 305 示出为两条单
独的线路，在其他实施例中指令地址总线 304 和数据总线 305 可以是一条线路。

30 参考图 3，控制电路和引脚电路 303 与引脚 302 之间通过指令地址连线 306 和数

据连线 307 实现通信连接，其中，指令地址连线 306 和数据连线 307 均为顶层连线，可以实现控制电路和引脚电路 303 与引脚 302 之间的高速数据传递。

还参考图 3，当引脚 302 接收到操作指令后，通过指令地址连线 306 将指令传递至控制电路和引脚电路 303，经过控制电路和引脚电路 303 的译码等操作后，将指令
5 通过指令地址总线 304 传递至多个存储阵列 301，对多个存储阵列 301 进行操作。在指令通过指令地址总线 304 传递至多个存储阵列 301 后，从多个存储阵列 301 获取的数据通过数据总线 305 传递至控制电路和引脚电路 303，再通过数据连线 307 将数据传输至引脚将数据传递出来。

图 3 中的芯片 300 的布局方式中，将控制电路和引脚电路 203 设置在第一存储阵列组 1000 和第二存储阵列组 2000 之间（控制电路和引脚电路 303 两侧设置的存储阵列 201 的数量之比为 1/3），控制电路和引脚电路 303 通过指令地址连线 306 和数据
10 连线 307 与引脚 201 连接。因为控制电路和引脚电路 303 设置在多个存储阵列 301 中间，所以控制电路和引脚电路 303 向存储阵列 301 发送的指令和从存储阵列 301 获取数据的速度相比图 1 示出的芯片 100 获得较大提高，使得芯片 300 的读取和存储速度相对于图 1 的布局得到提高，而且功率消耗也相对较低。与图 2 示出的芯片 200
15 相比，控制电路和引脚电路 303 与引脚 301 之间的指令地址连线 306 和数据连线 307 的长度分别小于指令地址连线 206 和数据连线 207 的长度，使得芯片 300 引入的寄生电容小于芯片 200 的寄生电容，从而相对于图 2 的布局方式降低了寄生电容的引入对芯片 300 的信号传输造成的不利影响，同时还相对于图 1 的布局方式提高了芯片 300
20 的传输和读取速度。

图 3 中示出的第一存储阵列组 1000 和第二存储阵列组 2000 的存储阵列数量的比值是示例性的，第一存储阵列组 1000 的存储阵列 301 的数量小于第二存储阵列组 2000 的存储阵列 301 数量且引入的寄生电容在第一阈值内，使得芯片 300 正常运行。第一阈值是指使得芯片可正常运行的最大的寄生电容值。

25 在一个实施例中，第一存储阵列组 1000 和第二存储阵列组 2000 所分别包括的存储阵列数量的比值为大于等于 1/5 且小于等于 1/3。

在一个实施例中，还参考图 3，控制电路和引脚电路 303 位于第一存储阵列组 1000 和第二存储阵列组 2000 相邻侧面的中间位置处。

30 在一个实施例中，还参考图 3，所述第一连线（指令地址连线 306 和数据连线 307）与所述芯片 300 位于不同的层，并且通信连接所述引脚 302 与所述控制模块 303。

在一个实施例中，还参考图 3，所述第一存储阵列组 1000 和第二存储阵列组 2000 组成的储存模块为矩形，所述引脚 302 位于所述矩形的两条短边之一的一侧。

图 4 是本公开一个实施例的芯片 400 的结构布局示意图。

5 如图 4 所示，本公开的芯片 400 包括存储模块（包括第一存储阵列组 1000' 和第二存储阵列组 2000'），所述第一存储阵列组 1000' 和所述第二存储阵列组 2000' 分别包括多个存储阵列 401）、引脚 402、控制模块 403（控制电路和引脚电路）、第二连线（指令地址总线 404 和数据总线 405）和第一连线（指令地址连线 406 和数据连线 407）。其中，指令地址连线 406 和数据连线 407 具有寄生电容。在图 4 所示
10 的实施例中，第一存储阵列组 1000' 与第二存储阵列组 2000' 的存储阵列 401 的数量比值为 1/5。

在图 4 所示的实施例中，第一存储阵列组 1000' 包括两个存储阵列 401，第二存储阵列组 2000' 包括 10 个存储阵列 401，但本发明不限于此，第一存储阵列组 1000' 可包括不同于两个的存储阵列 401，第二存储阵列组 2000' 可包括不同于 10 个的存
15 储阵列。

图 5 是本公开一个实施例的芯片 500 的结构布局示意图。

如图 5 所示，本公开的芯片 500 包括存储模块（包括第一存储阵列组 1000'' 和第二存储阵列组 2000''），所述第一存储阵列组 1000'' 和所述第二存储阵列组
20 2000'' 分别包括多个存储阵列 501）、引脚 502、控制模块 503（控制电路和引脚电路）、第二连线（指令地址总线 504 和数据总线 505）和第一连线（指令地址连线 506 和数据连线 507）。其中，指令地址连线 506 和数据连线 507 具有寄生电容。在图 5 所示的实施例中，第一存储阵列组 1000'' 与第二存储阵列组 2000'' 的存储阵列 401 的数量比值为 1/2。

25 在图 5 所示的实施例中，第一存储阵列组 1000'' 包括 4 个存储阵列 501，第二存储阵列组 2000'' 包括 8 个存储阵列，但本发明不限于此，第一存储阵列组 1000'' 可包括不同于 4 个的存储阵列 301，第二存储阵列组 2000'' 可包括不同于 8 个的存储阵列。

30 图 6 是本公开一个实施例的芯片 600 的结构布局示意图。

如图 6 所示，本公开的芯片 600 包括存储模块（包括第一存储阵列组 1000、第二存储阵列组 2000 和第三存储模块 3000，所述第一存储阵列组 1000、所述第二存储阵列组 2000 和所述第三存储模块 3000 分别包括多个存储阵列 601）、引脚 602、控制模块 603（控制电路和引脚电路）、第二连线（指令地址总线 604 和数据总线 605）和第一连线（指令地址连线 606 和数据连线 607）。其中，指令地址连线 606 和数据连线 607 具有寄生电容。在图 6 所示的实施例中，第一存储阵列组 1000 的存储阵列 601 的数量少于第二存储阵列组 2000 的存储阵列 601 的数量，第三存储模块 3000 的存储阵列 601 的数量少于第二存储阵列组 2000 的存储阵列 601 的数量。

在图 6 所示的实施例中，第一存储阵列组 1000 包括 2 个存储阵列 601，第二存储阵列组 2000 包括 6 个存储阵列第三存储阵列组 3000 包括 1 个存储阵列，但本发明不限于此，第一存储阵列组 1000 可包括不同于 2 个的存储阵列 601，第二存储阵列组 2000 可包括不同于 6 个的存储阵列，第三存储阵列组 3000 可包括不同于 1 个的存储阵列。

参考图 6，控制电路和引脚电路 603 包括第一侧面 L1、第二侧面 L2、第三侧面 L3 和第四侧面 L4。图 6 中，第三存储阵列组 3000 位于控制电路和引脚电路 603 的第三侧面 L3 一侧。在其他实施例中，第三存储阵列组 3000 位于控制电路和引脚电路 603 的第四侧面 L4 一侧。

图 7 是本公开一个实施例的芯片 700 的结构布局示意图。

如图 7 所示，本公开的芯片 700 包括存储模块（包括第一存储阵列组 1000'、第二存储阵列组 2000' 和第三存储模块 3000'，所述第一存储阵列组 1000'、所述第二存储阵列组 2000' 和所述第三存储模块 3000' 分别包括多个存储阵列 701）、引脚 702、控制模块 703（控制电路和引脚电路）、第二连线（指令地址总线 704 和数据总线 705）和第一连线（指令地址连线 706 和数据连线 707）。其中，指令地址连线 706 和数据连线 707 具有寄生电容。在图 7 所示的实施例中，第一存储阵列组 1000' 的存储阵列 701 的数量少于第二存储阵列组 2000' 的存储阵列 701 的数量，第三存储模块 3000' 的存储阵列 701 的数量少于第二存储阵列组 2000' 的存储阵列 701 的数量。

在图 7 所示的实施例中，第一存储阵列组 1000' 包括 3 个存储阵列 601，第二存储阵列组 2000' 包括 9 个存储阵列第三存储阵列组 3000' 包括 2 个存储阵列，但本

发明不限于此，第一存储阵列组 1000' 可包括不同于 3 个的存储阵列 301，第二存储阵列组 2000' 可包括不同于 9 个的存储阵列，第三存储阵列组 3000' 可包括不同于 2 个的存储阵列。

参考图 7，控制电路和引脚电路 703 包括第一侧面 L1、第二侧面 L2、第三侧面 L3 和第四侧面 L4。图 7 中，第三存储阵列组 3000 包括的存储阵列 701 分别位于控制电路和引脚电路 703 的第三侧面和第四侧面 L4。

在一个实施例中，本公开的芯片为 DRAM（动态随机访问存储器）。

10 本公开还提供一种电子装置，该电子装置包括以上实施例中公开的任一的芯片。此外，上述附图仅是根据本发明示例性实施例的方法所包括的处理的示意性说明，而不是限制目的。易于理解，上述附图所示的处理并不表明或限制这些处理的时间顺序。另外，也易于理解，这些处理可以是例如在多个模块中同步或异步执行的。

15 本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本申请的其他实施例。本申请旨在涵盖本发明的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本发明的一般性原理并包括本发明未申请的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本发明的真正范围和精神由权利要求指出。

20 应当理解的是，本发明并不限于这里已经示出的详细结构、附图方式或实现方法，相反，本发明意图涵盖包含在所附权利要求的精神和范围内的各种修改和等效设置。

权利要求

1、一种芯片，其特征在于，包括：

存储模块，包括第一存储阵列组和第二存储阵列组，所述第一存储阵列组和所述第二存储阵列组分别包括多个存储阵列；

5 引脚，位于所述第一存储阵列组远离所述第二存储阵列组的一侧；

控制模块，位于所述第一存储阵列组与所述第二存储阵列组之间；

第一连线，连接所述引脚与所述控制模块；以及

第二连线，连接所述控制模块与所述第一存储阵列组和所述第二存储阵列组；

10 其中，所述第一连线的长度小于所述控制模块至所述第二存储阵列组远离所述控制模块一侧的长度。

2、如权利要求1所述的芯片，其特征在于，所述控制模块包括控制电路和引脚电路。

3、如权利要求1所述的芯片，其特征在于，所述第一连线包括指令地址连线和数据连线，所述第二连线包括指令地址总线 and 数据总线。

15 4、如权利要求1所述的芯片，其特征在于，所述第一存储阵列组包括的存储阵列的数量与所述第二存储阵列组包括的存储阵列的数量比值为1/5至1/3。

5、如权利要求1所述的芯片，其特征在于，所述第一存储阵列组包括的存储阵列的数量与所述第二存储阵列组包括的存储阵列的数量比值为1/3。

6、如权利要求1所述的芯片，其特征在于，所述第一存储阵列组包括的存储阵列的数量与所述第二存储阵列组包括的存储阵列的数量比值为1/5。

20 7、如权利要求1所述的芯片，其特征在于，所述第一存储阵列组包括的存储阵列的数量与所述第二存储阵列组包括的存储阵列的数量比值为1/2。

8、如权利要求1所述的芯片，其特征在于，所述控制模块位于所述第一存储阵列组和所述第二存储阵列组相邻的两侧面的中间位置。

25 9、如权利要求1所述的芯片，其特征在于，所述存储模块还包括第三存储阵列组，所述第三存储阵列组包括多个存储阵列，所述控制模块包括第三侧面和第四侧面；

其中，所述第三存储阵列组包括的存储阵列位于所述控制模块的所述第三侧面或所述第四侧面。

10、如权利要求1所述的芯片，其特征在于，所述存储模块还包括第三存储阵列组，所述第三存储阵列组包括多个存储阵列，所述控制模块包括第三侧面和第四侧面；

30 其中，所述第三存储阵列组包括的存储阵列分别位于所述控制模块的所述第三侧面和所述第四侧面。

11、如权利要求1所述的芯片，其特征在于，所述第一连线为顶层连线，并且通信连接所述引脚与所述控制模块。

35 12、如权利要求1所述的芯片，其特征在于，所述存储模块为矩形，所述引脚位于所述矩形的两条短边之一的一侧。

13、一种电子装置，其特征在于，包括权利要求 1-12 中任一项所述的芯片。

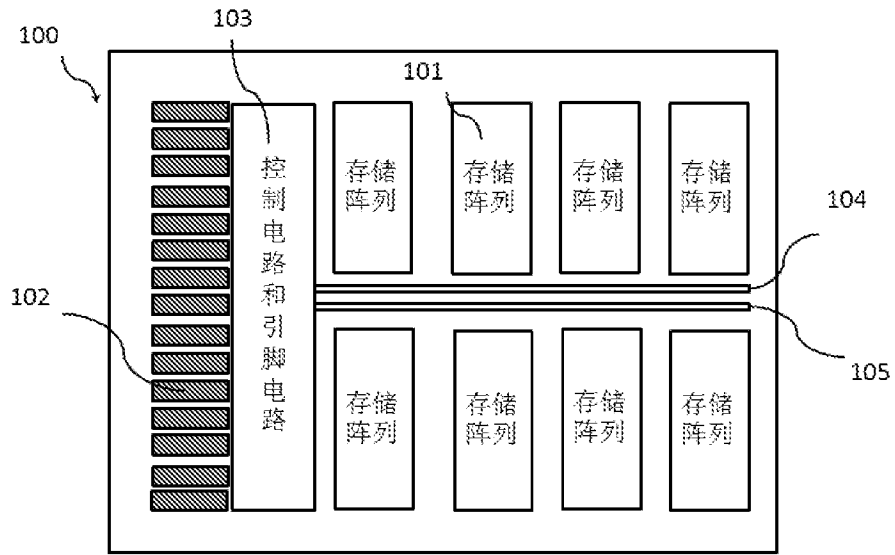


图 1

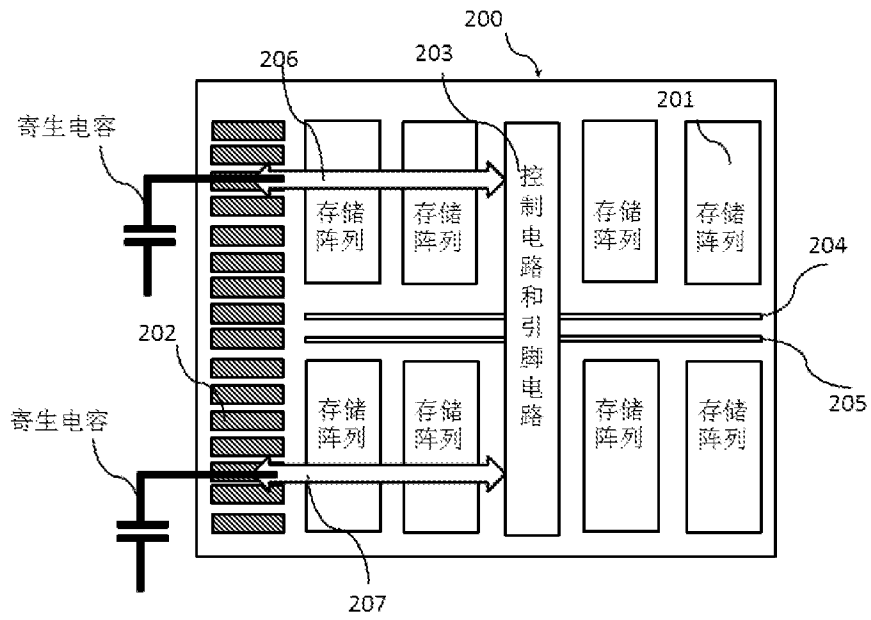


图 2

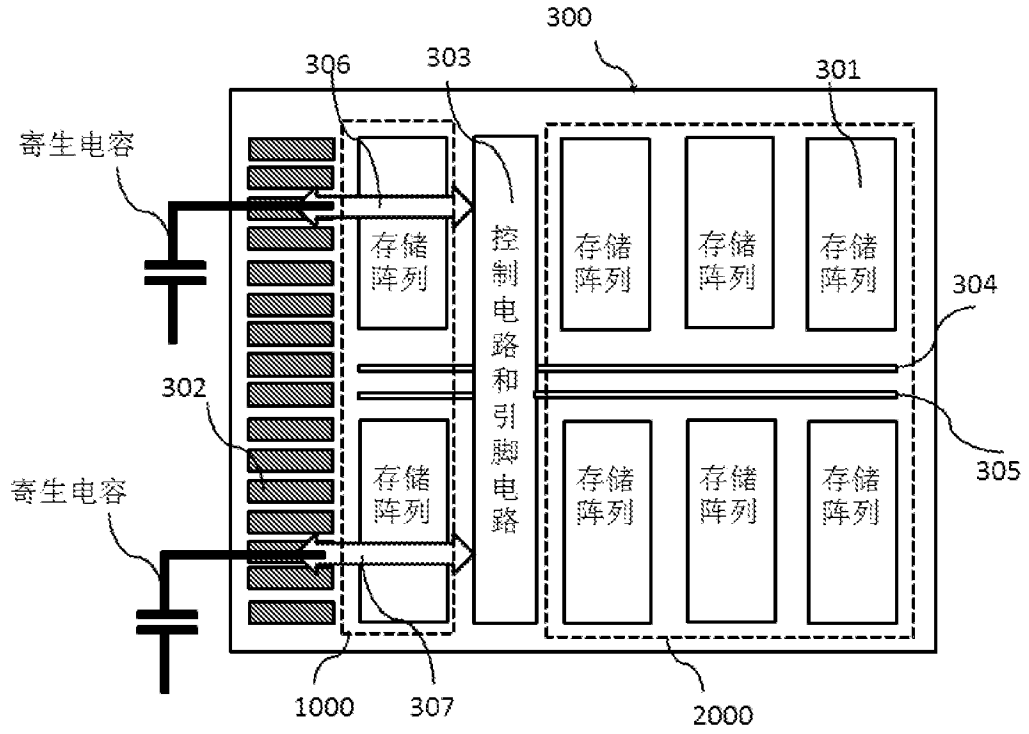


图 3

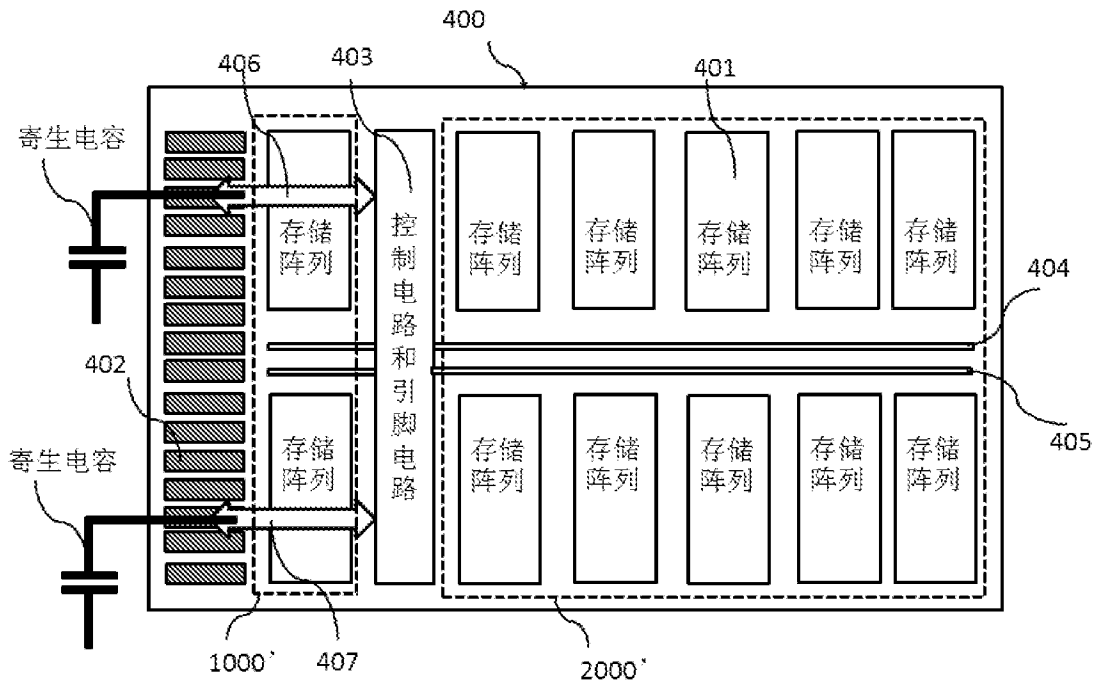


图 4

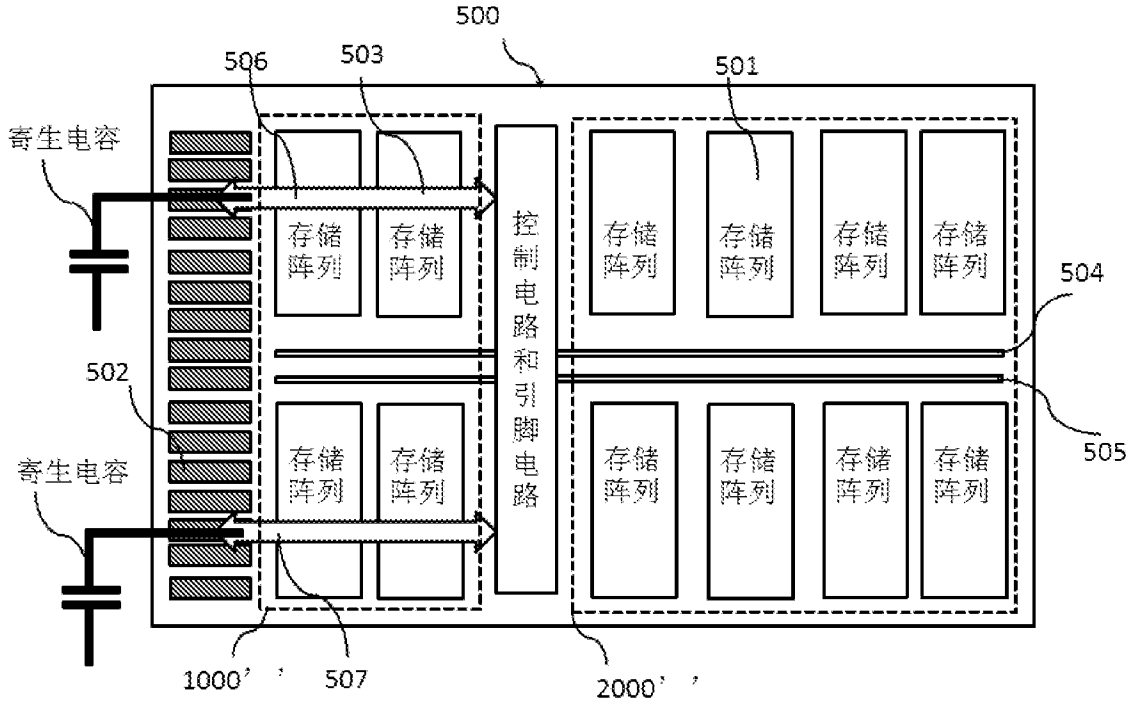


图 5

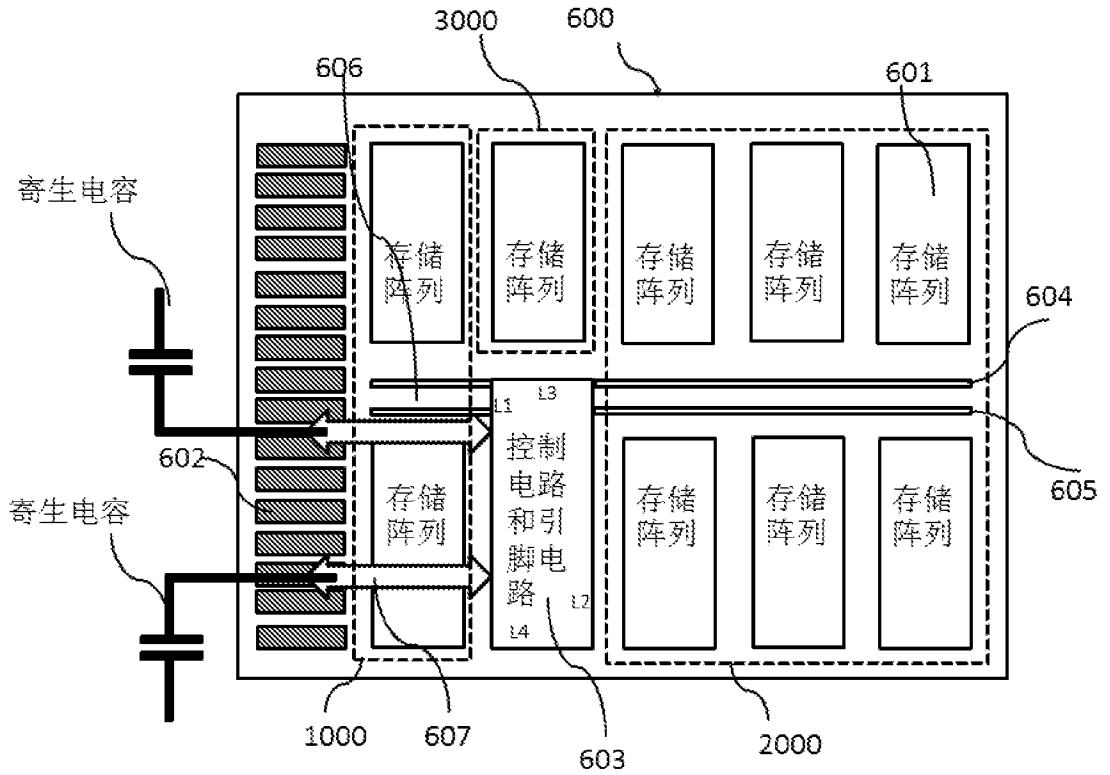


图 6

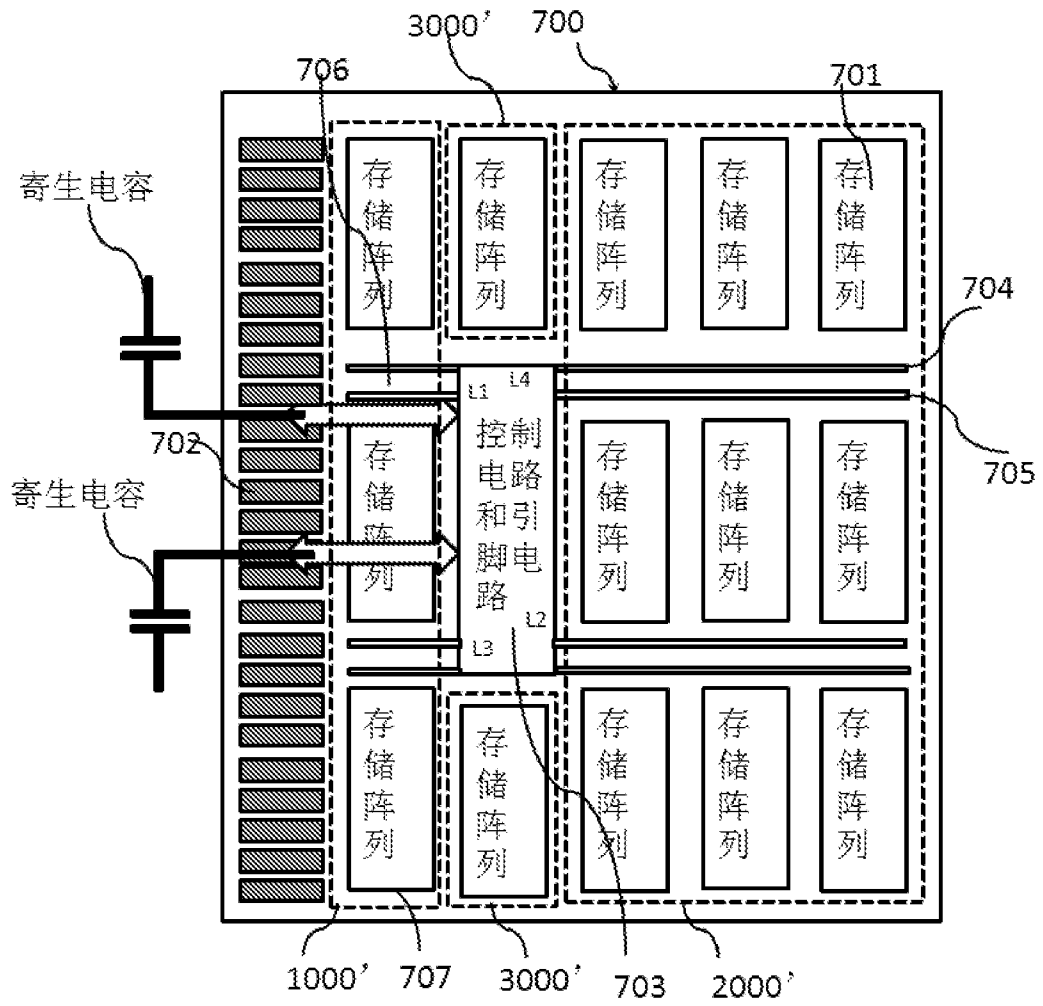


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/124626

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/108(2006.01)i; G11C 11/41(2006.01)i; G11C 7/02(2006.01)i; G11C 5/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: 芯片, 存储, 存贮, 动态随机访问存储器, 控制电路, 外围电路, 引脚, 焊盘, 线, 寄生电容, 距离, 长度, chip, DRAM, memory, storage, array, bank, block, control circuit, pad, pin, port, parasitic capacitance, distance, space, length

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E	CN 210156118 U (CHANGXIN MEMORY TECHNOLOGIES, INC.) 17 March 2020 (2020-03-17) description, paragraphs 0002-0084 and figures 1-7	1-13
A	JP 0922990 A (SAMSUNG ELECTRONICS CO., LTD.) 21 January 1997 (1997-01-21) description, paragraphs 0002-0018 and figures 1-2	1-13
A	CN 1158178 A (SEIKO EPSON CORPORATION) 27 August 1997 (1997-08-27) entire document	1-13
A	US 5742551 A (HITACHI, LTD.) 21 April 1998 (1998-04-21) entire document	1-13
A	US 5867446 A (MITSUBISHI DENKI KABUSHIKI KAISHA) 02 February 1999 (1999-02-02) entire document	1-13
A	US 2002145923 A1 (DIETRICH, Stefan et al.) 10 October 2002 (2002-10-10) entire document	1-13

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

13 May 2020

Date of mailing of the international search report

26 May 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/124626

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	210156118	U	17 March 2020	None			
JP	0922990	A	21 January 1997	KR	960043212	A	23 December 1996
CN	1158178	A	27 August 1997	CN	1124612	C	15 October 2003
				WO	9704458	A1	06 February 1997
				US	5875133	A	23 February 1999
				JPWO	1997004458	S	28 October 1997
US	5742551	A	21 April 1998	US	5523713	A	04 June 1996
				KR	920010645	A	27 June 1992
				TW	353535	U	21 February 1999
				KR	100244120	B1	01 February 2000
US	5867446	A	02 February 1999	US	5384745	A	24 January 1995
US	2002145923	A1	10 October 2002	DE	10116914	B4	04 August 2005
				US	6614700	B2	02 September 2003
				DE	10116914	A1	17 October 2002

国际检索报告

国际申请号

PCT/CN2019/124626

<p>A. 主题的分类</p> <p>H01L 27/108(2006.01)i; G11C 11/41(2006.01)i; G11C 7/02(2006.01)i; G11C 5/06(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																																			
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L; G11C</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>WPI, EPODOC, CNPAT, CNKI, IEEE: 芯片, 存储, 存贮, 动态随机访问存储器, 控制电路, 外围电路, 引脚, 焊盘, 线, 寄生电容, 距离, 长度, chip, DRAM, memory, storage, array, bank, block, control circuit, pad, pin, port, parasitic capacitance, distance, space, length</p>																																			
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>E</td> <td>CN 210156118 U (长鑫存储技术有限公司) 2020年 3月 17日 (2020 - 03 - 17) 说明书第0002-0084段及图1-7</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>JP 0922990 A (SAMSUNG ELECTRONICS CO., LTD.) 1997年 1月 21日 (1997 - 01 - 21) 说明书第0002-0018段及图1-2</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 1158178 A (精工爱普生株式会社) 1997年 8月 27日 (1997 - 08 - 27) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>US 5742551 A (HITACHI, LTD.) 1998年 4月 21日 (1998 - 04 - 21) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>US 5867446 A (MITSUBISHI DENKI KABUSHIKI KAISHA) 1999年 2月 2日 (1999 - 02 - 02) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>US 2002145923 A1 (DIETRICH, Stefan 等) 2002年 10月 10日 (2002 - 10 - 10) 全文</td> <td>1-13</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <table border="0"> <tr> <td>* 引用文件的具体类型:</td> <td>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</td> </tr> <tr> <td>“A” 认为不特别相关的表示了现有技术一般状态的文件</td> <td>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</td> </tr> <tr> <td>“E” 在国际申请日的当天或之后公布的在先申请或专利</td> <td>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</td> </tr> <tr> <td>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</td> <td>“&” 同族专利的文件</td> </tr> <tr> <td>“O” 涉及口头公开、使用、展览或其他方式公开的文件</td> <td></td> </tr> <tr> <td>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</td> <td></td> </tr> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	E	CN 210156118 U (长鑫存储技术有限公司) 2020年 3月 17日 (2020 - 03 - 17) 说明书第0002-0084段及图1-7	1-13	A	JP 0922990 A (SAMSUNG ELECTRONICS CO., LTD.) 1997年 1月 21日 (1997 - 01 - 21) 说明书第0002-0018段及图1-2	1-13	A	CN 1158178 A (精工爱普生株式会社) 1997年 8月 27日 (1997 - 08 - 27) 全文	1-13	A	US 5742551 A (HITACHI, LTD.) 1998年 4月 21日 (1998 - 04 - 21) 全文	1-13	A	US 5867446 A (MITSUBISHI DENKI KABUSHIKI KAISHA) 1999年 2月 2日 (1999 - 02 - 02) 全文	1-13	A	US 2002145923 A1 (DIETRICH, Stefan 等) 2002年 10月 10日 (2002 - 10 - 10) 全文	1-13	* 引用文件的具体类型:	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件	“A” 认为不特别相关的表示了现有技术一般状态的文件	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性	“E” 在国际申请日的当天或之后公布的在先申请或专利	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性	“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)	“&” 同族专利的文件	“O” 涉及口头公开、使用、展览或其他方式公开的文件		“P” 公布日先于国际申请日但迟于所要求的优先权日的文件	
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																																	
E	CN 210156118 U (长鑫存储技术有限公司) 2020年 3月 17日 (2020 - 03 - 17) 说明书第0002-0084段及图1-7	1-13																																	
A	JP 0922990 A (SAMSUNG ELECTRONICS CO., LTD.) 1997年 1月 21日 (1997 - 01 - 21) 说明书第0002-0018段及图1-2	1-13																																	
A	CN 1158178 A (精工爱普生株式会社) 1997年 8月 27日 (1997 - 08 - 27) 全文	1-13																																	
A	US 5742551 A (HITACHI, LTD.) 1998年 4月 21日 (1998 - 04 - 21) 全文	1-13																																	
A	US 5867446 A (MITSUBISHI DENKI KABUSHIKI KAISHA) 1999年 2月 2日 (1999 - 02 - 02) 全文	1-13																																	
A	US 2002145923 A1 (DIETRICH, Stefan 等) 2002年 10月 10日 (2002 - 10 - 10) 全文	1-13																																	
* 引用文件的具体类型:	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件																																		
“A” 认为不特别相关的表示了现有技术一般状态的文件	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性																																		
“E” 在国际申请日的当天或之后公布的在先申请或专利	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性																																		
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)	“&” 同族专利的文件																																		
“O” 涉及口头公开、使用、展览或其他方式公开的文件																																			
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件																																			
国际检索实际完成的日期	国际检索报告邮寄日期																																		
2020年 5月 13日	2020年 5月 26日																																		
ISA/CN的名称和邮寄地址	授权官员																																		
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	胡晓英																																		
传真号 (86-10)62019451	电话号码 86-(10)-53961456																																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/124626

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	210156118	U	2020年 3月 17日	无			
JP	0922990	A	1997年 1月 21日	KR	960043212	A	1996年 12月 23日
CN	1158178	A	1997年 8月 27日	CN	1124612	C	2003年 10月 15日
				WO	9704458	A1	1997年 2月 6日
				US	5875133	A	1999年 2月 23日
				JPWO	1997004458	S	1997年 10月 28日
US	5742551	A	1998年 4月 21日	US	5523713	A	1996年 6月 4日
				KR	920010645	A	1992年 6月 27日
				TW	353535	U	1999年 2月 21日
				KR	100244120	B1	2000年 2月 1日
US	5867446	A	1999年 2月 2日	US	5384745	A	1995年 1月 24日
US	2002145923	A1	2002年 10月 10日	DE	10116914	B4	2005年 8月 4日
				US	6614700	B2	2003年 9月 2日
				DE	10116914	A1	2002年 10月 17日