

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5262201号
(P5262201)

(45) 発行日 平成25年8月14日(2013.8.14)

(24) 登録日 平成25年5月10日(2013.5.10)

(51) Int.Cl. F I
 H O 1 L 21/20 (2006.01) H O 1 L 21/20
 H O 1 L 21/02 (2006.01) H O 1 L 21/02 B

請求項の数 5 (全 15 頁)

(21) 出願番号 特願2008-60148 (P2008-60148)
 (22) 出願日 平成20年3月10日(2008.3.10)
 (65) 公開番号 特開2009-218370 (P2009-218370A)
 (43) 公開日 平成21年9月24日(2009.9.24)
 審査請求日 平成22年4月16日(2010.4.16)

(出願人による申告)平成19年度、総務省、「無線アクセス用ミリ波帯無線伝送システムの実現のための基盤技術の研究開発」のうち、「高出力GaN系HEMTの超高周波化技術」委託研究、産業技術力強化法第19条の適用を受ける特許出願

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番1号
 (74) 代理人 100090273
 弁理士 園分 孝悦
 (72) 発明者 山田 敦史
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
 審査官 佐 哲次

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

貫通穴が形成された結晶成長基板の一方の面上に化合物半導体結晶層を形成して前記貫通穴の開口部を消失させる工程と、

所定のエッチング溶液を前記貫通穴に侵入させると共に、前記結晶成長基板に紫外線を照射することにより、前記化合物半導体結晶層を前記結晶成長基板から分離する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項2】

前記化合物半導体結晶層として、窒化物半導体結晶層を用いることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記窒化物半導体結晶層として、GaN、AlN及びInNからなる群から選択された一種又は二種以上の混晶からなるものを用いることを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】

前記結晶成長基板として、SiC基板を用いることを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置の製造方法。

【請求項5】

前記分離する工程の後、前記化合物半導体結晶層に基板を貼り付ける工程を更に有することを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、GaN（窒化ガリウム）系高電子移動度トランジスタ（HEMT：high electron mobility transistor）等を備えた半導体装置の製造方法に関する。

【背景技術】

【0002】

近年、GaN系HEMT等のGaN系半導体装置について、GaNのバンドギャップが広いという特徴から高耐圧・高速デバイスとしての応用が期待されている。そして、これまでのところ、GaN系HEMTでは、基板としてSiC基板を用いた場合に最も良好な出力特性が得られている。これは、GaNとSiCとの格子定数が近いためにSiC基板上に成長したGaN層中の欠陥が少なく、また、SiC基板の熱伝導性が高いために熱放射特性が高いためである。

10

【0003】

また、高周波動作が可能なGaN系半導体装置では、特に半絶縁性のSiC基板が用いられている。これは、寄生容量を低く抑えるためである。しかしながら、半絶縁性のSiC基板の価格は、導電性のSiC基板と比較すると非常に高い。このことは、性能が優れているにも拘らず、GaN系HEMT等のGaN系半導体装置の普及を阻害することにもなりかねない。

【0004】

20

そこで、GaN系半導体装置を低コストで製造するための研究がなされている。例えば、ある製造方法では、まず、SiC基板上に窒化物系の半導体結晶層をエピタキシャル成長させ、その後、半導体結晶層に水素イオンを注入する。次いで、半導体結晶層の表面とシリコン基板等の支持基板の表面とを貼り合わせる。そして、水素イオンが注入された部分に沿って半導体結晶層を分離する。このようにして、支持基板上に半導体結晶層が位置する構造物を得る。その後、半導体結晶層に半導体素子等を形成すれば、半導体装置が得られる。

【0005】

しかしながら、この従来の方法では、放熱部材である支持基板上の半導体結晶層にも水素イオンが残存する。このため、この水素イオンが欠陥となって十分な性能を得ることができない。

30

【0006】

【特許文献1】特開2007-220899号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明の目的は、性能を確保しながらコストを低減することができる半導体装置の製造方法を提供することにある。

【課題を解決するための手段】

【0008】

40

本願発明者は、上記課題を解決すべく、鋭意検討を重ねた結果、以下に示す発明の諸態様に想到した。

【0009】

半導体装置の製造方法の一態様では、貫通穴が形成された結晶成長基板の一方の面上に化合物半導体結晶層を形成して前記貫通穴の開口部を消失させ、その後、所定のエッチング溶液を前記貫通穴に侵入させると共に、前記結晶成長基板に紫外線を照射することにより、前記化合物半導体結晶層を前記結晶成長基板から分離する。

【発明の効果】

【0010】

上記の半導体装置の製造方法によれば、化合物半導体結晶層の結晶性に影響を及ぼす結

50

晶成長基板として高価なものを選択しても、この結晶成長基板は半導体装置に含まれなくなるため、繰り返し使用することができる。従って、結晶成長基板の消費量を低減してコストを下げるることができる。その一方で、化合物半導体結晶層の結晶性は確保されるため、性能を維持することもできる。

【発明を実施するための最良の形態】

【0011】

以下、本発明の実施形態について、添付の図面を参照して具体的に説明する。

【0012】

(第1の実施形態)

まず、第1の実施形態について説明する。図1A乃至図1Tは、第1の実施形態に係るGaN系HEMT(半導体装置)を製造する方法を工程順に示す断面図である。

10

【0013】

本実施形態では、まず、図1A及び図2に示すように、複数の貫通穴2が形成された基板1を結晶成長基板として作成する。例えば、貫通穴2の直径は5 μ mとし、繰り返し周期(隣り合う貫通穴2同士の間隔)は10 μ mとする。基板1は、例えば半絶縁性のSiCからなる。

【0014】

ここで、貫通穴2を形成する方法について説明する。まず、円盤状の半絶縁性SiC基板の裏面に、シードメタル層をスパッタリング法により形成する。シードメタル層の形成に当たっては、例えば、厚さが10nmのTi層を形成し、その後、厚さが200nmのCu層を形成する。また、例えば、厚さが10nmのTi層を形成した後に厚さが100nmのNi層を形成してもよい。シードメタル層の形成後には、その上に厚さが3 μ m程度のレジスト膜を形成し、このレジスト膜をパターンングすることにより、貫通穴2を形成する予定の領域を覆うレジストパターンを形成する。次いで、電気めっき法によりシードメタル層上に厚さが3 μ m程度のNi層を形成する。このときの温浴層の温度は50~60とし、めっきレートは0.5 μ m/min程度とする。その後、レジストパターンを除去する。更に、Ni層から露出しているシードメタル層をイオンミリングにより除去する。この結果、貫通穴2を形成する予定の領域を開口するメタルマスクが形成される。なお、Ti層のミリングレートは15nm/min程度とし、Cu層のミリングレートは53nm/min程度とし、Ni層のミリングレートは25nm/min程度とする。

20

30

【0015】

続いて、SF₆及びO₂の混合ガスを用いて、アンテナパワーを900Wとし、バイアスパワーを150Wと、Ni層をメタルマスクとして、裏面側から半絶縁性SiC基板のエッチングを行う。エッチングレートは0.75 μ m/min程度とする。次いで、Ni層及びシードメタル層をイオンミリングにより除去する。このようにして貫通穴2を形成することができる。貫通穴2のSEM写真の一例を図3に示す。

【0016】

貫通穴2の形成後には、図1Bに示すように、基板1上にハイドライド気相成長(HVPE: hydride vapor phase epitaxy)法により、厚さが50nm程度のAlN層3を核形成層として形成する。AlN層3は化合物半導体結晶層の一部を構成する。

40

【0017】

次いで、図1C~図1Eに示すように、AlN層3上にHVPE法により、厚さが3 μ m程度のGaN層4を形成する。原料ガスとしては、例えばGaCl及びNH₃の混合ガスを用いる。また、圧力は常圧とし、成長温度は1000とする。このような条件下では、GaN層4は、成長初期には、図1Cに示すように、円錐状に成長する。その後、GaN層4は横方向へも成長し、図1Dに示すように、貫通穴2に起因する開口部が消失する。更に、GaN層4が成長すると、図1Eに示すように、その表面が平坦なものとなる。GaN層4は、化合物半導体結晶層の一部を構成する。

【0018】

GaN層4の形成後には、図1Fに示すように、GaN層4上に、厚さが5nm程度の

50

i - A l G a N層5を形成する。i - A l G a N層5は、意図的に不純物のドーピングを行っていないA l G a N層である。次いで、i - A l G a N層5上に、厚さが30nm程度のn - A l G a N層6を電子供給層として形成する。n - A l G a N層6は、S iが $5 \times 10^{18} \text{ cm}^{-3}$ 程度の濃度でドーピングされたn型のA l G a N層である。その後、n - A l G a N層6上に、厚さが10nm程度のn - G a N層7を形成する。n - G a N層7は、S iが $5 \times 10^{18} \text{ cm}^{-3}$ 程度の濃度でドーピングされたn型のG a N層である。i - A l G a N層5、n - A l G a N層6及びn - G a N層7は、化合物半導体結晶層の一部を構成する。

【0019】

続いて、図1Gに示すように、ソース電極を形成する予定の領域及びドレイン電極を形成する予定の領域を開口するレジストパターン51をn - G a N層7上に形成する。

10

【0020】

次いで、レジストパターン51をマスクとして用い、塩素系ガスを用いたドライエッチングをn - G a N層7に対して行うことにより、図1Hに示すように、n - G a N層7に2個の開口部8を形成する。なお、開口部8の深さに関し、n - G a N層7の一部を残してもよく、また、n - A l G a N層6の一部を除去してもよい。つまり、開口部8の深さはn - G a N層7の厚さと一致している必要はない。

【0021】

その後、図1Iに示すように、一方の開口部8内にソース電極9sを形成し、他方の開口部8内にドレイン電極9dを形成する。ソース電極9s及びドレイン電極9dの形成に当たっては、例えば、蒸着法によりT i層を形成し、その上に蒸着法によりA l層を形成する。そして、レジストパターン51を除去する。つまり、ソース電極9s及びドレイン電極9dの形成では、例えば蒸着及びリフトオフの技術を用いる。

20

【0022】

続いて、窒素雰囲気中にて600で熱処理を行い、ソース電極9s及びドレイン電極9dのオーミック接触コンタクトを確立する。

【0023】

次いで、図1Jに示すように、プラズマ増速化学気相成長(P E C V D : plasma enhanced chemical vapor deposition)法により、ソース電極9s及びドレイン電極9dを覆うパッシベーション膜10をn - G a N層7上に形成する。パッシベーション膜10としては、例えば窒化シリコン膜を形成する。

30

【0024】

続いて、図1Kに示すように、ゲート電極を形成する予定の領域を開口するレジストパターン52をパッシベーション膜10上に形成する。

【0025】

次いで、レジストパターン52をマスクとして用いてパッシベーション膜10をエッチングすることにより、図1Lに示すように、パッシベーション膜10に開口部11を形成する。

【0026】

その後、図1Mに示すように、開口部11内にゲート電極9gを形成する。ゲート電極9gの形成に当たっては、例えば、蒸着法によりN i層を形成し、その上に蒸着法によりA u層を形成する。

40

【0027】

そして、図1Nに示すように、レジストパターン52を除去する。つまり、ゲート電極9gの形成でも、例えば蒸着及びリフトオフの技術を用いる。

【0028】

次いで、図1Oに示すように、P E C V D法により、ドレイン電極9gを覆うパッシベーション膜12をパッシベーション膜10上に形成する。パッシベーション膜12としては、例えば窒化シリコン膜を形成する。

【0029】

50

その後、図1Pに示すように、パッシベーション膜12上に表面保護層61を形成する。表面保護層61は、例えばワックス又はレジスト等のフッ酸耐性を有する材料からなる。続いて、表面保護層61上に基板62を貼り付ける。基板62としては、例えばSi基板又は樹脂基板等のフッ酸耐性を有する基板を用いる。

【0030】

次いで、図1Qに示すように、AlN層3を基板1から分離する。この分離に当たっては、図4に示すように、槽71内のフッ酸(HF)溶液中に分離前の構造体を浸漬し、裏面から紫外線を照射する。紫外線の照射は、例えば水銀ランプを用いて行う。貫通穴2内に紫外線が照射されると、SiCからなる基板1とAlN層3との界面近傍に電子が溜まる。そして、この電子の影響により、図5に示すように、この界面近傍において、基板1のエッチングが促進される。この結果、基板1とAlN層3とが互いから分離されるのである。つまり、本実施形態では、光電気化学的エッチングにより、AlN層3を基板1から分離する。

10

【0031】

基板1とAlN層3との分離後には、図1Rに示すように、化学機械的研磨(CMP: chemical mechanical polishing)法等により、GaN層4の裏面側を研磨する。この結果、AlN層3が除去され、GaN層4の裏面が平坦になる。

【0032】

次いで、例えば、ウェハ直接接合法により、図1Sに示すように、絶縁性の放熱部材として基板21をGaN層4の裏面に貼り合わせる。基板21としては、AlN基板、アモルファスSiC基板又はアモルファスC(ダイヤモンドライクカーボン(DLC: diamond like carbon))基板等を用いる。この貼り合わせに当たっては、GaN層4の裏面を酸洗浄により清浄化し、その後、O₂プラズマ処理等によりこの裏面を親水性にする。同様に、基板21の表面についても親水性処理を行う。そして、親水性処理を行った面同士を重ね合わせて接合する。その後、ゲート電極9g、ソース電極9s及びドレイン電極9dを備えたHEMTが破壊されない範囲の温度、例えば400で熱処理を行い、基板21とGaN層4との間の接合強度を向上させる。

20

【0033】

続いて、図1Tに示すように、表面保護層61及び基板62を除去する。そして、必要に応じて配線(図示せず)等を形成してGaN系HEMTを完成させる。

30

【0034】

一方、AlN層3から分離した基板1については、そのAlN層3と接していた表面をCMP法等により研磨して、平坦にする。平坦化後の基板1の状態は、AlN層3の形成前と比較して、ほんの僅かだけ薄くなっていることを除けば、変化していないといえる。従って、この基板1に対してAlN層3の形成以降の処理を行えば、繰り返しGaN系HEMTを形成することができる。

【0035】

また、基板21の特性はGaN層4の結晶性に影響を及ぼさないもので、絶縁性及び高い放熱性(熱伝導性)の確保さえ可能であればよい。従って、AlN基板、アモルファスSiC基板又はアモルファスC基板等の半絶縁性SiC基板よりも安価なものを用いても、GaN系HEMTの性能が低下することはない。このように、第1の実施形態では、結晶成長基板である基板1として高価なものを用いたとしても、基板1はGaN系HEMTの構成要素とはならず、また、基板21として安価なものを用いても十分な性能を得ることができるので、高い性能を得ながらコストを下げることもできる。

40

【0036】

なお、基板21としてダイヤモンド基板を用いることも可能である。この場合には、コストが上昇する可能性があるが、半絶縁性のSiC基板と比較して高い放熱性を得ることができる。また、BN基板を基板21として用いることも可能である。

【0037】

このような方法により製造された半導体装置では、化合物半導体結晶層であるGaN層

50

4等の結晶性（結晶欠陥の有無等）は、基板1の原子配列に依存し、放熱部材である基板21中の原子配列からは独立したものとなる。

【0038】

（第2の実施形態）

次に、第2の実施形態について説明する。図6A乃至図6Bは、第2の実施形態に係るGaN系HEMT（半導体装置）を製造する方法を工程順に示す断面図である。

【0039】

本実施形態では、まず、第1の実施形態と同様にして、AlN層3の基板1からの分離までの処理を行う（図1Q）。次いで、図6Aに示すように、プラズマイオン注入・堆積（PBII&D：plasma-based ion implantation, and deposition）法により、AlN層3を覆うDLC膜22を絶縁性の放熱部材としてGaN層4の裏面上に形成する。DLC膜22の形成に当たっては、例えば、チャンバ内に基板62及びGaN層4を含む構造体を入れ、このチャンバ内に、高周波（パルス電圧：20kV、パルス幅：10 μ s）によりC₂H₂プラズマを励起する。続いて、負の高電圧パルス（パルス電圧：-20kV、パルス幅：5 μ s）を印加する。そして、このようなプラズマの励起及び電圧の印加を、所定の厚さのDLC膜22が得られるまで繰り返す。

【0040】

DLC膜22の形成後には、図6Bに示すように、表面保護層61及び基板62を除去する。そして、必要に応じて配線（図示せず）等を形成してGaN系HEMTを完成させる。

【0041】

このような第2の実施形態によっても第1の実施形態と同様の効果を得ることができる。また、AlN層3を除去する必要がないため、第1の実施形態と比較して工程数を減らすことが可能である。

【0042】

なお、負の高電圧パルスの印加の際には、高電圧パルスのデューティー比を調節して、プロセス温度が200以下になるようにすることが好ましい。このためには、デューティー比を例えば10%以下とする。

【0043】

また、DLC膜22の形成前には、Arガスを用いてGaN層4の裏面を清浄化することが好ましい。また、CH₄ガスを用いて炭素原子及び水素原子をGaN層4の裏面に付着させ、DLC膜22との密着性を向上させておくことも好ましい。また、窒素原子をGaN層4の裏面にイオン注入し、その後、炭素原子をGaN層4の裏面にイオン注入することにより、炭素原子のGaN層4中への拡散を防止しながら密着性を向上させておくことも好ましい。

【0044】

また、同じく密着性を向上させるため、DLC膜22の形成前に、中間層としてアモルファスSiC層をGaN層4の裏面上にスパッタリング法により形成しておくことも好ましい。

【0045】

（第3の実施形態）

次に、第3の実施形態について説明する。図7A乃至図7Fは、第3の実施形態に係るGaN系HEMT（半導体装置）を製造する方法を工程順に示す断面図である。

【0046】

本実施形態では、まず、第1の実施形態と同様にして、n-GaN層7の形成までの処理を行う（図1F）。次いで、図7Aに示すように、n-GaN層7上に表面保護層61を形成し、その上に基板62を貼り付ける。

【0047】

その後、図7Bに示すように、基板1とAlN層3とを分離する。この分離は、第1の実施形態と同様にして行う。

10

20

30

40

50

【0048】

続いて、図7Cに示すように、CMP法等によりGaN層4の裏面側を研磨する。この結果、AlN層3が除去され、GaN層4の裏面が平坦になる。

【0049】

次いで、例えば、ウェハ直接接合法により、図7Dに示すように、基板21をGaN層4の裏面に貼り合わせる。

【0050】

その後、図7Eに示すように、表面保護層61及び基板62を除去する。

【0051】

続いて、図7Fに示すように、第1の実施形態と同様にして、ソース電極9s及びドレイン電極9dの形成、ゲート電極9の形成、並びにパッシベーション膜10及び12の形成等を行う。そして、必要に応じて配線(図示せず)等を形成してGaN系HEMTを完成させる。

10

【0052】

このような第3の実施形態によっても第1の実施形態と同様の効果を得ることができる。つまり、ゲート電極9g、ソース電極9s及びドレイン電極9dの形成前に基板の貼り替えを行っても、第1の実施形態と同様の効果を得ることができる。また、第2の実施形態のように、AlN層3を残したままDL膜22を形成してもよい。

【0053】

なお、これらの方法により製造されたGaN系HEMTは、例えば無線通信の基地局に含まれる高出力増幅器に用いることができる。また、電源用途として、AC-ACコンバータ、AC-DCコンバータ、高周波電源等に使用することができる。電源用途では、GaNの高耐圧、低損失及び高速スイッチングの特性を活かして、高周波化による受動部品の小型化及び素子数の低減等が可能となり、また、熱抵抗低減によるヒートシンクの小型化等が可能となる。そして、これらにより、電力変換装置の小型化、軽量化及び低コスト化が実現できる。

20

【0054】

また、核形成層の材料はAlNに限定されず、その上に形成する結晶層に応じて適宜選択することができる。例えば、その上に形成する結晶層がGaN系結晶層である場合、核形成層として、AlN系結晶層を用いることができる。また、化合物半導体結晶層の材料も限定されない。例えば、GaN、AlN又はInN等の窒化物半導体を単独で用いてもよく、また、これらの二種以上の混晶を用いてもよい。

30

【0055】

また、貫通穴2の大きさ、ピッチ及び形状も特に限定されない。但し、この貫通穴2に起因する化合物半導体結晶層の開口部が、当該化合物半導体結晶層の横方向への成長に伴って容易に消失する程度のものであることが好ましい。また、分離の際にエッチング溶液が容易に侵入できる程度のものであることも好ましい。

【0056】

また、結晶成長基板の材料も特に限定されず、半絶縁性のSiC基板の他に、サファイア基板、酸化亜鉛基板等を用いることもできる。但し、化合物半導体結晶層中の欠陥を抑制するためには、半絶縁性のSiC基板の使用が好ましい。

40

【0057】

また、化合物半導体結晶層の成長条件も特に限定されない。但し、横方向への成長に伴って開口部が容易に消失する程度のものであることが好ましい。GaN系結晶層については、種々のエピタキシャル横方向成長(ELO: epitaxial lateral overgrowth)技術が開発されている。例えば、上述のようなHVPE法に基づくFIELO(facet-initiated ELO)技術、及び有機金属気相成長(MOVPE: metal-organic vapor phase epitaxy)法に基づくFACELO(facet-controlled ELO)技術等が開発されている。

【0058】

また、化合物半導体結晶層上に形成する半導体素子はHEMTに限定されない。例えば

50

、 I G B T (insulated gate bipolar transistor) を形成してもよい。

【 0 0 5 9 】

また、光電気化学的エッチングに用いるエッチング溶液もフッ酸溶液 (H F 溶液) に限定されない。

【 0 0 6 0 】

また、貫通穴 2 を形成する方法も特に限定されず、例えばレーザエッチングを行ってもよい。なお、貫通穴 2 に伴う問題が生じることもあり得る。例えば、基板 1 を真空吸着した場合に、G a N 層 4 にダメージが生じることもあり得る。このような場合には、貫通穴 2 の形成後に、貫通穴 2 に、例えば裏側から埋め込み材を埋め込んでもよい。そして、埋め込み材は、分離の前に除去すればよい。埋め込み材としては、例えばスピノングラス (S O G : spin on glass) を用いることができる。また、埋め込みの方法は特に限定されないが、例えば、基板 1 の裏面に S O G を塗布し、これを焼結し、その後、C M P 等により裏面を平坦化すればよい。このような方法は、例えばマイクロパイプを埋め込む方法として特開 2 0 0 6 - 2 7 8 6 0 9 号公報に記載されている。

10

【 図面の簡単な説明 】

【 0 0 6 1 】

【 図 1 A 】 第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【 図 1 B 】 図 1 A に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【 図 1 C 】 図 1 B に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

20

【 図 1 D 】 図 1 C に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【 図 1 E 】 図 1 D に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【 図 1 F 】 図 1 E に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【 図 1 G 】 図 1 F に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【 図 1 H 】 図 1 G に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

30

【 図 1 I 】 図 1 H に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【 図 1 J 】 図 1 I に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【 図 1 K 】 図 1 J に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【 図 1 L 】 図 1 K に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【 図 1 M 】 図 1 L に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

40

【 図 1 N 】 図 1 M に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【 図 1 O 】 図 1 N に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【 図 1 P 】 図 1 O に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【 図 1 Q 】 図 1 P に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【 図 1 R 】 図 1 Q に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を

50

示す断面図である。

【図 1 S】図 1 R に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【図 1 T】図 1 S に引き続き、第 1 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【図 2】基板 1 を示す平面図である。

【図 3】貫通穴 2 の S E M 写真の一例を示す図である。

【図 4】A l N 層 3 を基板 1 から分離する方法を示す図である。

【図 5】光電気化学的エッチングの詳細を示す図である。

【図 6 A】第 2 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。 10

【図 6 B】図 6 A に引き続き、第 2 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【図 7 A】第 3 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【図 7 B】図 7 A に引き続き、第 3 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【図 7 C】図 7 B に引き続き、第 3 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【図 7 D】図 7 C に引き続き、第 3 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【図 7 E】図 7 D に引き続き、第 3 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。 20

【図 7 F】図 7 E に引き続き、第 3 の実施形態に係る G a N 系 H E M T を製造する方法を示す断面図である。

【符号の説明】

【 0 0 6 2 】

1 : 基板

2 : 貫通穴

3 : A l N 層

4 : G a N 層

5 : i - A l G a N 層 30

6 : n - A l G a N 層

7 : n - G a N 層

9 d : ドレイン電極

9 g : ゲート電極

9 s : ソース電極

1 0 : パッシベーション膜

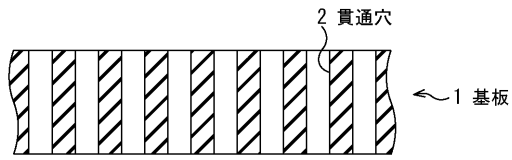
1 2 : パッシベーション膜

2 1 : 基板

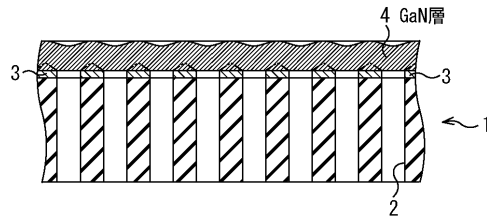
2 2 : 基板

6 2 : 基板 40

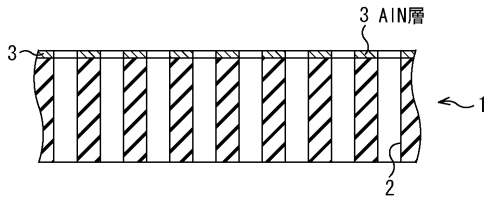
【図 1 A】



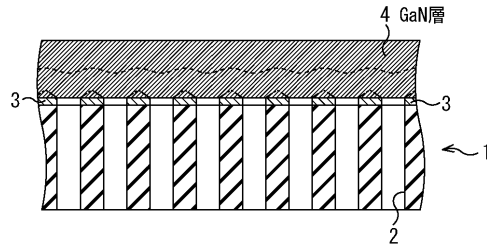
【図 1 D】



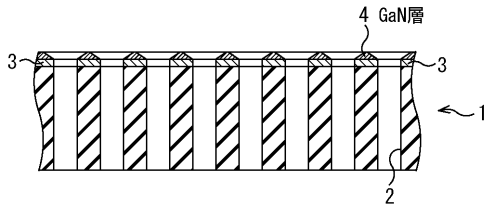
【図 1 B】



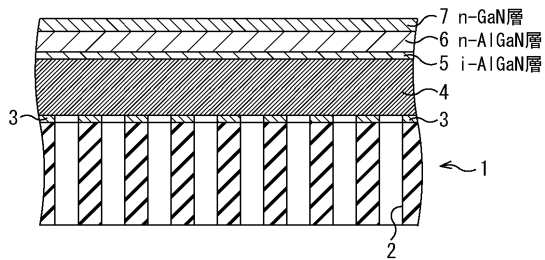
【図 1 E】



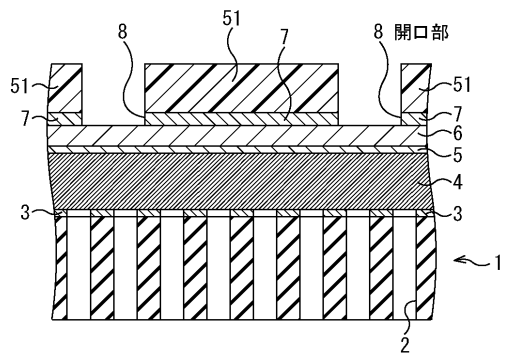
【図 1 C】



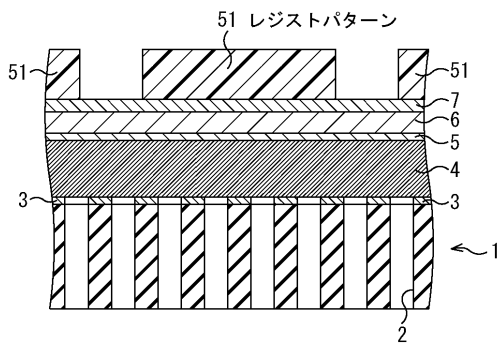
【図 1 F】



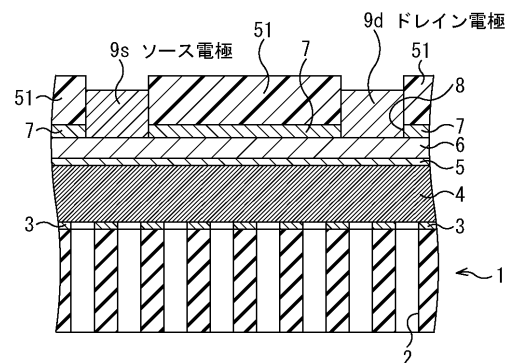
【図 1 H】



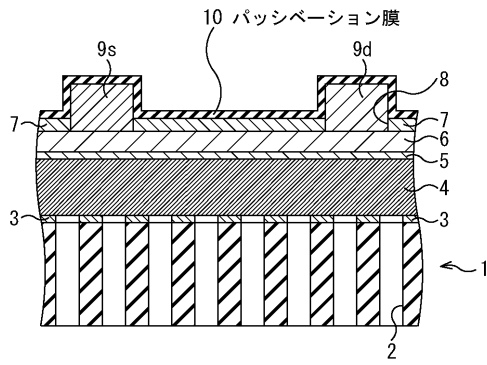
【図 1 G】



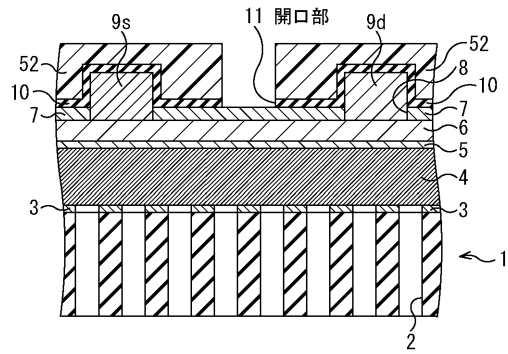
【図 1 I】



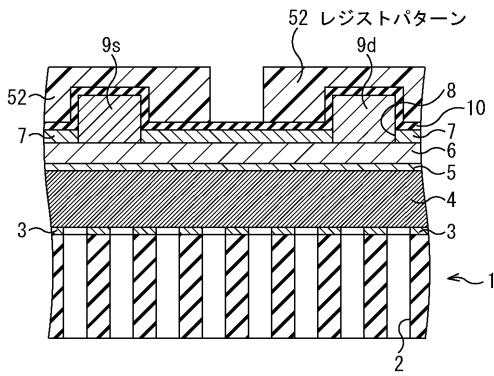
【図1J】



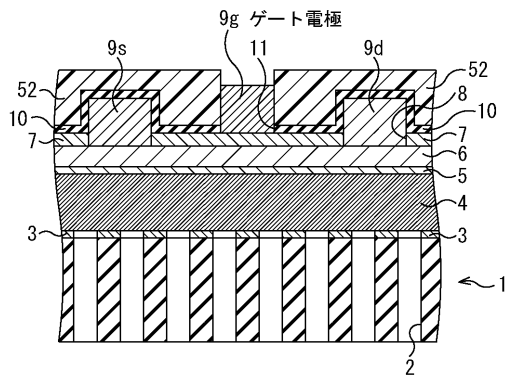
【図1L】



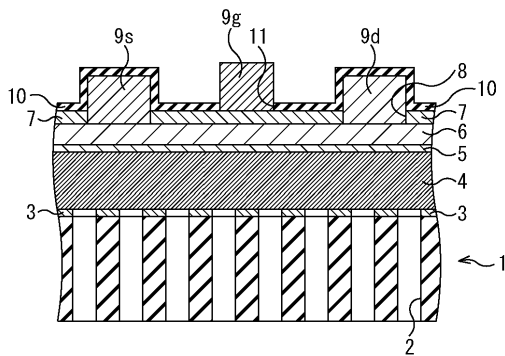
【図1K】



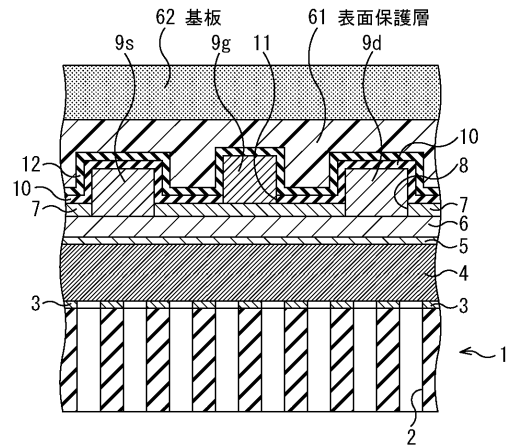
【図1M】



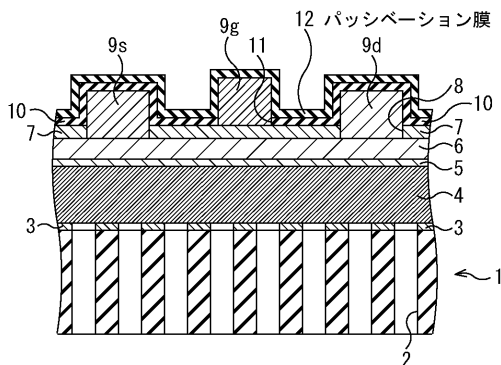
【図1N】



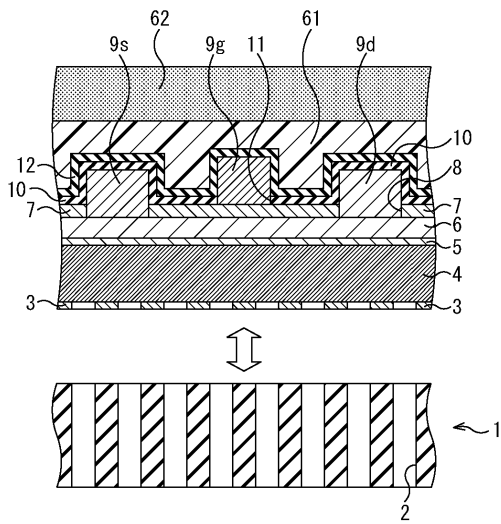
【図1P】



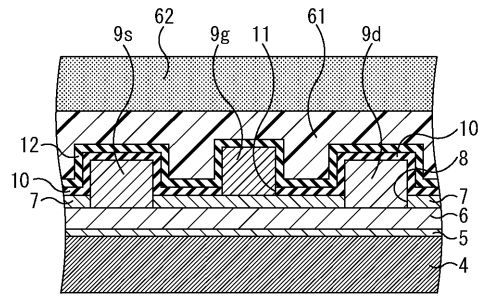
【図1O】



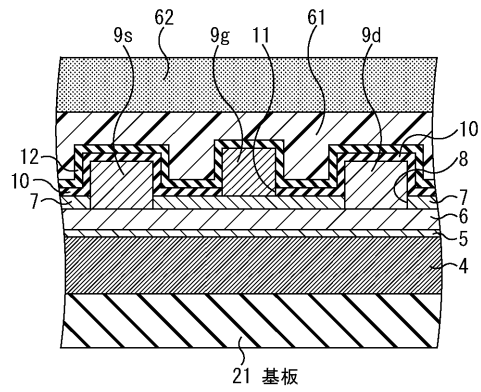
【図1Q】



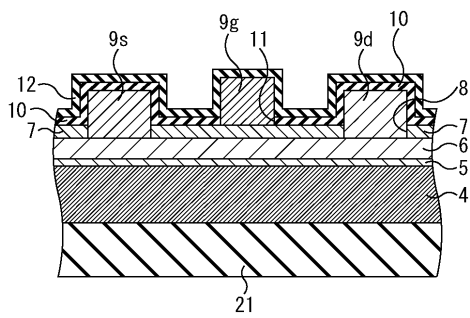
【図1R】



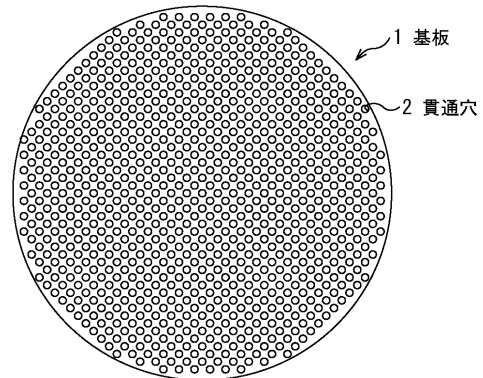
【図1S】



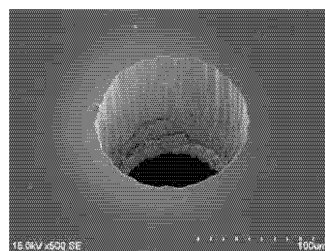
【図1T】



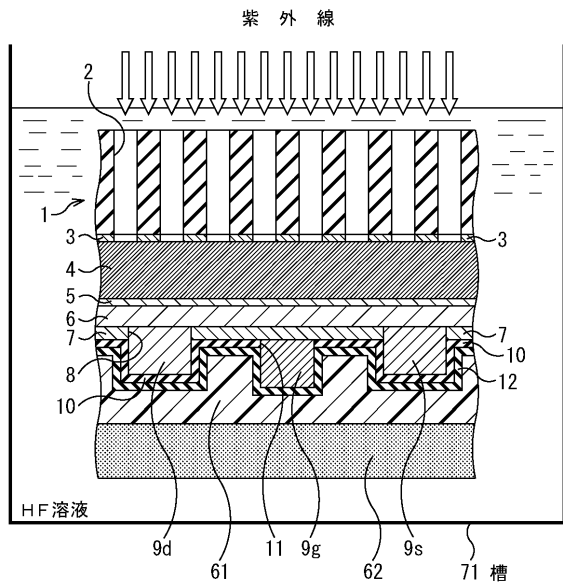
【図2】



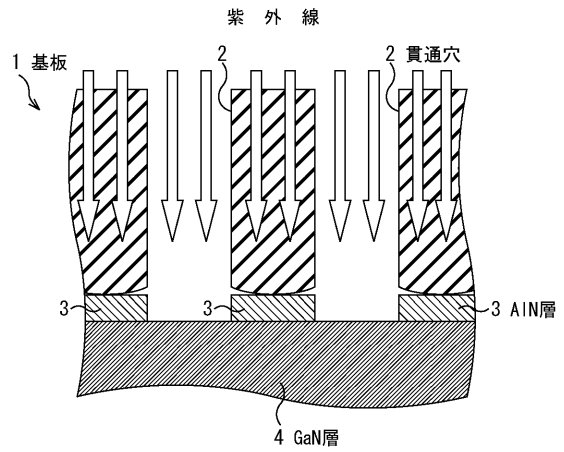
【図3】



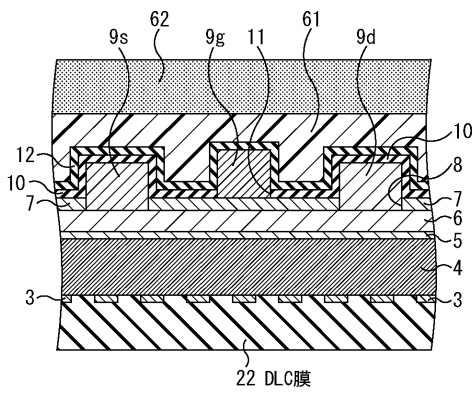
【圖 4】



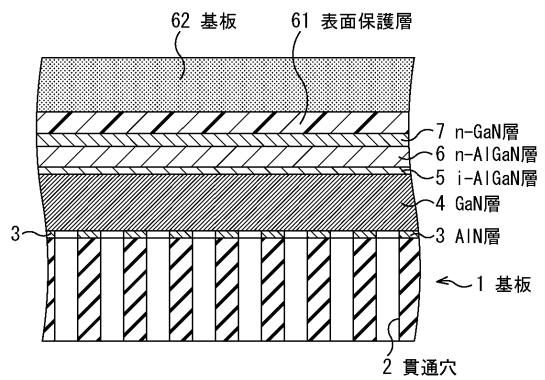
【圖 5】



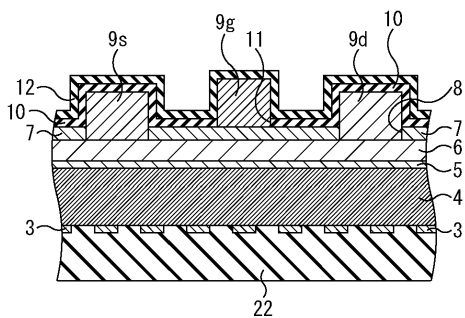
【圖 6 A】



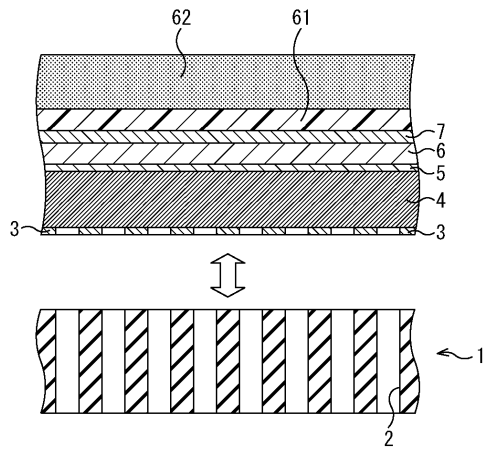
【圖 7 A】



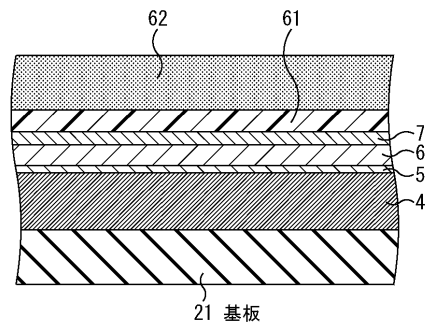
【圖 6 B】



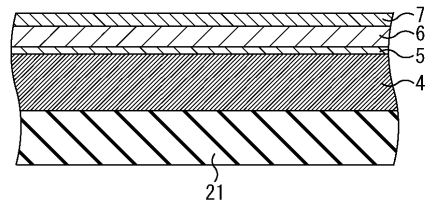
【図7B】



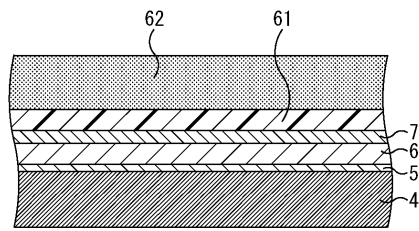
【図7D】



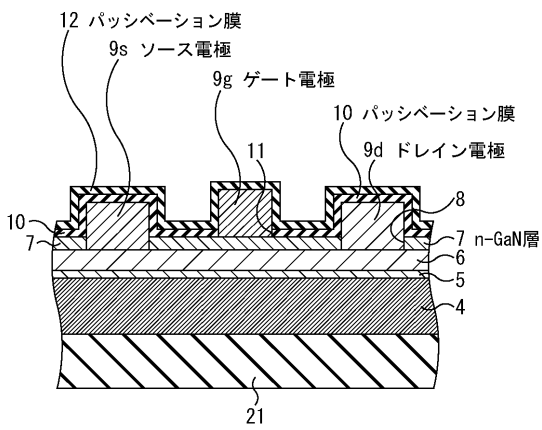
【図7E】



【図7C】



【図7F】



フロントページの続き

- (56)参考文献 特表2002-518826(JP,A)
特開2002-289541(JP,A)
特開2003-249453(JP,A)
特開2007-214500(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/20

H01L 21/02