

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第3区分  
 【発行日】平成19年10月25日(2007.10.25)

【公開番号】特開2001-117858(P2001-117858A)  
 【公開日】平成13年4月27日(2001.4.27)  
 【出願番号】特願2000-273376(P2000-273376)  
 【国際特許分類】

**G 0 6 F 13/36 (2006.01)**

**G 0 6 F 13/14 (2006.01)**

【F I】

G 0 6 F 13/36 3 1 0 E

G 0 6 F 13/14 3 3 0 A

【手続補正書】

【提出日】平成19年9月10日(2007.9.10)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 ライトデータバス、アドレスバスおよび前記複数の構成可能な周辺装置インターフェイスの各々に対するラインを有するモジュールセレクトバスを含む構成バスと、

複数の構成可能な周辺装置インターフェイスであって、各々が前記構成可能な周辺装置の構成を制御するデータを格納する少なくとも1つのメモリマップレジスタを有しかつ対応する周辺装置を接続するように動作することができ、前記複数の構成可能な周辺装置インターフェイスは前記構成バスにチェーン接続され、各々が前記モジュールセレクトバスの対応するライン上の第1のデジタル状態の信号に 응답して前記構成バスの前記データバス上のデータを読み出し、前記モジュールセレクトバスの前記対応するライン上の前記第1のデジタル状態とは反対の第2のデジタル状態の信号に関して前記構成バスの前記アドレスバス上のアドレスに対応するメモリマップレジスタ内に前記リードデータを格納して前記構成バスの前記データバスおよびアドレスバス上の信号を無視する前記複数の構成可能な周辺装置インターフェイスと、

前記構成バスに接続される構成コントローラであって、前記構成バスのライトデータバスを介して前記複数の構成可能な周辺装置インターフェイスの各々の前記少なくともメモリマップレジスタに構成データを書き込むように動作することができる構成コントローラと、

を含むデータ処理装置。

【請求項2】 請求項1に記載のデータ処理装置であって、

前記構成バスはさらに前記複数の構成可能な周辺装置インターフェイスの各々に対するラインを有するモジュール肯定応答バスを含み、

前記構成バスの前記アドレスバス上のアドレスに対応するメモリマップレジスタ内への前記リードデータの格納が完了したら、前記複数の構成可能な周辺装置インターフェイスの各々が前記モジュール肯定応答バスの対応するライン上に肯定応答信号を発生する、データ処理装置。

【請求項3】 請求項1に記載のデータ処理装置であって、

前記構成バスはさらにアクセスラインを含み、

前記複数の構成可能な周辺装置インターフェイスの各々が前記アクセスライン上の第1

のデジタル信号に应答して前記構成バスの前記データバス、前記アドレスバスおよび前記モジュールセレクトバス上の信号を無視し、かつ前記アクセスライン上の前記第1のデジタル信号とは反対の第2のデジタル信号に应答して前記構成バスの前記データバス、前記アドレスバスおよび前記モジュールセレクトバスに应答する、データ処理装置。

【請求項4】 請求項1に記載のデータ処理装置であって、

前記複数の構成可能な周辺装置インターフェイスの少なくとも1つがさらに前記構成バスの前記ライトデータバスを介して前記チェーン内の次に上流の構成可能な周辺装置インターフェイスからライトデータを受信する入力と前記チェーン内の次に下流の構成可能な周辺装置インターフェイスへライトデータを供給する出力とを有するライトデータラッチを含み、前記ライトデータラッチはその中にライトデータを一時的に格納するデータ処理装置。

【請求項5】 請求項1に記載のデータ処理装置であって、

前記複数の構成可能な周辺装置インターフェイスの少なくとも1つはさらに、

前記構成バスの前記ライトデータバスを介して前記チェーン内の次に上流の構成可能な周辺装置インターフェイスからライトデータを受信する入力および前記チェーン内の次に下流の構成可能な周辺装置インターフェイスへライトデータを供給する出力を有し、その中にライトデータを一時的に格納するライトデータラッチと、

前記構成可能な周辺装置インターフェイスの前記メモリマップレジスタからリードデータを受信する第1の入力と、前記チェーン内の次に下流の構成可能な周辺装置インターフェイスからリードデータを受信する第2の入力と、出力と制御入力とを有するマルチプレクサと、

前記マルチプレクサの前記出力に接続されている入力および前記チェーン内の次に上流の構成可能な周辺装置インターフェイスへリードデータを供給する出力を有し、その中にリードデータを一時的に格納するリードデータラッチと、

前記モジュールセレクトラインおよび前記マルチプレクサの前記制御入力に接続されたデコーダであって、前記マルチプレクサを制御して前記モジュールセレクトバスの前記対応するラインが前記第1のデジタル状態を有する場合には前記構成可能な周辺装置インターフェイスの前記メモリマップレジスタから前記リードデータを選択し、前記モジュールセレクトバスの前記対応するラインが前記第2のデジタル状態を有する場合には前記チェーン内の次に下流の前記構成可能な周辺装置インターフェイスから前記リードデータを選択するデコーダと、

を含むデータ処理装置。