

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月27日(27.01.2022)



(10) 国際公開番号

WO 2022/018959 A1

(51) 国際特許分類:
H03K 17/691 (2006.01) *H03K 19/0175* (2006.01)
H04L 25/02 (2006.01) *H02M 3/28* (2006.01)

(21) 国際出願番号: PCT/JP2021/019709

(22) 国際出願日: 2021年5月25日(25.05.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-123584 2020年7月20日(20.07.2020) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 Kyoto (JP).

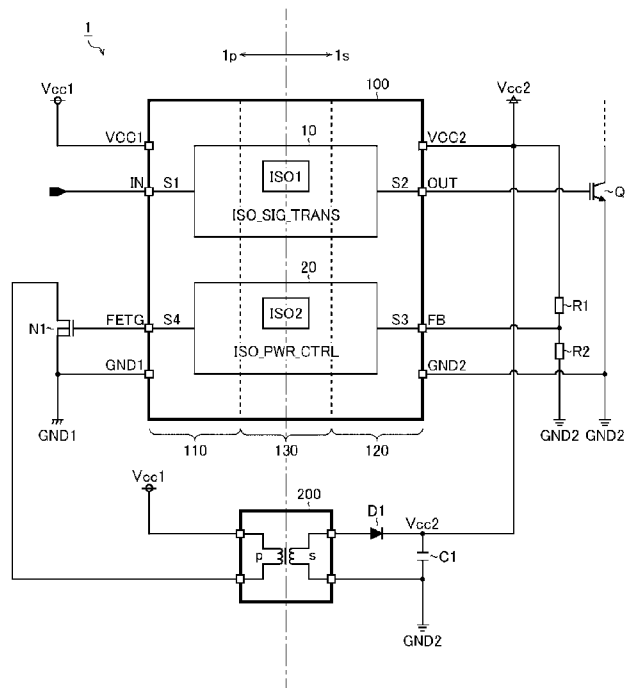
(72) 発明者: 柳島 大輝 (YANAGISHIMA Daiki);
〒6158585 京都府京都市右京区西院溝崎
町2-1番地 ローム株式会社内 Kyoto (JP).
篠部 晃生 (SASABE Akio); 〒6158585 京都府
京都市右京区西院溝崎町2-1番地 ローム
株式会社内 Kyoto (JP).

(74) 代理人: 特許業務法人 佐野特許事務所
(SANO PATENT OFFICE); 〒5400032 大阪府
大阪市中央区天満橋京町2-6 天満橋八
千代ビル別館5F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,

(54) Title: SIGNAL TRANSMISSION DEVICE, ELECTRONIC EQUIPMENT, AND VEHICLE

(54) 発明の名称: 信号伝達装置、電子機器、車両



(57) Abstract: A signal transmission device 100 has: an insulation signal transmission circuit 10 that transmits a pulse signal from a primary circuit system 1p to a secondary circuit system 1s via a first insulation element ISO1; and an insulation power supply control circuit 20 that is a control main body for an insulation-type power supply for generating a second power supply voltage Vcc2 of the secondary circuit system 1s from a first power supply voltage Vcc1 of the primary circuit system 1p and that transmits an output feedback signal of the insulation-type power supply from the secondary

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

circuit system 1s to the primary circuit system 1p via a second insulation element ISO2.

(57) 要約: 信号伝達装置 100は、第1絶縁素子 ISO1を介して一次回路系 1pから二次回路系 1sにパルス信号を伝達する絶縁信号伝達回路 10と、一次回路系 1pの第1電源電圧 Vcc1から二次回路系 1sの第2電源電圧 Vcc2を生成する絶縁型電源の制御主体であって第2絶縁素子 ISO2を介して二次回路系 1sから一次回路系 1pに絶縁型電源の出力帰還信号を伝達する絶縁電源制御回路 20と、を有する。

明 細 書

発明の名称： 信号伝達装置、電子機器、車両

技術分野

[0001] 本明細書中に開示されている発明は、信号伝達装置、及び、これを用いた電子機器並びに車両に関する。

背景技術

[0002] 従来、一次回路系と二次回路系との間を絶縁しつつパルス信号を伝達する機能（絶縁信号伝達機能）を備えた信号伝達装置が実用化されている。

[0003] なお、上記に関連する従来技術の一例としては、特許文献1を挙げることができる。

先行技術文献

特許文献

[0004] 特許文献1：特開2018-011108号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、従来の信号伝達装置には、本来の絶縁信号伝達機能だけでなく、一次回路系から二次回路系に電力供給を行う機能（絶縁電源制御機能）を備えたものも存在する。

[0006] しかしながら、従来の信号伝達装置では、例えば、フライバックトランスの補助巻線に現れる誘起電圧に基づいてフライバック電源の出力帰還制御が行われていた。そのため、フライバック電源の出力精度については、更なる改善の余地があった。

[0007] 本明細書中に開示されている発明は、本願の発明者らにより見出された上記の課題に鑑み、高精度の絶縁電源制御機能を備えた信号伝達装置、及び、これを用いた電子機器並びに車両を提供することを目的とする。

課題を解決するための手段

[0008] 例えば、本明細書中に開示されている信号伝達装置は、第1絶縁素子を介

して一次回路系から二次回路系にパルス信号を伝達する絶縁信号伝達回路と、前記一次回路系の第1電源電圧から前記二次回路系の第2電源電圧を生成する絶縁型電源の制御主体であって第2絶縁素子を介して前記二次回路系から前記一次回路系に前記絶縁型電源の出力帰還信号を伝達する絶縁電源制御回路と、を有する。

[0009] なお、その他の特徴、要素、ステップ、利点、及び、特性については、以下に続く発明を実施するための形態及びこれに関する添付の図面によって、さらに明らかとなる。

発明の効果

[0010] 本明細書中に開示されている発明によれば、高精度の絶縁電源制御機能を備えた信号伝達装置、及び、これを用いた電子機器並びに車両を提供することが可能となる。

図面の簡単な説明

[0011] [図1]図1は、信号伝達装置を備えた電子機器の一構成例を示す図である。

[図2]図2は、絶縁信号伝達回路の一構成例を示す図である。

[図3]図3は、絶縁信号伝達動作の一例を示す図である。

[図4]図4は、絶縁電源制御回路の一構成例を示す図である。

[図5]図5は、出力帰還制御の第1例を示す図である。

[図6]図6は、出力帰還制御の第2例を示す図である。

[図7]図7は、車両の外観を示す図である。

発明を実施するための形態

[0012] <電子機器>

図1は、信号伝達装置を備えた電子機器の一構成例を示す図である。本構成例の電子機器1は、信号伝達装置100と、これに外付けされる種々のディスクリット部品（フライバックトランス200、npn型絶縁ゲートバイポーラトランジスタQ1、Nチャネル型MOS電界効果トランジスタN1、ダイオードD1、キャパシタC1、及び、抵抗R1及びR2）と、を有する。

- [0013] 信号伝達装置 100 は、電子機器 1 の一次回路系 1p ($V_{cc1} - GND1$ 系) と二次回路系 1s ($V_{cc2} - GND2$ 系) との間を絶縁しつつ、一次回路系 1p から二次回路系 1s にパルス信号を伝達し、二次回路系 1s に設けられたトランジスタ Q1 のゲートを駆動する半導体集積回路装置 (いわゆる絶縁ゲートドライバ IC) である。
- [0014] なお、信号伝達装置 100 は、装置外部との電气的な接続を確立する手段として、複数本の外部端子 (本図では、 V_{CC1} ピン、IN ピン、FETG ピン、GND1 ピン、 V_{CC2} ピン、OUT ピン、FB ピン、及び、GND2 ピンを例示) を備えている。
- [0015] 電子機器 1 の一次回路系 1p において、 V_{CC1} ピン (一次側電源端子) は、一次回路系 1p の電源ライン (= 電源電圧 V_{cc1} の印加端) に接続されている。IN ピン (信号入力端子) は、不図示の信号源に接続されている。FETG ピン (ゲート接続端子) は、トランジスタ N1 のゲートに接続されている。GND1 ピン (一次側接地端子) とトランジスタ N1 のソースは、いずれも一次回路系 1p の接地ライン (= 接地電圧 GND1 の印加端) に接続されている。
- [0016] 一方、電子機器 1 の二次回路系 1s において、 V_{CC2} ピン (二次側電源端子) と抵抗 R1 の第 1 端は、いずれも二次回路系 1s の電源ライン (= 電源電圧 V_{cc2} の印加端) に接続されている。OUT ピン (信号出力端子) は、トランジスタ Q1 のゲートに接続されている。FB ピン (帰還入力端子) は、抵抗 R1 の第 2 端と抵抗 R2 の第 1 端に接続されている。GND2 ピン (二次側接地端子)、トランジスタ Q1 のエミッタ、及び、抵抗 R2 の第 2 端は、いずれも二次回路系 1s の接地ライン (= 接地電圧 GND2 の印加端) に接続されている。
- [0017] フライバックトランス 200 は、トランジスタ N1、ダイオード D1、及び、キャパシタ C1 とともに、フライバック電源 (一次回路系 1p の電源電圧 V_{cc1} から二次回路系 1s の電源電圧 V_{cc2} を生成する絶縁型電源の一種) を形成する。なお、フライバックトランス 200 は、一次回路系 1p

と二次回路系 1 s との間を絶縁しつつ互いに磁気結合された一次巻線 2 0 0 p 及び二次巻線 2 0 0 s を含む。

[0018] 一次巻線 2 0 0 p の第 1 端は、一次回路系 1 p の電源ライン（＝電源電圧 V_{cc1} の印加端）に接続されている。一次巻線 2 0 0 p の第 2 端は、トランジスタ N 1 のドレインに接続されている。二次巻線 2 0 0 s の第 1 端は、ダイオード D 1 のアノードに接続されている。ダイオード D 1 のカソードとキャパシタ C 1 の第 1 端は、いずれも二次回路系 1 s の電源ライン（＝電源電圧 V_{cc2} の印加端）に接続されている。二次巻線 2 0 0 s の第 2 端とキャパシタ C 1 の第 2 端は、いずれも二次回路系 1 s の接地ライン（＝接地電圧 $GND2$ の印加端）に接続されている。

[0019] なお、信号伝達装置 1 0 0 は、一次回路系 1 p と二次回路系 1 s との間を絶縁しながら相互間の信号伝達を行う必要のあるアプリケーション全般（高電圧を取り扱うモータドライバまたは DC / DC コンバータなど）に広く適用することが可能である。

[0020] <信号伝達装置>

引き続き、図 1 を参照しながら、信号伝達装置 1 0 0 の内部構成について説明する。本構成例の信号伝達装置 1 0 0 は、コントローラチップ 1 1 0（＝第 1 チップに相当）と、ドライバチップ 1 2 0（＝第 2 チップに相当）と、トランスチップ 1 3 0（＝第 3 チップに相当）と、を有する。

[0021] コントローラチップ 1 1 0 は、電源電圧 V_{cc1} （例えば $GND1$ 基準で最大 7 V）の供給を受けて動作する一次回路系 1 p の回路素子を集積化した半導体チップである。ドライバチップ 1 2 0 は、電源電圧 V_{cc2} （例えば $GND2$ 基準で最大 3 0 V）の供給を受けて動作する二次回路系 1 s の回路素子を集積化した半導体チップである。トランスチップ 1 3 0 は、コントローラチップ 1 1 0 とドライバチップ 1 2 0 との間を絶縁しつつ、双方向の信号伝達を行うためのトランスを集積化した半導体チップである。

[0022] このように、本構成例の信号伝達装置 1 0 0 は、コントローラチップ 1 1 0 及びドライバチップ 1 2 0 とは別に、トランスのみを搭載するトランスチ

ップ130を独立に有しており、これら3つのチップを単一のパッケージに封止して成る。

[0023] このような構成とすることにより、コントローラチップ110、及び、ドライバチップ120については、いずれも一般の低耐圧～中耐圧プロセス（数V～数十V耐圧）で形成することができるので、専用の高耐圧プロセス（数千V耐圧）を用いる必要がなくなり、製造コストを低減することが可能となる。

[0024] また、コントローラチップ110、及び、ドライバチップ120については、いずれも実績のある既存プロセスで作成することが可能であり、新たに信頼性試験を行う必要がないので、開発期間の短縮及び開発コストの低減に貢献することができる。

[0025] また、トランス以外の絶縁素子（例えばフォトカプラ）を用いる場合であっても、トランスチップ130のみを載せ換えることにより、容易に対応することが可能となるので、コントローラチップ110及びドライバチップ120まで開発し直す必要がなくなり、開発期間の短縮及び開発コストの低減に貢献することができる。

[0026] 次に、主たる機能ブロックに着目すると、信号伝達装置100は、絶縁信号伝達回路10と、絶縁電源制御回路20と、を備えている。

[0027] 絶縁信号伝達回路10は、トランスチップ130に集積化された絶縁素子ISO1（トランスなど）を介して、一次回路系1pと二次回路系1sとの間を絶縁しつつ、一次回路系1pから二次回路系1sにパルス信号を伝達する。本図に即して述べると、絶縁信号伝達回路10は、一次回路系1pのINピンに入力される入力パルス信号S1を、二次回路系1sのOUTピンから出力される出力パルス信号S2として伝達する。

[0028] 絶縁電源制御回路20は、先に説明したフライバック電源の制御主体であり、トランスチップ130に集積化された絶縁素子ISO2（トランスなど）を介して、一次回路系1pと二次回路系1sとの間を絶縁しつつ、二次回路系1sから一次回路系1pにフライバック電源の出力帰還信号を伝達する。

。本図に即して述べると、絶縁電源制御回路 20 は、FB ピンに入力される出力帰還信号 S3 (= 電源電圧 V_{cc2} の分圧電圧) に応じて、FETG ピンから出力されるゲート駆動信号 S4 を生成する。

[0029] このように、信号伝達装置 100 には、本来的に、一次回路系 1p から二次回路系 1s への信号伝達に用いられる絶縁素子 ISO1 を集積化したトランスチップ 130 が内蔵されている。従って、上記のトランスチップ 130 に絶縁電源制御用の絶縁素子 ISO2 を追加で集積化することにより、信号伝達装置 100 の内部において、フライバック電源の出力帰還信号 S3 を二次回路系 1s から一次回路系 1p に伝達することが可能となる。

[0030] つまり、本構成例の信号伝達装置 100 (特に絶縁電源制御回路 20) であれば、二次回路系 1s の電源電圧 V_{cc2} (=フライバック電源の出力電圧に相当) を直接検出し、その検出結果をフライバック電源の一次回路系 1p に伝達することができる。従って、フライバックトランス 200 の補助巻線を用いていた従来方式と異なり、負荷変動などに左右されることなく、フライバック電源の出力精度を高めることが可能となる。

[0031] また、フライバックトランス 200 に補助巻線を設ける必要がなくなるので、フライバックトランス 200 の小型化 (延いては電子機器 1 の小型化) を図ることも可能となる。

[0032] なお、絶縁信号伝達回路 10 及び絶縁電源制御回路 20 それぞれの回路要素は、コントローラチップ 110、ドライバチップ 120、及び、トランスチップ 130 に分散して集積化されている (詳細は後述)。

[0033] <絶縁信号伝達回路>

図 2 は、絶縁信号伝達回路 10 の一構成例を示す図である。本構成例の絶縁信号伝達回路 10 は、シュミットバッファ 11 と、パルス送信部 12 と、パルス受信部 13 と、ドライバ 14 と、トランス 15 及び 16 (先出の絶縁素子 ISO1 に相当) と、を含む。

[0034] シュミットバッファ 11 は、波形整形手段の一例であり、IN ピンとパルス送信部 12 との間に接続されている。

[0035] パルス送信部 12 は、I N ピンからシュミットバッファ 11 を介して入力される入力パルス信号 S 1 の論理レベルに応じて、送信パルス信号 S 1 a 及び S 1 b のいずれか一方をパルス駆動する。例えば、パルス送信部 12 は、入力パルス信号 S 1 がハイレベルである旨を通知するときに、トランス 15 の一次巻線 15 p に印加される送信パルス信号 S 1 a のパルス駆動（単発または複数発の送信パルス出力）を行い、入力パルス信号 S 1 がローレベルである旨を通知するときに、トランス 16 の一次巻線 16 p に印加される送信パルス信号 S 1 b のパルス駆動を行う。

[0036] なお、上記のシュミットバッファ 11 及びパルス送信部 12 は、いずれも一次回路系 1 p（V c c 1 - G N D 1 系）のコントローラチップ 110 に集積化されている。

[0037] パルス受信部 13 は、トランス 15 及び 16 からそれぞれ入力される受信パルス信号 S 2 a 及び S 2 b に応じて、受信パルス信号 S 2 c を生成する。例えば、パルス受信部 13 は、送信パルス信号 S 1 a のパルス駆動を受けてトランス 15 の二次巻線 15 s に現れる受信パルス信号 S 2 a の誘起パルスを検出したときに、受信パルス信号 S 2 c をローレベルに立ち下げる。一方、パルス受信部 13 は、送信パルス信号 S 1 b のパルス駆動を受けてトランス 16 の二次巻線 16 s に現れる受信パルス信号 S 2 b の誘起パルスを検出したときに、受信パルス信号 S 2 c をハイレベルに立ち上げる。

[0038] ドライバ 14 は、パルス受信部 13 から入力される受信パルス信号 S 2 c に応じて出力パルス信号 S 2（＝トランジスタ Q 1 のゲート信号に相当）を生成する。例えば、ドライバ 14 としてインバータを用いた場合、受信パルス信号 S 2 c がローレベルであるときに出力パルス信号 S 2 がハイレベルとなり、受信パルス信号 S 2 c がハイレベルであるときに出力パルス信号 S 2 がローレベルとなる。すなわち、出力パルス信号 S 2 の論理レベルは、入力パルス信号 S 1 の論理レベルに応じて切り替わる。

[0039] なお、上記のパルス受信部 13 及びドライバ 14 は、いずれも二次回路系 1 s（V c c 2 - G N D 2 系）のドライバチップ 120 に集積化されている。

。

[0040] トランス 15 は、一次巻線 15 p に入力される送信パルス信号 S 1 a に応じて、二次巻線 15 s から受信パルス信号 S 2 a を出力する。一方、トランス 16 は、一次巻線 16 p に入力される送信パルス信号 S 1 b に応じて、二次巻線 16 s から受信パルス信号 S 2 b を出力する。

[0041] なお、上記のトランス 15 及び 16 は、いずれもトランスチップ 130 に集積化されている。トランスチップ 130 は、トランス 15 及び 16 を用いてコントローラチップ 110 とドライバチップ 120 との間を絶縁しつつ、パルス送信部 12 から入力される送信パルス信号 S 1 a 及び S 1 b をそれぞれ受信パルス信号 S 2 a 及び S 2 b としてパルス受信部 13 に出力する。

[0042] このように、絶縁間通信に用いられるスパイラルコイルの特性上、入力パルス信号 S 1 は、2 本の送信パルス信号 S 1 a 及び S 1 b (=ライズ信号及びフォール信号に相当) に分離された後、2 系統のトランス 15 及び 16 を介して一次回路系 1 p から二次回路系 1 s に伝達される。

[0043] 図 3 は、絶縁信号伝達回路 10 による絶縁信号伝達動作の一例を示す図であり、上から順に、入力パルス信号 S 1、送信パルス信号 S 1 a 並びに S 1 b、受信パルス信号 S 2 a ~ S 2 c、及び、出力パルス信号 S 2 が描写されている。本図では、説明の便宜上、信号遅延の描写が省略されている。

[0044] パルス送信部 12 は、時刻 t 1 における入力パルス信号 S 1 の立上リエッジで送信パルス信号 S 1 a のパルス駆動を行う一方、時刻 t 2 における入力パルス信号 S 1 の立下リエッジで送信パルス信号 S 1 b のパルス駆動を行う。パルス受信部 13 は、送信パルス信号 S 1 a のパルス駆動により生じる受信パルス信号 S 2 a の誘起パルスを検出して受信パルス信号 S 2 c をローレベルに立ち下げる一方、送信パルス信号 S 1 b のパルス駆動により生じる受信パルス信号 S 2 b の誘起パルスを検出して受信パルス信号 S 2 c をハイレベルに立ち上げる。その結果、入力パルス信号 S 1 がハイレベルに立ち上がると、これに合わせて出力パルス信号 S 2 もハイレベルに立ち上がり、逆に、入力パルス信号 S 1 がローレベルに立ち下がると、これに合わせて出力パ

ルス信号 S 2 もローレベルに立ち下がる。

[0045] <絶縁電源制御回路>

図 4 は、絶縁電源制御回路 2 0 の一構成例を示す図である。本構成例の絶縁電源制御回路 2 0 は、チャージポンプ 2 1 と、オシレータ 2 2 と、加算器 2 3 と、コンパレータ 2 4 と、RS フリップフロップ 2 5 と、過電流検出部 2 6 と、低入力検出部 2 7 と、コンパレータ 2 8 と、低入力検出部 2 9 と、出力異常検出部 2 A と、OR ゲート 2 B と、トランス 2 C 及び 2 D と、を含む。

[0046] なお、上記構成要素のうち、チャージポンプ 2 1、オシレータ 2 2、加算器 2 3、コンパレータ 2 4、RS フリップフロップ 2 5、過電流検出部 2 6、及び、低入力検出部 2 7 は、いずれも一次回路系 1 p (Vcc1-GND1 系) のコントローラチップ 1 1 0 に集積化されている。一方、コンパレータ 2 8、低入力検出部 2 9、出力異常検出部 2 A、OR ゲート 2 B は、いずれも二次回路系 1 s (Vcc2-GND2 系) のドライバチップ 1 2 0 に集積化されている。また、トランス 2 C 及び 2 D は、いずれもトランスチップ 1 3 0 に集積化されている。

[0047] さらに、本図では、信号伝達装置 1 0 0 の外部端子として、COMP ピン (位相補償端子) と FETS ピン (電流検出端子) が明示されるとともに、これらの外部端子に外付けされるディスクリート部品として、キャパシタ C 2 及び C 3 と抵抗 R 3 及び R 4 が明示されている。接続関係について述べると、COMP ピンは、抵抗 R 3 及びキャパシタ C 3 それぞれの第 1 端に接続されている。抵抗 R 3 の第 2 端は、キャパシタ C 2 の第 1 端に接続されている。キャパシタ C 2 及び C 3 それぞれの第 2 端は、いずれも一次回路系 1 p の接地ライン (= 接地電圧 GND1 の印加端) に接続されている。FETS ピンは、トランジスタ N1 のソースと抵抗 R 4 の第 1 端に接続されている。抵抗 R 4 の第 2 端は、一次回路系 1 p の接地ラインに接続されている。

[0048] チャージポンプ 2 1 は、トランス 2 C から入力される出力帰還パルス信号 S 2 C に応じて COMP ピンに接続されるキャパシタ C 2 及び C 3 の充放電

を行うことにより、アナログ信号 S_{21} を生成する。例えば、チャージポンプ 21 は、出力帰還パルス信号 S_{2C} がハイレベルであるときに充電電流 I_c を生成し、出力帰還パルス信号 S_{2C} がローレベルであるときに放電電流 I_d を生成する。なお、上記の充電電流 I_c 及び放電電流 I_d については、トリミング等によりそれぞれの電流比を 1 : 1 に調整しておくことが望ましい。

[0049] オシレータ 22 は、所定のスイッチング周波数（例えば 100 kHz）で、矩形波状のセット信号 S_{22a} と鋸波状のスロープ信号 S_{22b} を生成する。また、オシレータ 22 は、セット信号 S_{22a} のパルスを生成してから所定時間が経過したときに、最大デューティ信号 S_{22c} のパルスを生成する機能も備えている。

[0050] 加算器 23 は、オシレータ 22 から入力されるスロープ信号 S_{22b} と FET スピンから入力される電流検出信号 V_{cs} とを足し合わせて加算スロープ信号 S_{23} ($= S_{22b} + V_{cs}$) を生成する。

[0051] コンパレータ 24 は、非反転入力端 (+) に入力されるアナログ信号 S_{21} と、反転入力端 (-) に入力される加算スロープ信号 S_{23} とを比較してリセット信号 S_{24} を生成する。リセット信号 S_{24} は、 $S_{21} > S_{23}$ であるときにハイレベルとなり、 $S_{21} < S_{23}$ であるときにローレベルとなる。なお、コンパレータ 24 には、加算スロープ信号 S_{23} に代えてスロープ信号 S_{22b} を入力しても構わない。

[0052] RS フリップフロップ 25 は、基本的に、セット端 (S) に入力されるセット信号 S_{22a} と、リセット端 (R) に入力されるリセット信号 S_{24} に応じて、出力端 (Q) から出力される出力信号 S_{25} の論理レベルを切り替える。例えば、RS フリップフロップ 25 は、セット信号 S_{22a} がハイレベルに立ち上がったときに出力信号 S_{25} をハイレベルにセットし、リセット信号 S_{24} がハイレベルに立ち上がったときに出力信号 S_{25} をローレベルにリセットする。なお、出力信号 S_{25} は、トランジスタ N1 (= フライバック電源の出力トランジスタに相当) のゲート駆動信号 S_4 として、FE

TGピンに出力される。トランジスタN1は、ゲート駆動信号S4がハイレベルであるときにオンし、ゲート駆動信号S4がローレベルであるときにオフする。

[0053] また、RSフリップフロップ25のリセット端(R)には、上記のリセット信号S24以外にも、過電流検出信号S26、低入力検出信号S27、及び、二次側異常検出信号S2Dが入力されており、いずれかの検出信号がハイレベルに立ち上がったときに、出力信号S25（延いてはゲート駆動信号S4）をローレベルにリセットする。すなわち、本構成例の絶縁電源制御回路20は、信号伝達装置100の異常検出時において、フライバック電源を強制的に停止する機能を備えている。

[0054] さらに、RSフリップフロップ25のリセット端(R)には、最大デューティ信号S22cが入力されており、最大デューティ信号S22cがハイレベルに立ち上がったときにも出力信号S25（延いてはゲート駆動信号S4）がローレベルにリセットされる。すなわち、本構成例の絶縁電源制御回路20は、フライバック電源の出力デューティに上限を設ける機能も備えている。

[0055] 過電流検出部26は、FETSPピンから入力される電流検出信号Vcsを監視して過電流検出信号S26を生成する。過電流検出信号S26は、電流検出信号Vcsが所定の過電流検出閾値よりも高いときにハイレベル（過電流検出時の論理レベル）となる。また、過電流検出部26には、信号伝達装置100の起動時において緩やかに上昇するソフトスタート電圧Vssが入力されており、ソフトスタート電圧Vssが上記の過電流検出閾値よりも低いときには、電流検出信号Vcsとソフトスタート電圧Vssとの比較が行われる。その結果、信号伝達装置100の起動時には、トランジスタN1に流れる一次側電流が緩やかに立ち上げられることになる。

[0056] 低入力検出部27は、一次回路系1pの電源電圧Vcc1を監視して低入力検出信号S27を生成する。なお、低入力検出信号S27は、電源電圧Vcc1がUVLO [under voltage lock out] 解除電圧よりも低いときに

ハイレベルとなる。

- [0057] コンパレータ 28 は、非反転入力端（+）に入力される三角波電圧 V_{tri} と、FB ピンから反転入力端（-）に入力される出力帰還信号 S_3 （＝電源電圧 V_{cc2} の分圧電圧に相当）とを比較することにより、出力帰還パルス信号 S_{28} を生成する。なお、三角波電圧 V_{tri} の発振周波数については、コンパレータ 28 の後段に接続されるトランス 2C の周波数特性に応じて適切な値（例えば 200 kHz）に設定すればよい。
- [0058] 低入力検出部 29 は、二次回路系 1s の電源電圧 V_{cc2} を監視して低入力検出信号 S_{29} を生成する。なお、低入力検出信号 S_{29} は、電源電圧 V_{cc2} が UVL O 解除電圧よりも低いときにハイレベルとなる。
- [0059] 出力異常検出部 2A は、出力帰還信号 S_3 を監視して出力異常検出信号 S_{2A} を生成する。なお、出力異常検出信号 S_{2A} は、出力帰還信号 S_3 が異常であるとき（フライバック電源の出力オープン時または出力ショート時など）にハイレベルとなる。
- [0060] OR ゲート 2B は、低入力検出信号 S_{29} と出力異常検出信号 S_{2A} の論理和演算を行うことにより、二次側異常検出信号 S_{2B} を生成する。二次側異常検出信号 S_{2B} は、低入力検出信号 S_{29} と出力異常検出信号 S_{2A} の少なくとも一方がハイレベルであるときにハイレベルとなり、低入力検出信号 S_{29} と出力異常検出信号 S_{2A} の双方がローレベルであるときにローレベルとなる。
- [0061] トランス 2C は、コントローラチップ 110 とドライバチップ 120 との間を絶縁しつつ、コンパレータ 28 から入力される二次回路系 1s の出力帰還パルス信号 S_{28} を一次回路系 1p の出力帰還パルス信号 S_{2C} として、チャージポンプ 21 に出力する。なお、本図では、図示の便宜上、トランス 2C がコンパレータ 28 から直接的に信号入力を受けているように描写されているが、実際には、トランス 2C の前段に不図示の送信パルス生成部（先のパルス送信部 12 と同様の回路部）が設けられており、出力帰還パルス信号 S_{28} のライズエッジ及びフォールエッジが一对のトランスを用いて伝達

される。

[0062] トランス2Dは、コントローラチップ110とドライバチップ120との間を絶縁しつつ、ORゲート2Bから入力される二次回路系1sの二次側異常検出信号S2Bを一次回路系1pの二次側異常検出信号S2DとしてRSフリップフロップ25のリセット端(R)に出力する。なお、本図では、図示の便宜上、トランス2DがORゲート2Bから直接的に信号入力を受けているように描写されているが、実際には、トランス2Dの前段に不図示の送信パルス生成部(先のパルス送信部12と同様の回路部)が設けられており、二次側異常検出信号S2Bのライズエッジ及びフォールエッジが一对のトランスを用いて伝達される。

[0063] 図5は、絶縁電源制御回路20による出力帰還制御の第1例($S3 > V_M$ である場合)を示す図であり、上から順番に、出力帰還信号S3(実線)及び三角波電圧 V_{tri} (破線)、出力帰還パルス信号S28、アナログ信号S21(実線)並びに加算スロープ信号S23(破線)、リセット信号S24、セット信号S22a、及び、ゲート駆動信号S4が描写されている。

[0064] 絶縁電源制御回路20の二次側では、FBピンに外部入力される出力帰還信号S3と、信号伝達装置100の内部で生成される三角波電圧 V_{tri} が比較されることにより、出力帰還パルス信号S28が生成される。なお、出力帰還パルス信号S28は、出力帰還信号S3(延いては電源電圧 V_{cc2})が高いほど低デューティとなり、出力帰還信号S3が低いほど高デューティとなる。

[0065] 本図では、ピーク値 V_H (例えば2V)とボトム値 V_L (例えば1V)との間で周期的に変動する三角波電圧 V_{tri} のミドル値 $V_M (= (V_H + V_L) / 2)$ よりも出力帰還信号S3の方が高いので、出力帰還パルス信号S28のデューティが50%よりも低くなっている。このような状態は、電源電圧 V_{cc2} が目標値よりも高い状態に相当する。

[0066] なお、出力帰還パルス信号S28は、トランス2Cを介して二次回路系1sから一次回路系1pに伝達される。すなわち、絶縁電源制御回路20は、

電源電圧 V_{cc2} に応じた出力帰還信号 S_3 を出力帰還パルス信号 S_{28} に変換して一次回路系 $1p$ に伝達する。

[0067] 一方、絶縁電源制御回路 20 の一次側では、出力帰還パルス信号 S_{28} (より正確にはトランス $2C$ を介して伝達される出力帰還パルス信号 S_{2C}) のデューティに応じて、アナログ信号 S_{21} が生成される。本図では、出力帰還パルス信号 S_{28} のデューティが 50% を下回っているので、アナログ信号 S_{21} が低下傾向を示している。

[0068] さらに、アナログ信号 S_{21} と加算スロープ信号 S_{23} が比較されて、リセット信号 S_{24} が生成される。このとき、アナログ信号 S_{21} が低いほど、加算スロープ信号 S_{23} との交差タイミング (= リセット信号 S_{24} のパルス生成タイミング) が早まる。

[0069] そして、セット信号 S_{22a} とリセット信号 S_{24} に基づいて、トランジスタ $N1$ のゲート駆動信号 S_4 が生成される。先にも述べたように、ゲート駆動信号 S_4 は、セット信号 S_{22a} がハイレベルに立ち上がったときにハイレベルにセットされ、リセット信号 S_{24} がハイレベルに立ち上がったときにローレベルにリセットされる。従って、リセット信号 S_{24} のパルス生成タイミングが早いほど、トランジスタ $N1$ が早めにオフされる。

[0070] このように、電源電圧 V_{cc2} が目標値よりも高いときには、フライバック電源の出力デューティを小さくすることにより、電源電圧 V_{cc2} が引き下げられるので、電源電圧 V_{cc2} が目標値と一致するように出力帰還が掛かる。

[0071] 図 6 は、絶縁電源制御回路 20 による出力帰還制御の第 2 例 ($S_3 < V_M$ である場合) を示す図であり、先の図 5 と同じく、上から順番に、出力帰還信号 S_3 (実線) 及び三角波電圧 V_{tri} (破線)、出力帰還パルス信号 S_{28} 、アナログ信号 S_{21} (実線) 並びに加算スロープ信号 S_{23} (破線)、リセット信号 S_{24} 、セット信号 S_{22a} 、及び、ゲート駆動信号 S_4 が描写されている。

[0072] 出力帰還制御の基本動作については、先出の図 5 と同様であるが、本図で

は、三角波電圧 V_{tri} のミドル値 V_M よりも出力帰還信号 S_3 の方が低いので、出力帰還パルス信号 S_{28} のデューティが 50% よりも高くなっている。このような状態は、電源電圧 V_{cc2} が目標値よりも低い状態に相当する。

[0073] この場合、絶縁電源制御回路 20 の一次側で生成されるアナログ信号 S_{21} は、上昇傾向を示すようになる。なお、アナログ信号 S_{21} が高いほど、加算スロープ信号 S_{23} との交差タイミング（＝リセット信号 S_{24} のパルス生成タイミング）が遅くなるので、トランジスタ N_1 がより長くオンされる。

[0074] このように、電源電圧 V_{cc2} が目標値よりも低いときには、フライバック電源の出力デューティを大きくすることにより、電源電圧 V_{cc2} が引き上げられるので、電源電圧 V_{cc2} が目標値と一致するように出力帰還が掛かる。

[0075] なお、出力帰還信号 S_3 が三角波電圧 V_{tri} のミドル値と一致し、出力帰還パルス信号 S_{28} のデューティが 50% 近傍に維持されているときには、チャージポンプ 21 による充電電流 I_c 及び放電電流 I_d それぞれの生成時間が等しくなるので、アナログ信号 S_{21} が安定化する。このような状態は、電源電圧 V_{cc2} が目標値に合わせ込まれている状態に相当する。

[0076] <車両への適用>

図 7 は、電子機器が搭載される車両の外観を示す図である。本構成例の車両 X は、不図示のバッテリーから電力供給を受けて動作する種々の電子機器 $X_{11} \sim X_{18}$ を搭載している。なお、本図における電子機器 $X_{11} \sim X_{18}$ の搭載位置については、図示の便宜上、実際とは異なる場合がある。

[0077] 車両 X には、エンジン車のほか、電動車（BEV [battery electric vehicle]、HEV [hybrid electric vehicle]、PHEV/PHV [plug-in hybrid electric vehicle/plug-in hybrid vehicle]、又は、FCEV/FCV [fuel cell electric vehicle/fuel cell vehicle] などの xEV ）も含まれる。

- [0078] 電子機器X11は、エンジンに関連する制御（インジェクション制御、電子スロットル制御、アイドリング制御、酸素センサヒータ制御、及び、オートクルーズ制御など）、または、モータに関する制御（トルク制御、及び、電力回生制御など）を行う電子制御ユニットである。
- [0079] 電子機器X12は、H I D [high intensity discharged lamp] 及びD R L [daytime running lamp] などの点消灯制御を行うランプコントロールユニットである。
- [0080] 電子機器X13は、トランスミッションに関連する制御を行うトランスミッションコントロールユニットである。
- [0081] 電子機器X14は、車両Xの運動に関連する制御（A B S [anti-lock brake system] 制御、E P S [electric power steering] 制御、電子サスペンション制御など）を行う制動ユニットである。
- [0082] 電子機器X15は、ドアロック及び防犯アラームなどの駆動制御を行うセキュリティコントロールユニットである。
- [0083] 電子機器X16は、ワイパー、電動ドアミラー、パワーウィンドウ、ダンパー（ショックアブソーバー）、電動サンルーフ、及び、電動シートなど、標準装備品またはメーカーオプション品として、工場出荷段階で車両Xに組み込まれている電子機器である。
- [0084] 電子機器X17は、車載A/V [audio/visual] 機器、カーナビゲーションシステム、及び、E T C [electronic toll collection system] など、ユーザオプション品として任意で車両Xに装着される電子機器である。
- [0085] 電子機器X18は、車載プロア、オイルポンプ、ウォーターポンプ、バッテリー冷却ファンなど、高耐圧系モータを備えた電子機器である。
- [0086] なお、電子機器X11～X18は、先に説明した電子機器1の具体例として理解することができる。すなわち、先述の信号伝達装置100は、電子機器X11～X18のいずれにも組み込むことが可能である。
- [0087] <総括>

以下では、これまでに説明してきた種々の実施形態について総括的に述べ

る。

[0088] 例えば、本明細書中に開示されている信号伝達装置は、第1絶縁素子を介して一次回路系から二次回路系にパルス信号を伝達するように構成された絶縁信号伝達回路と、前記一次回路系の第1電源電圧から前記二次回路系の第2電源電圧を生成する絶縁型電源の制御主体であって第2絶縁素子を介して前記二次回路系から前記一次回路系に前記絶縁型電源の出力帰還信号を伝達するように構成された絶縁電源制御回路と、を有する構成（第1の構成）とされている。

[0089] なお、上記第1の構成から成る信号伝達装置において、前記絶縁電源制御回路は、前記第2電源電圧に応じた前記出力帰還信号を出力帰還パルス信号に変換して前記一次回路系に伝達する構成（第2の構成）にしてもよい。

[0090] また、上記第2の構成から成る信号伝達装置において、前記絶縁電源制御回路は、前記二次回路系において前記出力帰還信号と三角波電圧とを比較することにより前記出力帰還パルス信号を生成するように構成されたコンパレータを含む構成（第3の構成）にしてもよい。

[0091] また、上記第2又は第3の構成から成る信号伝達装置において、前記絶縁電源制御回路は、前記一次回路系において前記出力帰還パルス信号のデューティに応じたアナログ信号を生成し、前記アナログ信号とスロープ信号を比較することにより前記絶縁型電源の出力デューティを制御する構成（第4の構成）にしてもよい。

[0092] また、上記第4の構成から成る信号伝達装置において、前記絶縁電源制御回路は、前記一次回路系において前記出力帰還パルス信号に応じてキャパシタの充放電を行うことにより前記アナログ信号を生成するように構成されたチャージポンプを含む構成（第5の構成）にしてもよい。

[0093] また、上記第1～第5いずれかの構成から成る信号伝達装置において、前記絶縁電源制御回路は、前記信号伝達装置の異常検出時（例えば、前記第1電源電圧、前記第2電源電圧及び前記出力帰還信号のいずれかが異常であることを検出したとき）に前記絶縁型電源を強制的に停止する構成（第6の構成）にしてもよい。

成)にしてもよい。

[0094] また、上記第1～第6いずれかの構成から成る信号伝達装置は、前記一次回路系の回路素子を集積化した第1チップと、前記二次回路系の回路素子を集積化した第2チップと、前記第1絶縁素子及び前記第2絶縁素子を集積化した第3チップと、を単一のパッケージに封止した構成(第7の構成)にしてもよい。

[0095] また、上記第1～第7いずれかの構成から成る信号伝達装置において、前記絶縁信号伝達回路は、前記第1絶縁素子に相当する第1トランス及び第2トランスと、入力パルス信号が第1論理レベルである旨を通知するときに前記第1トランスの一次巻線に印加される第1送信パルス信号をパルス駆動し、前記入力パルス信号が第2論理レベルである旨を通知するときに前記第2トランスの一次巻線に印加される第2送信パルス信号をパルス駆動するように構成されたパルス送信部と、前記第1送信パルス信号のパルス駆動を受けて前記第1トランスの二次巻線に現れる第1受信パルス信号の誘起パルスを検出したときに受信パルス信号を第1論理レベルとし、前記第2送信パルス信号のパルス駆動を受けて前記第2トランスの二次巻線に現れる第2受信パルス信号の誘起パルスを検出したときに前記受信パルス信号を第2論理レベルとするように構成されたパルス受信部と、前記受信パルス信号に応じた出力パルス信号を生成するように構成されたドライバと、を含む構成(第8の構成)にしてもよい。

[0096] また、例えば、本明細書中に開示されている電子機器は、上記第1～第8いずれかの構成から成る信号伝達装置を有する構成(第9の構成)とされている。

[0097] また、例えば、本明細書中に開示されている車両は、上記第9の構成から成る電子機器を有する構成(第10の構成)とされている。

[0098] <その他の変形例>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが

可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態に限定されるものではなく、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

符号の説明

[0099]	1	電子機器
	1 p	一次回路系
	1 s	二次回路系
	1 0	絶縁信号伝達回路
	1 1	シュミットバッファ
	1 2	パルス送信部
	1 3	パルス受信部
	1 4	ドライバ
	1 5、1 6	トランス
	1 5 p、1 6 p	一次巻線
	1 5 s、1 6 s	二次巻線
	2 0	絶縁電源制御回路
	2 1	チャージポンプ
	2 2	オシレータ
	2 3	加算器
	2 4	コンパレータ
	2 5	R Sフリップフロップ
	2 6	過電流検出部
	2 7	低入力検出部
	2 8	コンパレータ
	2 9	低入力検出部
	2 A	出力異常検出部
	2 B	O Rゲート

2 C、2 D トランス

1 0 0 信号伝達装置（絶縁ゲートドライバ I C）

1 1 0 コントローラチップ

1 2 0 ドライバチップ

1 3 0 トランスチップ

2 0 0 フライバックトランス

2 0 0 p 一次巻線

2 0 0 s 二次巻線

C 1、C 2、C 3 キャパシタ

D 1 ダイオード

N 1 Nチャネル型MOS電界効果トランジスタ

Q 1 n p n型絶縁ゲートバイポーラトランジスタ

R 1、R 2、R 3、R 4 抵抗

T R 1、T R 2 トランス

X 車両

X 1 1～X 1 8 電子機器

請求の範囲

- [請求項1] 第1絶縁素子を介して一次回路系から二次回路系にパルス信号を伝達するように構成された絶縁信号伝達回路と、
- 前記一次回路系の第1電源電圧から前記二次回路系の第2電源電圧を生成する絶縁型電源の制御主体であって第2絶縁素子を介して前記二次回路系から前記一次回路系に前記絶縁型電源の出力帰還信号を伝達するように構成された絶縁電源制御回路と、
- を有する、信号伝達装置。
- [請求項2] 前記絶縁電源制御回路は、前記第2電源電圧に応じた前記出力帰還信号を出力帰還パルス信号に変換して前記一次回路系に伝達する、請求項1に記載の信号伝達装置。
- [請求項3] 前記絶縁電源制御回路は、前記二次回路系において前記出力帰還信号と三角波電圧とを比較することにより前記出力帰還パルス信号を生成するように構成されたコンパレータを含む、請求項2に記載の信号伝達装置。
- [請求項4] 前記絶縁電源制御回路は、前記一次回路系において前記出力帰還パルス信号のデューティに応じたアナログ信号を生成し、前記アナログ信号とスロープ信号を比較することにより前記絶縁型電源の出力デューティを制御する、請求項2又は3に記載の信号伝達装置。
- [請求項5] 前記絶縁電源制御回路は、前記一次回路系において前記出力帰還パルス信号に応じてキャパシタの充放電を行うことにより前記アナログ信号を生成するように構成されたチャージポンプを含む、請求項4に記載の信号伝達装置。
- [請求項6] 前記絶縁電源制御回路は、前記信号伝達装置の異常検出時において、前記絶縁型電源を強制的に停止する、請求項1～5のいずれか一項に記載の信号伝達装置。
- [請求項7] 前記一次回路系の回路素子を集積化した第1チップと、
- 前記二次回路系の回路素子を集積化した第2チップと、

前記第 1 絶縁素子及び前記第 2 絶縁素子を集積化した第 3 チップと、
を単一のパッケージに封止した、請求項 1 ～ 6 のいずれか一項に記載の信号伝達装置。

[請求項 8]

前記絶縁信号伝達回路は、
前記第 1 絶縁素子に相当する第 1 トランス及び第 2 トランスと、
入力パルス信号が第 1 論理レベルである旨を通知するときに前記第 1 トランスの一次巻線に印加される第 1 送信パルス信号をパルス駆動し、前記入力パルス信号が第 2 論理レベルである旨を通知するときに前記第 2 トランスの一次巻線に印加される第 2 送信パルス信号をパルス駆動するように構成されたパルス送信部と、
前記第 1 送信パルス信号のパルス駆動を受けて前記第 1 トランスの二次巻線に現れる第 1 受信パルス信号の誘起パルスを検出したときに受信パルス信号を第 1 論理レベルとし、前記第 2 送信パルス信号のパルス駆動を受けて前記第 2 トランスの二次巻線に現れる第 2 受信パルス信号の誘起パルスを検出したときに前記受信パルス信号を第 2 論理レベルとするように構成されたパルス受信部と、
前記受信パルス信号に応じた出力パルス信号を生成するように構成されたドライバと、
を含む、請求項 1 ～ 7 のいずれか一項に記載の信号伝達装置。

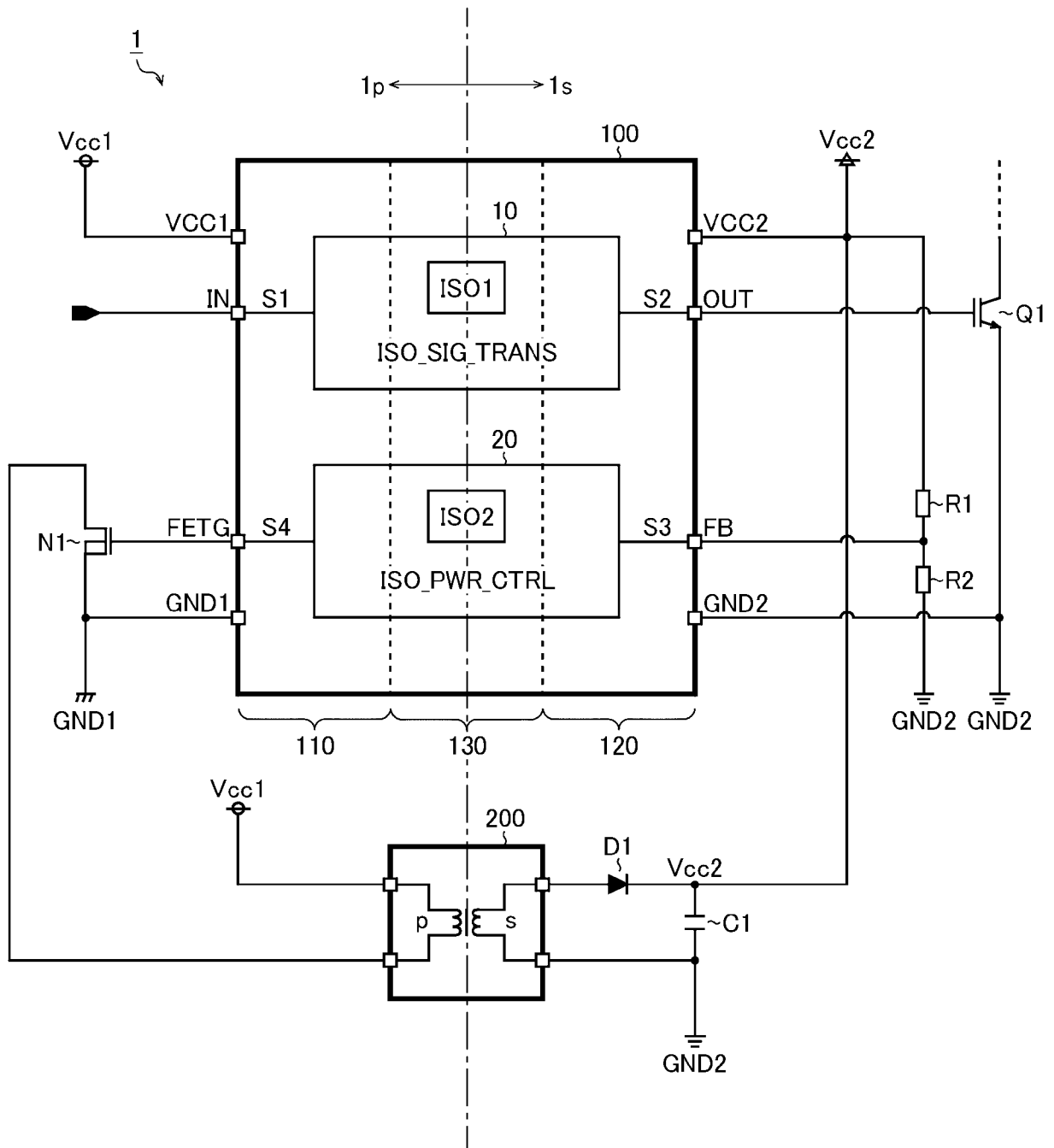
[請求項 9]

請求項 1 ～ 8 のいずれか一項に記載の信号伝達装置を有する、電子機器。

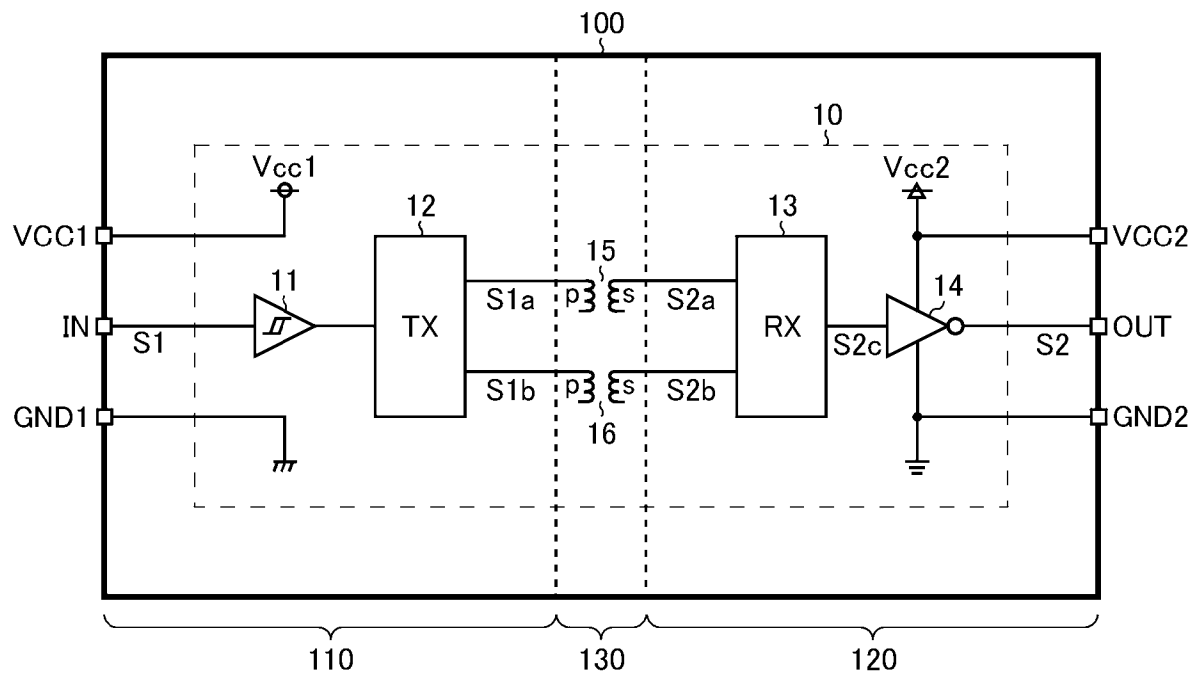
[請求項 10]

請求項 9 に記載の電子機器を有する、車両。

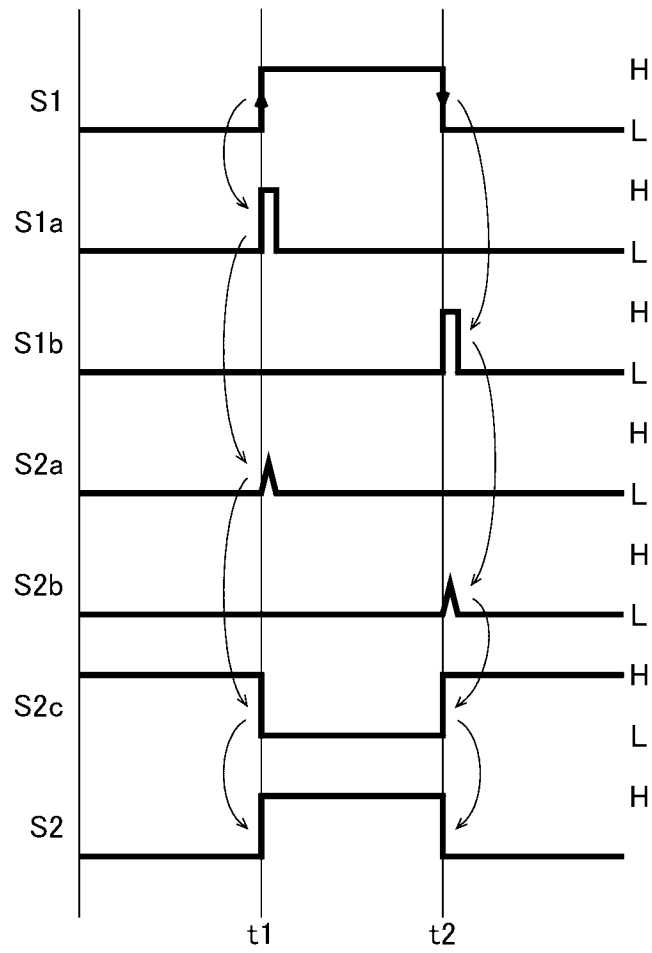
[図1]



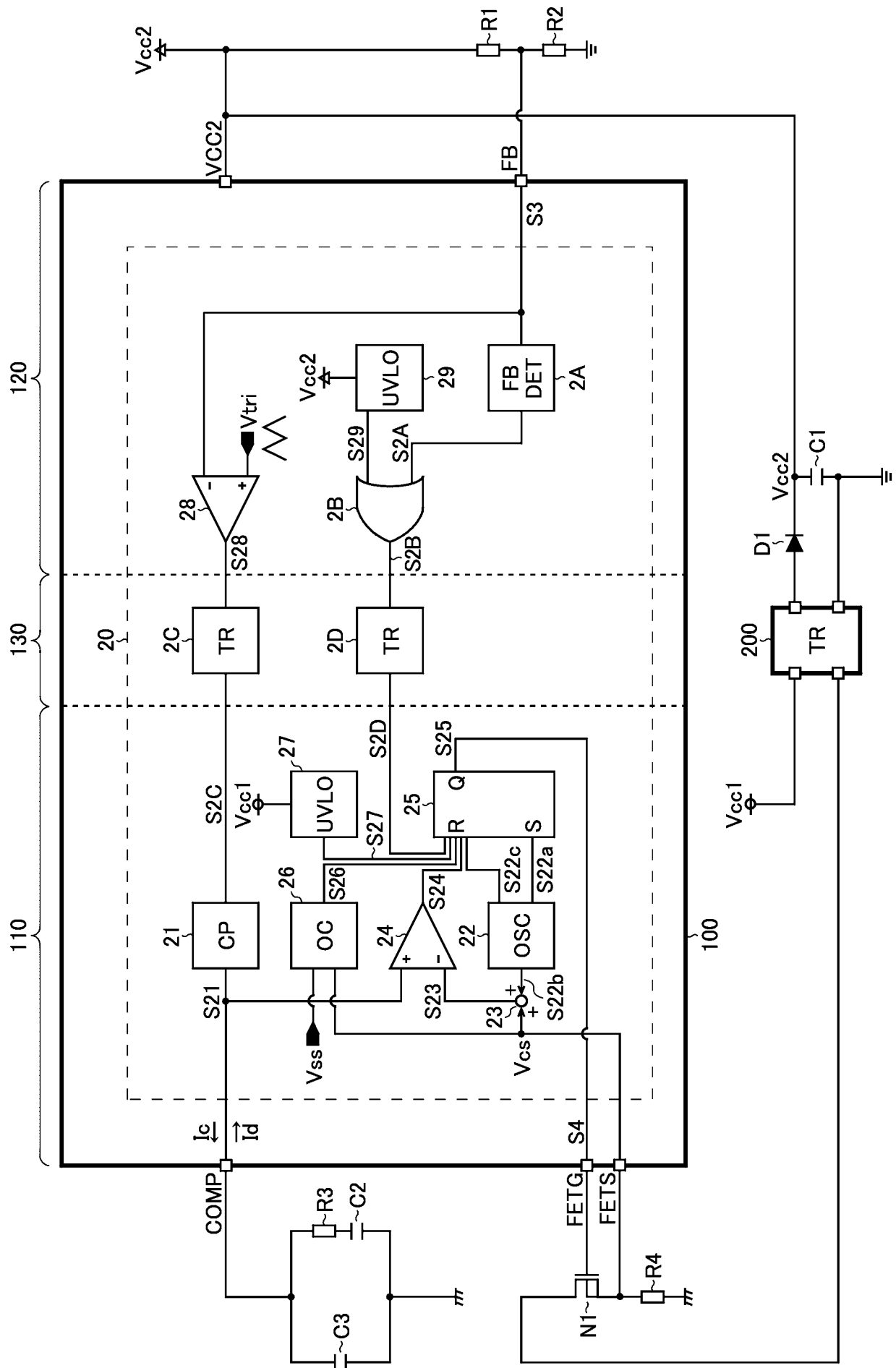
[図2]



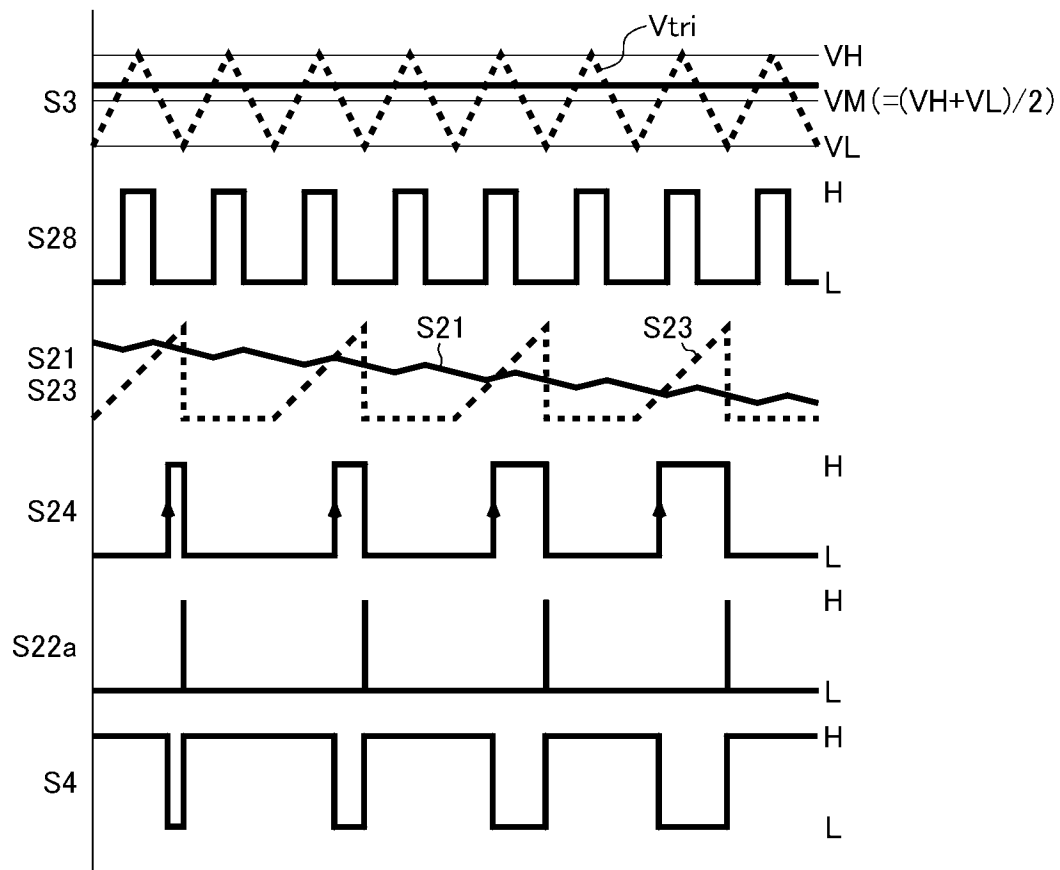
[図3]



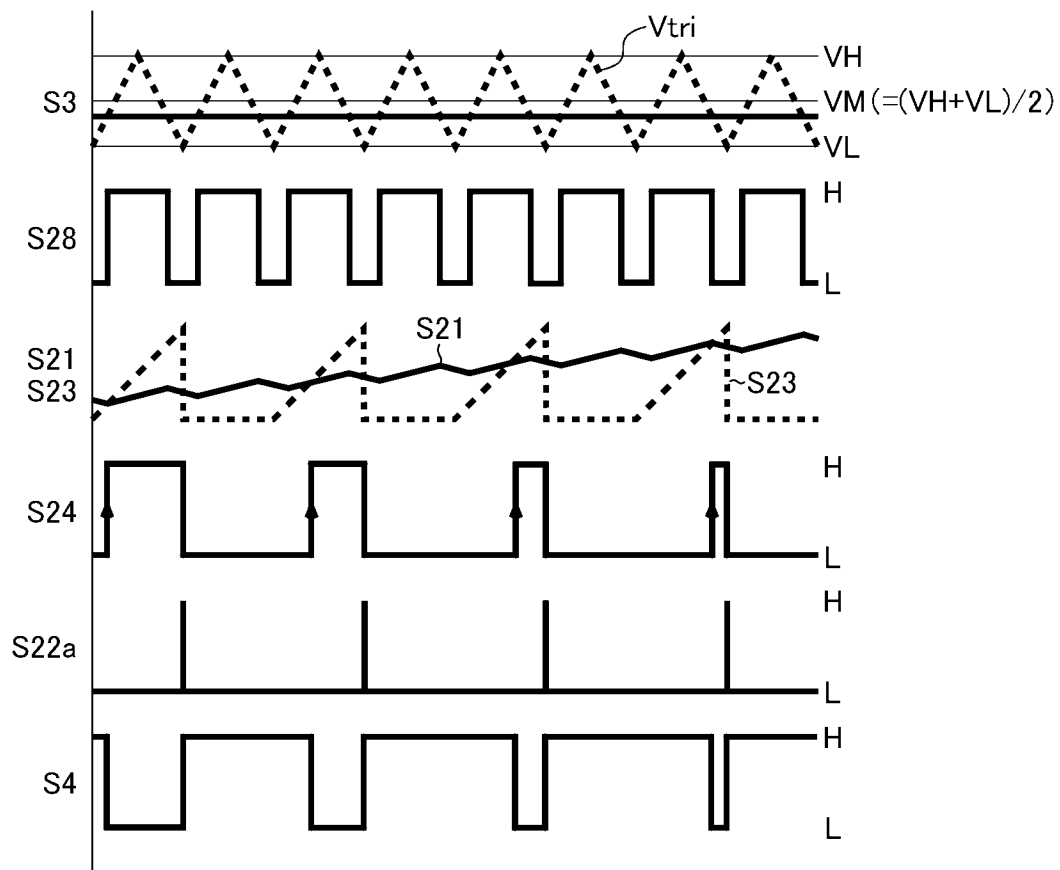
[図4]



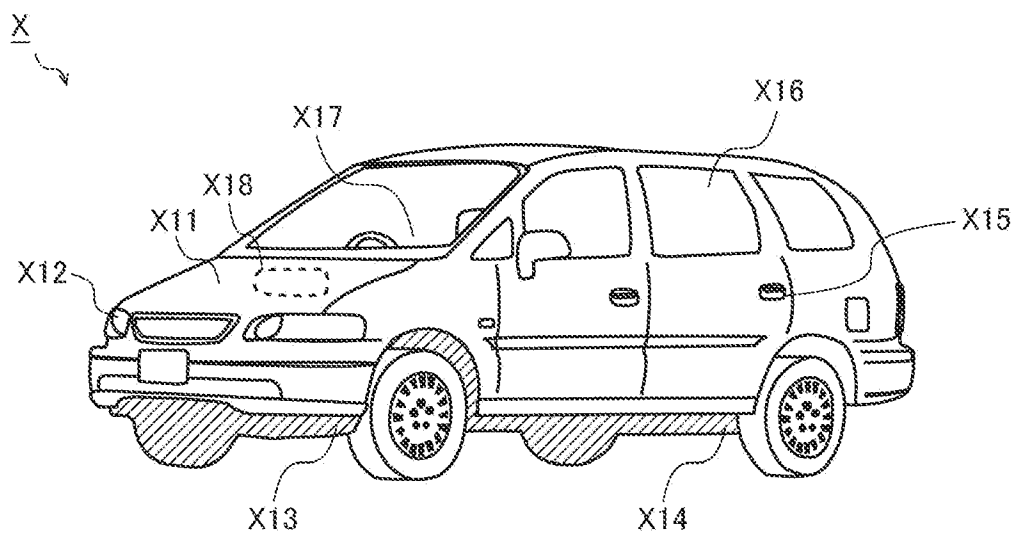
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/019709

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03K17/691 (2006.01) i, H04L25/02 (2006.01) i, H03K19/0175 (2006.01) i, H02M3/28 (2006.01) i

FI: H03K17/691, H04L25/02303B, H03K19/0175280, H02M3/28C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03K17/691, H04L25/02, H03K19/0175, H02M3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2011-78188 A (COSEL CO., LTD.) 14 April 2011	1-3
Y	(2011-04-14), paragraphs [0001], [0074]-[0078], [0087]-[0099], fig. 5, 8, 9	4-10
Y	JP 2014-14244 A (ROHM CO., LTD.) 23 January 2014	4-10
	(2014-01-23), paragraphs [0039]-[0064], fig. 3, 4, 8	
Y	WO 2011/055611 A1 (ROHM CO., LTD.) 12 May 2011	7-10
	(2011-05-12), paragraphs [0004]-[0007], [0018]-[0023], [0308]-[0318], fig. 19, 26, 43, 44	
Y	JP 2019-191036 A (DENSO CORPORATION) 31 October 2019	7-10
	(2019-10-31), paragraphs [0022]-[0032], fig. 5	

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

16 July 2021

Date of mailing of the international search report

27 July 2021

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/019709

JP 2011-78188 A	14 April 2011	(Family: none)
JP 2014-14244 A	23 January 2014	US 2014/0160804 A1 paragraphs [0057]-[0086], fig. 3, 4, 8
WO 2011/055611 A1	12 May 2011	US 2012/0212251 A1 paragraphs [0004]-[0009], [0021]-[0027], [0401]-[0411], fig. 19, 26, 43, 44 EP 2498460 A1 CN 102845037 A
JP 2019-191036 A	31 October 2019	WO 2019/207939 A1 paragraphs [0023]-[0033], fig. 5

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 17/691(2006.01)i; H04L 25/02(2006.01)i; H03K 19/0175(2006.01)i; H02M 3/28(2006.01)i FI: H03K17/691; H04L25/02 303B; H03K19/0175 280; H02M3/28 C																				
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03K17/691; H04L25/02; H03K19/0175; H02M3/28 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年										
日本国実用新案公報	1922-1996年																			
日本国公開実用新案公報	1971-2021年																			
日本国実用新案登録公報	1996-2021年																			
日本国登録実用新案公報	1994-2021年																			
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2011-78188 A（コーセル株式会社）14.04.2011（2011-04-14） 段落[0001], [0074]-[0078], [0087]-[0099], 図5, 8-9</td> <td>1-3</td> </tr> <tr> <td>Y</td> <td></td> <td>4-10</td> </tr> <tr> <td>Y</td> <td>JP 2014-14244 A（ローム株式会社）23.01.2014（2014-01-23） 段落[0039]-[0064], 図3-4, 8</td> <td>4-10</td> </tr> <tr> <td>Y</td> <td>WO 2011/055611 A1（ローム株式会社）12.05.2011（2011-05-12） 段落[0004]-[0007], [0018]-[0023], [0308]-[0318], 図19, 26, 43-44</td> <td>7-10</td> </tr> <tr> <td>Y</td> <td>JP 2019-191036 A（株式会社デンソー）31.10.2019（2019-10-31） 段落[0022]-[0032], 図5</td> <td>7-10</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2011-78188 A（コーセル株式会社）14.04.2011（2011-04-14） 段落[0001], [0074]-[0078], [0087]-[0099], 図5, 8-9	1-3	Y		4-10	Y	JP 2014-14244 A（ローム株式会社）23.01.2014（2014-01-23） 段落[0039]-[0064], 図3-4, 8	4-10	Y	WO 2011/055611 A1（ローム株式会社）12.05.2011（2011-05-12） 段落[0004]-[0007], [0018]-[0023], [0308]-[0318], 図19, 26, 43-44	7-10	Y	JP 2019-191036 A（株式会社デンソー）31.10.2019（2019-10-31） 段落[0022]-[0032], 図5	7-10
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
X	JP 2011-78188 A（コーセル株式会社）14.04.2011（2011-04-14） 段落[0001], [0074]-[0078], [0087]-[0099], 図5, 8-9	1-3																		
Y		4-10																		
Y	JP 2014-14244 A（ローム株式会社）23.01.2014（2014-01-23） 段落[0039]-[0064], 図3-4, 8	4-10																		
Y	WO 2011/055611 A1（ローム株式会社）12.05.2011（2011-05-12） 段落[0004]-[0007], [0018]-[0023], [0308]-[0318], 図19, 26, 43-44	7-10																		
Y	JP 2019-191036 A（株式会社デンソー）31.10.2019（2019-10-31） 段落[0022]-[0032], 図5	7-10																		
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																				
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																				
国際調査を完了した日 16.07.2021		国際調査報告の発送日 27.07.2021																		
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 及川 尚人 5W 5888 電話番号 03-3581-1101 内線 3576																		

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/019709

引用文献			公表日	パテントファミリー文献	公表日
JP	2011-78188	A	14.04.2011	(ファミリーなし)	
JP	2014-14244	A	23.01.2014	US 2014/0160804 A1	
				段落[0057]-[0086], 図3-4, 8	
WO	2011/055611	A1	12.05.2011	US 2012/0212251 A1	
				段落[0004]-[0009], [0021]-[0027], [0401]-[0411], 図19, 26, 43-44	
				EP 2498460 A1	
				CN 102845037 A	
JP	2019-191036	A	31.10.2019	WO 2019/207939 A1	
				段落[0023]-[0033], 図5	