

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 18 年 8 月 17 日 (2006.8.17)

【公開番号】特開 2005-57167 (P2005-57167A)

【公開日】平成 17 年 3 月 3 日 (2005.3.3)

【年通号数】公開・登録公報 2005-009

【出願番号】特願 2003-288659 (P2003-288659)

【国際特許分類】

**H 0 1 L 21/336 (2006.01)**

**H 0 1 L 29/786 (2006.01)**

**G 0 2 F 1/1368 (2006.01)**

**H 0 1 L 21/20 (2006.01)**

【F I】

H 0 1 L 29/78 6 1 6 A

G 0 2 F 1/1368

H 0 1 L 21/20

H 0 1 L 29/78 6 1 2 B

H 0 1 L 29/78 6 1 7 K

H 0 1 L 29/78 6 1 7 S

H 0 1 L 29/78 6 1 7 L

H 0 1 L 29/78 6 1 7 U

H 0 1 L 29/78 6 1 7 N

【手続補正書】

【提出日】平成 18 年 6 月 27 日 (2006.6.27)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置の作製方法

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板上の駆動回路部に第 1 の半導体層を形成すると共に前記基板上の画素部に第 2 の半導体層を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層の上にゲート絶縁膜を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 1 不純物を導入することにより、前記第 1 の半導体層および前記第 2 の半導体層それぞれにソース領域およびドレイン領域を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層それぞれの上に前記ゲート絶縁膜を介して第 1 ゲート電極を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 2 不純物を導入することにより、前記第 1 の半導体層および前記第 2 の半導体層それぞれの少なくともドレイン領域側に L D D 領域を形成する工程と、

前記第 1 ゲート電極および前記ゲート絶縁膜の上に第 1 絶縁膜を形成する工程と、  
熱処理を行うことにより、前記ソース領域、前記ドレイン領域および前記 L D D 領域の  
不純物を活性化させる工程と、

前記駆動回路部の前記第 1 絶縁膜上に第 2 ゲート電極を形成する工程と、  
を具備し、

前記第 2 ゲート電極は、前記駆動回路部における前記第 1 ゲート電極と電氣的に接続され、  
前記駆動回路部における前記 L D D 領域の少なくとも一部を覆うように形成されること  
を特徴とする半導体装置の作製方法。

【請求項 2】

基板上の駆動回路部に第 1 の半導体層を形成すると共に前記基板上の画素部に第 2 の半  
導体層を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層の上にゲート絶縁膜を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 1 不純物を導入することにより、  
前記第 1 の半導体層および前記第 2 の半導体層それぞれにソース領域およびドレイン  
領域を形成する工程と、

前記第 1 の半導体層上に前記ゲート絶縁膜を介して 2 つの第 1 ゲート電極を形成すると  
共に、前記第 2 の半導体層上に前記ゲート絶縁膜を介して第 1 ゲート電極を形成する工程  
と、

前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 2 不純物を導入することにより、  
前記第 1 の半導体層および前記第 2 の半導体層それぞれの少なくともドレイン領域  
側に L D D 領域を形成する工程と、

前記第 1 ゲート電極および前記ゲート絶縁膜の上に第 1 絶縁膜を形成する工程と、

熱処理を行うことにより、前記ソース領域、前記ドレイン領域および前記 L D D 領域の  
不純物を活性化させる工程と、

前記駆動回路部の少なくとも 1 つの第 1 ゲート電極上に前記第 1 絶縁膜を介して第 2 ゲ  
ート電極を形成する工程と、  
を具備し、

前記第 2 ゲート電極は、前記駆動回路部における前記少なくとも 1 つの第 1 ゲート電極  
と電氣的に接続され、前記駆動回路部における前記 L D D 領域の少なくとも一部を覆うよ  
うに形成されることを特徴とする半導体装置の作製方法。

【請求項 3】

基板上の駆動回路部に第 1 の半導体層を形成すると共に前記基板上の画素部に第 2 の半  
導体層を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層の上にゲート絶縁膜を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 1 導電型の第 1 不純物を導  
入することにより、前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 1 導電型  
のソース領域およびドレイン領域を形成する工程と、

前記第 1 の半導体層上に前記ゲート絶縁膜を介して 2 つの第 1 ゲート電極を形成すると  
共に、前記第 2 の半導体層上に前記ゲート絶縁膜を介して第 1 ゲート電極を形成する工程  
と、

前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 1 導電型の第 2 不純物を導  
入することにより、前記第 1 の半導体層および前記第 2 の半導体層それぞれの少なくとも  
ドレイン領域側に L D D 領域を形成する工程と、

前記第 1 の半導体層に第 2 導電型の不純物を導入することにより、前記第 1 の半導体層  
に第 2 導電型のソース領域およびドレイン領域を形成する工程と、

前記第 1 ゲート電極および前記ゲート絶縁膜の上に第 1 絶縁膜を形成する工程と、

熱処理を行うことにより、前記ソース領域、前記ドレイン領域および前記 L D D 領域の  
不純物を活性化させる工程と、

前記駆動回路部の少なくとも 1 つの第 1 ゲート電極上に前記第 1 絶縁膜を介して第 2 ゲ  
ート電極を形成する工程と、

を具備し、

前記第2ゲート電極は、前記駆動回路部における前記少なくとも1つの第1ゲート電極と電氣的に接続され、前記駆動回路部における前記LDD領域の少なくとも一部を覆うように形成されることを特徴とする半導体装置の作製方法。

【請求項4】

請求項1において、前記第2ゲート電極を形成する工程の後に、前記第2ゲート電極上に第2絶縁膜を形成する工程と、該第2絶縁膜及び前記第1絶縁膜に、前記駆動回路部の前記第1ゲート電極および前記第2ゲート電極それぞれの上に位置する接続孔を形成する工程と、該接続孔内および前記第2絶縁膜上に導電膜を形成することにより、前記第1ゲート電極と前記第2ゲート電極を電氣的に接続する工程と、をさらに具備することを特徴とする半導体装置の作製方法。

【請求項5】

請求項1において、前記第2ゲート電極を形成する工程の後に、前記第2ゲート電極上に第2絶縁膜を形成する工程と、該第2絶縁膜及び前記第1絶縁膜に、前記駆動回路部の前記第1ゲート電極上且つ前記第2ゲート電極上に位置する接続孔を形成する工程と、該接続孔内および前記第2絶縁膜上に導電膜を形成することにより、前記第1ゲート電極と前記第2ゲート電極を電氣的に接続する工程と、をさらに具備することを特徴とする半導体装置の作製方法。

【請求項6】

請求項1乃至請求項5のいずれか一項において、前記第1絶縁膜がSiON膜とSiN膜とを積層した多層膜であることを特徴とする半導体装置の作製方法。

【請求項7】

基板上の駆動回路部に第1の半導体層を形成すると共に前記基板上の画素部に第2の半導体層を形成する工程と、

前記第1の半導体層および前記第2の半導体層の上にゲート絶縁膜を形成する工程と、

前記第1の半導体層および前記第2の半導体層それぞれに第1不純物を導入することにより、前記第1の半導体層および前記第2の半導体層それぞれにソース領域およびドレイン領域を形成する工程と、

前記第1の半導体層上に前記ゲート絶縁膜を介して第1ゲート電極を形成すると共に前記第2の半導体層上に前記ゲート絶縁膜を介して第1ゲート電極および第1容量電極を形成する工程と、

前記第1の半導体層および前記第2の半導体層それぞれに第2不純物を導入することにより、前記第1の半導体層および前記第2の半導体層それぞれの少なくともドレイン領域側にLDD領域を形成する工程と、

前記第1ゲート電極、前記第1容量電極および前記ゲート絶縁膜の上に絶縁膜を形成する工程と、

熱処理を行うことにより、前記ソース領域、前記ドレイン領域および前記LDD領域の不純物を活性化させる工程と、

前記駆動回路部の前記絶縁膜上に第2ゲート電極を形成すると共に前記画素部の前記第1容量電極上に前記絶縁膜を介して第2容量電極を形成する工程と、

を具備し、

前記第2ゲート電極は、前記駆動回路部における前記第1ゲート電極と電氣的に接続され、前記駆動回路部における前記LDD領域の少なくとも一部を覆うように形成されることを特徴とする半導体装置の作製方法。

【請求項8】

基板上の駆動回路部に第1の半導体層を形成すると共に前記基板上の画素部に第2の半導体層を形成する工程と、

前記第1の半導体層および前記第2の半導体層の上にゲート絶縁膜を形成する工程と、

前記第1の半導体層および前記第2の半導体層それぞれに第1不純物を導入することにより、前記第1の半導体層および前記第2の半導体層それぞれにソース領域およびドレイン領域を形成する工程と、

ン領域を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層それぞれの上に前記ゲート絶縁膜を介して第 1 ゲート電極を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 2 不純物を導入することにより、前記第 1 の半導体層および前記第 2 の半導体層それぞれの少なくともドレイン領域側に L D D 領域を形成する工程と、

熱処理を行うことにより、前記ソース領域、前記ドレイン領域および前記 L D D 領域の不純物を活性化させる工程と、

前記駆動回路部の前記第 1 ゲート電極および前記ゲート絶縁膜上に第 2 ゲート電極を形成する工程と、

を具備し、

前記第 2 ゲート電極は、前記駆動回路部における前記第 1 ゲート電極と電気的に接続され、前記駆動回路部における前記 L D D 領域の少なくとも一部を覆うように形成されることを特徴とする半導体装置の作製方法。

【請求項 9】

基板上の駆動回路部に第 1 の半導体層を形成すると共に前記基板上の画素部に第 2 の半導体層を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層の上にゲート絶縁膜を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 1 不純物を導入することにより、前記第 1 の半導体層にソース領域およびドレイン領域を形成すると共に前記第 2 の半導体層にソース領域、ドレイン領域および第 1 容量電極を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層それぞれの上に前記ゲート絶縁膜を介して第 1 ゲート電極を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 2 不純物を導入することにより、前記第 1 の半導体層および前記第 2 の半導体層それぞれの少なくともドレイン領域側に L D D 領域を形成する工程と、

熱処理を行うことにより、前記ソース領域、前記ドレイン領域および前記 L D D 領域の不純物を活性化させる工程と、

前記駆動回路部の前記第 1 ゲート電極および前記ゲート絶縁膜上に第 2 ゲート電極を形成すると共に前記画素部の前記第 1 容量電極上に前記ゲート絶縁膜を介して第 2 容量電極を形成する工程と、

を具備し、

前記第 2 ゲート電極は、前記駆動回路部における前記第 1 ゲート電極と電気的に接続され、前記駆動回路部における前記 L D D 領域の少なくとも一部を覆うように形成されることを特徴とする半導体装置の作製方法。

【請求項 10】

基板上の駆動回路部に第 1 の半導体層を形成すると共に前記基板上の画素部に第 2 の半導体層を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層の上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記第 1 の半導体層および前記第 2 の半導体層それぞれの上方に位置する導電膜を形成する工程と、

前記導電膜をマスクとして前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 1 不純物を導入することにより、前記第 1 の半導体層および前記第 2 の半導体層それぞれにソース領域およびドレイン領域を形成する工程と、

前記導電膜を加工することにより、前記第 1 の半導体層および前記第 2 の半導体層それぞれの上に前記ゲート絶縁膜を介して該導電膜からなる第 1 ゲート電極を形成する工程と

、

前記第 1 ゲート電極をマスクとして前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 2 不純物を導入することにより、前記第 1 の半導体層および前記第 2 の半導体層それぞれの少なくともドレイン領域側に L D D 領域を形成する工程と、

前記第 1 ゲート電極および前記ゲート絶縁膜の上に絶縁膜を形成する工程と、  
熱処理を行うことにより、前記ソース領域、前記ドレイン領域および前記 L D D 領域の不純物を活性化させる工程と、

前記駆動回路部の前記絶縁膜上に第 2 ゲート電極を形成する工程と、  
を具備し、

前記第 2 ゲート電極は、前記駆動回路部における前記第 1 ゲート電極と電氣的に接続され、前記駆動回路部における前記 L D D 領域の少なくとも一部を覆うように形成されることを特徴とする半導体装置の作製方法。

【請求項 1 1】

基板上の駆動回路部に第 1 の半導体層を形成すると共に前記基板上の画素部に第 2 の半導体層を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層の上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記第 1 の半導体層および前記第 2 の半導体層それぞれの上方に位置する導電膜を形成する工程と、

前記導電膜をマスクとして前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 1 不純物を導入することにより、前記第 1 の半導体層および前記第 2 の半導体層それぞれにソース領域およびドレイン領域を形成する工程と、

前記導電膜を加工することにより、前記第 1 の半導体層上に前記ゲート絶縁膜を介して該導電膜からなる第 1 ゲート電極を形成すると共に前記第 2 の半導体層上に前記ゲート絶縁膜を介して該導電膜からなる第 1 ゲート電極および第 1 容量電極を形成する工程と、

前記第 1 ゲート電極をマスクとして前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 2 不純物を導入することにより、前記第 1 の半導体層および前記第 2 の半導体層それぞれの少なくともドレイン領域側に L D D 領域を形成する工程と、

前記第 1 ゲート電極、前記第 1 容量電極および前記ゲート絶縁膜の上に絶縁膜を形成する工程と、

熱処理を行うことにより、前記ソース領域、前記ドレイン領域および前記 L D D 領域の不純物を活性化させる工程と、

前記駆動回路部の前記絶縁膜上に第 2 ゲート電極を形成すると共に前記画素部の前記容量電極上に前記絶縁膜を介して第 2 容量電極を形成する工程と、  
を具備し、

前記第 2 ゲート電極は、前記駆動回路部における前記第 1 ゲート電極と電氣的に接続され、前記駆動回路部における前記 L D D 領域の少なくとも一部を覆うように形成されることを特徴とする半導体装置の作製方法。

【請求項 1 2】

基板上の駆動回路部に第 1 の半導体層を形成すると共に前記基板上の画素部に第 2 の半導体層を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層の上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記第 1 の半導体層および前記第 2 の半導体層それぞれの上方に位置する導電膜を形成する工程と、

前記導電膜をマスクとして前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 1 不純物を導入することにより、前記第 1 の半導体層および前記第 2 の半導体層それぞれにソース領域およびドレイン領域を形成する工程と、

前記導電膜を加工することにより、前記第 1 の半導体層および前記第 2 の半導体層それぞれの上に前記ゲート絶縁膜を介して該導電膜からなる第 1 ゲート電極を形成する工程と、

前記第 1 ゲート電極をマスクとして前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 2 不純物を導入することにより、前記第 1 の半導体層および前記第 2 の半導体層それぞれの少なくともドレイン領域側に L D D 領域を形成する工程と、

熱処理を行うことにより、前記ソース領域、前記ドレイン領域および前記 L D D 領域の不純物を活性化させる工程と、

前記駆動回路部の前記第 1 ゲート電極および前記ゲート絶縁膜の上に第 2 ゲート電極を形成する工程と、  
を具備し、

前記第 2 ゲート電極は、前記駆動回路部における前記第 1 ゲート電極と電氣的に接続され、前記駆動回路部における前記 L D D 領域の少なくとも一部を覆うように形成されることを特徴とする半導体装置の作製方法。

【請求項 1 3】

基板上の駆動回路部に第 1 の半導体層を形成すると共に前記基板上の画素部に第 2 の半導体層を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層の上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記第 1 の半導体層および前記第 2 の半導体層それぞれの上方に位置する導電膜を形成する工程と、

前記導電膜をマスクとして前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 1 不純物を導入することにより、前記第 1 の半導体層にソース領域およびドレイン領域を形成すると共に前記第 2 の半導体層にソース領域、ドレイン領域および第 1 容量電極を形成する工程と、

前記導電膜を加工することにより、前記第 1 の半導体層および前記第 2 の半導体層それぞれの上に前記ゲート絶縁膜を介して該導電膜からなる第 1 ゲート電極を形成する工程と、

前記第 1 ゲート電極をマスクとして前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 2 不純物を導入することにより、前記第 1 の半導体層および前記第 2 の半導体層それぞれの少なくともドレイン領域側に L D D 領域を形成する工程と、

熱処理を行うことにより、前記ソース領域、前記ドレイン領域および前記 L D D 領域の不純物を活性化させる工程と、

前記駆動回路部の前記第 1 ゲート電極および前記ゲート絶縁膜上に第 2 ゲート電極を形成すると共に前記画素部の前記第 1 容量電極上に前記ゲート絶縁膜を介して第 2 容量電極を形成する工程と、

を具備し、

前記第 2 ゲート電極は、前記駆動回路部における前記第 1 ゲート電極と電氣的に接続され、前記駆動回路部における前記 L D D 領域の少なくとも一部を覆うように形成されることを特徴とする半導体装置の作製方法。

【請求項 1 4】

基板上の駆動回路部に第 1 の半導体層および第 2 の半導体層を形成すると共に前記基板上の画素部に第 3 の半導体層を形成する工程と、

前記第 1 の半導体層、前記第 2 の半導体層および前記第 3 の半導体層の上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記第 1 の半導体層、前記第 2 の半導体層および前記第 3 の半導体層それぞれの上方に位置する導電膜を形成する工程と、

前記第 2 の半導体層の上方を覆う第 1 のレジストマスクを形成する工程と、

前記第 1 のレジストマスクおよび前記導電膜をマスクとして前記第 1 の半導体層および前記第 3 の半導体層それぞれに N 型第 1 不純物を導入することにより、前記第 1 の半導体層および前記第 3 の半導体層それぞれにソース領域およびドレイン領域を形成する工程と、

前記第 1 のレジストマスクを除去する工程と、

前記導電膜を加工することにより、前記第 1 の半導体層、前記第 2 の半導体層および前記第 3 の半導体層それぞれの上に前記ゲート絶縁膜を介して該導電膜からなる第 1 ゲート電極を形成する工程と、

前記第 1 ゲート電極をマスクとして前記第 1 の半導体層、前記第 2 の半導体層および前記第 3 の半導体層それぞれに N 型第 2 不純物を導入することにより、前記第 1 の半導体層および前記第 3 の半導体層それぞれに L D D 領域を形成する工程と、

前記第 1 の半導体層および前記第 3 の半導体層の上方を覆う第 2 のレジストマスクを形成する工程と、

前記第 2 のレジストマスクおよび前記第 1 ゲート電極をマスクとして前記第 2 の半導体層に P 型不純物を導入することにより、前記第 2 の半導体層にソース領域およびドレイン領域を形成する工程と、

前記第 2 のレジストマスクを除去する工程と、

前記第 1 ゲート電極および前記ゲート絶縁膜の上に絶縁膜を形成する工程と、

熱処理を行うことにより、前記ソース領域、前記ドレイン領域および前記 L D D 領域の不純物を活性化させる工程と、

前記駆動回路部の前記絶縁膜上に第 2 ゲート電極を形成する工程と、  
を具備し、

前記第 1 の半導体層の上方の前記第 2 ゲート電極は、前記第 1 の半導体層上の前記第 1 ゲート電極と電気的に接続され、前記第 1 の半導体層の前記 L D D 領域の少なくとも一部を覆うように形成され、

前記第 2 の半導体層の上方の前記第 2 ゲート電極は、前記第 2 の半導体層上の前記第 1 ゲート電極と電気的に接続され、前記第 2 の半導体層の前記ドレイン領域の少なくとも一部を覆うように形成されることを特徴とする半導体装置の作製方法。

#### 【請求項 15】

基板上の駆動回路部に第 1 の半導体層および第 2 の半導体層を形成すると共に前記基板上の画素部に第 3 の半導体層を形成する工程と、

前記第 1 の半導体層、前記第 2 の半導体層および前記第 3 の半導体層の上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記第 1 の半導体層、前記第 2 の半導体層および前記第 3 の半導体層それぞれの上に位置する導電膜を形成する工程と、

前記第 2 の半導体層の上方を覆う第 1 のレジストマスクを形成する工程と、

前記第 1 のレジストマスクおよび前記導電膜をマスクとして前記第 1 の半導体層および前記第 3 の半導体層それぞれに N 型第 1 不純物を導入することにより、前記第 1 の半導体層および前記第 3 の半導体層それぞれにソース領域およびドレイン領域を形成する工程と

、

前記第 1 のレジストマスクを除去する工程と、

前記導電膜を加工することにより、前記第 1 の半導体層上に前記ゲート絶縁膜を介して該導電膜からなる 2 つの第 1 ゲート電極を形成すると共に、前記第 2 の半導体層および前記第 3 の半導体層それぞれの上に前記ゲート絶縁膜を介して該導電膜からなる第 1 ゲート電極を形成する工程と、

前記第 1 ゲート電極をマスクとして前記第 1 の半導体層、前記第 2 の半導体層および前記第 3 の半導体層それぞれに N 型第 2 不純物を導入することにより、前記第 1 の半導体層および前記第 3 の半導体層それぞれに L D D 領域を形成する工程と、

前記第 1 の半導体層および前記第 3 の半導体層の上方を覆う第 2 のレジストマスクを形成する工程と、

前記第 2 のレジストマスクおよび前記第 1 ゲート電極をマスクとして前記第 2 の半導体層に P 型不純物を導入することにより、前記第 2 の半導体層にソース領域およびドレイン領域を形成する工程と、

前記第 2 のレジストマスクを除去する工程と、

前記第 1 ゲート電極および前記ゲート絶縁膜の上に絶縁膜を形成する工程と、

熱処理を行うことにより、前記ソース領域、前記ドレイン領域および前記 L D D 領域の不純物を活性化させる工程と、

前記第 1 の半導体層の上方の少なくとも 1 つの第 1 ゲート電極および前記第 2 の半導体層の上方の前記第 1 ゲート電極それぞれの上に前記絶縁膜を介して第 2 ゲート電極を形成する工程と、

を具備し、

前記第 1 の半導体層の上方の前記第 2 ゲート電極は、前記第 1 の半導体層の上方の前記少なくとも 1 つの第 1 ゲート電極と電氣的に接続され、前記第 1 の半導体層の前記 L D D 領域の少なくとも一部を覆うように形成され、

前記第 2 の半導体層の上方の前記第 2 ゲート電極は、前記第 2 の半導体層の上方の前記第 1 ゲート電極と電氣的に接続され、前記第 2 の半導体層の前記ドレイン領域の少なくとも一部を覆うように形成されることを特徴とする半導体装置の作製方法。

【請求項 16】

基板上の駆動回路部に第 1 の半導体層および第 2 の半導体層を形成すると共に前記基板上の画素部に第 3 の半導体層を形成する工程と、

前記第 1 の半導体層、前記第 2 の半導体層および前記第 3 の半導体層の上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記第 1 の半導体層、前記第 2 の半導体層および前記第 3 の半導体層それぞれの上方に位置する導電膜を形成する工程と、

前記第 2 の半導体層の上方を覆う第 1 のレジストマスクを形成する工程と、

前記第 1 のレジストマスクおよび前記導電膜をマスクとして前記第 1 の半導体層および前記第 3 の半導体層それぞれに N 型第 1 不純物を導入することにより、前記第 1 の半導体層および前記第 3 の半導体層それぞれにソース領域およびドレイン領域を形成する工程と

、

前記第 1 のレジストマスクを除去する工程と、

前記導電膜を加工することにより、前記第 2 の半導体層上に前記ゲート絶縁膜を介して該導電膜からなる 2 つの第 1 ゲート電極を形成すると共に、前記第 1 の半導体層および前記第 3 の半導体層それぞれの上に前記ゲート絶縁膜を介して該導電膜からなる第 1 ゲート電極を形成する工程と、

前記第 1 ゲート電極をマスクとして前記第 1 の半導体層、前記第 2 の半導体層および前記第 3 の半導体層それぞれに N 型第 2 不純物を導入することにより、前記第 1 の半導体層および前記第 3 の半導体層それぞれに L D D 領域を形成する工程と、

前記第 1 の半導体層および前記第 3 の半導体層の上方を覆う第 2 のレジストマスクを形成する工程と、

前記第 2 のレジストマスクおよび前記第 1 ゲート電極をマスクとして前記第 2 の半導体層に P 型不純物を導入することにより、前記第 2 の半導体層にソース領域およびドレイン領域を形成する工程と、

前記第 2 のレジストマスクを除去する工程と、

前記第 1 ゲート電極および前記ゲート絶縁膜の上に絶縁膜を形成する工程と、

熱処理を行うことにより、前記ソース領域、前記ドレイン領域および前記 L D D 領域の不純物を活性化させる工程と、

前記第 1 の半導体層の上方の前記第 1 ゲート電極および前記第 2 の半導体層の上方の少なくとも 1 つの第 1 ゲート電極それぞれの上に前記絶縁膜を介して第 2 ゲート電極を形成する工程と、

を具備し、

前記第 1 の半導体層の上方の前記第 2 ゲート電極は、前記第 1 の半導体層の上方の前記第 1 ゲート電極と電氣的に接続され、前記第 1 の半導体層の前記 L D D 領域の少なくとも一部を覆うように形成され、

前記第 2 の半導体層の上方の前記第 2 ゲート電極は、前記第 2 の半導体層の上方の前記少なくとも 1 つの第 1 ゲート電極と電氣的に接続され、前記第 2 の半導体層の前記ドレイン領域の少なくとも一部を覆うように形成されることを特徴とする半導体装置の作製方法。

。

【請求項 17】

基板上の駆動回路部に第 1 の半導体層および第 2 の半導体層を形成すると共に前記基板上の画素部に第 3 の半導体層を形成する工程と、

前記第 1 の半導体層、前記第 2 の半導体層および前記第 3 の半導体層の上にゲート絶縁

膜を形成する工程と、

前記ゲート絶縁膜上に、前記第1の半導体層、前記第2の半導体層および前記第3の半導体層それぞれの上方に位置する導電膜を形成する工程と、

前記第2の半導体層の上方を覆う第1のレジストマスクを形成する工程と、

前記第1のレジストマスクおよび前記導電膜をマスクとして前記第1の半導体層および前記第3の半導体層それぞれにN型第1不純物を導入することにより、前記第1の半導体層および前記第3の半導体層それぞれにソース領域およびドレイン領域を形成する工程と、

前記第1のレジストマスクを除去する工程と、

前記導電膜を加工することにより、前記第1の半導体層および前記第2の半導体層それぞれの上に前記ゲート絶縁膜を介して該導電膜からなる第1ゲート電極を形成すると共に前記第3の半導体層上に前記ゲート絶縁膜を介して該導電膜からなる第1ゲート電極および第1容量電極を形成する工程と、

前記第1ゲート電極をマスクとして前記第1の半導体層、前記第2の半導体層および前記第3の半導体層それぞれにN型第2不純物を導入することにより、前記第1の半導体層および前記第3の半導体層それぞれにLDD領域を形成する工程と、

前記第1の半導体層および前記第3の半導体層の上方を覆う第2のレジストマスクを形成する工程と、

前記第2のレジストマスクおよび前記第1ゲート電極をマスクとして前記第2の半導体層にP型不純物を導入することにより、前記第2の半導体層にソース領域およびドレイン領域を形成する工程と、

前記第2のレジストマスクを除去する工程と、

前記第1ゲート電極、前記第1容量電極および前記ゲート絶縁膜の上に絶縁膜を形成する工程と、

熱処理を行うことにより、前記ソース領域、前記ドレイン領域および前記LDD領域の不純物を活性化させる工程と、

前記駆動回路部の前記絶縁膜上に第2ゲート電極を形成すると共に前記画素部の前記第1容量電極上に前記絶縁膜を介して第2容量電極を形成する工程と、

を具備し、

前記第1の半導体層の上方の前記第2ゲート電極は、前記第1の半導体層上の前記第1ゲート電極と電氣的に接続され、前記第1の半導体層の前記LDD領域の少なくとも一部を覆うように形成され、

前記第2の半導体層の上方の前記第2ゲート電極は、前記第2の半導体層上の前記第1ゲート電極と電氣的に接続され、前記第2の半導体層の前記ドレイン領域の少なくとも一部を覆うように形成されることを特徴とする半導体装置の作製方法。

#### 【請求項18】

基板上の駆動回路部に第1の半導体層および第2の半導体層を形成すると共に前記基板上の画素部に第3の半導体層を形成する工程と、

前記第1の半導体層、前記第2の半導体層および前記第3の半導体層の上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記第1の半導体層、前記第2の半導体層および前記第3の半導体層それぞれの上方に位置する導電膜を形成する工程と、

前記第2の半導体層の上方を覆う第1のレジストマスクを形成する工程と、

前記第1のレジストマスクおよび前記導電膜をマスクとして前記第1の半導体層および前記第3の半導体層それぞれにN型第1不純物を導入することにより、前記第1の半導体層および前記第3の半導体層それぞれにソース領域およびドレイン領域を形成する工程と、

前記第1のレジストマスクを除去する工程と、

前記導電膜を加工することにより、前記第1の半導体層上に前記ゲート絶縁膜を介して該導電膜からなる2つの第1ゲート電極を形成し、前記第2の半導体層上に前記ゲート絶

縁膜を介して該導電膜からなる第1ゲート電極を形成すると共に、前記第3の半導体層上に前記ゲート絶縁膜を介して該導電膜からなる第1ゲート電極および第1容量電極を形成する工程と、

前記第1ゲート電極をマスクとして前記第1の半導体層、前記第2の半導体層および前記第3の半導体層それぞれにN型第2不純物を導入することにより、前記第1の半導体層および前記第3の半導体層それぞれにLDD領域を形成する工程と、

前記第1の半導体層および前記第3の半導体層の上方を覆う第2のレジストマスクを形成する工程と、

前記第2のレジストマスクおよび前記第1ゲート電極をマスクとして前記第2の半導体層にP型不純物を導入することにより、前記第2の半導体層にソース領域およびドレイン領域を形成する工程と、

前記第2のレジストマスクを除去する工程と、

前記第1ゲート電極、前記第1容量電極および前記ゲート絶縁膜の上に絶縁膜を形成する工程と、

熱処理を行うことにより、前記ソース領域、前記ドレイン領域および前記LDD領域の不純物を活性化させる工程と、

前記第1の半導体層の上方の少なくとも1つの第1ゲート電極および前記第2の半導体層の上方の前記第1ゲート電極それぞれの上に前記絶縁膜を介して第2ゲート電極を形成すると共に、前記画素部の前記第1容量電極上に前記絶縁膜を介して第2容量電極を形成する工程と、

を具備し、

前記第1の半導体層の上方の前記第2ゲート電極は、前記第1の半導体層の上方の前記少なくとも1つの第1ゲート電極と電氣的に接続され、前記第1の半導体層の前記LDD領域の少なくとも一部を覆うように形成され、

前記第2の半導体層の上方の前記第2ゲート電極は、前記第2の半導体層の上方の前記第1ゲート電極と電氣的に接続され、前記第2の半導体層の前記ドレイン領域の少なくとも一部を覆うように形成されることを特徴とする半導体装置の作製方法。

#### 【請求項19】

基板上の駆動回路部に第1の半導体層および第2の半導体層を形成すると共に前記基板上の画素部に第3の半導体層を形成する工程と、

前記第1の半導体層、前記第2の半導体層および前記第3の半導体層の上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記第1の半導体層、前記第2の半導体層および前記第3の半導体層それぞれの上に位置する導電膜を形成する工程と、

前記第2の半導体層の上方を覆う第1のレジストマスクを形成する工程と、

前記第1のレジストマスクおよび前記導電膜をマスクとして前記第1の半導体層および前記第3の半導体層それぞれにN型第1不純物を導入することにより、前記第1の半導体層および前記第3の半導体層それぞれにソース領域およびドレイン領域を形成する工程と、

前記第1のレジストマスクを除去する工程と、

前記導電膜を加工することにより、前記第1の半導体層上に前記ゲート絶縁膜を介して該導電膜からなる第1ゲート電極を形成し、前記第2の半導体層上に前記ゲート絶縁膜を介して該導電膜からなる2つの第1ゲート電極を形成すると共に、前記第3の半導体層上に前記ゲート絶縁膜を介して該導電膜からなる第1ゲート電極および第1容量電極を形成する工程と、

前記第1ゲート電極をマスクとして前記第1の半導体層、前記第2の半導体層および前記第3の半導体層それぞれにN型第2不純物を導入することにより、前記第1の半導体層および前記第3の半導体層それぞれにLDD領域を形成する工程と、

前記第1の半導体層および前記第3の半導体層の上方を覆う第2のレジストマスクを形成する工程と、

前記第2のレジストマスクおよび前記2つの第1ゲート電極をマスクとして前記第2の半導体層にP型不純物を導入することにより、前記第2の半導体層にソース領域およびドレイン領域を形成する工程と、

前記第2のレジストマスクを除去する工程と、

前記第1ゲート電極、前記第1容量電極および前記ゲート絶縁膜の上に絶縁膜を形成する工程と、

熱処理を行うことにより、前記ソース領域、前記ドレイン領域および前記LDD領域の不純物を活性化させる工程と、

前記第1の半導体層の上方の前記第1ゲート電極および前記第2の半導体層の上方の少なくとも1つの第1ゲート電極それぞれの上に前記絶縁膜を介して第2ゲート電極を形成すると共に、前記画素部の前記第1容量電極上に前記絶縁膜を介して第2容量電極を形成する工程と、

を具備し、

前記第1の半導体層の上方の前記第2ゲート電極は、前記第1の半導体層の上方の前記第1ゲート電極と電氣的に接続され、前記第1の半導体層の前記LDD領域の少なくとも一部を覆うように形成され、

前記第2の半導体層の上方の前記第2ゲート電極は、前記第2の半導体層の上方の前記少なくとも1つの第1ゲート電極と電氣的に接続され、前記第2の半導体層の前記ドレイン領域の少なくとも一部を覆うように形成されることを特徴とする半導体装置の作製方法。

#### 【請求項20】

基板上の駆動回路部に第1の半導体層を形成すると共に前記基板上の画素部に第2の半導体層を形成する工程と、

前記第1の半導体層および前記第2の半導体層の上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記第1の半導体層および前記第2の半導体層それぞれの上に位置する第1導電膜を形成する工程と、

前記第1導電膜上に第2導電膜を形成する工程と、

前記第1導電膜を前記半導体層のチャネル領域およびLDD領域の上方に残し且つ前記第2導電膜を前記半導体層のチャネル領域の上方に残すように加工することにより、前記ゲート絶縁膜上に該第1導電膜および該第2導電膜からなる第1ゲート電極を形成する工程と、

前記第1ゲート電極をマスクとして前記第1の半導体層および前記第2の半導体層それぞれに第1不純物を導入することにより、前記第1の半導体層および前記第2の半導体層それぞれにソース領域およびドレイン領域を形成し、前記第1ゲート電極の第2導電膜をマスクとして前記第1の半導体層および前記第2の半導体層それぞれに第2不純物を導入することにより、前記第1の半導体層および前記第2の半導体層それぞれの少なくともドレイン領域側にLDD領域を形成する工程と、

熱処理を行うことにより、前記ソース領域、前記ドレイン領域および前記LDD領域の不純物を活性化させる工程と、

前記第1ゲート電極および前記ゲート絶縁膜の上に第3導電膜を形成する工程と、

前記第3導電膜上に、前記第1の半導体層のチャネル領域およびLDD領域の上方を覆うようにレジストマスクを形成する工程と、

前記レジストマスクおよび前記第1ゲート電極の第2導電膜をマスクとして前記第3導電膜および前記第1導電膜をエッチングすることにより、前記駆動回路部の前記第1ゲート電極および前記ゲート絶縁膜の上に該第3導電膜からなる第2ゲート電極を形成すると共に前記画素部の前記第2の半導体層のLDD領域の上方に存在する第1導電膜を除去する工程と、

を具備し、

前記第2ゲート電極は、前記駆動回路部における前記第1ゲート電極の少なくとも一部および前記LDD領域の少なくとも一部を覆うように形成されることを特徴とする半導体

装置の作製方法。

【請求項 2 1】

基板上の駆動回路部に第 1 の半導体層を形成すると共に前記基板上の画素部に第 2 の半導体層を形成する工程と、

前記第 1 の半導体層および前記第 2 の半導体層の上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記第 1 の半導体層および前記第 2 の半導体層それぞれの上方に位置する第 1 導電膜を形成する工程と、

前記第 1 導電膜上に第 2 導電膜を形成する工程と、

前記第 1 導電膜を前記半導体層のチャネル領域および L D D 領域の上方に残し且つ前記第 2 導電膜を前記半導体層のチャネル領域の上方に残すように加工することにより、前記ゲート絶縁膜上に該第 1 導電膜および該第 2 導電膜からなる第 1 ゲート電極を形成する工程と、

前記第 1 ゲート電極をマスクとして前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 1 不純物を導入することにより、前記第 1 の半導体層および前記第 2 の半導体層それぞれにソース領域およびドレイン領域を形成し、前記第 1 ゲート電極の第 2 導電膜をマスクとして前記第 1 の半導体層および前記第 2 の半導体層それぞれに第 2 不純物を導入することにより、前記第 1 の半導体層および前記第 2 の半導体層それぞれの少なくともドレイン領域側に L D D 領域を形成する工程と、

前記第 1 ゲート電極および前記ゲート絶縁膜の上に絶縁膜を形成する工程と、

熱処理を行うことにより、前記ソース領域、前記ドレイン領域および前記 L D D 領域の不純物を活性化させる工程と、

前記絶縁膜上に第 3 導電膜を形成する工程と、

前記第 3 導電膜上に、前記第 1 の半導体層のチャネル領域および L D D 領域の上方を覆うようにレジストマスクを形成する工程と、

前記レジストマスクおよび前記第 1 ゲート電極の第 2 導電膜をマスクとして前記第 3 導電膜、前記絶縁膜および前記第 1 導電膜をエッチングすることにより、前記駆動回路部の前記第 1 ゲート電極および前記ゲート絶縁膜の上に前記絶縁膜を介して該第 3 導電膜からなる第 2 ゲート電極を形成すると共に前記画素部の前記第 2 の半導体層の L D D 領域の上方に存在する第 1 導電膜を除去する工程と、

を具備し、  
前記第 2 ゲート電極は、前記駆動回路部における前記第 1 ゲート電極の少なくとも一部および前記 L D D 領域の少なくとも一部を覆うように形成されることを特徴とする半導体装置の作製方法。

【請求項 2 2】

請求項 7、請求項 1 0、請求項 1 1、請求項 1 4 乃至請求項 1 6、請求項 1 7 乃至請求項 1 9 および請求項 2 1 のいずれか一項において、前記絶縁膜が S i O N 膜と S i N 膜とを積層した多層膜であることを特徴とする半導体装置の作製方法。

【請求項 2 3】

請求項 1 乃至請求項 2 2 において、前記第 2 ゲート電極は A l または A l 合金からなる膜で形成されていることを特徴とする半導体装置の作製方法。

【請求項 2 4】

基板上に半導体層を形成する工程と、

前記半導体層上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に第 1 導電膜を形成する工程と、

前記第 1 導電膜上に第 2 導電膜を形成する工程と、

前記第 1 導電膜を前記半導体層のチャネル領域および L D D 領域の上方に残し且つ前記第 2 導電膜を前記半導体層のチャネル領域の上方に残すように加工する工程と、

前記第 1 導電膜および前記第 2 導電膜をマスクとして前記半導体層に第 1 不純物を導入することにより、前記半導体層にソース領域およびドレイン領域を形成し、前記第 2 導電膜をマスクとして前記半導体層に第 2 不純物を導入することにより、前記半導体層に L D

D 領域を形成する工程と、

前記第 1 導電膜を前記半導体層のチャネル領域の上方に残すように加工することにより、前記第 1 導電膜および前記第 2 導電膜からなるゲート電極を形成する工程と、を具備することを特徴とする半導体装置の作製方法。

【請求項 25】

基板上に半導体層を形成する工程と、

前記半導体層上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に第 1 導電膜を形成する工程と、

前記第 1 導電膜上に第 2 導電膜を形成する工程と、

前記第 1 導電膜を前記半導体層のチャネル領域および LDD 領域の上方に残し且つ前記第 2 導電膜を前記半導体層のチャネル領域の上方に残すように加工する工程と、

前記第 1 導電膜および前記第 2 導電膜をマスクとして前記半導体層に第 1 不純物を導入することにより、前記半導体層にソース領域およびドレイン領域を形成し、前記第 2 導電膜をマスクとして前記半導体層に第 2 不純物を導入することにより、前記半導体層に LDD 領域を形成する工程と、

前記第 2 導電膜をマスクとして前記第 1 導電膜を後退させながらテーパー状にエッチングすると共に前記ゲート絶縁膜をエッチングすることにより、前記第 1 導電膜および前記第 2 導電膜からなる第 1 ゲート電極を形成すると共に前記 LDD 領域上に位置する該ゲート絶縁膜に段差部を形成する工程と、

を具備することを特徴とする半導体装置の作製方法。

【請求項 26】

請求項 25 において、前記段差部を形成する工程の後に、前記第 1 ゲート電極の少なくとも一部および前記ドレイン領域側の前記 LDD 領域の少なくとも一部を覆うように第 2 ゲート電極を形成する工程をさらに具備することを特徴とする半導体装置の作製方法。