



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0017981
(43) 공개일자 2008년02월27일

(51) Int. Cl.

H01L 21/8247 (2006.01) H01L 27/115 (2006.01)

(21) 출원번호 10-2006-0079945

(22) 출원일자 2006년08월23일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

최은영

경기도 화성군 태안읍 반월리 신영통 현대아파트 208동 1802호

장성남

서울 강남구 대치동 992번지 현대1차아파트 101동 1201호

(74) 대리인

권혁수, 송윤호, 오세준

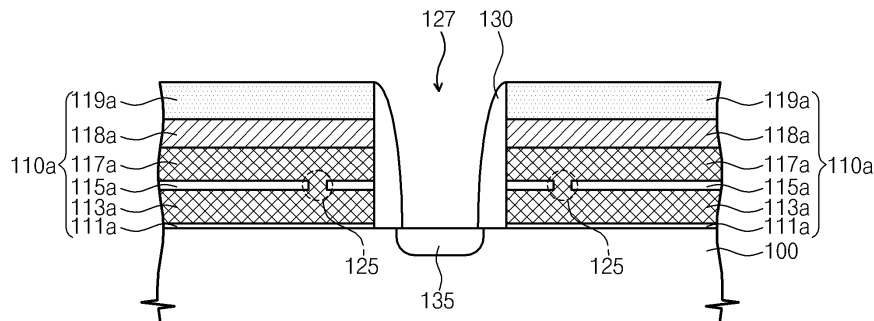
전체 청구항 수 : 총 8 항

(54) 비휘발성 메모리 소자 및 그 형성방법

(57) 요약

비휘발성 메모리 소자 및 그 형성방법이 제공된다. 상기 비휘발성 메모리 소자의 형성방법은 반도체 기판 상에 게이트 절연층, 부유 게이트층, 게이트간 절연층, 제어 게이트층 그리고 하드 마스크를 포함하는 게이트층을 형성하는 것, 상기 게이트층을 패터닝하여 상기 반도체 기판을 노출하는 제 1 개구부를 갖는 게이트층 패턴을 형성하는 것, 상기 제 1 개구부의 측벽에 절연 스페이서를 형성하는 것, 상기 절연 스페이서 및 상기 반도체 기판과 접하는 공통 소오스 라인을 형성하는 것 그리고 상기 게이트층 패턴을 패터닝하여 접지 선택 라인들을 형성하는 것을 포함한다.

대표도 - 도3b



특허청구의 범위

청구항 1

반도체 기판 상의 접지 선택 라인들;

상기 반도체 기판과 접하며, 상기 접지 선택 라인들 사이의 공통 소오스 라인; 및

상기 접지 선택 라인들과 상기 공통 소오스 라인 사이의 스페이서를 포함하되,

상기 공통 소오스 라인 상부면은 상기 접지 선택 라인들 상부면의 높이와 동일하거나 낮은 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 2

청구항 1에 있어서,

상기 접지 선택 라인들과 상기 공통 소오스 라인을 덮는 식각저지막을 더 포함하는 비휘발성 메모리 소자.

청구항 3

청구항 1에 있어서,

상기 공통 소오스 라인과 접하는 상기 반도체 기판의 상부에 제공되는 불순물 영역을 더 포함하는 비휘발성 메모리 소자.

청구항 4

반도체 기판 상에 게이트 절연층, 부유 게이트층, 게이트간 절연층, 제어 게이트층 그리고 하드 마스크를 포함하는 게이트층을 형성하는 것;

상기 게이트층을 패터닝하여 상기 반도체 기판을 노출하는 제 1 개구부를 갖는 게이트층 패턴을 형성하는 것;

상기 제 1 개구부의 측벽에 절연 스페이서를 형성하는 것;

상기 절연 스페이서 및 상기 반도체 기판과 접하는 공통 소오스 라인을 형성하는 것; 그리고

상기 게이트층 패턴을 패터닝하여 접지 선택 라인들을 형성하는 것을 포함하는 비휘발성 메모리 소자의 형성방법.

청구항 5

청구항 4에 있어서,

상기 게이트간 절연층은 상기 부유 게이트층과 상기 제어 게이트층을 연결하는 한 쌍의 제 2 개구부를 갖도록 형성하는 비휘발성 메모리 소자의 형성방법.

청구항 6

청구항 5에 있어서,

상기 제 1 개구부를 갖는 게이트 패턴을 형성하는 것은 상기 한 쌍의 제 2 개구부 사이의 상기 게이트층을 제거하는 것을 포함하는 비휘발성 메모리 소자의 형성방법.

청구항 7

청구항 4에 있어서,

상기 공통 소오스 라인을 형성하는 것은:

상기 게이트층 패턴과 상기 노출된 반도체 기판을 덮는 도전성 물질을 형성하는 것; 그리고

상기 게이트층 패턴의 상부면이 노출되도록 평탄화 공정을 진행하는 것을 포함하는 비휘발성 메모리 소자의 형성방법.

청구항 8

청구항 4에 있어서,

상기 스페이서를 형성한 후,

상기 노출된 반도체 기판의 상부에 불순물 영역을 형성하는 것을 더 포함하는 비휘발성 메모리 소자의 형성방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <8> 본 발명은 비휘발성 메모리 소자 및 그 형성방법에 관한 것으로, 더욱 상세하게는 공통 소오스 라인을 갖는 비휘발성 메모리 소자 및 그 형성방법에 관한 것이다.
- <9> 일반적으로 반도체 메모리 소자는 전기의 공급이 중단됨에 따라 저장된 정보가 소멸되는 휘발성 메모리 소자(volatile memory device)와 전기의 공급이 중단되더라도 저장된 정보를 계속 유지할 수 있는 비휘발성 메모리 소자(nonvolatile memory device)로 구분된다. 플래시 메모리 소자는 비휘발성 메모리 소자로서, 프로그램 및 소거가 가능한 이피롬(EPROM: Erasable Programmable Read Only Memory)과 전기적으로 프로그램 및 소거가 가능한 이이피롬(EEPROM: Electrically Erasable Programmable Read Only Memory)의 장점을 조합하여 개발된 고집적 장치이다. 플래시 메모리 소자는 노아형(NOR type)과 낸드형(NAND type)으로 구분될 수 있다. 낸드형은 복수 개의 메모리 셀들을 하나의 스트링(string)으로 묶어 일체로 제어할 수 있어 고집적화에 유리하다.
- <10> 도 1은 일반적인 낸드형 플래시 메모리 소자를 나타낸 평면도이다.
- <11> 도 1을 참조하면, 반도체 기판에 제공된 소자분리막에 의하여 활성영역들(ACT)이 정의된다. 낸드형 플래시 메모리 장치는 복수의 셀 스트링들로 이루어진 셀 어레이를 구비한다. 각 셀 스트링은 소오스 영역과 드레인 영역 사이에 직렬로 연결된 접지 선택 트랜지스터, 스트링 선택 트랜지스터 그리고 접지 선택 트랜지스터와 스트링 선택 트랜지스터 사이에 직렬로 연결된 복수의 메모리 셀들로 구성된다. 상기 셀 어레이는 상기 활성 영역(AC T)을 가로지르는 복수의 접지 선택 라인들(Ground Select Line:GSL), 스트링 선택 라인들(String Select Line:SSL) 그리고 접지 선택 라인들(GSL)과 스트링 선택 라인들 사이의 워드 라인들(WL)을 포함한다. 상기 접지 선택 라인들(GSL) 사이에 공통 소오스 라인(Common Source Line:CSL)이 제공된다. 공통 소오스 라인(CSL)은 소오스 영역들을 전기적으로 연결시킨다. 상기 스트링 선택 라인들(SSL) 사이에 비트라인 콘택(DC)이 제공된다. 상기 비트라인 콘택은 상기 스트링 선택 라인들(SSL)과 비트라인을 연결시킨다.
- <12> 상기 플래시 메모리 소자가 고집적화됨에 따라, 상기 접지 선택 라인들(GSL)이 형성된 후 공통 소오스 라인(CSL)이 형성될 때, 오정렬(mis-align)이 발생하여 전기적 단락이 문제되거나 반도체 기판이 노출되지 않는 문제가 발생하고 있다. 이에 따라, 플래시 메모리 소자의 신뢰성이 저하될 수 있다.

발명이 이루고자 하는 기술적 과제

- <13> 본 발명의 목적은 신뢰성이 향상된 비휘발성 메모리 소자 및 그 형성방법을 제공하는 것이다.

발명의 구성 및 작용

- <14> 상기 비휘발성 메모리 소자는 반도체 기판 상의 접지 선택 라인들, 상기 반도체 기판과 접하며 상기 접지 선택 라인들 사이의 공통 소오스 라인 및 상기 접지 선택 라인들과 상기 공통 소오스 라인 사이의 스페이서를 포함하되, 상기 공통 소오스 라인 상부면은 상기 접지 선택 라인들 상부면의 높이와 동일하거나 낮은 것을 특징으로 한다.
- <15> 상기 비휘발성 메모리 소자는 상기 접지 선택 라인들과 상기 공통 소오스 라인을 덮는 식각저지막을 더 포함할 수 있다.
- <16> 상기 비휘발성 메모리 소자는 상기 공통 소오스 라인과 접하는 상기 반도체 기판의 상부에 제공되는 불순물 영

역을 더 포함할 수 있다.

- <17> 상기 비휘발성 메모리 소자의 형성방법은 반도체 기판 상에 게이트 절연층, 부유 게이트층, 게이트간 절연층, 제어 게이트층 그리고 하드 마스크를 포함하는 게이트층을 형성하는 것, 상기 게이트층을 패터닝하여 상기 반도체 기판을 노출하는 제 1 개구부를 갖는 게이트층 패턴을 형성하는 것, 상기 제 1 개구부의 측벽에 절연 스페이서를 형성하는 것, 상기 절연 스페이서 및 상기 반도체 기판과 접하는 공통 소오스 라인을 형성하는 것 그리고 상기 게이트층 패턴을 패터닝하여 접지 선택 라인들을 형성하는 것을 포함한다.
- <18> 상기 게이트간 절연층은 상기 부유 게이트층과 상기 제어 게이트층을 연결하는 한 쌍의 제 2 개구부를 갖도록 형성할 수 있다.
- <19> 상기 제 1 개구부를 갖는 게이트 패턴을 형성하는 것은 상기 한 쌍의 제 2 개구부 사이의 상기 게이트층을 제거하는 것을 포함할 수 있다.
- <20> 상기 공통 소오스 라인을 형성하는 것은 상기 게이트층 패턴과 상기 노출된 반도체 기판을 덮는 도전성 물질을 형성하는 것 그리고 상기 게이트층 패턴의 상부면이 노출되도록 평탄화 공정을 진행하는 것을 포함할 수 있다.
- <21> 상기 비휘발성 메모리 소자의 형성방법은 상기 스페이서를 형성한 후, 상기 노출된 반도체 기판의 상부에 불순물 영역을 형성하는 것을 더 포함할 수 있다.
- <22> 이하, 본 발명의 실시예에 따른 비휘발성 메모리 소자 및 그 형성방법을 첨부한 도면을 참조하여 상세히 설명한다. 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- <23> 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- <24> 도 2는 본 발명의 실시예에 따른 비휘발성 메모리 소자를 설명하기 위하여 도 1의 I-I' 라인을 따라 취해진 단면도이다.
- <25> 도 2를 참조하면, 반도체 기판(100) 상에 게이트 라인(110b, 110c)이 제공된다. 상기 게이트 라인(110b, 110c)은 게이트 절연막(111b), 부유 게이트 도전막(113b), 게이트간 절연막(115b), 제어 게이트 도전막(117b), 금속 실리사이드막(118b) 및 하드 마스크막(119b)을 포함할 수 있다. 상기 게이트 절연막(110b)은 터널링이 일어날 수 있는 얇은 두께를 갖는 실리콘 산화막을 포함할 수 있다. 상기 부유 게이트 도전막(113b)과 상기 제어 게이트 도전막(117b)은 폴리 실리콘을 포함할 수 있다. 상기 게이트간 절연막(115b)은 상기 부유 게이트 도전막(113b)과 상기 제어 게이트 도전막(117b)을 연결하는 제 2 개구부(125)를 갖는 ONO막(Oxide-Nitride-Oxide)을 포함할 수 있다. 상기 금속 실리사이드막(118b)은 텅스텐 실리사이드를 포함할 수 있다. 상기 하드 마스크막(119b)은 실리콘 질화막 또는 실리콘 산화질화막을 포함할 수 있다.
- <26> 상기 게이트 라인(110b, 110c)은 접지 선택 라인들(Ground Select Line: 110b)과 워드 라인들(110c)을 포함할 수 있다. 상기 접지 선택 라인들(Ground Select Line: 110b)은 상기 제 2 개구부(125)를 가질 수 있다. 상기 접지 선택 라인들(110b) 사이에 공통 소오스 라인(140)이 제공된다. 상기 공통 소오스 라인(140)과 상기 접지 선택 라인들(110b) 사이에 절연 스페이서(130)가 제공된다. 상기 절연 스페이서(130)는 실리콘 질화막 또는 실리콘 산화질화막을 포함할 수 있다. 상기 공통 소오스 라인(140)과 접하는 반도체 기판(100)의 상부에 불순물 영역(135)이 제공된다. 상기 불순물 영역(135)은 콘택 저항을 낮추기 위해 제공된다. 상기 접지 선택 라인들(110b)과 워드 라인들(110c) 사이에 스페이서(150)가 제공된다. 상기 공통 소오스 라인(140)과 접지 선택 라인들(110b) 그리고 워드 라인들(110c)을 덮는 식각저지막(160)이 제공된다. 상기 공통 소오스 라인(140)의 상부면은 상기 접지 선택 라인들(110b) 상부면의 높이와 동일하거나 낮을 수 있다.
- <27> 도 3a 내지 3c는 본 발명의 실시예에 따른 비휘발성 메모리 소자의 형성방법을 설명하기 위하여 도 1의 I-I' 라인을 따라 취해진 단면도이다.
- <28> 도 3a를 참조하면, 반도체 기판(100) 상에 게이트층(110)이 제공된다. 상기 게이트층(110)은 게이트 절연층(111), 부유 게이트층(113), 게이트간 절연층(115), 제어 게이트층(117), 금속 실리사이드층(118) 그리고 하드 마스크(119)를 포함할 수 있다. 상기 게이트 절연층(111)은 열산화 공정으로 형성된 실리콘 산화막을 포함할 수 있다. 상기 부유 게이트층(113)과 제어 게이트층(117)은 화학 기상 증착(chemical vapor deposition) 방법으로

형성된 폴리 실리콘을 포함할 수 있다. 상기 게이트간 절연층(115)은 화학 기상 증착 방법으로 형성된 ONO막(Oxide-Nitride-Oxide)을 포함할 수 있다. 상기 게이트간 절연층(115)은 접지 선택 라인들이 형성되는 게이트층(110)에 한 쌍의 제 2 개구부(125)를 가질 수 있다. 상기 금속 실리사이드층(118)은 내열성 금속을 증착하고 폴리 실리콘과 반응시킨 후, 반응하지 않은 내열성 금속을 제거하여 형성될 수 있다. 상기 하드 마스크(119)은 화학 기상 증착 방법으로 형성된 실리콘 질화막 또는 실리콘 산화질화막을 포함할 수 있다. 상기 게이트층(110)상에 포토 레지스트 패턴(120)이 형성된다.

<29> 도 3b를 참조하면, 상기 포토 레지스트 패턴(120)을 마스크로 상기 하드 마스크(119)가 패터닝되어 하드 마스크 패턴(119a)이 형성된다. 상기 하드 마스크 패턴(119a)을 마스크로 상기 금속 실리사이드층(118), 제어 게이트층(117), 게이트간 절연층(115), 부유 게이트층(113) 그리고 게이트 절연층(111)이 패터닝되어 게이트층 패턴(110a)이 형성된다. 상기 게이트층 패턴(110a)은 상기 한 쌍의 제 2 개구부(125) 사이의 상기 게이트층(110)을 제거하여, 상기 반도체 기판(100)을 노출시키는 제 1 개구부(127)를 갖는다. 상기 게이트층 패턴(110a)은 상기 게이트층(110)의 패터닝으로 인하여 금속 실리사이드층 패턴(118a), 제어 게이트층 패턴(117a), 게이트간 절연층 패턴(115a), 부유 게이트층 패턴(113a) 그리고 게이트 절연층 패턴(111a)을 포함할 수 있다.

<30> 상기 게이트층 패턴(110a)과 상기 노출된 반도체 기판(100)을 덮는 절연물질이 형성된다. 상기 절연물질에 전면 이방성 식각 공정을 진행하여 상기 제 1 개구부(127)의 측벽(side wall)에 절연 스페이서(130)가 형성된다. 이어서, 상기 노출된 반도체 기판의 상부에 이온 주입 공정을 진행하여 불순물 영역(135)이 형성될 수 있다. 상기 불순물 영역(135)은 콘택 저항을 감소시킬 수 있다.

<31> 도 3c를 참조하면, 상기 제 1 개구부(127)에 공통 소오스 라인(140)이 형성된다. 상기 공통 소오스 라인(140)은 상기 게이트층 패턴(110a)과 노출된 상기 반도체 기판(100)을 덮는 도전성 물질을 형성한 후, 상기 게이트층 패턴(110a)의 상부면이 노출되도록 평탄화 공정을 진행하여 형성될 수 있다. 상기 게이트층 패턴(110a)을 패터닝하여 게이트 라인(110b, 110c)이 형성된다. 상기 게이트 라인(110b, 110c)은 상기 게이트층(110)을 패터닝하는 방법으로 형성될 수 있다. 상기 게이트 라인(110b, 110c)은 접지 선택 라인들(110b)과 워드 라인들(110c)을 포함할 수 있다. 상기 공통 소오스 라인(140)이 형성된 후 상기 게이트 라인(110b, 110c)이 형성되므로, 전기적 단락이 방지될 수 있으며 상기 반도체 기판(100)과 상기 공통 소오스 라인(140)의 접촉 면적이 확보될 수 있다.

<32> 상기 게이트 라인(110b, 110c)을 덮는 절연 물질을 증착한 후, 전면 이방성 식각 공정을 진행하여 스페이서(150)가 형성된다. 비휘발성 메모리 소자의 고집적화에 따라, 상기 스페이서(150)는 도식된 바와 같이 상기 게이트 라인(110b, 110c) 사이의 공간을 대부분 채우면서 형성될 수 있다. 상기 게이트 라인(110b, 110c)과 상기 공통 소오스 라인(140)을 덮는 식각저지막(160)이 형성될 수 있다. 상기 식각저지막(160)은 화학 기상 증착 방법으로 형성된 실리콘 질화막 또는 실리콘 산화질화막을 포함할 수 있다.

발명의 효과

<33> 본 발명의 실시예에 따르면, 공통 소오스 라인이 형성된 후 접지 선택 라인을 포함하는 게이트 라인이 형성된다. 따라서, 공통 소오스 라인과 접지 선택 라인 간의 전기적 단락(short)이 방지될 수 있으며, 공통 소오스 라인과 반도체 기판의 접촉 면적이 확보될 수 있다.

<34> 이에 따라, 비휘발성 메모리 소자의 신뢰성이 향상될 수 있다.

도면의 간단한 설명

<1> 도 1은 일반적인 낸드 플래시 메모리 소자를 나타낸 평면도이다.

<2> 도 2는 본 발명의 실시예에 따른 비휘발성 메모리 소자를 설명하기 위하여 도 1의 I-I' 라인을 따라 취해진 단면도이다.

<3> 도 3a 내지 3c는 본 발명의 실시예에 따른 비휘발성 메모리 소자의 형성방법을 설명하기 위하여 도 1의 I-I' 라인을 따라 취해진 단면도들이다.

<4> *도면의 주요부분에 대한 부호의 설명*

<5> 110: 게이트층 110a: 게이트층 패턴

<6> 110b, 110c: 게이트 라인 130: 절연 스페이서

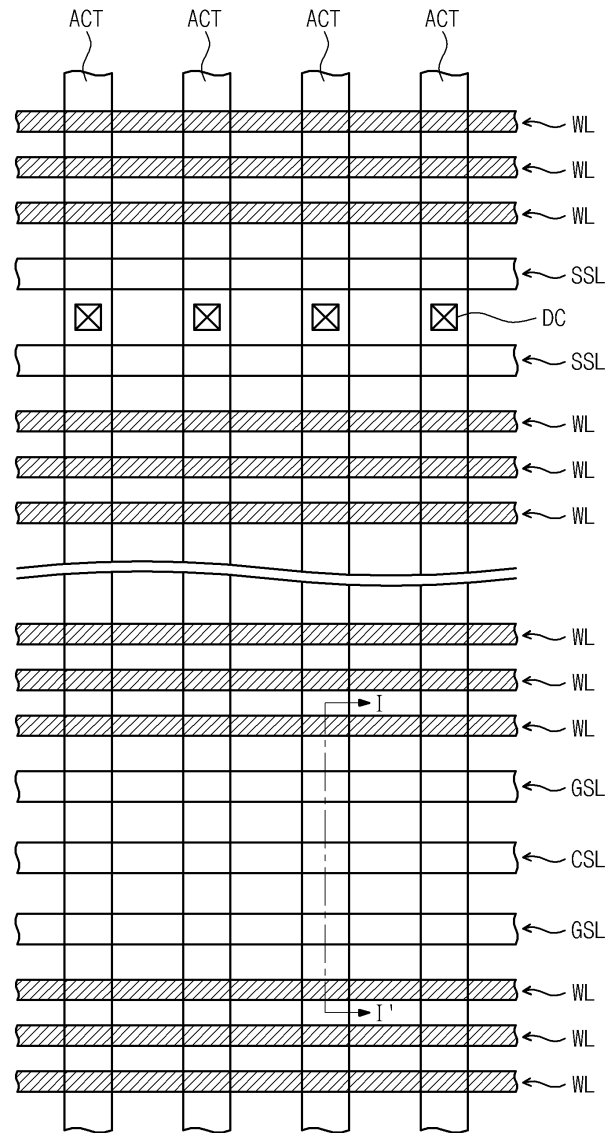
<7>

140: 공통 소오스 라인

160: 식각저지막

도면

도면1



도면2

