



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I618248 B

(45) 公告日：中華民國 107 (2018) 年 03 月 11 日

(21) 申請案號：105133854

(22) 申請日：中華民國 100 (2011) 年 10 月 11 日

(51) Int. Cl. : **H01L29/732 (2006.01)****H01L29/74 (2006.01)****H01L29/772 (2006.01)**

(30) 優先權：2010/10/12 美國

61/392,419

(71) 申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72) 發明人：斯圖柏麥可 A STUBER, MICHAEL A. (US) ; 摩林斯圖爾特 B MOLIN, STUART B.

(US)

(74) 代理人：李世章

(56) 參考文獻：

US 5212397

US 5420458

US 2005/0242369A1

審查人員：邱青松

申請專利範圍項數：13 項 圖式數：20 共 82 頁

(54) 名稱

具有薄基體之垂直半導體元件

VERTICAL SEMICONDUCTOR DEVICE WITH THINNED SUBSTRATE

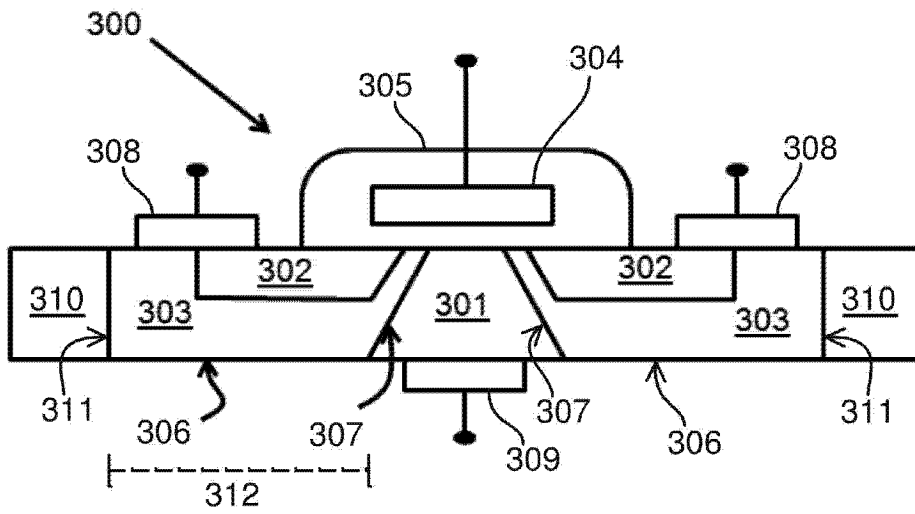
(57) 摘要

一種垂直半導體元件 (例如, 一垂直功率元件, 一絕緣閘雙極電晶體元件, 一垂直雙極電晶體, 一 UMOS 元件或一截斷閘流體) 具有一主動半導體區域, 在該主動半導體區域內已製成多數半導體結構以便形成一主動元件, 且在該主動半導體區域下方已移除一基體材料之至少一部份以便隔離該主動元件, 以便暴露該等半導體結構中之至少一半導體結構以進行底側電連接及加強散熱。該等半導體結構中之至少一半導體結構最好在該主動半導體區域之底側與一電極接觸。

A vertical semiconductor device (e.g. a vertical power device, an IGBT device, a vertical bipolar transistor, a UMOS device or a GTO thyristor) is formed with an active semiconductor region, within which a plurality of semiconductor structures have been fabricated to form an active device, and below which at least a portion of a substrate material has been removed to isolate the active device, to expose at least one of the semiconductor structures for bottom side electrical connection and to enhance thermal dissipation. At least one of the semiconductor structures is preferably contacted by an electrode at the bottom side of the active semiconductor region.

指定代表圖：

第 3 圖



符號簡單說明：

- 300 . . . 垂直功率元件
- 301 . . . 第一半導體區域
- 302 . . . 第二半導體區域
- 303 . . . 第三半導體區域
- 304 . . . 閘極區域
- 305 . . . 氧化物/絕緣體
- 306 . . . 底邊界
- 307 . . . 側邊界
- 308 . . . 頂電極
- 309 . . . 底側汲極電極
- 310 . . . 溝槽氧化物或淺槽隔離(STI)區域
- 311 . . . 整個垂直側
- 312 . . . 尺寸

【發明說明書】

【中文發明名稱】具有薄基體之垂直半導體元件

【英文發明名稱】VERTICAL SEMICONDUCTOR DEVICE WITH THINNED SUBSTRATE

【技術領域】

【0001】 本發明係有關於一種具有薄基體之垂直半導體元件。

【先前技術】

【0002】 由1950年代早期開始，半導體功率元件就已經在使用。它們是在功率電子電路中作為開關或整流器使用之特殊元件。半導體功率元件之特徵在於它們耐受高電壓及大電流以及與高功率操作有關之高溫的能力。例如，一開關電壓調節器將包含兩功率元件，且該等功率元件以一同步方式經常地接通與斷路以便調節一電壓。該等功率元件在這情形下必須在該接通狀態減少系統級電流，在該斷路狀態耐受該電源之全電位，且散失大量之熱。理想之功率元件可以在高功率狀況下操作，可在接通與斷路之間快速地切換，且展現低熱阻性。

【0003】 使用金屬氧化物半導體場效電晶體（MOSFET）技術供給之一標準功率元件結構是垂直擴散金屬氧化物半導體（VDMOS）結構。該垂直擴散金屬氧化物半導體結構亦被稱為雙擴散金屬氧化物半導體

(DMOS)。因為電流垂直地流經該元件所以使用該“垂直”用語，因為該等通道及源極區域係通過一擴散處理步驟產生所以使用該“擴散”用語。該結構可參照第1圖說明。

【0004】第1圖顯示一垂直擴散金屬氧化物半導體之橫截面圖。該功率元件100包括一或多個源極電極101，一汲極電極102，及一閘極電極103。多數源極區域104係在一n型垂直擴散金屬氧化物半導體元件中被N+摻雜。與一標準金屬氧化物半導體場效電晶體組態相反地，該等源極區域104係設置在一閘極105之各側在一閘極絕緣體106下方。多數通道區域107係在一n型垂直擴散金屬氧化物半導體元件中被P+摻雜，且它們被設置在一汲極區域108與該等源極區域104之間。在一n型垂直擴散金屬氧化物半導體元件中，一施加至該閘極電極103之高電壓將使該等通道區域107在該等源極區域104與該汲極區域108之間倒轉。相較於使用相同晶粒面積量供給之一標準金屬氧化物半導體場效電晶體，這組態容許該功率元件100耐受在該斷路狀態中之一高電壓及在該接通狀態中之一高電流。該功率元件100之通道寬度是具有相同晶粒面積之一傳統金屬氧化物半導體場效電晶體之通道寬度的兩倍，因此容許該功率元件100耐受大電流。此外，在一傳統金屬氧化物半導體場效電晶體中經常是該通道長度的尺寸不會影響該崩潰電壓，反而是該汲極區域108之厚度及摻雜決定該功率元件100之崩潰電壓。當在

一般體半導體製程中使用一垂直擴散金屬氧化物半導體時，該汲極區域108經常是該元件基體。

【0005】 該垂直擴散金屬氧化物半導體功率元件100具有限制它無法如一理想功率元件般操作之某些不利面。例如，有一由在該汲極區域108及該通道區域107之間之邊界形成的大接面電容。這電容係大致起因於由一尺寸111決定之一面積部份及由一尺寸110決定之一深度部份。由於當該功率元件100切換狀態時，由該汲極區域108及該通道區域107形成之接面必須充電或放電，所以這接面之電容降低該功率元件100之效能。此外，由於該面積部份是有限的，不可能分別接觸該等源極區域104及該等通道區域107，因為如源極電極101之電極會經常佔去大量面積。再者，由於該功率元件100係設置在體半導體上，所以它蒙受非常不良熱效能之害。因為當處理比 $200\ \mu\text{m}$ 更薄之大直徑晶圓時晶圓斷裂之高發生率，所以設置在體半導體中之功率元件通常具有一大約 $200\ \mu\text{m}$ 之最小晶圓厚度。由於一矽基體之熱阻與該矽基體之厚度成正比，在體半導體上設置功率元件就熱效能而言是有問題的。在一積體電路中之高熱會使其元件之電特性偏移至一預期範圍之外，造成嚴重之設計失敗。在一元件中留下不受抑制之多餘熱會導致以翹曲或熔化在該元件中之電路之材料的形式呈現之永久及嚴重故障。

【0006】 此外，層轉移技術通常包含在各種加工階段之一對半導體晶圓，且該等半導體晶圓使用直接、分子、或

黏著接合法接合在一起。如果該等晶圓中一晶圓是一絕緣體上覆半導體 (SOI) 或絕緣體上覆矽晶圓且該基體已被移除以暴露出埋氧化物，則所得之結構包含一元件層，且該元件層相對其初始位向上下顛倒並且已經由一絕緣體上覆半導體晶圓轉移到一新操作晶圓上。

【0007】 一層轉移結構200係顯示在第2圖中。該層轉移結構200包括一操作晶圓201及一絕緣體上覆半導體晶圓202。該操作晶圓201包含一操作晶圓基體203及一操作接合層204。該絕緣體上覆半導體晶圓202包含一絕緣層205及一電路層206。該層轉移結構200顯示一層轉移製程之最後產物。但是，在層轉移開始之前，該絕緣體上覆半導體晶圓202另外包含另一層在該絕緣層205下方之基體材料。該基體層通常是一例如矽之半導體材料。該絕緣層205是一介電體，且該介電體經常是通過氧化該基體矽而形成之二氧化矽。該電路層206包括摻雜物、介電體、多晶矽、金屬層、鈍化層、及在多數結構207已經形成在其中後存在之其他層的一組合。該等結構207可包括金屬線；例如電阻，電容，及電感之被動元件；及例如電晶體之主動元件。當該操作接合層204接合在該絕緣體上覆半導體晶圓202之頂部時，層轉移開始。此時，該操作晶圓201對該絕緣體上覆半導體晶圓202提供足夠之穩定性使得在該絕緣層205下方之前述基體材料層可以被移除。由於這製程，該層轉移結構200提供一可透過一底面208接觸之元件。這表示相對在該電路層206中之結

構 207 的多數外接頭非常靠近該等結構 207 本身。在某些情形下，這距離是 1 微米 (μm) 之等級。

【0008】 在此及在附加申請專利範圍中使用之該層轉移結構 200 之“頂部”是指一頂面 209 而該層轉移結構 200 之“底部”是指該底面 208。不論該電路層 206 相對於其他參考架構之方位如何，且不論是否由該絕緣體上覆半導體晶圓 202 移除多數層或在該絕緣體上覆半導體晶圓 202 上加上多數層，這定向方式持續存在。因此，該電路層 206 一直在該絕緣層 205 “上方”。此外，不論該絕緣體上覆半導體晶圓 202 相對於其他參考架構之方位如何，且不論是否由該絕緣體上覆半導體晶圓 202 移除多數層或在該絕緣體上覆半導體晶圓 202 上加上多數層，一起源於該電路層 206 之中心且向該底面 208 延伸之向量將一直指向該層轉移結構之“背側”。

【0009】 有鑒於這些及其他背景考量，本發明已經研究出來了。

【發明內容】

【0010】 依據本發明之一實施例，係特地提出一種積體電路晶片，包含：一垂直半導體元件，包含：一主動半導體區域，在該主動半導體區域內已製成多數半導體結構以便形成一主動元件，且在該主動半導體區域下方已移除一基體材料之至少一部份以便隔離該主動元件，以便暴露該等半導體結構中之至少一半導體結構以進行底側電連接

及加強散熱；及至少一底側電極，其與至少一暴露之半導體結構連接。

【0011】 依據本發明之一實施例，係特地提出一種垂直功率元件，包含：一閘極區域；及一主動區域，其具有第一，第二及第三半導體區域；且其中：該第一半導體區域係設置在該閘極區域下方；該第三半導體區域隔離該第一半導體區域與該第二半導體區域；該第三半導體區域具有一底邊界及一側邊界；該側邊界由該閘極區域下方延伸至該底邊界；且該等第一與第三半導體區域沿該側邊界接觸且沿該底邊界不接觸。

【0012】 依據本發明之一實施例，係特地提出一種製造一積體電路晶片之方法，包含：提供具有一頂側及一底側之一晶圓；在該晶圓中之一垂直半導體元件之一主動半導體區域中形成多數半導體結構；由該晶圓之底側移除該晶圓之至少一部份以便隔離該主動半導體區域，以便暴露該等半導體結構中之至少一半導體結構以進行底側電連接及加強散熱；及在該底側接觸該等半導體結構中之至少一半導體結構。

【圖式簡單說明】

【0013】 第1圖是一習知垂直擴散金屬氧化物半導體功率元件之簡化圖。

【0014】 第2圖是一習知層轉移結構之橫截面的簡化圖。

【0015】 第3圖是結合本發明之一實施例之一垂直功率元件之橫截面的簡化圖。

【0016】 第4圖是結合本發明之另一實施例之一垂直功率元件之橫截面的簡化圖。

【0017】 第5圖是結合本發明之一實施例之一垂直功率元件之一平面布置圖案例的簡化圖。

【0018】 第6圖是結合本發明之一實施例之一垂直功率元件之另一平面布置圖案例的簡化圖。

【0019】 第7圖是結合本發明之再一實施例之一垂直功率元件之橫截面的簡化圖。

【0020】 第8圖是結合本發明之一實施例之一垂直功率元件之另一平面布置圖案例的簡化圖。

【0021】 第9圖是結合本發明之一實施例之一垂直功率元件之另一平面布置圖案例的簡化圖。

【0022】 第10圖是結合本發明之又一實施例之一垂直功率元件之橫截面的簡化圖。

【0023】 第11圖是結合本發明之另一實施例之一絕緣閘雙極電晶體（IGBT）元件之橫截面的簡化圖。

【0024】 第12圖是結合本發明之再一實施例之一垂直雙極電晶體元件之橫截面的簡化圖。

【0025】 第13圖是結合本發明之又一實施例之一UMOS元件之橫截面的簡化圖。

【0026】 第14圖是結合本發明之另一實施例之另一UMOS元件之橫截面的簡化圖。

【0027】 第15圖是結合本發明之再一實施例之截斷(GTO)閘流體之橫截面的簡化圖。

【0028】 第16圖是具有結合本發明之又一實施例之一垂直功率元件之一層轉移元件之橫截面的簡化圖。

【0029】 第17圖是具有多數元件且結合本發明之另一實施例之一半導體晶粒之橫截面的簡化圖。

【0030】 第18圖是依據本發明之一實施例，用以製造在第3-10，13，14，16及/或17圖中所示之元件中之一或多個元件之一方法的簡化流程圖。

【0031】 第19圖是依據本發明之一實施例，用以製造在第11及/或12圖中所示之元件中之一或多個元件之一方法的簡化流程圖。

【0032】 第20圖是依據本發明之一實施例，用以製造在第15圖中所示之元件中之一或多個元件之一方法的簡化流程圖。

【實施方式】

【0033】 本發明係以在以下所述之數個相關實施例顯示。各實施例大致展現在背景中所示之效能度量上之多種改良，例如在由一斷路狀態快速轉換至一接通狀態之能力上之電效能改良及在散失大量熱之能力上之熱效能改良。此外，某些實施例可由獨立地偏壓一功率電晶體之源極及本體獲得另外的好處。又，某些實施例藉由包括層轉移結構及技術達成某些改良或好處。另外，不論是否使用

一 S O I (絕緣體上覆半導體) 或體半導體晶圓, 及有或沒有層轉移結構及技術, 均可藉由使該半導體基體薄化得到某些改良或好處。此外, 某些實施例藉由包括一環繞該等主動區域之隔離溝槽達成某些改良, 且這亦可由使該半導體基體薄化以便更徹底地隔離該等主動區域得到好處。另外, 包括不一定透過一共用基體形成所有元件之共用汲極之實施例的某些實施例, 藉由具有可將任何數目及組合之在此所述之獨立垂直半導體元件(包括多數垂直功率元件等) 整合在一有(或沒有) 其他另外類比或數位電路之積體電路(I C) 晶片或晶粒上之能力達成某些改良。此外, 雖然在許多實施例中該半導體材料可在此說明為矽, 但是應了解的是本發明不必如此受限, 而是其他半導體材料(例如 G a A s 、 S i C 、 G a N 、 I n G a A s 、 I n P 等) 大致均在本發明之範疇內。

【0034】 以下將詳細參照所揭露發明之某些實施例, 其一或多個例子係顯示在添附圖式中。各例子係藉由說明本技術來提供, 而不是作為本技術之一限制。事實上, 所屬技術領域中具有通常知識者應了解的是在不偏離本技術之情形下, 可對本技術進行多種修改及變化。例如, 作為一實施例之一部份之所示或所述特徵可與另一實施例共用以產生又一實施例。如此, 意圖是本標的物在附加申請專利範圍及其等效物內涵蓋所有這些修改及變化。

【0035】 本發明之某些實施例大致為具有低寄生電容, 低熱阻, 及高隔離性之垂直功率元件而提供。本發明

之某些實施例藉由省略該汲極區域 108 (第 1 圖) 之某些部份, 或使其一垂直及 / 或水平尺寸減至最小使得在該等新元件中之該等汲極及通道區域之間的電容明顯減少而達到這些有利的結果。在本發明之某些實施例中, 該汲極區域 108 被移除之部份 (例如, 由於使該半導體基體薄化) 是該汲極區域 108 在該通道區域 107 下方的部份使得在該等新元件中之通道區與該等新元件之內電容沒有關聯。本發明之某些實施例利用該通道區與元件效能之沒有關聯的結果來實現另外之好處, 例如提供垂直擴散金屬氧化物半導體, 因此該本體及源極可以在沒有晶粒面積損失之情形下獨立地連接。此外, 本發明之某些實施例藉由將由該裝置之主動、熱產生區域至該裝置之背側之距離減少到大約 $1\ \mu\text{m}$ (即, 使該半導體基體薄化) 以便為該元件之主動區域提供最快速熱路徑來提供低隔熱性。另外, 設置一 NMOS 及 / 或 PMOS 功率元件之本發明之某些實施例藉由重新定義該等汲極與源極區域之角色使得該頂電極與該汲極區域連接且一單一背側接頭連接該等源極及通道區域兩者來達成前述有利結果。

【0036】 本發明之某些實施例可以參照第 3 圖說明。第 3 圖顯示一垂直功率元件 300, 該垂直功率元件 300 可形成一全積體電路晶片且符合本發明。在本發明之各種實施例中, 該垂直功率元件 300 最好是一 NMOS 或一 PMOS 垂直電晶體。該垂直功率元件 300 大致包含在一主動表面層, 或主動半導體區域內之第一、第二與第三半導體區域

301、302與303。(在此及在附加申請專利範圍中，該“主動層”或“主動半導體區域”表示其中多數半導體結構已被植入、摻雜或沈積之一半導體基體之部份)。該垂直功率元件300亦具有在該主動層上之一閘極區域304。該第一半導體區域301大致在該閘極區域304下方，且該閘極區域304被一氧化物/絕緣體305包圍。該第二半導體區域302最好具有與該第一半導體區域301相同或類似之電型態。(例如，如果該垂直功率元件300是一n型元件，則第一與第二半導體區域301與302是n型區域)。該第三半導體區域303大致隔離該第一半導體區域301與該第二半導體區域302。該第三半導體區域303具有一底邊界306及一由該閘極區域304延伸至該底邊界306之307。該第一半導體區域301沿該側邊界307接觸該第三半導體區域303且沿該底邊界306不接觸該第三半導體區域303。換言之，相較於第1圖之習知汲極區域108，該第一半導體區域301之垂直及水平尺寸已經減至最小(例如，以便使寄生電容、熱阻及電阻減至最小)。此外，該第三半導體區域303最好與該第一半導體區域301及該第二半導體區域302電互補。(例如，如果該垂直功率元件300是一n型元件，則該第三半導體區域303是p型)。

【0037】 在本發明之某些實施例中，該底邊界306係設置在一絕緣體上覆半導體(或體半導體)基體之一埋絕緣層(未顯示)上且實質上垂直於一線，且該線由頂電極

308 直接畫至包含該垂直功率元件 300 之該晶圓之背側。在本發明之某些實施例中，一埋氧化物層係設置在該第一半導體區域 301 之背側上且亦可設置在該第三半導體區域 303 之背側上。此外，該埋氧化物層可在某些位置不存在以便提供一對這些半導體區域 301 及 / 或 303 之一者的背側接頭（例如，底側汲極電極 309）。

【0038】 在本發明之某些實施例中，該垂直功率元件 300 將包含所示之單一閘極結構且將被一溝槽氧化物或淺溝槽隔離（STI）區域 310 隔離。但是，一單一功率電晶體經常包含許多這些單一閘極結構。這些單一閘極結構之各單一閘極結構被稱為一指部。多數指部或多數功率元件可因此共用相同溝槽氧化物 310（即，被相同溝槽氧化物 310 包圍）。或者，可產生這些功率電晶體之一陣列，且各功率電晶體被該溝槽氧化物 310 分開。

【0039】 該溝槽區域 310 最好沿該第三半導體區域 303 之整個垂直側 311 延伸。如此，該溝槽氧化物 310 大致穿過該垂直功率元件 300 之整個主動層。此外，該溝槽區域 310 大致水平地包圍該垂直功率元件 300（或該垂直功率元件 300 為其一部份之該等多數指部或該等多數功率元件）之整個主動區。如此被包圍之主動區係大致與在相同晶粒上之其他功率元件或電晶體之其他主動區電絕緣。（因此，該溝槽區域 310 大致上不需要形成在一共用基體中具有共用汲極之裝置，因為該基體大致被移除或薄化至該溝槽區域 310 完全地（或幾乎完全地）電絕緣在該

全積體電路晶片上之各元件的點)。如下所述，該製造或製作方法(包括薄化該半導體基體)大致使本發明之這及其他實施例之這特徵實現。

【0040】 在本發明之某些實施例中，該第一半導體區域301作為該垂直功率元件300之汲極，該第二半導體區域302作為該垂直功率元件300之源極，且該第三半導體區域303作為該垂直功率元件300之本體或通道區域。在具有這源極及本體之組態之某些實施例中，一例如頂電極308之單一電極可與該第三半導體(本體/通道)區域303與該第二半導體(源極)區域302兩者連接成由在一功率電晶體元件中連接該本體及源極得到某些好處。

【0041】 由依據由第3圖所教示之原理之本發明的實施例得到數種好處。例如，在該第三半導體區域303與該第一半導體區域301之間的接面形成當該垂直功率元件300在一接通與斷路狀態之間切換時必須充電及放電之最大電容中之一最大電容。因此，該第一半導體區域301沒有任何部份在該第三半導體區域303之底邊界306下方之事實明顯地減少這接面之電容且因此增加該垂直功率元件300之速度。如果使用該第一半導體區域301作為該垂直功率元件300之汲極，則這些實施例有效地免除或減少該本體至汲極電容之面積部份的大部份或全部且只留下該側壁部份，藉此產生較低寄生電容及因此較高效能。由該第三半導體區域303之水平區域之尺寸與該垂直功率元件300之效能的沒有關聯得到之另一好處是該第

三半導體區域303可相對該頂電極308具有一較大水平區域及因此較低電阻。由於控制該第三半導體區域303之電壓是有利的，所以一較低電阻是有利的，因為該電壓將在該第三半導體區域303之整個範圍內保持一致且可更準確地控制。在本發明之某些實施例中，這有利面亦可改善該垂直功率元件300之崩潰電壓及由該第一半導體區域301至該第二半導體區域302之洩漏。

【0042】 本發明之某些實施例可參照第4圖說明。第4圖顯示一垂直功率元件400，該垂直功率元件400可形成一全積體電路（IC）晶片之一部份且符合本發明。該垂直功率元件400大致包含在一主動表面層內之第一、第二與第三半導體區域401、402與403。該垂直功率元件400亦大致包含一閘極區域404（被一介電體405包圍）。該第三半導體區域403隔離該等第一與第二半導體區域401與402。類似於依據第3圖之實施例，該第一半導體區域401沒有任何部份在該第三半導體區域403下方，即，該第一半導體區域401之垂直與水平尺寸已經減至最小（例如，以便使寄生電容、熱阻及電阻減至最小）。

【0043】 相較於在第3圖中之一對應尺寸312，一尺寸406（該第三半導體區域403之長度）在第4圖中大得多。但是，這差異不會限制該垂直功率元件400之效能，因為該第三半導體區域403之面積已經與該垂直功率元件400之內電容沒有關聯。因此，在不增加該全積體電路晶片之尺寸的面積情形下，該第二半導體區域402可以與一

頂電極 407 連接且該第三半導體（通道）區域 403 可與一背（或底）側通道電極 408 分別地連接。

【0044】此外，由於這組態，可用於接觸該背側通道電極 408 之第三半導體區域 403 之面積可在不明顯增加該全積體電路晶片之尺寸之情形下比習知大。一較大接觸尺寸具有減少在該第三半導體區域 403 與該背側通道電極 408 之間之電阻的好處。

【0045】此外，由於這組態，該背側通道電極 408 可以被放在該第三半導體區域 403 上，儘可能靠近最靠近一閘極區域 404 且直接在該等第一與第二半導體區域 401 與 402 之間的該第三半導體區域 403 之部份。依此方式，進一步減少電阻。

【0046】依據第 4 圖所教示之原理之本發明的實施例產生數種好處。在該第三半導體區域 403 是該垂直功率元件 400 之本體 / 通道區域的實施例中，因為偏壓該第二半導體區域 402 之電壓此時與該本體之偏電壓無關，所以可以更直接地控制這本體區域。此外，在該第二半導體區域 402 是該垂直功率元件 400 之源極的實施例中，該通道及源極可以被獨立地偏壓的事實便於形成一動態門檻金屬氧化物半導體（DTMOS）電晶體。一動態門檻金屬氧化物半導體電晶體之臨界電壓係使用該本體效應修改以便產生有電效能。當一動態門檻金屬氧化物半導體電晶體斷路時，該電晶體之臨界電壓可透過制該本體電壓設定為高而在該斷路狀態時產生一非常低之洩漏電流及一高崩潰

電壓。當該電晶體係在該接通狀態時，一增高之本體電壓減少該臨界電壓，藉此增加在所有操作區域中流過該電晶體之電流。這較佳電流產生較佳功率電晶體效率。

【0047】 這些實施例之另一好處是對該等第一與第三半導體區域401與403之分開接頭為在該垂直功率元件400之主動區域中蓄積之熱提供一低熱阻路徑。該背側通道電極408及一底側電極409（與該第一半導體區域401連接）係使用相較於體半導體或可設置在該垂直功率元件400之背側上之任何埋氧化物具有甚低熱阻的金屬建立通路。此外，由於在提供一離開該全積體電路晶片之一路徑之前，對該第三半導體區域403之連接不是透過該垂直功率元件400建立通路，所以散熱之路徑短得多且因此更有效率。體垂直功率元件之典型基體厚度是 $200\ \mu\text{m}$ 。但是，第4圖中所示之垂直功率元件400之半導體厚度是大約 $1\ \mu\text{m}$ （例如，由於該半導體基體之薄化）。由該熱產生主動區域至在該全積體電路晶片之背面上之金屬接頭的總距離因此相對先前之值減少大約99.5%，且該半導體層之熱阻亦類似地減少99.5%。

【0048】 在本發明之某些實施例中，除了該背側通道電極408及該底側電極409以外，亦包括該頂電極407及該閘極區域404之一電極的第4圖中之所有電極可以接觸包含該垂直功率元件400之晶圓的背側。為了產生只在該主動區域上方使用一層金屬通路之這組態，與該垂直功率元件400之頂側連接之電極可以通過一延伸出頁面之平面

建立通路。在本發明之某些實施例中，可使用任何背與前側接頭之組合來為熱效能提供最適當熱阻且為準確偏壓條件提供最適當串聯電阻。此外，因為對該第三半導體區域403及該第二半導體區域402之多數接頭可以設置在包含該垂直功率元件400之該晶圓之相同垂直切片中，所以多數背與前側接頭可以如第4圖所示地混合以便節省空間。

【0049】 在本發明之某些實施例中，由垂直功率元件400形成之動態門檻金屬氧化物半導體電晶體可以向外建立通路且連接至將會在該電晶體接通及斷路時偏壓該本體之另一電路元件上。例如，當一2.5V電源電晶體斷路時該本體偏壓可以為0或-2V，且當該閘極在2.5V接通時為0.6V。這在該閘極電壓增加時增加本體電壓，但是如果該閘極電壓應儘可能高，則對於低 R_{on} 及高驅動強度而言這是有利的。這可在沒有順向偏壓問題之情形下強化效能。

【0050】 亦在第4圖中所示的是一溝槽區域410（例如，類似於溝槽區域310）。該溝槽區域410最好沿著該第三半導體區域403之整個垂直側411延伸。如此，該溝槽區域410大致穿過該垂直功率元件400之整個主動層。此外，該溝槽區域410大致水平地包圍該垂直功率元件400（或該垂直功率元件400為其一部份之該等多數指部或該等多數功率元件）之整個主動區。如此被包圍之主動區係大致與在相同晶粒上之其他功率元件或電晶體之

其他主動區電絕緣。如下所述，該製造或製作方法（包括薄化該半導體基體）大致使本發明之這及其他實施例之這特徵實現。

【0051】 本發明之某些實施例可參照第5圖說明。第5圖顯示具有兩指部501與502之一垂直功率元件500之俯視圖，且該垂直功率元件500可形成一全積體電路（IC）晶片之一部份且符合本發明。第5圖將參照具有背側接頭之一汲極區域之一n型垂直功率元件來說明。但是，對一p型垂直功率電晶體及對在該頂側上具有一汲極區域之一垂直功率電晶體而言，一類似布置圖案亦將產生作用。兩指部501與502大致包含與沿著閘極區域504延伸之多晶矽耦合的閘極電極503。該等閘極區域504覆蓋形成第3與4圖中之第一半導體區域301與401的一條n型材料，其在這例子中為該垂直功率元件500之汲極。該等閘極區域504亦可覆蓋該等第三半導體區域303與403，其在這例子中是通道區域且最好是p型材料。多數源極區域505大致包含來自第3與4圖之第二半導體區域第二半導體區域302與402。這些區域505覆蓋包含該垂直功率元件500之通道區域之多條p型材料。多數暴露之通道區域506係亦包含該垂直功率元件500之通道區域之一部份的p型材料。但是，該等暴露之通道區域506係保持未被覆蓋使得它們可由該頂部接觸。區域505與506各作成大到足以或寬到足以在不直接減少該垂直功率元件500之效能的情形下為一電接觸提供一面積，因為，如

上所述，尺寸406（第4圖）可以在不增加任何該垂直功率元件500之臨界內電容之情形下擴大。此外，該垂直功率元件500之整個結構最好被該溝槽區域310或410（第3與4圖）水平地包圍以便使該垂直功率元件500與在相同晶粒上之其他功率元件或電晶體之其他主動區電絕緣。

【0052】本發明之某些實施例可參照第6圖說明。第6圖顯示一垂直功率元件600之一可能布置圖案之俯視圖，且該垂直功率元件600可形成一全積體電路（IC）晶片之一部份且符合本發明。第6圖將參照具有連接在背側上之一汲極區域的一n型垂直功率元件來說明。但是，對一p型垂直功率電晶體而言，一類似布置圖案亦將產生作用。該垂直功率元件600大致包括與沿著一閘極區域602延伸之多晶矽耦合的一閘極電極601。該閘極區域602覆蓋形成第3與4圖中之第一半導體區域301與401的一條材料，其在這例子中為該垂直功率元件600之n型汲極。多數源極區域603覆蓋包含該垂直功率元件600之通道區域之多條材料，其在這例子中是p型。多數暴露之通道區域604是p型材料，其亦包含該垂直功率元件600之通道區域之一部份。該等暴露之通道區域604已保持未被該等源極區域603中之n型材料覆蓋。這些區域604可作成大到足以對在這些位置中之該通道區域電連接。這布置大致比第5圖中所示之布置更具有空間效率，但是因為有將會比較遠離該等通道接頭之通道的區域（例如，沿該等源極區域603之長度），該本體電壓之串聯電阻將稍微

比較高。此外，該垂直功率元件600之整個結構最好被該溝槽區域310或410（第3與4圖）水平地包圍以便使該垂直功率元件600與在相同晶粒上之其他功率元件或電晶體之其他主動區電絕緣。

【0053】本發明之某些實施例可參照第7圖說明。第7圖顯示一垂直功率元件700，且該垂直功率元件700可形成一全積體電路（IC）晶片之一部份且符合本發明。該垂直功率元件700大致包含在一主動表面層內之第一、第二與第三半導體區域701、702與703。該垂直功率元件700亦具有一在該主動層上之閘極區域704（被一氧化物/絕緣體705包圍）。該第三半導體區域703隔離該等第一半導體區域701與該第二半導體區域702。該第一半導體區域701及該第二半導體區域702係大致相同種類之半導體材料，且該第三半導體區域703是一互補半導體材料。由第7圖所示之實施例之不同特徵是與該第二半導體區域702橫向地及垂直地共同延伸且與該等第一與第二半導體區域701與702互相不相容之該第三半導體區域703之一部份（延伸超出頁面之平面）。換言之，在大致包含薄化該半導體基體之本發明之某些實施例中，不僅是包含該第一半導體區域701之材料完全不在該等第三與第二半導體區域703與702下方，而且包含該第三半導體區域703之材料亦完全不在該第二半導體區域702下方。換言之，該等第一與第三半導體區域701與703之垂

直及/或水平尺寸已經減至最小（例如，以便使寄生電容、熱阻及電阻減至最小）。

【0054】 以上參照第3與4圖說明之多種變化可以應用於由第7圖所教示之實施例。例如，如果該第二半導體區域702及該第一半導體區域701是n型且該第三半導體區域703之p型，則該垂直功率元件700可以是一n型功率元件。但是，該垂直功率元件700亦可以是一p型功率元件。

【0055】 由依據第7圖所教示之原理之本發明之實施例大致得到數種好處。如第7圖所示，大致由於該半導體基體之薄化及進一步背側加工，該第二半導體區域702可以透過多數頂電極706或多數底電極707分別接觸前或背側。類似地，由於大致是該垂直功率元件700之通道區域的第三半導體區域703可以離開圖之平面建立通路且在其他地方與任何接頭分開地接觸其他兩個半導體區域701及/或702之任一者，所以該第三半導體區域703可以透過多數頂或底電極（未顯示）接觸該前或後側。（這些用以接觸該等第二與第三半導體區域702與703之選項通常不會影響該全積體電路晶片之尺寸）。另一方面，由於該閘極電極704及該氧化物/絕緣體705遮蔽該第一半導體區域701之前側，所以該第一半導體區域701最好是透過一底電極708連接。因此，該垂直功率元件700之所有三個半導體區域701、702與703可以接觸該背側，如上所述，這在散熱方面提供明顯好處。此外，這組態仍保有關於該第二半導體區域702及該第三半導體區域

703 之分開接頭的上述優點。此外，由於這組態，可用以接觸該等頂或底電極 706 或 707（及該第三半導體區域 703 之類似電極）之該第二或第三半導體區域 702 或 703 的面積可在沒有明顯增加該全積體電路晶片之尺寸的情形下比習知的大。一較大接觸尺寸具有減少在該第二或第三半導體區域 702 或 703 與該等頂或底電極 706 或 707（及該第三半導體區域 703 之類似電極）之間之電阻的優點。

【0056】 在第 7 圖中亦顯示的是一溝槽區域 709（例如，類似於第 3 或 4 圖之溝槽區域 310 或 410）。該溝槽區域 709 最好沿該第二半導體區域 702（及該第三半導體區域 703，但是在圖之平面以外）之整個垂直側 710 延伸。如此，該溝槽區域 709 大致穿過該垂直功率元件 700 之整個主動層。此外，該溝槽區域 709 大致水平地包圍該垂直功率元件 700（或該垂直功率元件 700 為其一部份之該等多數指部或該等多數功率元件）之整個主動區。如此被包圍之主動區係大致與在相同晶粒上之其他功率元件或電晶體之其他主動區電絕緣。如下所述，該製造或製作方法（包括薄化該半導體基體）大致使本發明這及其他實施例之這特徵實現。

【0057】 本發明之某些實施例可參照第 8 圖說明。第 8 圖顯示一垂直功率元件 800 之一布置圖案之俯視圖，且該垂直功率元件 800 可形成一全積體電路（IC）晶片之一部份且符合本發明。第 8 圖將參照具有連接在背側上之一

汲極區域的一 n 型垂直功率元件來說明。但是，對一 p 型垂直功率電晶體及對具有連接在該頂側上之一汲極區域之一垂直功率電晶體而言，一類似布置圖案亦將產生作用。該垂直功率元件 800 大致包括與沿著一閘極區域 802 延伸之多晶矽耦合之一閘極電極 801，且該閘極區域 802 包括由虛線界定之閘極邊緣區域 803。在這兩虛線之間之閘極區域 802 之部份覆蓋大致形成第 7 圖中之第一半導體區域 701 的一條材料，其在這例子中為該垂直功率元件 800 之 n 型汲極。該等閘極邊緣區域 803 覆蓋大致形成第 7 圖中之第三半導體區域 703 之兩條材料，其在這例子中是該垂直功率元件 800 之 p 型通道。多數源極區域 804 大致包含第 7 圖中之第二半導體區域 702，其在這例子中是該垂直功率元件 800 之 n 型源極。該等源極區域 804 最好不覆蓋任何其他主動材料。多數通道區域 805 係與被該閘極邊緣區域 803 覆蓋之通道區域（該第三半導體區域 703）耦合之主動半導體材料的暴露部份。該等通道區域 805 包含被在這例子中為該垂直功率元件 800 之 p 型通道之閘極邊緣區域 803 之多晶矽覆蓋的相同材料。該等通道區域 805 是暴露的以便提供多數通道接頭，在某些實施例中，它們可作成大到足以達成一單一電接觸以便節省空間。這布置大致比第 5 圖中所示之布置更具有空間效率，但是因為有將會比較遠離該等通道接頭之通道的區域（例如，沿該等源極區域 603 之長度），該本體電壓之串聯電阻將稍微比較高。此外，該垂直功率元件 800 之整個結構最好被

該溝槽區域709（第7圖）水平地包圍以便使該垂直功率元件800與在相同晶粒上之其他功率元件或電晶體之其他主動區電絕緣。

【0058】本發明之某些實施例可參照第9圖說明。第9圖顯示一垂直功率元件900之一布置圖案之俯視圖，且該垂直功率元件900可形成一全積體電路（IC）晶片之一部份且符合本發明。第9圖將參照具有連接在背側上之一汲極區域之一n型垂直功率元件來說明。但是，對一p型垂直功率電晶體及對具有在該頂側上接觸之一汲極區域之一垂直功率電晶體而言，一類似布置圖案亦將產生作用。該垂直功率元件900大致包含閘極區域901、902與903，且該等閘極區域901、902與903包含一多晶矽材料。該垂直功率元件900亦大致包含多數本體接頭904，且該等本體接頭904最好作為對一p型之區域的頂或底接頭，並且該p型之區域形成大致在該等閘極區域901與903下方之該垂直功率元件900之一通道區域。該等垂直功率元件900亦大致包含形成在該閘極區域902下方之該垂直功率元件900之汲極之一n型材料及形成在多數區域905中之該垂直功率元件900之一源極之一n型材料。在該閘極區域903下方之p型材料大致隔離在該閘極區域902下方之汲極與該等源極區域905。該等源極區域905最好作為頂部或底部接頭。此外，該垂直功率元件900之整個結構最好被該溝槽區域709（第7圖）水平地包圍以

便使該垂直功率元件900與在相同晶粒上之其他功率元件或電晶體之其他主動區電絕緣。

【0059】 本發明之某些實施例可參照第10圖說明。第10圖顯示一垂直功率元件1000，且該垂直功率元件1000可形成一全積體電路（IC）晶片之一部份且符合本發明。該垂直功率元件1000大致包含在一主動表面層內之第一、第二與第三半導體區域1001、1002與1003。該垂直功率元件1000亦具有一閘極區域1004（被一氧化物/絕緣體1005包圍）。該第一半導體區域1001及該第二半導體區域1002被該第三半導體區域1003互相大致隔離。在本發明之某些實施例中，該第一半導體區域1001最好作為該垂直功率元件1000之源極且該第二半導體區域1002最好作為該垂直功率元件1000之汲極。類似於依據第3與4圖之實施例，該第一半導體區域1001沒有任何部份在該第三半導體區域1003下方，即，該第一半導體區域1001之垂直與水平尺寸已經減至最小（例如，以便使寄生電容、熱阻及電阻減至最小）。一或多個頂電極1006最好接觸它需要由該頂側接觸之這些區域（例如，該第二半導體區域1002）。但是，該垂直功率元件1000之背側大致被一金屬接頭（底側電極）1007覆蓋，且該金屬接頭1007最好包含一單一焊料凸塊或一銅柱。在本發明之某些實施例中，該單一金屬接頭1007最好沈積在一中間介電層（未顯示）上且某些部份被移除以便提供一由該金屬至該等主動層（該等第三與第一半導體區域

1003與1001)之一接頭。在具有非常低熱阻之本發明之某些實施例中，最好移除在該垂直功率元件1000與該金屬接頭1007之間的所有中間介電層。在本發明之某些實施例中，一共用背側接頭(例如，類似於金屬接頭1007)亦可應用於依據由第7圖所教示者之本發明的實施例。在此情形下，依據該等半導體區域701或702之任一者被界定為該源極或汲極，該通道接頭(用於該第三半導體區域703)可與另外兩個半導體區域701或702之任一者共用。但是，在這些實施例中，一單一背側接頭會必須被施加在一經圖案化之背側絕緣層上或以一小心之方式被施加以便避免該源極與汲極之短路。

【0060】 在本發明之某些實施例中，該金屬接頭1007最好共用在一單一功率電晶體之多數指部之間，且該垂直功率元件1000包含該單一功率電晶體之多數指部之一部份。典型焊料凸塊及銅柱尺寸係直徑大約80-200 μm 。一典型電晶體指部尺寸可為1 μm 之等級。因此，對一單一電晶體指部而言，一單一金屬接頭通常太大。但是，多數功率電晶體經常具有許多平行配置之電晶體寬度的指部以便提供一低阻抗電路路徑。一多指部功率電晶體之整體尺寸經常為一焊料凸塊或銅柱之等級。因此，該金屬接頭1007可覆蓋一單一功率電晶體之許多電晶體指部。由於一功率電晶體之所有指部之源極與通道區域可以全部被保持在相同電位，所以對於該功率電晶體之操作而言，這組態大致沒有出現問題。如前所述，在具有多指部功率

電晶體之本發明之某些實施例中，所有中間介電體可在該第一半導體區域1001，該第三半導體區域1003與該金屬接頭1007之間移除。

【0061】 由依據由第10圖所教示之原理之本發明的實施例得到數種好處。例如，因為一單一接頭可以如同在第3圖之頂部接觸之垂直功率元件300中一般地用於該垂直功率元件1000之本體及源極，所以該垂直功率元件1000可是非常有空間效率的。但是，因為該金屬接頭1007提供一離開該全積體電路晶片之直接熱通路且因為該等源極與本體區域兩者之主動材料之幾乎整個面積係與這有效直接熱路徑直接接觸，所以該金屬接頭1007為該垂直功率元件1000大致提供一明顯熱效能強化作用。此外，因為該半導體層通常比習知技術薄很多，所以該熱阻由該熱產生主動層垂直通過該半導體層至該金屬接頭1007之熱阻非常低，導致由該垂直功率元件1000之極有效率的熱移除。

【0062】 亦在第10圖中顯示的是一溝槽區域1008（例如，類似於第3、4或7圖之溝槽區域310、410或709）。該溝槽區域1008最好沿該第三半導體區域1003之整個垂直側1009延伸。如此，該溝槽區域1008大致穿過該垂直功率元件1000之整個主動層。此外，該溝槽區域1008大致水平地包圍該垂直功率元件1000（或該垂直功率元件1000為其一部份之該等多數指部或該等多數功率元件）之整個主動區。如此被包圍之主動區係大致與在相同

晶粒上之其他功率元件或電晶體之其他主動區電絕緣。另外，該金屬接頭1007可以比較大，大致延伸在由該溝槽區域1008界定或封圍之整個區上，且該垂直功率元件1000是其一部份之多數指部或多數功率元件是在該區內。此外，由多數溝槽區域1008界定或封圍之多數這種區可以在一單一積體電路晶片中，且各這區域可具有分開之比較大金屬接頭1007。如下所述，該製造或製作方法（包括薄化該半導體基體）大致使本發明之這及其他實施例之這特徵實現。

【0063】本發明之某些實施例可參照第11圖說明。第11圖顯示一垂直絕緣閘雙極電晶體（IGBT）元件1100，且該絕緣閘雙極電晶體元件1100可形成一全積體電路（IC）晶片之一部份且符合本發明。一絕緣閘雙極電晶體元件非常類似於一垂直功率元件且可使用非常類似於為在此所述之垂直功率元件所述者的技術來製造。該絕緣閘雙極電晶體元件1100在一主動表面層內大致包含一基極區域1101，一通道區域1102，一射極區域1103及一集極區域1104。該絕緣閘雙極電晶體元件1100亦大致包含一閘極區域1105，一射極/基極電極1106及/或一底側集極電極1107。由於下述製造技術（包括該半導體基體之薄化及進一步背側加工），所以該底側集極電極1107最好放在該全積體電路晶片之背側上。又，該絕緣閘雙極電晶體元件1100最好由頂至底變薄，使垂直電阻減少。此外，類似於由第3圖中之第三半導體區域303下方移除

該第一半導體區域301之一部份，該通道區域1102之一部份最好由該基極區域1101之一底邊界1108移除，即，該通道區域1102之垂直及水平尺寸已經減至最小（例如，以便使寄生電容、熱阻及電阻減至最小）。但是，大致上，該通道區域1102必須在該基極區域1101與該集極區域1104之間留有一最小厚度，因此在操作時該基極區域1101與該集極區域1104不會短路或崩潰。此外，該絕緣閘雙極電晶體元件1100之全薄化大致導致較低熱阻。

【0064】亦在第11圖中顯示的是一溝槽區域1109（例如，類似於第3、4、7或10圖之溝槽區域310、410、709或1008）。該溝槽區域1109最好沿該基極區域1101之整個垂直側1110延伸。如此，該溝槽區域1109大致穿過該絕緣閘雙極電晶體元件1100之整個主動層。此外，該溝槽區域1109大致水平地包圍該絕緣閘雙極電晶體元件1100（或該絕緣閘雙極電晶體元件1100為其一部份之該等多數指部或該等多數功率元件）之整個主動區。如此被包圍之主動區係大致與在相同晶粒上之其他功率元件或電晶體之其他主動區電絕緣。如下所述，該製造或製作方法（包括薄化該半導體基體）大致使本發明之這及其他實施例之這特徵實現。

【0065】本發明之某些實施例可參照第12圖說明。第12圖顯示一垂直雙極電晶體1200，且該垂直雙極電晶體1200可形成一全積體電路（IC）晶片之一部份且符合本發明。該垂直雙極電晶體1200在一基體之一主動表面層

內以一垂直方位大致包含一射極區域 1201，一基極區域 1202 及一集極區域 1203。該垂直雙極電晶體 1200 亦大致包含一射極區域 1204，一基極電極 1205 及一底側集極電極 1206。由於下述製造技術（包括該半導體基體之薄化及進一步背側加工），所以該底側集極電極 1206 最好放在該全積體電路晶片之背側上。此外，該集極區域 1203 係藉背側植入/摻雜選擇性地形成。因此，這組態大致去除了橫向埋層或一垂直汲集器（*sinker*）區域（常見於習知元件中）及由於這些結構去除了該電阻。另外，這組態大致產生較大之接面隔離，因此大致去除或將對該基體之該集極區域 1203 之寄生電容減至最小。此外，亦去除一 NPN 鎖定（*latch-up*）路徑（常見於習知元件中）。另外，該垂直雙極電晶體 1200 之全薄化大致導致較低熱阻。

【0066】亦在第 12 圖中顯示的是一溝槽區域 1207（例如，類似於第 3、4、7、10 或 11 圖之溝槽區域 310、410、709、1008 或 10081009）。該溝槽區域 1207 最好沿該基極區域 1202 之整個垂直側 1208 延伸。如此，該溝槽區域 1207 大致穿過該垂直雙極電晶體 1200 之整個主動層。此外，該溝槽區域 1207 大致水平地包圍該垂直雙極電晶體 1200（或該垂直雙極電晶體 1200 為其一部份之該等多數指部或該等多數功率元件）之整個主動區。如此被包圍之主動區係大致與在相同晶粒上之其他功率元件或電晶體之其他主動區電絕緣。如下所述，該製造或製作方

法（包括薄化該半導體基體）大致使本發明之這及其他實施例之這特徵實現。

【0067】 本發明之某些實施例可參照第13圖說明。第13圖顯示一垂直UMOS（或溝槽-MOS）元件1300，且該UMOS元件1300可形成一全積體電路（IC）晶片之一部份且符合本發明。該UMOS元件1300在一主動表面層內包含一第一半導體（例如一汲極）區域1301，一第二半導體（例如一源極）區域1302，一第三半導體（例如一本體/通道）區域1303及一閘極區域1304（被一氧化物/絕緣體1305包圍）。該UMOS元件1300亦大致包含一頂電極1306及一底電極1307。下述製造技術（包括該半導體基體之薄化及進一步背側加工），大致可去除在該閘極區域1304之底部與該第一半導體（例如一汲極）區域1301之間的一（典型）n型區域。因此，該閘極區域1304最好延伸至第一半導體區域1301或至該半導體基體之背側而成為一溝槽，造成溝槽隔離之形態及在該溝槽之底部沒有場濃度。因此，該典型習知UMOS元件之閘極區域之底的平滑U形通常不再是必要的或有利的。此外，類似於上述垂直功率元件，該半導體基體大致上是經薄化的，藉此減少該UMOS元件1300之垂直電阻且可有較大之散熱。

【0068】 亦在第13圖中顯示的是一溝槽區域1308（例如，類似於第3、4、7、10、11或12圖之溝槽區域310、410、709、1008、10081009或1207）。該溝槽區域

1308 最好沿該等第一與第三半導體區域 1301 與 1303 之整個垂直側 1309 延伸。如此，該溝槽區域 1308 大致穿過該 UMOS 元件 1300 之整個主動層。此外，該溝槽區域 1308 大致水平地包圍該 UMOS 元件 1300（或該 UMOS 元件 1300 為其一部份之該等多數指部或該等多數功率元件）之整個主動區。如此被包圍之主動區係大致與在相同晶粒上之其他功率元件或電晶體之其他主動區電絕緣。如下所述，該製造或製作方法（包括薄化該半導體基體）大致使本發明之這及其他實施例之這特徵實現。

【0069】 本發明之某些實施例可參照第 14 圖說明。第 14 圖顯示另一垂直 UMOS（或溝槽-MOS）元件 1400，且該 UMOS 元件 1400 可形成一全積體電路（IC）晶片之一部份且符合本發明。該 UMOS 元件 1400 在一主動表面層內包含一第一半導體（例如一源極）區域 1401，一第二半導體（例如一汲極）區域 1402，一第三半導體（例如一本體/通道）區域 1403 及一閘極區域 1404（被一氧化物/絕緣體 1405 包圍）。該 UMOS 元件 1400 亦大致包含一頂電極 1406 及一底電極 1407（例如，一接頭、凸塊、柱等）。在這實施例中，該閘極區域 1404 係如此之深且該半導體基體係如此之薄，使得該閘極區域 1404 延伸至該半導體基體之背側，造成溝槽隔離之形態及在該溝槽之底部沒有場濃度。在該背側之大底電極 1407 通常使該等第一與第三半導體區域（即，源極與通道）1401 與 1403 短路，將該汲極接頭（即，該頂電極 1406）留在頂部。

(因此這組態有些類似於具有底源極/通道金屬接頭 1007 之上述垂直功率元件 1000)。該經薄化半導體基體減少該垂直電阻及熱阻。該大底電極 1407 促進散熱。

【0070】亦在第 14 圖中顯示的是一溝槽區域 1408 (例如, 類似於第 3、4、7、10、11、12 或 13 圖之溝槽區域 310、410、709、1008、10081009、1207 或 1308)。該溝槽區域 1408 最好沿該第三半導體區域 1403 之整個垂直側 1409 延伸。如此, 該溝槽區域 1408 大致穿過該 UMOS 元件 1400 之整個主動層。此外, 該溝槽區域 1408 大致水平地包圍該 UMOS 元件 1400 (或該 UMOS 元件 1400 為其一部份之該等多數指部或該等多數功率元件) 之整個主動區。如此被包圍之主動區係大致與在相同晶粒上之其他功率元件或電晶體之其他主動區電絕緣。如下所述, 該製造或製作方法 (包括薄化該半導體基體) 大致使本發明之這及其他實施例之這特徵實現。

【0071】本發明之某些實施例可參照第 15 圖說明。第 15 圖顯示一垂直截斷 (GTO) 閘流體 1500, 且該截斷閘流體 1500 可形成一全積體電路 (IC) 晶片之一部份且符合本發明。(一截斷閘流體大致是可在一閘極開與關之一可控制開關)。該截斷閘流體 1500 在一主動表面層內大致包含一閘極區域 1501, 一陰極區域 1502, 一陽極區域 1503, 一 N - 區域 1504 及一 P - 區域 1505。該截斷閘流體 1500 亦大致包含一閘極接頭 1506, 一陰極接頭 1507 及一底側陽極接頭 1508。(該截斷閘流體 1500 在這實施例

中具有由該陽極區域1503至該陰極區域1502之一PN-PN結構)。大致上，其他實施例之上述半導體基體的薄化使該截斷閘流體1500可製造成具有低垂直電阻及低熱阻之所示垂直組態。此外，該N-區域1504可以作成如所需地薄(例如，大約 $0.1\mu\text{m}$ 至 $1\mu\text{m}$ 之厚度)以進行高效能、低電壓操作。

【0072】亦在第15圖中顯示的是一溝槽區域1509(例如，類似於第3、4、7、10、11、12、13或14圖之溝槽區域310、410、709、1008、10081009、1207、1308或1408)。該溝槽區域1509最好沿該區域1503、1504與1505之整個垂直側1510延伸。如此，該溝槽區域1509大致穿過該截斷閘流體1500之整個主動層。此外，該溝槽區域1509大致水平地包圍該截斷閘流體1500(或該截斷閘流體1500為其一部份之該等多數指部或該等多數功率元件)之整個主動區。如此被包圍之主動區係大致與在相同晶粒上之其他功率元件或電晶體之其他主動區電絕緣。如下所述，該製造或製作方法(包括薄化該半導體基體)大致使本發明之這及其他實施例之這特徵實現。

【0073】本發明之某些實施例可參照第16圖說明。第16圖顯示一層轉移元件1600，且該層轉移元件1600可形成一全積體電路(IC)晶片之一部份且符合本發明。該層轉移元件1600大致是一垂直功率元件，且所有電晶體節點透過該背側接頭接觸。該層轉移元件1600大致包

含一操作晶圓層1601及一初始晶圓（例如，形成有絕緣體上覆半導體或體半導體）層1602。該操作晶圓層1601大致包含一操作基體層1603及操作接合層1604。該初始晶圓層1602大致包含一主動層1605，一絕緣層1606，一閘極區域1607（被一氧化物/絕緣體1608包圍），及導電（例如，金屬）配線1609（被絕緣體分開）。該主動層1605大致上包含第一、第二與第三半導體區域1610、1611與1612。其中形成該等第一、第二與第三半導體區域1610、1611與1612之一半導體基體最好已經如其他實施例在以上說明地薄化。類似於依據第3、4與10圖之實施例，該第一半導體區域1610沒有任何部份在該第三半導體區域1612下方，即，該第一半導體區域1610之垂直及水平尺寸已經減至最小（例如，以便使寄生電容、熱阻及電阻減至最小）。在所示實施例中，該第一半導體區域1610及該第三半導體區域1612均接觸一單一背側金屬接頭（或底電極）1613。類似於第10圖中所示之實施例，該第三半導體區域1612最好是該層轉移垂直功率元件1600之本體，且該第一半導體區域1610最好是該源極。該第二半導體區域1611最好是該層轉移垂直功率元件1600之汲極。該閘極區域1607及頂側汲極電極1614最好透過在該主動層1605中建立通路之該金屬配線1609而通過該層轉移垂直功率元件1600之背側與多數接頭1615接觸。

【0074】 由使用依據第16圖之背側接頭層轉移垂直功率元件得到數種好處。在背側接頭層轉移元件上使用焊料凸塊或銅柱對接地提供非常低之阻抗。這有數種原因。其中一種是通過一凸塊或銅柱之距離比一接合線加上封裝引線之距離短得多。該較短距離減少該電晶體連接部之電阻及電感。又，低源極阻抗增進功率元件之效率。此外，因為避免了線及封裝體互相作用，所以一倒裝晶片加工亦可增進在一積體功率元件之連接部之間的隔離。另外，由於凸塊及柱可以放在一晶粒之周邊及橫越該晶粒之表面，而多數接合線墊可只被放在一晶粒之周邊，一有凸塊或有柱之晶粒可以具有由該等主動元件至斷路晶片電連接部的一較短橫向路徑。由於該接通晶片金屬化會變成一大功率元件之主要串聯電阻，所以橫向金屬化電阻之任何減少將使功率元件效率增加。將該等凸塊及柱直接放在或靠近在一晶粒之中心的一電晶體上大致使橫向金屬化電阻減少。

【0075】 亦在第16圖中顯示的是一溝槽區域1616（例如，類似於第3、4、7或10-15圖之溝槽區域310、410、709、1008、10081009、1207、1308、1408或1509）。該溝槽區域1616最好沿該第三半導體區域1612之整個垂直側1617延伸。如此，該溝槽區域1616大致穿過該垂直功率元件1600之整個主動層1605。此外，該溝槽區域1616大致水平地包圍該層轉移垂直功率元件1600（或該層轉移垂直功率元件1600為其一部份之該等多數指部或

該等多數功率元件)之整個主動區。如此被包圍之主動區係大致與在相同晶粒上之其他功率元件或電晶體之其他主動區電絕緣。如下所述，該製造或製作方法(包括薄化該半導體基體)大致使本發明之這及其他實施例之這特徵實現。

【0076】 由使用依據第16圖之背側接頭層轉移垂直功率元件得到多數好處。在多數層轉移垂直功率元件內存在該等溝槽區域1616，例如，提供在一全積體功率元件中之電晶體之間的完全(或幾乎完全)介電隔離。因此，幾乎任何電路組態均可以利用該等功率電晶體獲得。另一方面，在沒有隔離之情形下，只有共用汲極電路或單一電晶體元件可以利用垂直擴散金屬氧化物半導體製成。此外，導電基體雜訊可以利用該等電晶體之介電隔離完全(或幾乎完全)消除或減少。雖然某些電容耦合仍將存在，但是該等電晶體可在需要時介電地隔離。在具有產生可被敏感類比電路或可造成數位電路故障之大量基體雜訊之大開關電晶體中，基體雜訊是一非常大的實際問題。由於通常在體積體功率元件中存在許多另外的路徑，所以除了如在此所述者以外，查出基體-雜訊引起之問題的特定原因及改善方法將會是非常困難的。

【0077】 雖然以上參照第3、4、7與10-15圖說明之實施例沒有顯示一層轉移元件，但是應了解的是這些實施例不一定要如此受限。相反地，這些實施例之變化適合於一類似於該層轉移垂直功率元件1600之層轉移元件。因

此，藉由以層轉移技術製造而因此由該層轉移垂直功率元件1600得到之好處中之，許多，而不是全部的好處亦可應用於這些其他實施例。

【0078】 本發明之某些實施例可參照第17圖說明。第17圖顯示一矽晶粒（或積體電路晶片）1700，且該層轉移元件1600可形成一全積體電路（IC）晶片之一部份且符合本發明。該矽晶粒1700大致包含具有第一厚度之一第一區域1701及具有一第二厚度之一第二區域1702，且該第二厚度小於該第一厚度。在該第一區域1701中之矽，例如，可具有大約 $0.8\ \mu\text{m}$ 之厚度且可如上述地包含一或多個垂直元件1703。在該第二區域1702中之矽，例如，可具有80奈米（nm）之厚度且可包含各種高效能開關及低功率數位邏輯（即，非垂直半導體裝置）1704。任何所需數目及組合之上述該等垂直半導體元件可以在該第一區域1701內以這方式組合在一單一晶粒上。本發明之某些實施例可因此得到合併如RF開關或數位邏輯塊之其他功能之最適當功率元件。在本發明之某些實施例中，穿過該等第一與第二區域1701內之整個主動層向下至一埋絕緣層（未顯示）的溝槽隔離之區域1705（例如，類似於第3、4、7或10-16圖之溝槽區域310、410、709、1008、10081009、1207、1308、1408、1509或1616）最好為該晶粒1700之不同部份提供足夠電隔離以便互相獨立地操作。因此，不僅該矽晶粒1700可具有多數垂直半導體元件，而且可以與其他者無關地觸及且接觸各元件

之底側。因此，該等多數元件不需要具有例如，一共用汲極。此外，這些實施例使一垂直功率元件（例如上述者）可利用各種轉換器、類比電路及一微處理器（連同其他可能組件）整合在一單一積體電路晶片或矽晶粒上且亦可有效地散逸由該等各種組件所產生之熱（例如，透過該背側）。

【0079】 在本發明之某些實施例中，該第一半導體區域（如上所述）之摻雜在靠近該背側接頭區將高得多。這組態可得到在該第一半導體區中之減少電阻及較低背側接頭電阻。在該第一半導體區域為該垂直功率元件之汲極區域的某些實施例中，這組態將產生較低汲極電阻同時保持該臨界電壓為低且飽和動電流為高。在本發明之某些實施例中，該閘極絕緣體（如上所述）可以在該汲極區域之中心較厚。這會產生一減少之閘極至汲極電容。如果減少內電容及電阻，則符合這些原理之本發明的實施例將大致展現較佳速度效能。

【0080】 第18圖顯示依據本發明之某些實施例，用以製造在第3-10及13、14、16與17圖中所示之一或多個元件（例如，類似於元件300、400、500、600、700、800、900、1000、1300、1400、1600、1703或1704）的一方法1800。但是，應了解的是該特定方法1800只是為了達到說明之目的而顯示且其他實施例（以及特別提及之替代實施例）可包含具有其他獨立步驟或不同順序或組合之步驟之其他方法或多數方法且仍在本發明之範疇內。

【0081】 該方法1800最好由一絕緣體上覆半導體晶圓或一體半導體晶圓開始（在1801）。對某些上述實施例而言，一可接受絕緣體上覆半導體晶圓最好具有，例如大約0.2 - 1.0 μm 至數十微米厚度之一頂矽（Si）層。

【0082】 在1802，各種溝槽隔離區域（例如，類似於溝槽區域310、410、709、1008、1308、1408、1616或1705）最好被圖案化，蝕刻及沈積/填充以便隔離（依需要）欲形成在該晶圓中之各種元件。該等溝槽隔離區域可以藉一溝槽蝕刻或藉一矽穿孔（TSV）蝕刻形成以便形成比較深之溝槽或矽穿孔結構，接著依需要放置一氧化物/絕緣體材料。對使用一絕緣體上覆半導體晶圓之實施例而言，該等溝槽隔離區域最好向下形成至（或幾乎向下至，或至少向下至）該埋氧化物層。此外，該UMOS元件1300或1400之間極區域1304或1404及氧化物/絕緣體1305或1405之垂直間極溝槽（包括間極多晶矽）可依需要形成有各種溝槽隔離區域或形成在一或多個分開加工步驟中。此外，該等溝槽隔離區域最好形成足夠深入該晶圓使得隨後薄化該晶圓或移除該晶圓之底部將產生大致穿過剩餘晶圓之整個主動層的該等溝槽隔離區域。

【0083】 在1803，對依據第17圖之實施例而言，例如SiO₂或Si₃N₄之一耐高溫磊晶遮罩層最好在該晶圓上圖案化。接著矽最好以對欲形成之該（等）垂直元件足夠之量磊晶地沈積在區域1701中。或者對該第二區域1702而言，該晶圓之頂矽被優先地圖案化且移除（或薄化）。

這移除可，例如，利用一矽蝕刻，以透過在一LOCOS型式處理步驟氧化而優先消耗矽來達成。該矽可依需要被薄化以製造絕緣體上覆半導體CMOS元件（例如，如果高效能RF開關應用需要全空乏CMOS元件）。

【0084】 在1804，將該中央汲極或源極區域圖案化及例如，以N-摻雜物植入區域301、401、701、1001、1610中。另一方面，對依據第13與14圖之實施例（UMOS例）而言，該下方汲極或源極區域係如下所述地形成。

【0085】 在1805，將通道區域摻雜圖案化及植入例如，區域303、403、506、604、703、805、904、1003、1303、1403或1612中。對依據第17圖之實施例而言，在1805或在另外之製造步驟中，可為該等第一與第二區域1701與1702植入該通道摻雜。或者，如果在製造該絕緣體上覆半導體晶圓或體半導體晶圓時適當通道摻雜存在該頂矽層中，則1805可以略過。或者，可以如下所述地稍後植入該通道摻雜。

【0086】 在1806，將深汲極或源極區域摻雜圖案化及例如，以N+摻雜物植入區域301、401、701、1001、1301、1401或1610中。對依據第17圖之實施例而言，該深汲極或源極摻雜最好是對該第一區域1701實施。或者，由於該等區域301、401、701、1001、1301、1401與1610可以在進一步加工後由該晶圓之背側通達，所以

1806可以略過，且可如下所述地在稍後通過該背側完成適當摻雜。

【0087】 在1807，例如，在區域304、404、503、504、601、602、704、801、802、901、902、903、1004或1607中，沈積、摻雜及圖案化閘極多晶矽。另一方面，對依據第13與14圖之實施例（UMOS例）而言，該閘極多晶矽最好如上所述地形成。

【0088】 在1808，將通道接頭區圖案化及淺及/或例如，以P+摻雜物深植入區域303、403、506、604、703、805、904、1003、1303、1403或1612之暴露部份中。對依據第17圖之實施例而言，該通道接頭及植入最好是對該第一區域1701實施。或者，由於該等區域403、506、604、703、805、904、1003、1303、1403或1612可以在進一步加工後由該晶圓之背側通達，所以1808可以略過，且可如下所述地在稍後通過該背側完成適當圖案化及植入。或者，可在該等前與後側上完成這圖案化及植入。

【0089】 在1809，將源極或汲極區域摻雜圖案化及例如，以N+摻雜物淺及/或深植入區域302、402、505、603、702、804、905、1002、1302、1402或1611中。對依據第17圖之實施例而言，該源極或汲極摻雜最好在該等第一與第二區域1701與1702中實施，但亦可分別地圖案化及植入各區域1701與1702。

【0090】 在1810，就對例如，區域302、303、304、402、403、404、503、505、506、601、603、604、702、703、704、801、804、805、901、902、904、905、1002、1004、1302、1303、1304、1402、1404、1607或1611之該閘極區域、該源極或汲極區域及/或該等通道區域（依需要及如果可由該頂側通達的話）的頂側連接部（例如頂電極308、407、706、1006、1306、1406與1614，該金屬配線1609等）而言，形成多數接頭及金屬化層（具有分開之介電材料）。對依據第17圖之實施例而言，可依需要為該等第一與第二區域1701與1702作成該閘極、源極或汲極及/或通道接頭及金屬化。

【0091】 在1811，最好將一操作晶圓（例如，對使用該操作晶圓層1601之實施例而言）接合在該已經大致接受過先前加工之初始晶圓，例如該絕緣體上覆半導體晶圓之暴露頂面上。該操作晶圓可以由Si、石英、藍寶石、AlN、SiC等製成。此外，亦可將一散熱層放在該絕緣體上覆半導體晶圓與該操作晶圓之間。對不使用該操作晶圓層1601之實施例而言，如果該操作晶圓在後續加工時需要該初始晶圓之實體支持，則該操作晶圓可暫時地接合在該初始晶圓上。在任一情形中，可在適當時移除該晶圓。對某些實施例（例如，使用該體半導體晶圓之某些實施例）而言，如果該初始晶圓可如下所述地被薄化或進一步加

工，在不需要該操作晶圓之另外實體支持之情形下，可不需要實施 1811。

【0092】 在 1812，最好移除或薄化該初始晶圓之一下方部份。對使用一絕緣體上覆半導體晶圓之實施例而言，例如在該埋氧化物下方之基體通常被移除達到該埋氧化物（且最好包括該埋氧化之某些部份）。另一方面，對於使用一體半導體晶圓之實施例而言，該基體大致上由該底側被薄化直到該等溝槽區域或矽穿孔結構暴露為止。依這方式，使在 1802 形成之溝槽隔離區域穿過剩餘晶圓之整個主動層，且最好只有一絕緣層（例如該埋氧化物或一沈積絕緣層），而該絕緣層，即使有的話，此時亦在該主動層及該等溝槽隔離區域下方。

【0093】 在 1813，例如，以 N+ 摻雜物在區域 301、401、701、1001、1301、1401 或 1610 中由背側（如果不是透過在 1806 之以上深植入來完成的話）最好選擇性地摻雜該汲極（或源極）區域。對依據第 17 圖之實施例而言，該背側汲極或源極摻雜最好是對該第一區域 1701 實施。或者，如果存在只能耐受低溫加工之來自先前加工之金屬，則在 1813 之該背側摻雜最好以一植入（通常包含一低溫），接著以一非常短時之退火，例如一雷射或電子束退火使摻雜物活化來實施。

【0094】 在 1814，例如，以 P+ 摻雜物在區域 403、703、1003、1403、1612 中，最好由該背側摻雜該通道區域之接頭區（在該通道區域欲接觸該背側之實施例

中)。在例如第7圖之實施例的某些實施例中，該通道區域（例如703）之背側接頭區係在該圖面之外。對依據第17圖之實施例而言，該背側通道接頭區域最好是對該第一區域1701摻雜。

【0095】 在1815，就對例如，區域301、401、403、701、702、703、1001、1003、1301、1401、1403、1610或1612之該等汲極區域、該等源極區域及/或該等通道區域（依需要及如果可由該底側通達的話）的所需背側連接部（例如底電極及接頭309、408、707、708、1007、1307、1407與1613等）而言，形成經圖案化接頭及金屬化。對具有向下建立通路至該背側之頂側接頭之這些區域之背側，例如為接頭1615最好亦實施進一步金屬化（具有分開之介電材料）。對依據第17圖之實施例而言，可依需要為該等第一與第二區域1701與1702大致形成該等背側接頭。

【0096】 在1816，實施各種鈍化沈積技術且形成多數墊開口以便大致完成該全積體電路晶片。接著該方法1800最好在1817結束。

【0097】 第19圖顯示依據本發明之某些實施例，用以製造在第11與12圖中所示之一或多個元件（例如，類似於該絕緣閘雙極電晶體元件1100或該垂直雙極電晶體1200）的一方法1900。但是，應了解的是該特定方法1900只是為了達到說明之目的而顯示且其他實施例（以及特別提及之替代實施例）可包含具有其他獨立步驟或不

同順序或組合之步驟之其他方法或多數方法且仍在本發明之範疇內。

【0098】 該方法1900最好由一絕緣體上覆半導體晶圓或一體半導體晶圓開始（在1901）。對某些上述實施例而言，一可接受絕緣體上覆半導體晶圓最好具有，例如大約 $0.1\ \mu\text{m}$ 至數十微米厚度之一頂矽（Si）層。

【0099】 在1902，類似於以上1802，各種溝槽隔離區域（例如，類似於溝槽區域1109或1207）最好被圖案化，蝕刻及沈積/填充以便隔離（依需要）欲形成在該晶圓中之各種元件。該等溝槽隔離區域可以藉一溝槽蝕刻或藉一矽穿孔蝕刻形成以便形成比較深之溝槽或矽穿孔結構，接著依需要放置一氧化物/絕緣體材料。對使用一絕緣體上覆半導體晶圓之實施例而言，該等溝槽隔離區域最好向下形成至（或幾乎向下至，或至少向下至）該埋氧化物層。此外，該等溝槽隔離區域最好形成足夠深入該晶圓使得隨後薄化該晶圓或移除該晶圓之底部將產生大致穿過剩餘晶圓之整個主動層的該等溝槽隔離區域。

【0100】 在1903，類似於以上1803，對依據第17圖之實施例而言，例如 SiO_2 或 Si_3N_4 之一耐高溫磊晶遮罩層最好在該晶圓上圖案化。接著矽最好以對欲形成之該（等）垂直元件足夠之量磊晶地沈積在區域1701中。或者對該第二區域1702而言，該晶圓之頂矽被優先地圖案化且移除（或薄化）。這移除可，例如，利用一矽蝕刻，以透過在一LOCOS型式處理步驟氧化而優先消耗矽來

達成。該矽可依需要被薄化以製造絕緣體上覆半導體 CMOS 元件（例如，如果高效能 RF 開關應用需要全空乏 CMOS 元件）。

【0101】 在 1904，將該通道區域 1102（第 11 圖）或該基極區域 1202（第 12 圖）摻雜圖案化及植入。或者，如果在製造該絕緣體上覆半導體晶圓或體半導體晶圓時適當通道或基極摻雜存在該頂矽層中，則 1904 可以略過。

【0102】 在 1905，將該集極區域 1104 或 1203 圖案化及例如，以 P+ 摻雜物深植入。或者，略過在 1905 之深集極摻雜，且如下所述地稍後由該背側完成該集極摻雜。

【0103】 在 1906，對依據第 11 圖之實施例而言，例如，在該閘極區域 1105 沈積、摻雜及圖案化閘極多晶矽。

【0104】 在 1907，將該等基極接頭區較佳地圖案化及例如，以 P+ 摻雜物植入區域 1101 或 1202 中。

【0105】 在 1908，將該區域 1103 或 1201 較佳地圖案化及以 N+ 摻雜物植入。

【0106】 在 1909，為頂側連接部（依需要及如果可由該頂側通達的話）形成多數接頭及金屬化層（具有分開之介電材料）。對依據第 11 圖之實施例而言，為該閘極區域 1105 及該等基極及射極區域 1101 與 1103（例如該射極/基極電極 1106）形成多數接頭及金屬化層。另一方面，對依據第 12 圖之實施例而言，為該基極區域 1202（例如基極電極 1205）及該射極區域 1201（例如射極區域 1204）形成多數接頭及金屬化層。

【0107】 在1910，類似於以上1811，最好將一操作晶圓（例如，對使用該操作晶圓層1601之實施例而言）接合在該已經大致接受過先前加工之初始晶圓，例如該絕緣體上覆半導體晶圓之暴露頂面上。該操作晶圓可以由Si、石英、藍寶石、AlN、SiC等製成。此外，亦可將一散熱層放在該絕緣體上覆半導體晶圓與該操作晶圓之間。對不使用該操作晶圓層1601之實施例而言，如果該操作晶圓在後續加工時需要該初始晶圓之實體支持，則該操作晶圓可暫時地接合在該初始晶圓上。在任一情形中，可在適當時移除該晶圓。對某些實施例（例如，使用該體半導體晶圓之某些實施例）而言，如果該初始晶圓可如下所述地被薄化或進一步加工，在不需要該操作晶圓之另外實體支持之情形下，可不需要實施1910。

【0108】 在1911，類似於以上1812，最好移除或薄化該初始晶圓之一下方部份。對使用一絕緣體上覆半導體晶圓之實施例而言，例如在該埋氧化物下方之基體通常被移除達到該埋氧化物（且最好包括該埋氧化之某些部份）。另一方面，對於使用一體半導體晶圓之實施例而言，該基體大致上由該底側被薄化直到該等溝槽區域或矽穿孔結構暴露為止。依這方式，使在1902形成之溝槽隔離區域穿過剩餘晶圓之整個主動層，且最好只有一絕緣層（例如該埋氧化物或一沈積絕緣層），而該絕緣層，即使有的話，此時亦在該主動層及該等溝槽隔離區域下方。

【0109】 在1912，如果尚未在1905藉由該前側深植入完成，則最好由該背側摻雜該集極區域1104或1203。對依據第11圖之實施例而言，使用一P+摻雜物。另一方面，對依據第12圖之實施例而言，使用一N+摻雜物。

【0110】 在1913，類似於以上1815，就對該集極區域1104或1203之所需背側連接部（例如底電極及接頭1107、1206等）而言，形成經圖案化接頭及金屬化。對具有向下建立通路至該背側之頂側接頭之這些區域之背側，最好亦實施進一步金屬化（具有分開之介電材料）。

【0111】 在1914，類似於以上1816，實施各種鈍化沈積技術且形成多數墊開口以便大致完成該全積體電路晶片。接著該方法1900最好在1915結束。

【0112】 第20圖顯示依據本發明之某些實施例，用以製造在第15圖中所示之元件（例如，類似於元件1500）的一方法2000。但是，應了解的是該特定方法2000只是為了達到說明之目的而顯示且其他實施例（以及特別提及之替代實施例）可包含具有其他獨立步驟或不同順序或組合之步驟之其他方法或多數方法且仍在本發明之範疇內。

【0113】 該方法2000最好由一絕緣體上覆半導體晶圓或一體半導體晶圓開始（在2001）。對某些上述實施例而言，一可接受絕緣體上覆半導體晶圓最好具有，例如大約 $1.0\ \mu\text{m}$ 至數十微米厚度之一頂矽（Si）層。

【0114】 在2002，類似於以上1802或1902，各種溝槽隔離區域（例如，類似於溝槽區域1509）最好被圖案

化，蝕刻及沈積/填充以便隔離（依需要）欲形成在該晶圓中之各種元件。該等溝槽隔離區域可以藉一溝槽蝕刻或藉一矽穿孔蝕刻形成以便形成比較深之溝槽或矽穿孔結構，接著依需要放置一氧化物/絕緣體材料。對使用一絕緣體上覆半導體晶圓之實施例而言，該等溝槽隔離區域最好向下形成至（或幾乎向下至，或至少向下至）該埋氧化物層。此外，該等溝槽隔離區域最好形成足夠深入該晶圓使得隨後薄化該晶圓或移除該晶圓之底部將產生大致穿過剩餘晶圓之整個主動層的該等溝槽隔離區域。

【0115】 在2003，類似於以上1803或1903，對依據第17圖之實施例而言，例如 SiO_2 或 Si_3N_4 之一耐高溫磊晶遮罩層最好在該晶圓上圖案化。接著矽最好以對欲形成之該（等）垂直元件足夠之量磊晶地沈積在區域1701中。或者對該第二區域1702而言，該晶圓之頂矽被優先地圖案化且移除（或薄化）。這移除可，例如，利用一矽蝕刻，以透過在一LOCOS型式處理步驟氧化而優先消耗矽來達成。該矽可依需要被薄化以製造絕緣體上覆半導體CMOS元件（例如，如果高效能RF開關應用需要全空乏CMOS元件）。

【0116】 在2004，如果在製造該絕緣體上覆半導體或該體半導體晶圓時N-摻雜存在該頂矽層中，則最好以P摻雜物植入該上P-區域1505。或者，2004最好是將N-摻雜物植入該N-區域1504之前。

【0117】 在2005，最好將該陽極區域1503圖案化及，例如以P+摻雜物深植入。或者，略過在2005之陽極植入，且如下所述地稍後由該背側完成該陽極植入。

【0118】 在2006，最好將該閘極區域1501圖案化及，例如以P+摻雜物植入。此外，在2007，最好將該陰極區域1502圖案化及，例如以N+摻雜物植入。

【0119】 在2008，為例如閘極接頭1506及陰極接頭1507之頂側連接部形成多數接頭及金屬化（具有分開之介電材料）。

【0120】 在2009，類似於以上1811或1910，最好將一操作晶圓（例如，對使用該操作晶圓層1601之實施例而言）接合在該已經大致接受過先前加工之初始晶圓，例如該絕緣體上覆半導體晶圓之暴露頂面上。該操作晶圓可以由Si、石英、藍寶石、AlN、SiC等製成。此外，亦可將一散熱層放在該絕緣體上覆半導體晶圓與該操作晶圓之間。對不使用該操作晶圓層1601之實施例而言，如果該操作晶圓在後續加工時需要該初始晶圓之實體支持，則該操作晶圓可暫時地接合在該初始晶圓上。在任一情形中，可在適當時移除該晶圓。對某些實施例（例如，使用該體半導體晶圓之某些實施例）而言，如果該初始晶圓可如下所述地被薄化或進一步加工，在不需要該操作晶圓之另外實體支持之情形下，可不需要實施2009。

【0121】 在2010，類似於以上1812或1911，最好移除或薄化該初始晶圓之一下方部份。對使用一絕緣體上覆

半導體晶圓之實施例而言，例如在該埋氧化物下方之基體通常被移除達到該埋氧化物（且最好包括該埋氧化之某些部份）。另一方面，對於使用一體半導體晶圓之實施例而言，該基體大致上由該底側被薄化直到該等溝槽區域或矽穿孔結構暴露為止。依這方式，使在2002形成之溝槽隔離區域穿過剩餘晶圓之整個主動層，且最好只有一絕緣層（例如該埋氧化物或一沈積絕緣層），而該絕緣層，即使有的話，此時亦在該主動層及該等溝槽隔離區域下方。

【0122】 在2011，如果尚未在2005藉由該前側深植入完成，則最好由該背側摻雜該陽極區域1503。

【0123】 在2012，類似於以上1815或1913，為對該陽極區域1503之所需背側連接部（例如底側陽極接頭1508等）形成經圖案化接頭及金屬化。對具有向下建立通路至該背側之頂側接頭之這些區域之背側，最好亦實施進一步金屬化（具有分開之介電材料）。

【0124】 在2013，類似於以上1816或1914，實施各種鈍化沈積技術且形成多數墊開口以便大致完成該全積體電路晶片。接著該方法2000最好在2014結束。

【0125】 雖然已對於本發明之特定實施例主要地說明本發明之實施例，但是其他變化也是可能的。所述系統之各種組態可以取代，或附加於在此提出之組態來使用。例如，各種所述功率元件之多數指部可共用相同溝槽隔離區。又，多種在此所述之功率元件可共用相同溝槽隔離區，可共用相同第一半導體區域，或可共用這兩者。此外，

該等垂直功率元件係經常被說明為使用 n - 型元件作為一例，但是本發明可用 p 型或 n 型元件來實施。又，在適當時可在所述層之間設置多數另外之鈍化及絕緣層。

【0126】 所屬技術領域中具有通常知識者可了解前述說明只是舉例，而不是要限制本發明。在揭露中沒有任何內容會表示本發明受限於在一單一晶圓上實施之系統。在揭露中沒有任何內容會表示本發明受限於需要一特殊形式之半導體加工之系統或積體電路。多數功能可依需要藉硬體或軟體達成。大致上，所示之任何圖只是要表示一種可能之組態，且許多變化是可能的。所屬技術領域中具有通常知識者亦可了解符合本發明之方法及系統適合使用在廣大範圍之包含任何與功率元件相關的應用中。

【0127】 雖然說明書已對於本發明之特定實施例詳細地說明過了，但是所屬技術領域中具有通常知識者應了解的是，在了解前述說明後，可輕易地想出對這些實施例之改變、變化及等效物。到本發明之這些及其他修改及變化可在不偏離更特別地在附加申請專利範圍中提出之本發明之精神與範疇的情形下，由所屬技術領域中具有通常知識者實施。

【符號說明】

【0128】

100 … 功率元件

101 … 源極電極

- 1 0 2 . . . 汲極電極
- 1 0 3 . . . 閘極電極
- 1 0 4 . . . 源極區域
- 1 0 5 . . . 閘極
- 1 0 6 . . . 閘極絕緣體
- 1 0 7 . . . 通道區域
- 1 0 8 . . . 汲極區域
- 1 1 0 . . . 尺寸
- 1 1 1 . . . 尺寸
- 2 0 0 . . . 層轉移結構
- 2 0 1 . . . 操作晶圓
- 2 0 2 . . . 絕緣體上覆半導體晶圓
- 2 0 3 . . . 操作晶圓基體
- 2 0 4 . . . 操作接合層
- 2 0 5 . . . 絕緣層
- 2 0 6 . . . 電路層
- 2 0 7 . . . 結構
- 2 0 8 . . . 底面
- 2 0 9 . . . 頂面
- 3 0 0 . . . 垂直功率元件
- 3 0 1 . . . 第一半導體區域
- 3 0 2 . . . 第二半導體區域
- 3 0 3 . . . 第三半導體區域
- 3 0 4 . . . 閘極區域

- 3 0 5 . . . 氧化物 / 絕緣體
- 3 0 6 . . . 底邊界
- 3 0 7 . . . 側邊界
- 3 0 8 . . . 頂電極
- 3 0 9 . . . 底側汲極電極
- 3 1 0 . . . 溝槽氧化物或淺槽隔離 (S T I) 區域
- 3 1 1 . . . 整個垂直側
- 3 1 2 . . . 尺寸
- 4 0 0 . . . 垂直功率元件
- 4 0 1 . . . 第一半導體區域
- 4 0 2 . . . 第二半導體區域
- 4 0 3 . . . 第三半導體區域
- 4 0 4 . . . 閘極區域
- 4 0 5 . . . 介電體
- 4 0 6 . . . 尺寸
- 4 0 7 . . . 頂電極
- 4 0 8 . . . 背側通道電極
- 4 0 9 . . . 底側電極
- 4 1 0 . . . 溝槽區域
- 4 1 1 . . . 整個垂直側
- 5 0 0 . . . 垂直功率元件
- 5 0 1 , 5 0 2 . . . 指部
- 5 0 3 . . . 閘極電極
- 5 0 4 . . . 閘極區域

- 5 0 5 . . . 源極區域
- 5 0 6 . . . 暴露之通道區域
- 6 0 0 . . . 垂直功率元件
- 6 0 1 . . . 閘極電極
- 6 0 2 . . . 閘極區域
- 6 0 3 . . . 源極區域
- 6 0 4 . . . 暴露之通道區域
- 7 0 0 . . . 垂直功率元件
- 7 0 1 . . . 第一半導體區域
- 7 0 2 . . . 第二半導體區域
- 7 0 3 . . . 第三半導體區域
- 7 0 4 . . . 閘極電極
- 7 0 5 . . . 氧化物 / 絕緣體
- 7 0 6 . . . 頂電極
- 7 0 7 . . . 底電極
- 7 0 8 . . . 底電極
- 7 0 9 . . . 溝槽區域
- 7 1 0 . . . 整個垂直側
- 8 0 0 . . . 垂直功率元件
- 8 0 1 . . . 閘極電極
- 8 0 2 . . . 閘極區域
- 8 0 3 . . . 閘極邊緣區域
- 8 0 4 . . . 源極區域
- 8 0 5 . . . 通道區域

- 9 0 0 . . . 垂直功率元件
- 9 0 1 , 9 0 2 , 9 0 3 . . . 閘極區域
- 9 0 4 . . . 本體接頭
- 9 0 5 . . . 源極區域
- 1 0 0 0 . . . 垂直功率元件
- 1 0 0 1 . . . 第一半導體區域
- 1 0 0 2 . . . 第二半導體區域
- 1 0 0 3 . . . 第三半導體區域
- 1 0 0 4 . . . 閘極區域
- 1 0 0 5 . . . 氧化物 / 絕緣體
- 1 0 0 6 . . . 頂電極
- 1 0 0 7 . . . 金屬接頭 (底側電極)
- 1 0 0 8 . . . 溝槽區域
- 1 0 0 9 . . . 整個垂直側
- 1 1 0 0 . . . 絕緣閘雙極電晶體 (I G B T) 元件
- 1 1 0 1 . . . 基極區域
- 1 1 0 2 . . . 通道區域
- 1 1 0 3 . . . 射極區域
- 1 1 0 4 . . . 集極區域
- 1 1 0 5 . . . 閘極區域
- 1 1 0 6 . . . 射極 / 基極電極
- 1 1 0 7 . . . 底側集極電極
- 1 1 0 8 . . . 底邊界
- 1 1 0 9 . . . 溝槽區域

- 1 1 1 0 . . . 整個垂直側
- 1 2 0 0 . . . 垂直雙極電晶體
- 1 2 0 1 . . . 射極區域
- 1 2 0 2 . . . 基極區域
- 1 2 0 3 . . . 集極區域
- 1 2 0 4 . . . 射極區域
- 1 2 0 5 . . . 基極電極
- 1 2 0 6 . . . 底側集極電極
- 1 2 0 7 . . . 溝槽區域
- 1 2 0 8 . . . 整個垂直側
- 1 3 0 0 . . . U M O S (或 溝 槽 - M O S) 元 件
- 1 3 0 1 . . . 第一半導體區域
- 1 3 0 2 . . . 第二半導體區域
- 1 3 0 3 . . . 第三半導體區域
- 1 3 0 4 . . . 閘極區域
- 1 3 0 5 . . . 氧化物 / 絕緣體
- 1 3 0 6 . . . 頂電極
- 1 3 0 7 . . . 底電極
- 1 3 0 8 . . . 溝槽區域
- 1 3 0 9 . . . 整個垂直側
- 1 4 0 0 . . . U M O S (或 溝 槽 - M O S) 元 件
- 1 4 0 1 . . . 第一半導體區域
- 1 4 0 2 . . . 第二半導體區域
- 1 4 0 3 . . . 第三半導體區域

- 1 4 0 4 . . . 閘極區域
- 1 4 0 5 . . . 氧化物 / 絕緣體
- 1 4 0 6 . . . 頂電極
- 1 4 0 7 . . . 底電極
- 1 4 0 8 . . . 溝槽區域
- 1 4 0 9 . . . 整個垂直側
- 1 5 0 0 . . . 截斷 (G T O) 閘流體
- 1 5 0 1 . . . 閘極區域
- 1 5 0 2 . . . 陰極區域
- 1 5 0 3 . . . 陽極區域
- 1 5 0 4 . . . N - 區域
- 1 5 0 5 . . . P - 區域
- 1 5 0 6 . . . 閘極接頭
- 1 5 0 7 . . . 陰極接頭
- 1 5 0 8 . . . 底側陽極接頭
- 1 5 0 9 . . . 溝槽區域
- 1 6 0 0 . . . 層轉移元件
- 1 6 0 1 . . . 操作晶圓層
- 1 6 0 2 . . . 初始晶圓層
- 1 6 0 3 . . . 操作基體層
- 1 6 0 4 . . . 操作接合層
- 1 6 0 5 . . . 主動層
- 1 6 0 6 . . . 絕緣層
- 1 6 0 7 . . . 閘極區域

- 1 6 0 8 . . . 氧化物 / 絕緣體
- 1 6 0 9 . . . 導電配線
- 1 6 1 0 . . . 第一半導體區域
- 1 6 1 1 . . . 第二半導體區域
- 1 6 1 2 . . . 第三半導體區域
- 1 6 1 3 . . . 單一背側金屬接頭 (或底電極)
- 1 6 1 4 . . . 頂側汲極電極
- 1 6 1 5 . . . 接頭
- 1 6 1 6 . . . 溝槽區域
- 1 6 1 7 . . . 整個垂直側
- 1 7 0 0 . . . 矽晶粒 (或積體電路晶片)
- 1 7 0 1 . . . 第一區域
- 1 7 0 2 . . . 第二區域
- 1 7 0 3 . . . 垂直元件
- 1 7 0 4 . . . 高效能開關及低功率數位邏輯
- 1 7 0 5 . . . 溝槽隔離之區域
- 1 8 0 0 . . . 方法
- 1 8 0 1 - 1 8 1 7 . . . 步驟
- 1 9 0 0 . . . 方法
- 1 9 0 1 - 1 9 1 5 . . . 步驟
- 2 0 0 0 . . . 方法
- 2 0 0 1 - 2 0 1 4 . . . 步驟

【生物材料寄存】

【 0 1 2 9 】 國內寄存資訊 (請依寄存機構、日期、號碼順序註記)

無

【 0 1 3 0 】 國外寄存資訊（請依寄存國家、機構、日期、號碼順序註記）

無

【序列表】（請換頁單獨記載）

無



105133854(由100136721分割)

申請日: 100/10/11

IPC分類: H01L 29/732 (2006.01)
H01L 29/74 (2006.01)
H01L 29/772 (2006.01)

【發明摘要】

【中文發明名稱】具有薄基體之垂直半導體元件

【英文發明名稱】VERTICAL SEMICONDUCTOR DEVICE WITH THINNED
SUBSTRATE

【中文】

一種垂直半導體元件（例如，一垂直功率元件，一絕緣閘雙極電晶體元件，一垂直雙極電晶體，一UMOS元件或一截斷閘流體）具有一主動半導體區域，在該主動半導體區域內已製成多數半導體結構以便形成一主動元件，且在該主動半導體區域下方已移除一基體材料之至少一部份以便隔離該主動元件，以便暴露該等半導體結構中之至少一半導體結構以進行底側電連接及加強散熱。該等半導體結構中之至少一半導體結構最好在該主動半導體區域之底側與一電極接觸。

【英文】

A vertical semiconductor device (e.g. a vertical power device, an IGBT device, a vertical bipolar transistor, a UMOS device or a GTO thyristor) is formed with an active semiconductor region, within which a plurality of semiconductor structures have been fabricated to form an active device, and below which at least a portion of a substrate material has been removed to isolate the active device, to expose at least one of the semiconductor structures for bottom side electrical connection and to enhance thermal dissipation. At least one of the semiconductor structures is

preferably contacted by an electrode at the bottom side of the active semiconductor region.

【指定代表圖】第(3)圖。

【代表圖之符號簡單說明】

- 300 垂直功率元件
- 301 第一半導體區域
- 302 第二半導體區域
- 303 第三半導體區域
- 304 閘極區域
- 305 氧化物/絕緣體
- 306 底邊界
- 307 側邊界
- 308 頂電極
- 309 底側汲極電極
- 310 溝槽氧化物或淺槽隔離(STI)區域
- 311 整個垂直側
- 312 尺寸

【特徵化學式】

無

【發明申請專利範圍】

【第1項】 一種積體電路晶片，包含：

一主動半導體區域，該主動半導體區域具有經製造以形成一垂直半導體元件的複數個半導體結構，該複數個半導體結構包含一源極、一汲極及一通道，藉由去除基板材料而使該主動半導體區域在一底側上暴露，以使得該等半導體結構中的該源極和該通道是為該垂直半導體元件提供一電接點的暴露半導體結構；

一底側電極，該底側電極連接到該源極及該通道中的至少一者；及

一操作晶圓層，該操作晶圓層位在該主動半導體區域之上。

【第2項】 如請求項1所述之積體電路晶片，其中：

該複數個半導體結構形成複數個垂直半導體元件；
及

該複數個垂直半導體元件中的每一個連接到一獨立底側電極。

【第3項】 如請求項1所述之積體電路晶片，其中：

該複數個半導體結構形成複數個垂直半導體元件；
及

該複數個垂直半導體元件中的至少兩個連接到該底側電極。

【第4項】如請求項1所述之積體電路晶片，還包含：

一溝槽區域，該溝槽區域沿著該主動半導體區域的一垂直側延伸且水平地圍繞該主動半導體區域；

其中該溝槽區域電隔離在該積體電路晶片上之該垂直半導體元件。

【第5項】如請求項4所述之積體電路晶片，其中：

該垂直半導體元件包含在該積體電路晶片的一第一區域內；

該積體電路晶片的該第一區域具有一第一厚度；

該積體電路晶片的一第二區域具有小於該第一厚度的一第二厚度，並且該第二區域包含至少一個非垂直半導體元件；及

該溝槽區域使該第一區域和該第二區域電隔離。

【第6項】如請求項1所述之積體電路晶片，其中該等半導體結構中至少一個的一垂直或水平尺寸被最小化，以降低該垂直半導體元件中的寄生電容。

【第7項】如請求項1所述之積體電路晶片，其中該底側電極連接到該源極和該通道二者。

【第8項】如請求項1所述之積體電路晶片，其中該主動半導體區域形成在絕緣體上覆半導體（SOI）晶圓中。

【第9項】如請求項1所述之積體電路晶片，其中：

該通道將該源極與該汲極隔離；

該通道具有一底邊界和一側邊界，該側邊界從該主動半導體區域的一頂表面向下延伸到該底邊界；及

該源極和該通道沿著該側邊界接觸且沿著該底邊界不接觸。

【第10項】 如請求項9所述之積體電路晶片，其中：

該底側電極連接到該源極；及

一第二底側電極連接到該通道。

【第11項】 如請求項9所述之積體電路晶片，其中該

源極和該通道二者都連接到該底側電極。

【第12項】 如請求項9所述之積體電路晶片，其中：

該汲極具有一第二底邊界及一第二側邊界，該第二側邊界從該主動半導體區域的一頂表面向下延伸到該第二底邊界；及

該汲極和該通道沿著該第二側邊界接觸且沿著該第二底邊界不接觸。

【第13項】 如請求項12所述之積體電路晶片，其中：

該底側電極連接到該源極；

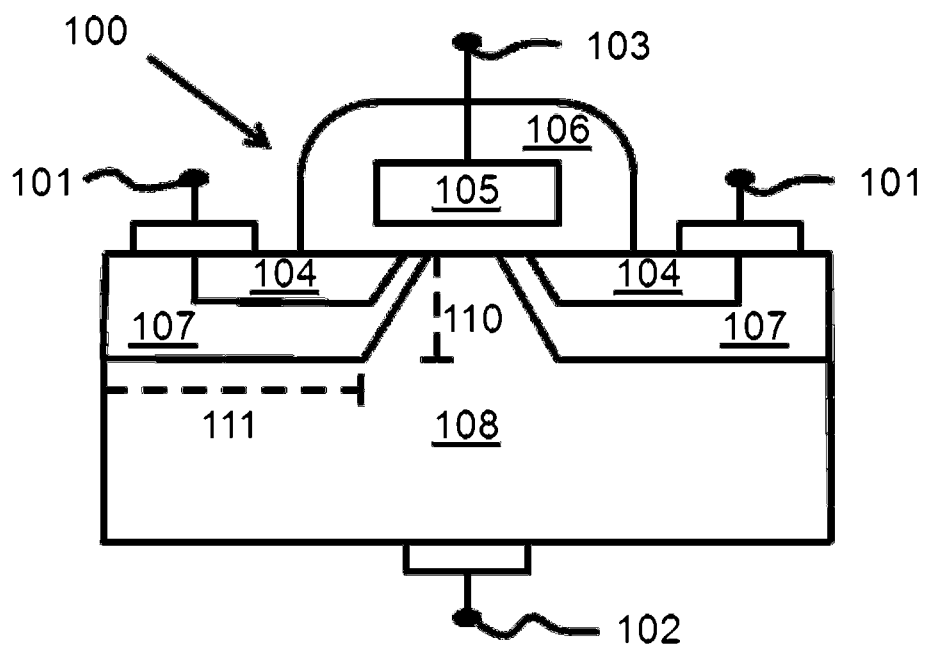
一第二底側電極連接到該汲極；

一第三底側電極連接到該通道；及

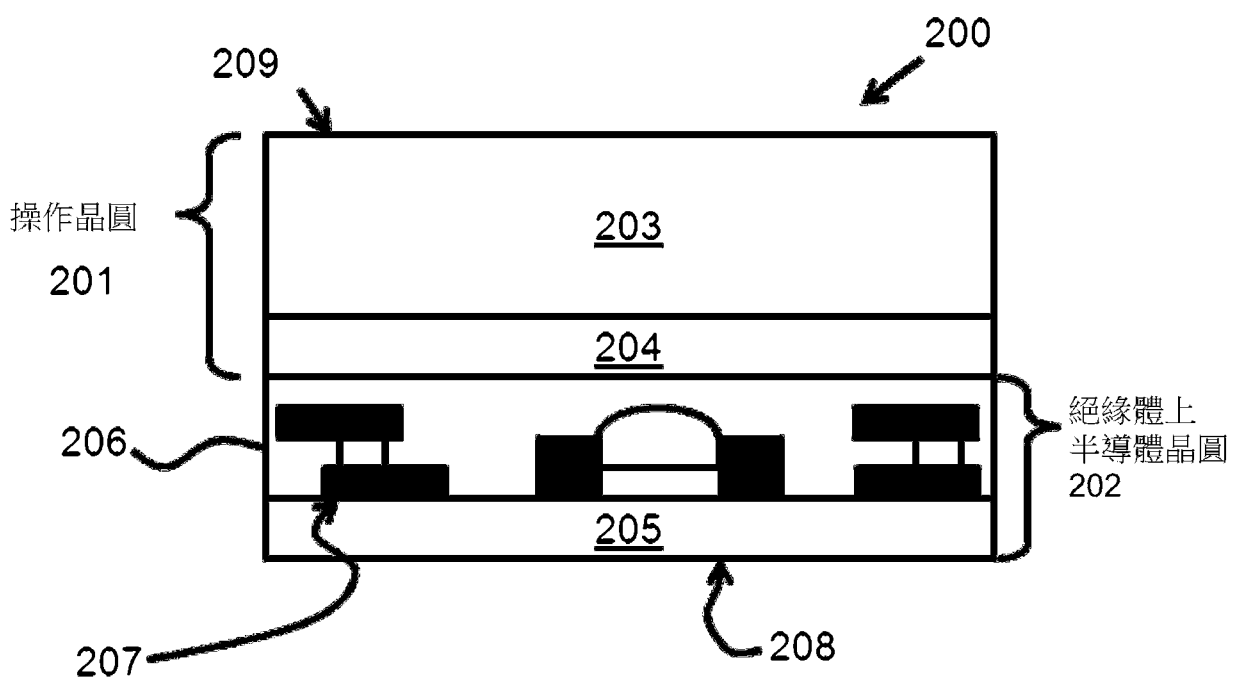
該底側電極、該第二底側電極和該第三底側電極彼此電隔離。

【發明圖式】

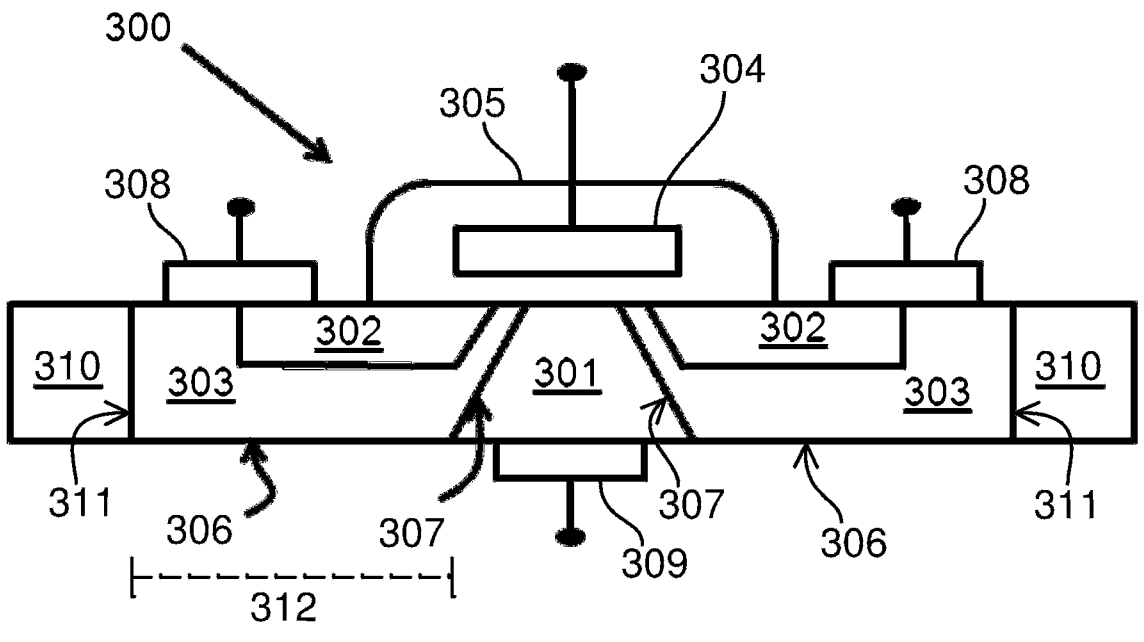
第 1 圖

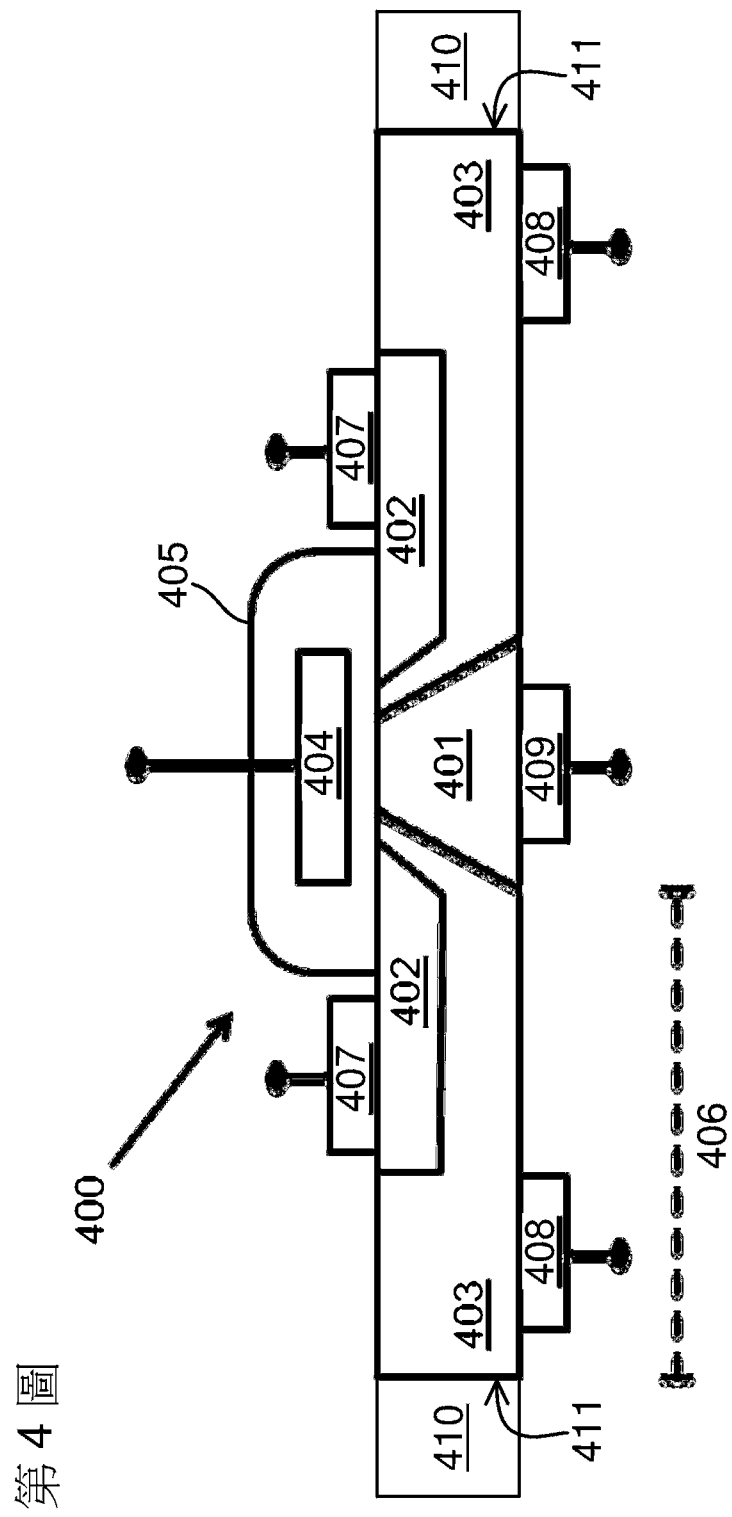


第 2 圖

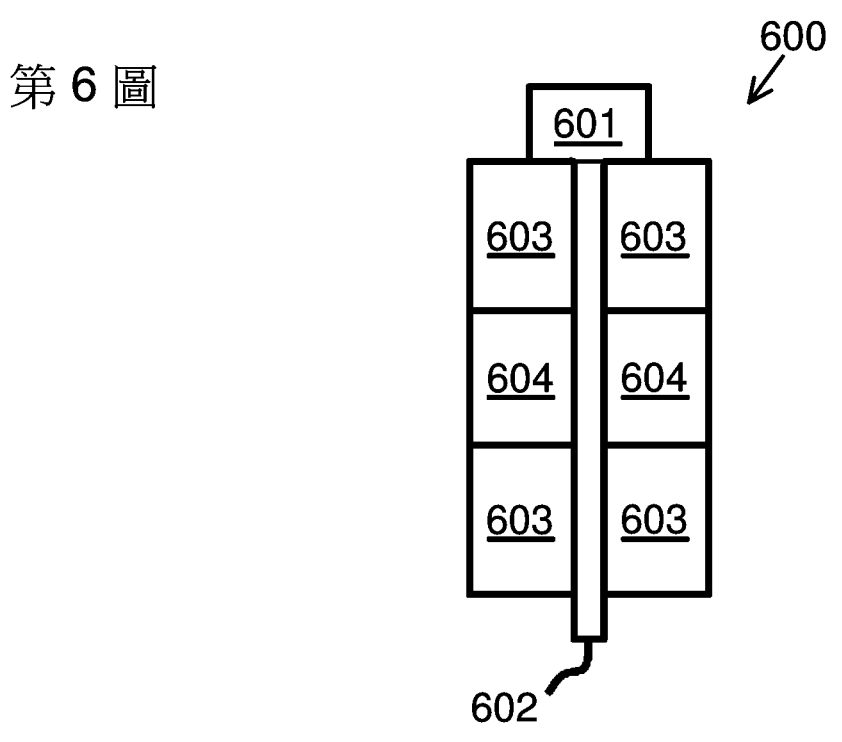
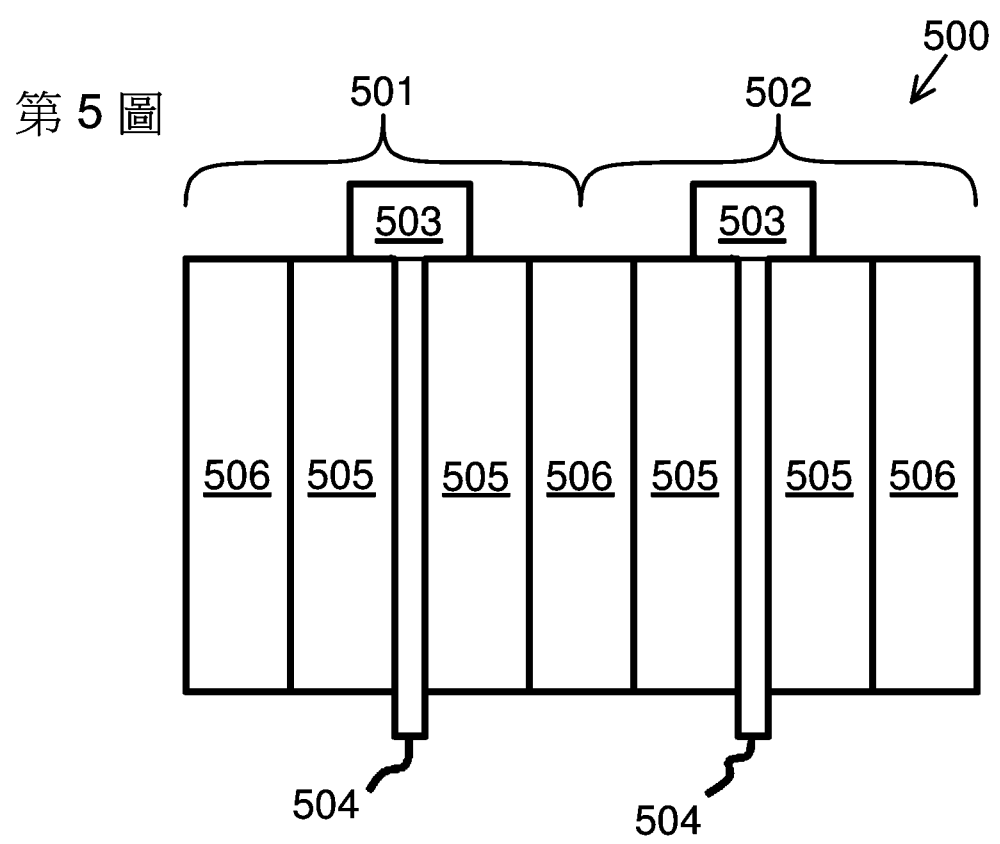


第 3 圖

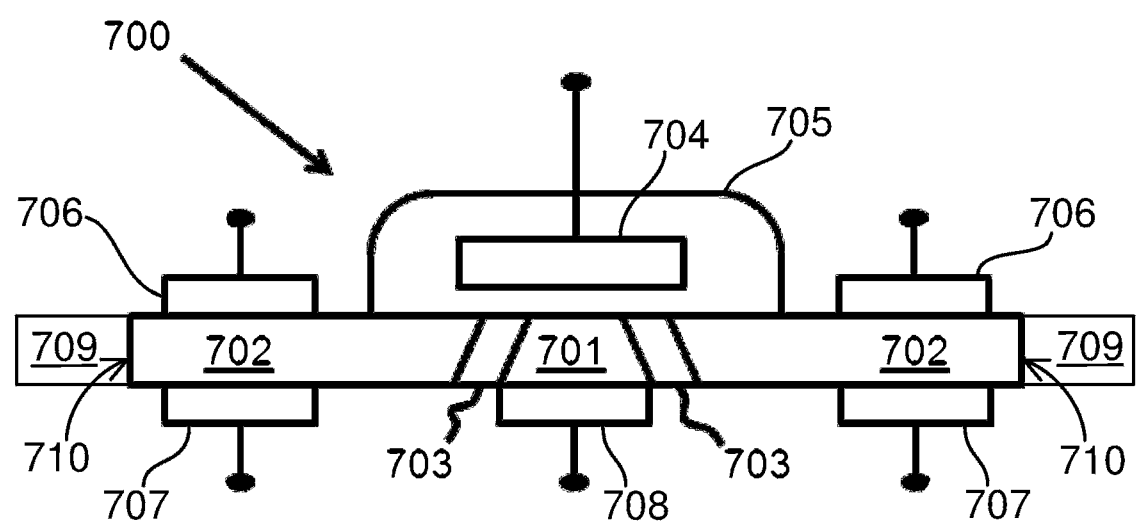




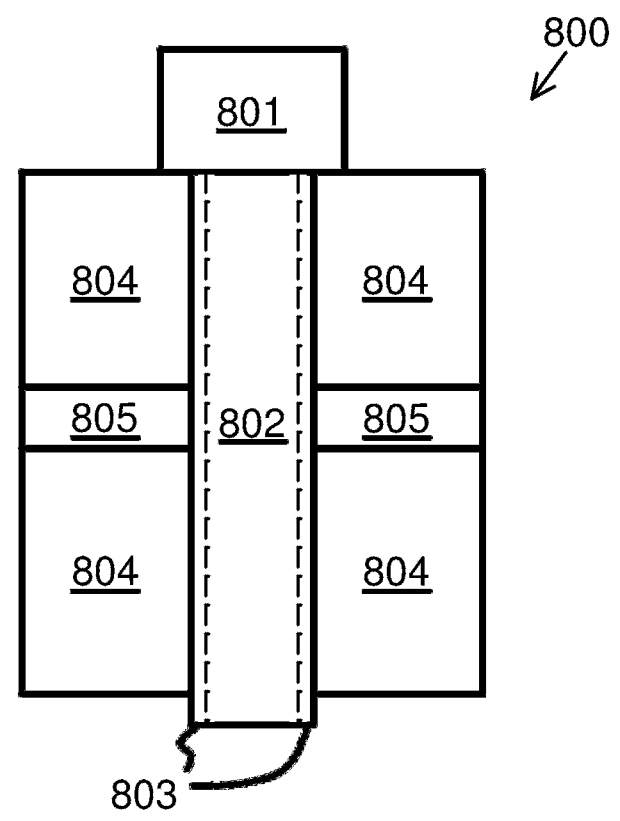
第 4 圖



第 7 圖

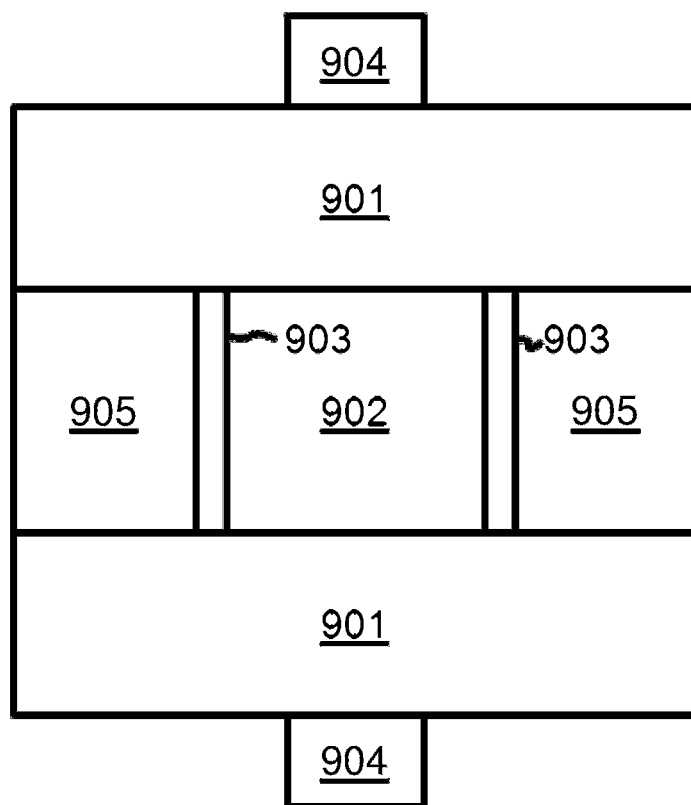


第 8 圖

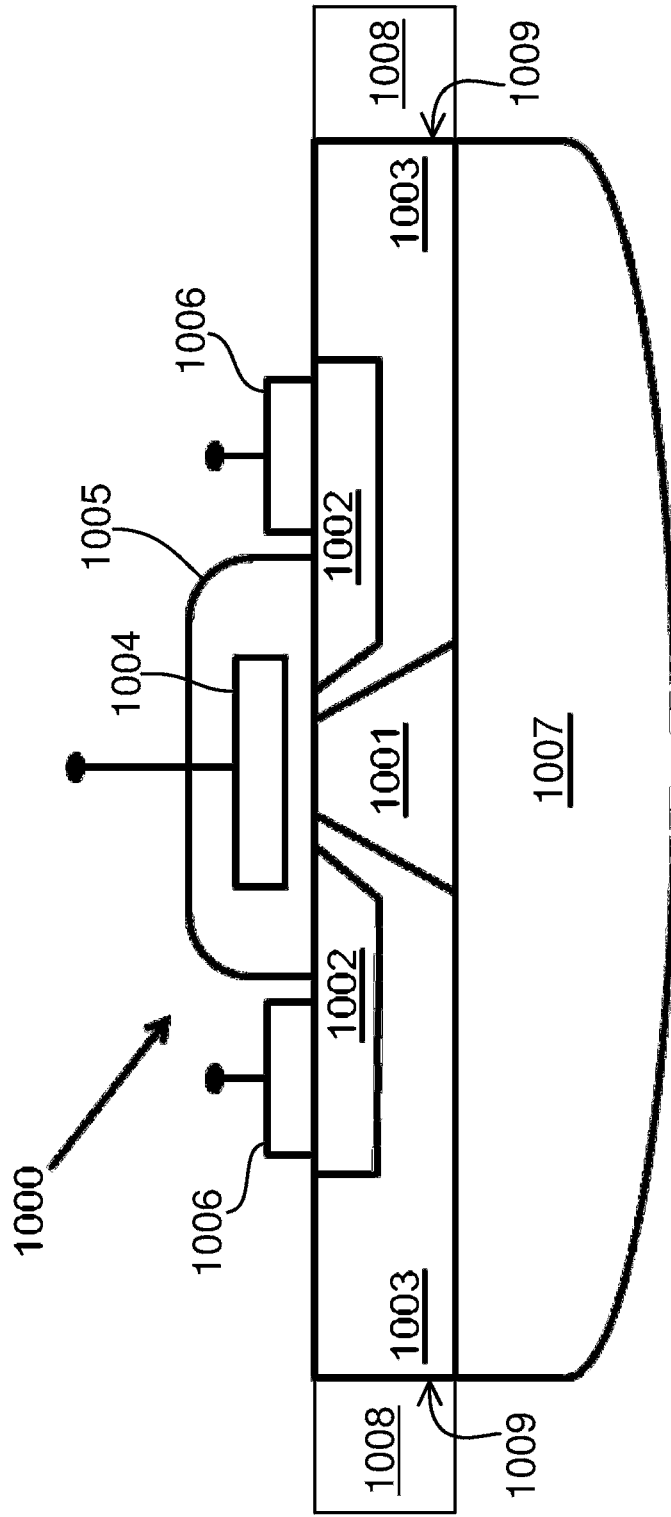


第 9 圖

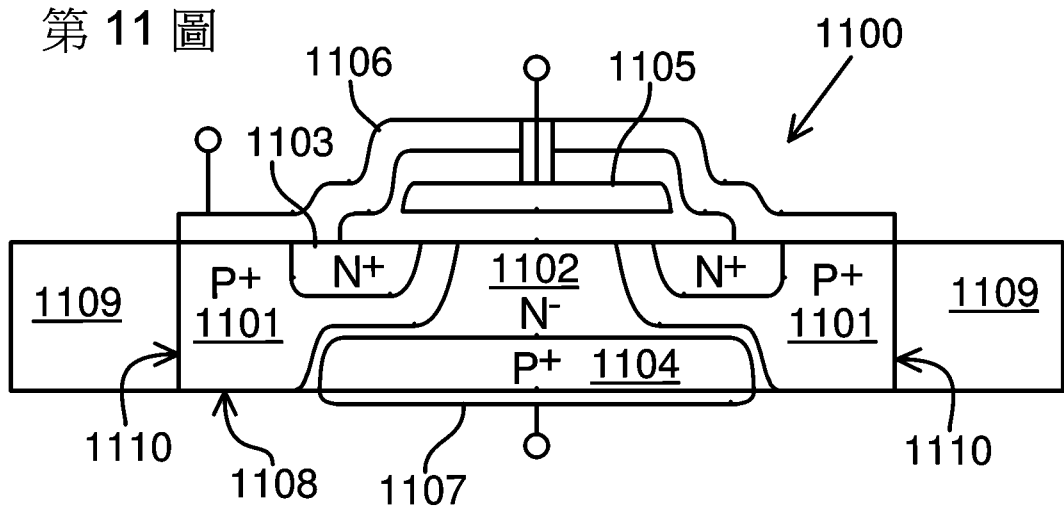
900
↙



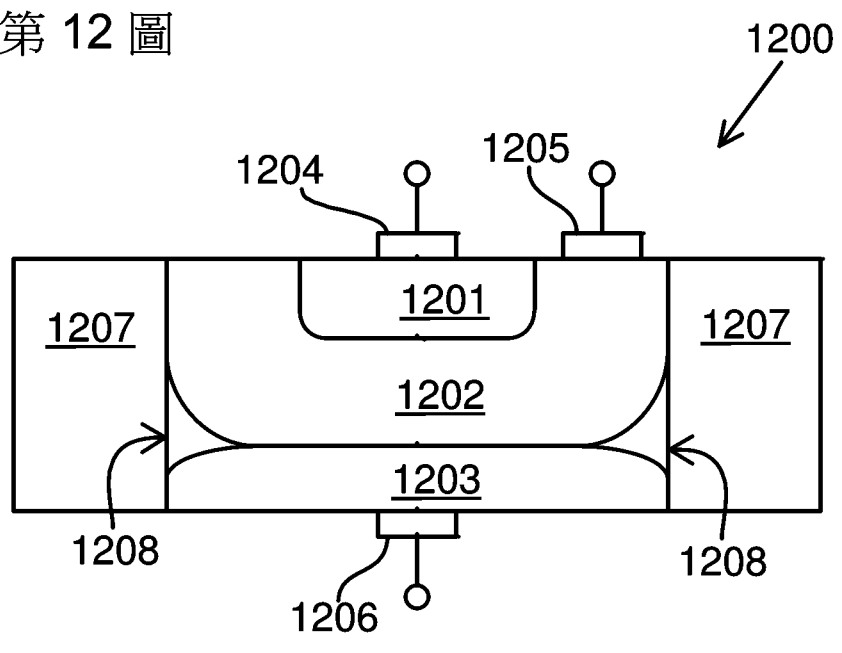
第 10 圖



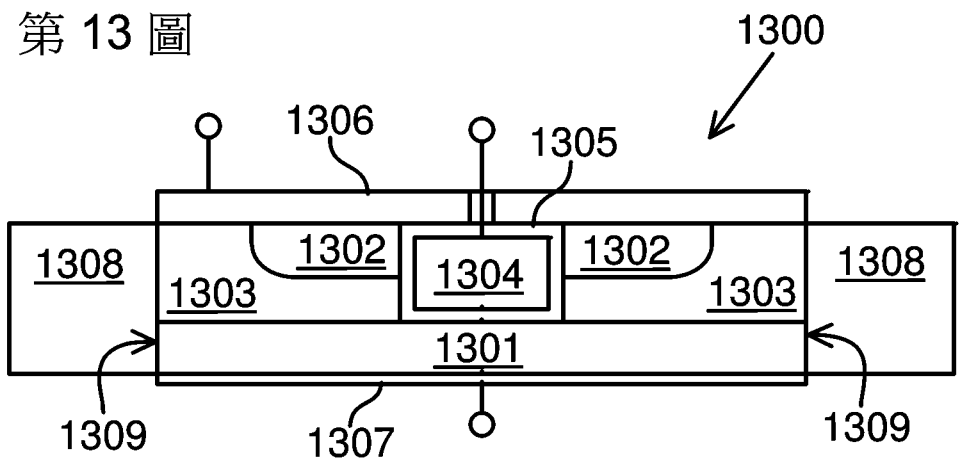
第 11 圖



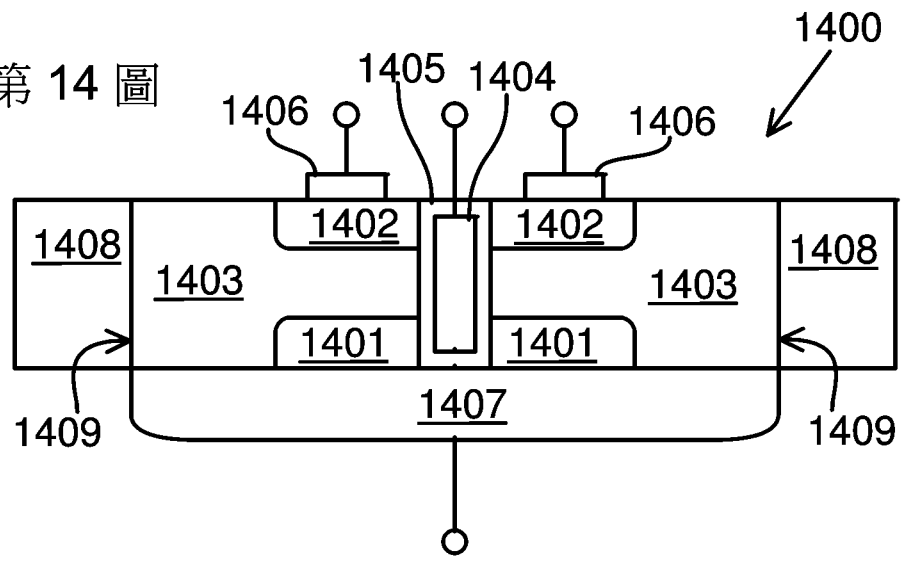
第 12 圖



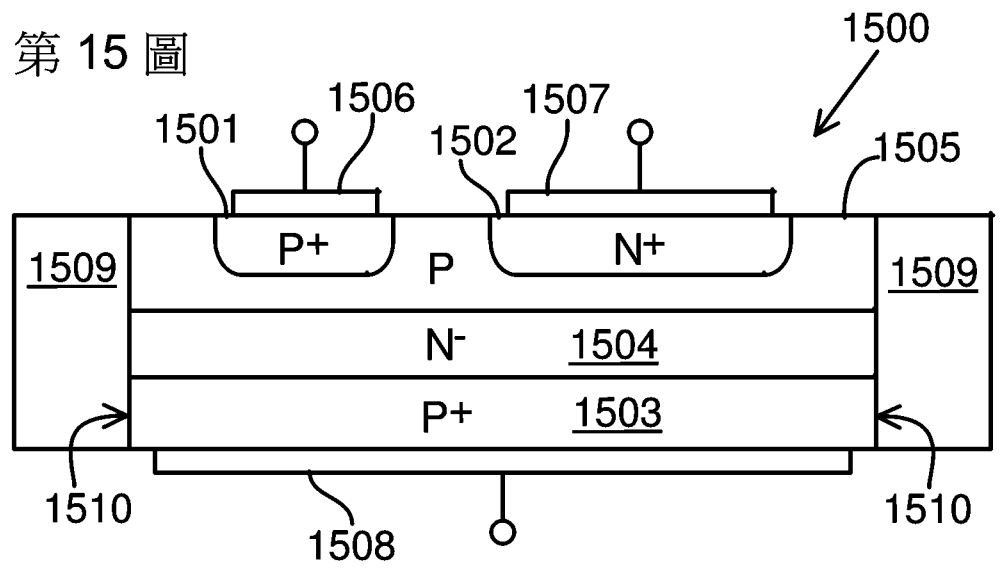
第 13 圖



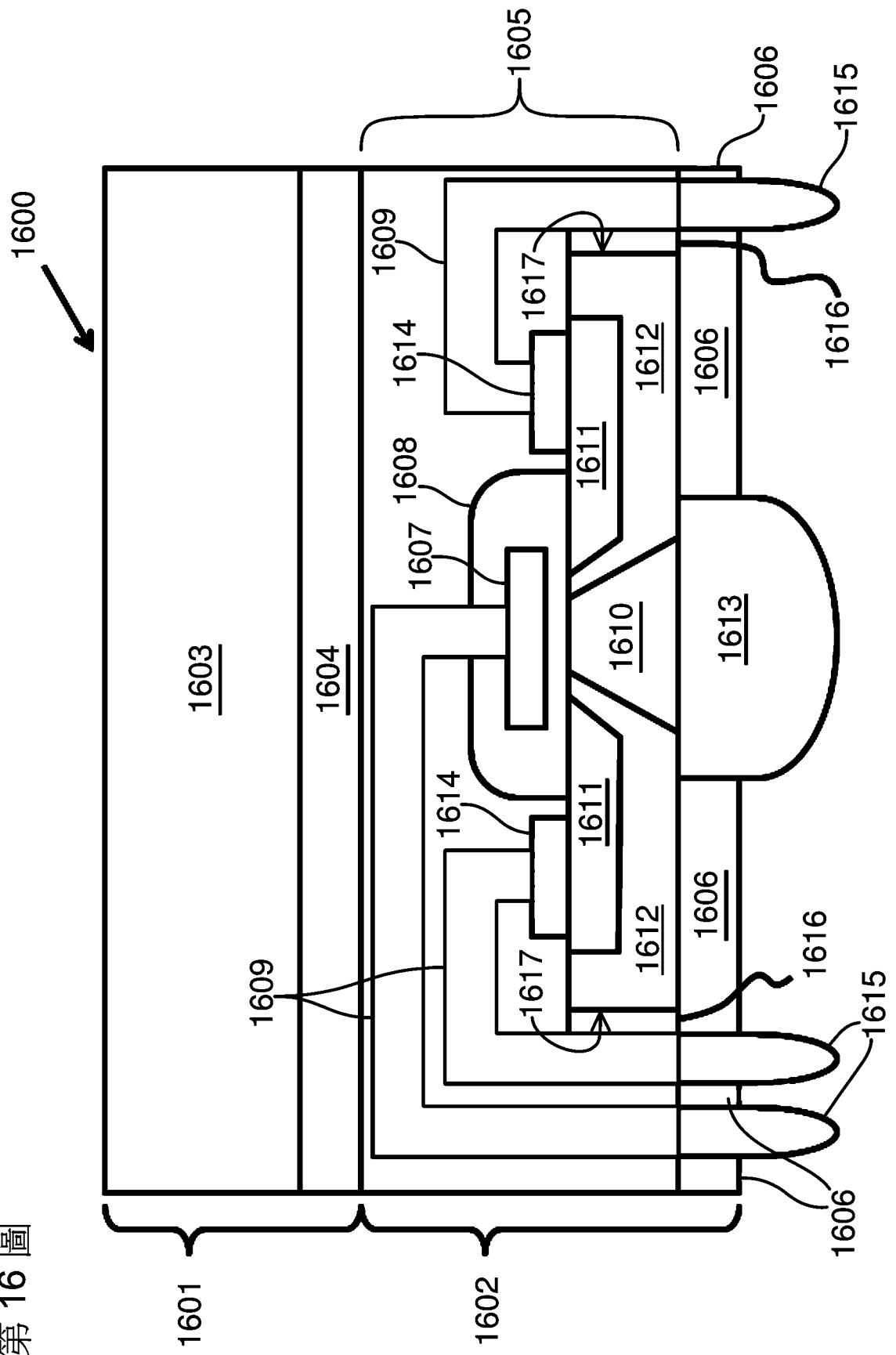
第 14 圖



第 15 圖

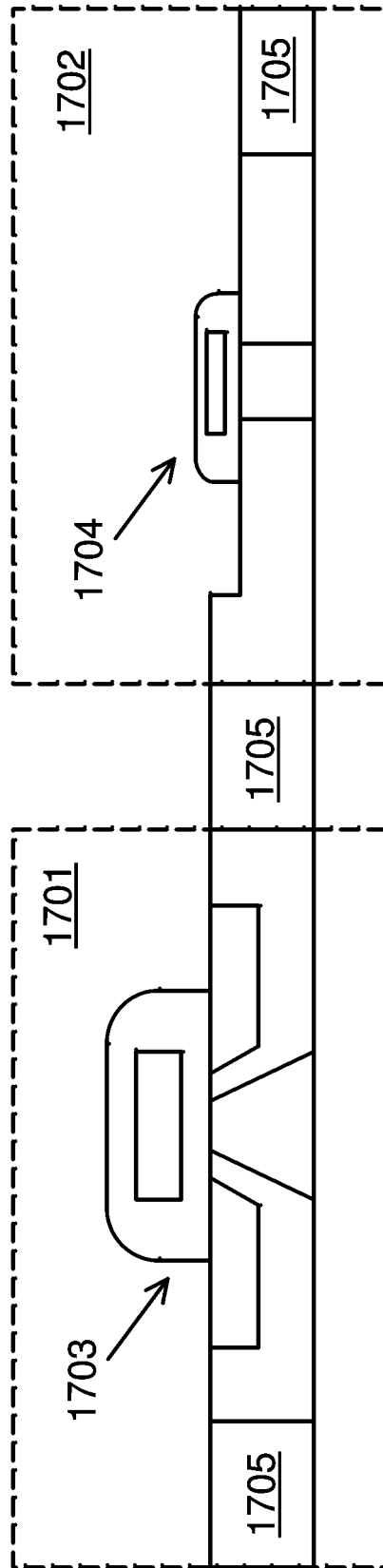


第 16 圖

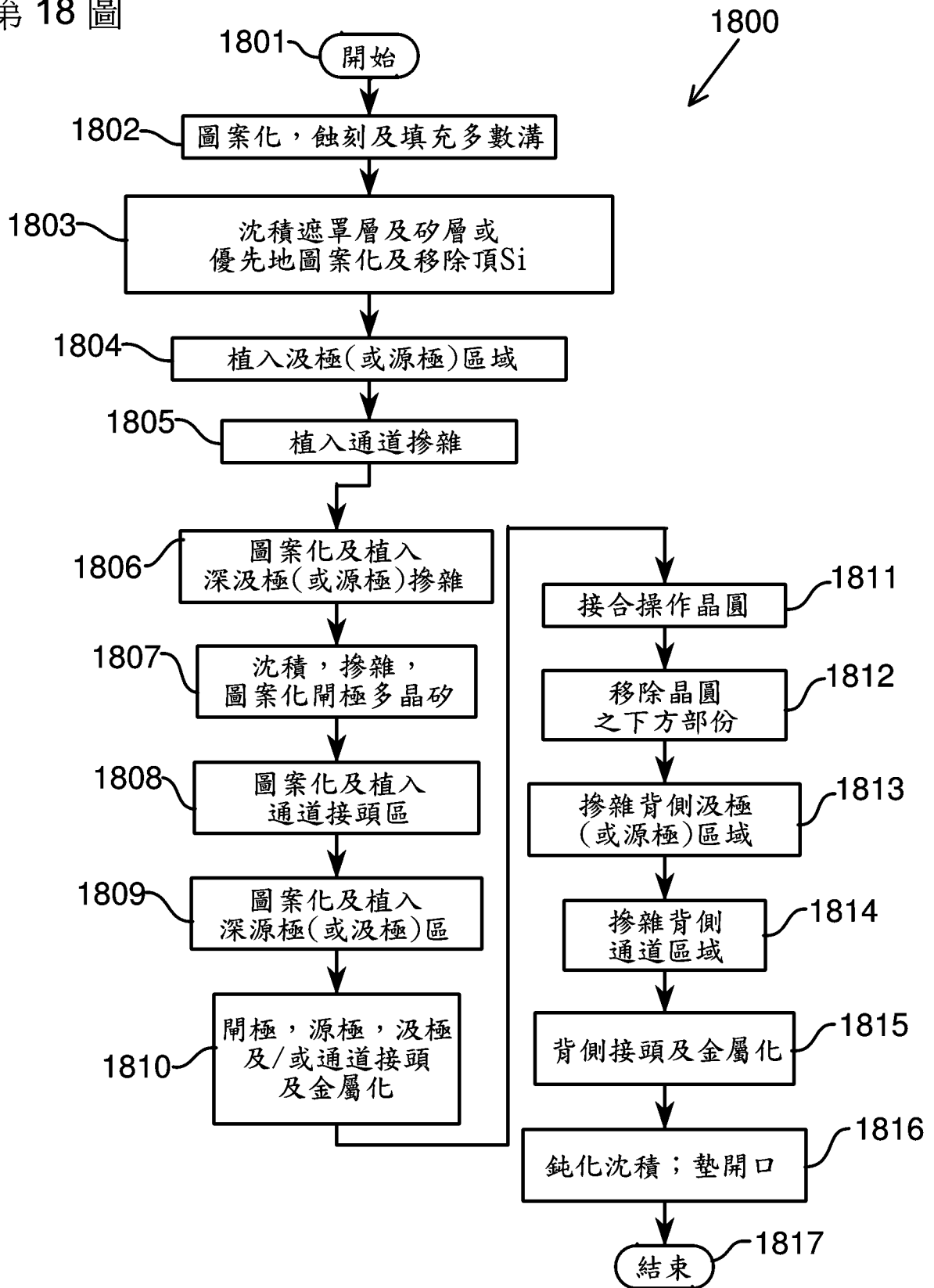


第17圖

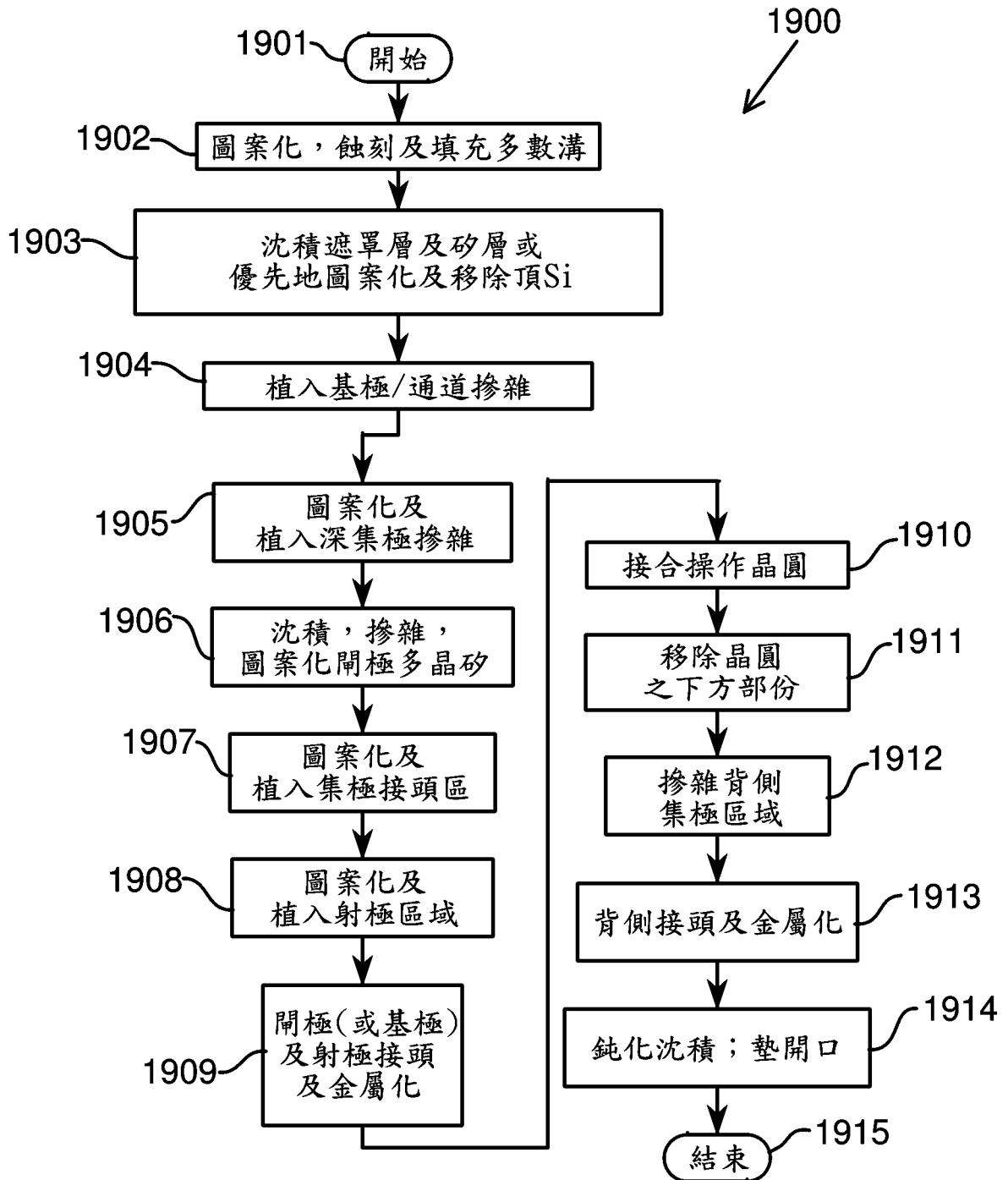
1700 →



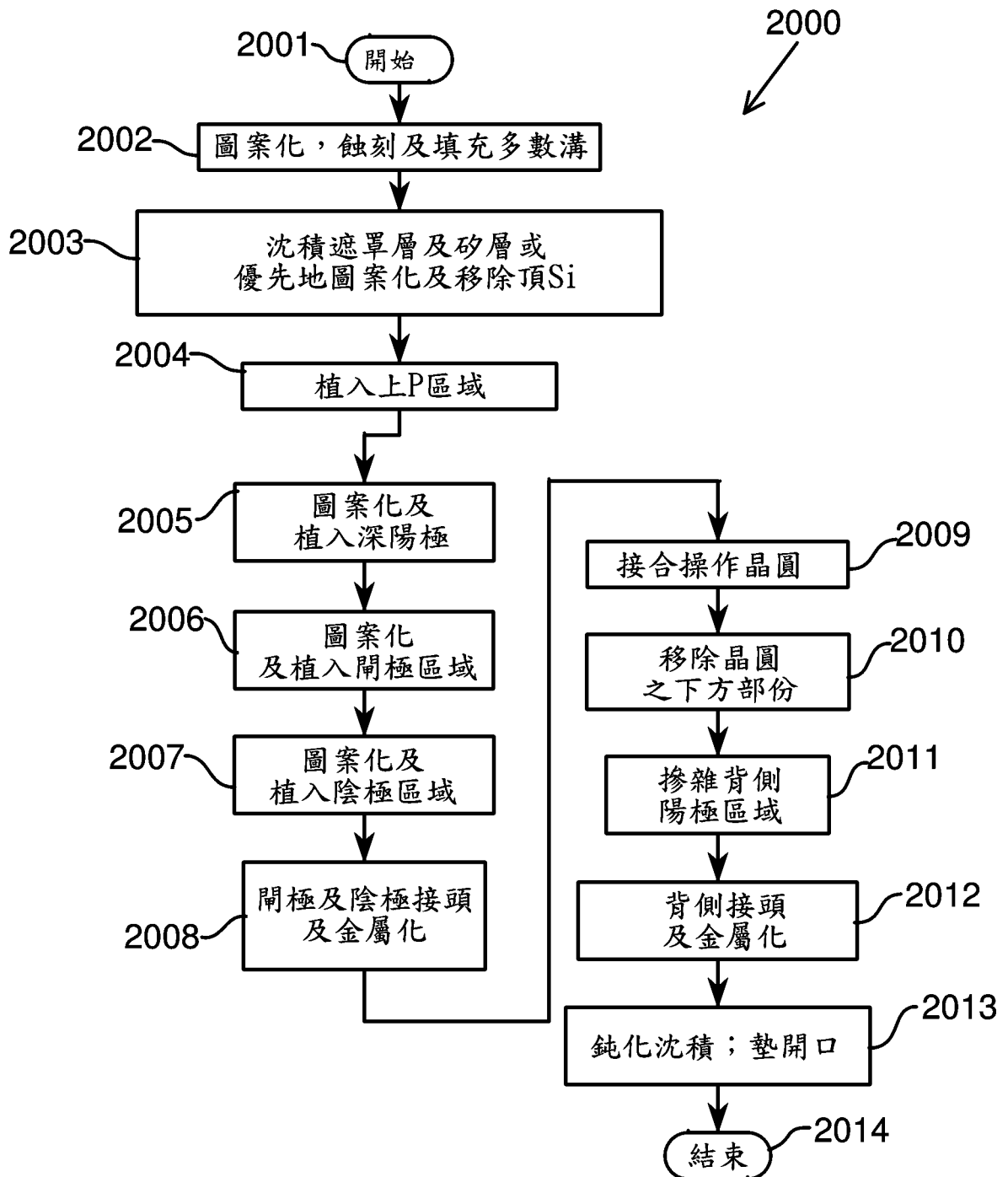
第 18 圖



第 19 圖



第 20 圖



preferably contacted by an electrode at the bottom side of the active semiconductor region.

【指定代表圖】第(3)圖。

【代表圖之符號簡單說明】

- 300 垂直功率元件
- 301 第一半導體區域
- 302 第二半導體區域
- 303 第三半導體區域
- 304 閘極區域
- 305 氧化物/絕緣體
- 306 底邊界
- 307 側邊界
- 308 頂電極
- 309 底側汲極電極
- 310 溝槽氧化物或淺槽隔離(STI)區域
- 311 整個垂直側
- 312 尺寸

【特徵化學式】

無