(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年3月7日(07.03.2019)

WIPO | PCT

(10) 国際公開番号
WO 2019/044141 A1

(51) 国際特許分類:
H03K 19/177 (2006.01)

(21) 国際出願番号： PCT/JP2018/024340

(22) 国際出願日： 2018年6月27日(27.06.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-163368 2017年8月28日(28.08.2017) JP

(71) 出願人: 日立オートモティブシステムズ株式会社(**HITACHI AUTOMOTIVE SYSTEMS, LTD.**) [JP/JP]; 〒3128503 茨城県ひたちなか市高場２５２０番地 Ibaraki (JP).

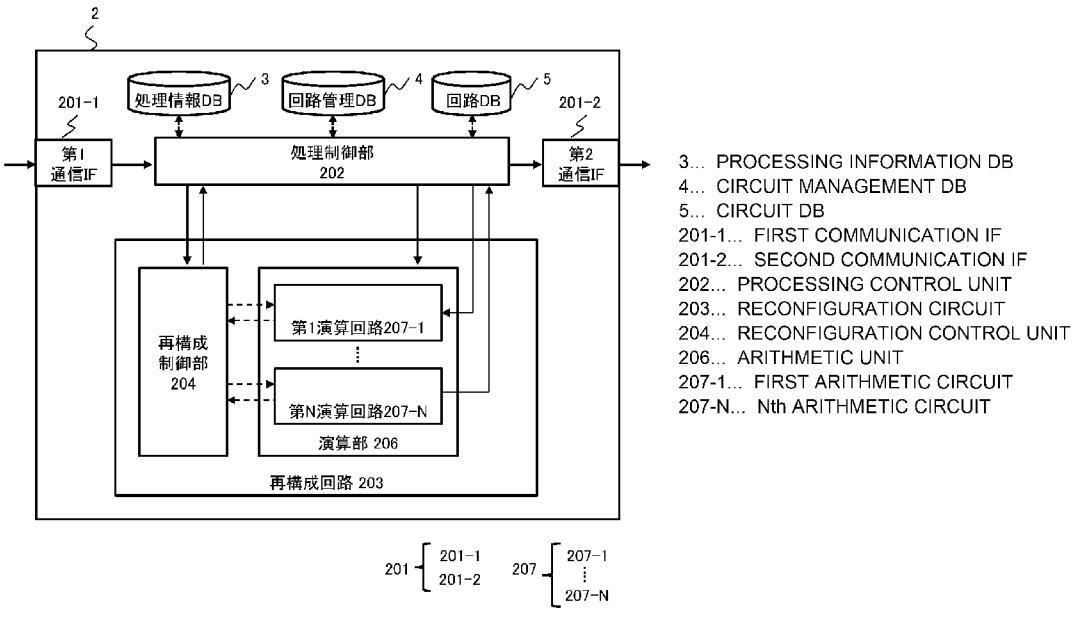
(72) 発明者: 植田 泰輔(**UETA, Taisuke**); 〒1008280 東京都千代田区丸の内一丁目６番６号 株式会社日立製作所内 Tokyo (JP). 新保 健一(**SHIMBO, Kenichi**); 〒1008280 東京都千代田区丸の内一丁目６番６号 株式会社日立製作所内 Tokyo (JP). 鳥羽 忠信(**TOBA, Tadanobu**); 〒1008280 東京都千代田区丸の内一丁目６番６号 株式会社日立製作所内 Tokyo (JP). 坂本 英之(**SAKAMOTO, Hideyuki**); 〒3128503 茨城県ひたちなか市高場２５２０番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP).

(74) 代理人: 特許業務法人サンネクスト国際特許事務所(**SUNNEXT INTERNATIONAL PATENT OFFICE**); 〒1400002 東京都品川区東品川二丁

(54) **Title:** ELECTRONIC CONTROL DEVICE, AND RECONFIGURATION METHOD FOR CIRCUIT

(54) 発明の名称： 電子制御装置、回路の再構成方法

[図3]



(57) **Abstract:** An electronic control device comprises: a logic circuit capable of reconfiguring a plurality of arithmetic circuits including a first circuit and a second circuit; a reconfiguration control unit that performs reconfiguration of the arithmetic circuit and confirmation of the reconfigured arithmetic circuit based on a reconfiguration command; and a processing control unit that sends the reconfiguration command to the reconfiguration control unit, and that has an operation executed by the arithmetic unit. When a first reconfiguration command is received, the reconfiguration control unit

WO 2019/044141 A1

[続葉有]

目３番１２号 シーフォートスクエア センター ビルディング１６階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

performs reconfiguration and confirmation of the first circuit. When confirmation of the first circuit by the reconfiguration control unit is completed, the processing control unit has an operation executed by the first circuit. After completion of reconfiguration of the first circuit and until competition of execution of a designated process by the first circuit, the processing control unit sends a second reconfiguration command and starts reconfiguration of the second circuit by the reconfiguration control unit.

(57) 要約: 電子制御装置は、第１回路および第２回路を含む複数の演算回路を再構成可能な論理回路と、再構成指令に基づき、演算回路の再構成および再構成した演算回路の確認を行う再構成制御部と、再構成制御部への再構成指令の送信、および演算部に演算を実行させる処理制御部とを備え、再構成制御部は、第１の再構成指令を受信すると、第１回路の再構成および確認を行い、処理制御部は、再構成制御部による第１回路の確認が完了すると、第１回路に演算を実行させ、処理制御部は、第１回路の再構成が完了してから第１回路の所定の処理の実行が完了するまでに、第２の再構成指令を送信して再構成制御部に第２回路の再構成を開始させる。

明　細　書

発明の名称 ： 電子制御装置、回路の再構成方法

技術分野

[0001] 本発明は、電子制御装置、および回路の再構成方法に関する。

背景技術

[0002] 車両の自動運転を目指した技術開発が進められている。自動運転は運転者に代わり周囲の認識、車両の制御を行う必要があり、膨大な情報処理が必要になる。増大する情報処理に対応するため、ＣＰＵに加え、ハードウェアチップを用いる検討が進められている。その中でも、論理回路を再構成可能なＦＰＧＡ(Field Programmable Gate Array)等のＰＬＤ(Programmable Logic Device)を用いて複数の処理を１つの論理回路上で実現することが期待されている。論理回路を用いる場合は、ソフトエラーを考慮した適切な処理が求められる。特許文献１には、ソフトエラーが発生した際には、分割したブロックごとにエラーの発生を検知し、分割したブロック単位で回路設定情報を書き換える技術が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：日本国特開２０１１－１３８２９号公報

発明の概要

発明が解決しようとする課題

[0004] 再構成可能な論理回路における処理時間の短縮が求められる。

課題を解決するための手段

[0005] 本発明の第１の態様による電子制御装置は、第１回路および第２回路を含む複数の演算回路を再構成可能な論理回路と、再構成指令に基づき、前記演算回路の再構成および再構成した前記演算回路の確認を行う再構成制御部と、前記再構成制御部への前記再構成指令の送信、および前記演算回路に演算を実行させる処理制御部とを備え、前記再構成制御部は、第１の前記再構成

指令を受信すると、前記第１回路の再構成および確認を行い、前記処理制御部は、前記再構成制御部による前記第１回路の確認が完了すると、前記第１回路に演算を実行させ、前記処理制御部は、前記第１回路の再構成が完了してから前記第１回路の演算が完了するまでに、第２の前記再構成指令を送信して前記再構成制御部に前記第２回路の再構成を開始させる。

本発明の第２の態様による回路の再構成方法は、第１回路および第２回路を含む複数の演算回路を再構成可能な論理回路において実行される回路の再構成方法であって、前記第１回路の再構成および確認を行うことと、前記第１回路の確認が完了すると、前記第１回路に演算を実行させることと、前記第１回路の再構成が完了してから前記第１回路の演算が完了するまでに、前記第２回路の再構成を開始することとを含む。

発明の効果

[0006] 本発明によれば、再構成可能な論理回路における処理時間を短縮することができる。

図面の簡単な説明

[0007] [図1]車載システム１のシステム構成図

[図2]自律走行制御装置２のハードウェア構成図

[図3]自律走行制御装置２の機能構成図

[図4]再構成制御部２０４の機能構成図

[図5]図５（ａ）は演算種別「Ａ」の処理を実施する演算部２０６の構成を示す図、図５（ｂ）は演算種別「Ｂ」の処理を実施する演算部２０６の構成を示す図

[図6]処理情報データベース３の一例を示す図

[図7]回路管理データベース４の一例を示す図

[図8]処理制御部２０２の動作を示すフローチャート

[図9]再構成制御部２０４の動作を示すフローチャート

[図10]自律走行制御装置２の動作を示すシーケンス図

[図11]第１の実施の形態における自律走行制御装置２の動作を示すタイミン

グチャート

[図12]変形例１における回路管理ＤＢ４Ａの一例を示す図

[図13]変形例２における自律走行制御装置２の動作を示すタイミングチャート

[図14]変形例２における処理制御部２０２の動作を表すフローチャート

[図15]第２の実施の形態における自律走行制御装置２の動作を示すタイミングチャート

発明を実施するための形態

[0008] ―第１の実施の形態―

以下、図１～図１１を参照して、電子制御装置である自律走行制御装置の第１の実施の形態を説明する。

[0009] ＜システム構成＞

図１は、自律走行制御装置２を含む車載システム１のシステム構成図である。車載システム１は、車両１００に搭載され、車両１００の外界状況をカメラにより認識するカメラ情報取得部１０１と、車両１００の外界状況をレーダにより認識するレーダ情報取得部１０２と、衛星航法システム、たとえばＧＰＳの受信機を用いて車両１００の位置を検出する自車位置情報取得部１０３とを備える。車載システム１はさらに、車両１００の自動運転を設定するための自動運転設定部１０４と、ＯＴＡ（Over－The－Air）により車載システム１の情報を更新するための無線通信部１０５とを備える。

[0010] 車載システム１はさらに、自律走行制御装置２と、補助制御部１０６と、ブレーキ制御部１０７と、エンジン制御部１０８と、パワーステアリング制御部１０９とを備える。自律走行制御装置２、補助制御部１０６、ブレーキ制御部１０７、エンジン制御部１０８、およびパワーステアリング制御部１０９は、たとえばＥＣＵ（Electronic Control Unit）である。

[0011] カメラ情報取得部１０１、レーダ情報取得部１０２、自車位置情報取得部１０３、自動運転設定部１０４、無線通信部１０５、自律走行制御装置２、補助制御部１０６、ブレーキ制御部１０７、エンジン制御部１０８、および

パワーステアリング制御部１０９は、ＣＡＮ（Controller Area Network）などの車載ネットワークによって相互に通信可能に接続される。カメラ情報取得部１０１、レーダ情報取得部１０２、および自車位置情報取得部１０３は、それぞれがセンサなどから受信した情報を自律走行制御装置２に送信する。自動運転設定部１０４は、自動運転時の目的地、ルート、走行速度等の設定情報を自律走行制御装置２に送信する。ただし自動運転設定部１０４が送信する情報の一部が無線通信部１０５を介してサーバ装置１１０など外部から受信したものであってもよい。

[0012] 自律走行制御装置２は、自動運転制御のための処理を行い処理結果に基づいて制御指令をブレーキ制御部１０７、エンジン制御部１０８、およびパワーステアリング制御部１０９へ出力する。補助制御部１０６は、自律走行制御装置２と同様の制御を補助として行う。ブレーキ制御部１０７は、車両１００の制動力を制御する。エンジン制御部１０８は、車両１００の駆動力を制御する。パワーステアリング制御部１０９は、車両１００のステアリングを制御する。

[0013] 自律走行制御装置２は、自動運転設定部１０４により自動運転の設定要求を受け付けると、カメラ情報取得部１０１、レーダ情報取得部１０２、自車位置情報取得部１０３等からの外界の情報を基に車両１００が移動する軌道を算出する。そして、自律走行制御装置２は、算出した軌道に従って車両１００を移動させるように、制動力、駆動力、操舵などの制御指令を、ブレーキ制御部１０７、エンジン制御部１０８、およびパワーステアリング制御部１０９に出力する。ブレーキ制御部１０７、エンジン制御部１０８、およびパワーステアリング制御部１０９は、自律走行制御装置２から制御指令を受けて、それぞれ不図示の制御対象であるアクチュエータに操作信号を出力する。

[0014] ＜自律走行制御装置のハードウェア構成＞

図２は、自律走行制御装置２のハードウェア構成図である。自律走行制御装置２は、ＣＰＵ２５１と、ＲＯＭ２５２と、ＲＡＭ２５３と、フラッシュ

メモリ２５４と、論理回路２５５と、通信インタフェース２５６とを備える。ＣＰＵ２５１は、ＲＯＭ２５２に格納されたプログラムをＲＡＭ２５３に展開して実行することで後述する機能を実現する。フラッシュメモリ２５４は不揮発性の記憶領域である。なおＣＰＵ２５１は、ロックステップ方式を採用した複数のコアを持つプロセッサであってもよい。

[0015] 論理回路２５５は、ＦＰＧＡなどのＰＬＤを用いた再構成可能な論理回路である。論理回路２５５はその一部のみを再構成することが可能な、いわゆる部分再構成可能な論理回路である。通信インタフェース２５６は、ＣＡＮ等の所定のプロトコルで通信するインタフェースである。自律走行制御装置２は、通信インタフェース２５６を介して他の装置に接続され、データを送受信する。ただし通信インタフェース２５６は、外部の機器と接続される２つの通信ポートを備えてもよいし、通信ポートを１つのみ備えてもよい。

[0016] ＜自律走行制御装置の機能構成＞

図３は、自律走行制御装置２の機能構成図である。自律走行制御装置２は、第１通信インタフェース２０１－１、第２通信インタフェース２０１－２、処理制御部２０２、再構成回路２０３、再構成制御部２０４、演算部２０６、第１演算回路２０７－１～第Ｎ演算回路２０７－Ｎ（Ｎは任意の２以上の自然数）、処理情報データベース（以下、処理情報ＤＢ）３、回路管理データベース（以下、回路管理ＤＢ）４、および回路データベース（以下、回路ＤＢ）５を有する。以下では、第１通信インタフェース２０１－１、第２通信インタフェース２０１－２をまとめて、「通信インタフェース２０１」と呼ぶ。また、第１演算回路２０７－１～第Ｎ演算回路２０７－Ｎをまとめて、演算回路２０７と呼ぶ。通信インタフェース２０１は、図２の通信インタフェース２５６により実現される。処理情報ＤＢ３、回路管理ＤＢ４、および回路ＤＢ５は、ＲＡＭ２５３またはフラッシュメモリ２５４により実現される。

[0017] 再構成回路２０３は、論理回路２５５により実現される。再構成制御部２０４、および演算部２０６は、再構成回路２０３に構成される。演算回路２

０７は、演算部２０６に構成される論理回路である。本実施の形態では、再構成回路２０３には再構成制御部２０４は再構成されず、演算部２０６のみが再構成される。換言すると、再構成回路２０３は部分的に再構成が可能であり、再構成制御部２０４などの回路は維持したまま、演算部２０６に演算回路２０７を再構成する。

[0018] 自律走行制御装置２は、第１通信インタフェース２０１－１を介して、図１のカメラ情報取得部１０１、レーダ情報取得部１０２、自車位置情報取得部１０３、自動運転設定部１０４、および無線通信部１０５と接続され、第２通信インタフェース２０１－２を介して補助制御部１０６、ブレーキ制御部１０７、エンジン制御部１０８、およびパワーステアリング制御部１０９と接続される。なお図３では、自律走行制御装置２は第１通信インタフェース２０１－１および第２通信インタフェース２０１－２の論理的な２つの通信インタフェースを備えるが、両者の機能を併せ持つ１つの論理的な通信インタフェースのみを備えてもよい。

[0019] 処理制御部２０２は、ＣＰＵ２５１により実行されるプログラムにより実現される。処理制御部２０２は、所定の処理周期Ｔで後述する処理を繰り返し実行する。処理制御部２０２は、カメラ情報取得部１０１、レーダ情報取得部１０２、および自車位置情報取得部１０３からのセンサ情報や、自動運転設定部１０４からの自動運転設定情報を周期的に収集する。処理制御部２０２は、処理情報ＤＢ３を参照し、収集したセンサ情報や、自動運転設定情報に対して実施する処理回数、および処理情報を判定する。

[0020] 処理制御部２０２は、処理情報ＤＢ３で判定した処理回数、および処理情報に基づき、演算部２０６で実施する演算種別を判断する。また処理制御部２０２は、判定した演算種別に基づき、回路管理ＤＢ４を参照して、演算部２０６を構成する回路の個数、および具体的な回路データを判断する。回路データは、回路ＤＢ５に格納される。回路データは、再構成回路２０３内の回路領域に書き込まれて演算回路２０７等の論理回路２５５を構成し、演算部２０６等を形成する。

[0021] 処理制御部２０２は、再構成制御部２０４に回路データを含む再構成指示を送信し、再構成制御部２０４に演算部２０６の論理回路２５５を再構成させる。このとき、再構成制御部２０４は、論理回路２５５の再構成後に後述する論理回路２５５のエラーチェック処理を実行する。処理制御部２０２は、判断した演算部２０６を構成する回路の個数および回路データに基づき、第１演算回路２０７－１から順番に再構成する。

[0022] 処理制御部２０２は、演算部２０６の回路領域の再構成の状態を管理し、第１演算回路２０７－１から第Ｎ演算回路２０７－Ｎのそれぞれの回路の再構成タイミングを調整する。処理制御部２０２は、再構成する最後の演算回路である第Ｎ演算回路２０７－Ｎから取得した演算結果を基に、制動力や駆動力などの制御指令を第２通信インタフェース２０１－２から出力する。

[0023] 再構成制御部２０４は、処理制御部２０２から回路データを含む再構成指示を受信し、再構成回路２０３内の回路領域の演算部２０６の回路構成を変更する。すなわち再構成制御部２０４は、演算回路２０７の再構成を行う。再構成制御部２０４は、演算回路２０７の再構成が完了すると、構成した演算回路２０７のエラーチェックを実施する。再構成制御部２０４は、エラーチェックが完了すると完了通知を処理制御部２０２に通知する。再構成制御部２０４の機能構成の詳細は図４を参照して後述する。なお再構成制御部２０４による構成した演算回路２０７のエラーチェックは、「ソフトエラーチェック」や「確認」ともいう。

[0024] ＜論理回路の演算手順＞

上述のように、再構成回路２０３において新たに演算を行う場合には、まず演算回路の再構成を行い、次に再構成した演算回路のエラーチェックを行う。これらの工程を経て、再構成した演算回路において演算が可能になる。そのため、演算回路の再構成とエラーチェックに要する時間は、演算回路において演算を実行するための準備に要する時間とも言える。本実施の形態では、この準備に要する時間を他の演算回路が演算を行っている時間に重複させることで隠蔽する。詳しくは後述する。

[0025] ＜再構成制御部の機能構成＞

図４は、再構成制御部２０４の機能構成図である。再構成制御部２０４は、調整部４１、コンフィグ部４２、エラー監視部４３、および回路データキャッシュ部４４を有する。

[0026] 調整部４１は、処理制御部２０２とデータを送受信する機能部である。調整部４１は、処理制御部２０２から回路データを含む再構成指示を受信すると、演算部２０６に演算回路２０７を構成するために、コンフィグ部４２に回路データを送信する。調整部４１は、コンフィグ部４２が演算回路２０７を構成するタイミング、およびエラー監視部４３がエラーチェックを実行するタイミングを調整する。調整部４１は、コンフィグ部４２が演算回路２０７を構成すると、エラー監視部４３に演算回路２０７のエラーチェックを実施させる。調整部４１は、エラー監視部４３によるエラーチェックが完了すると、完了通知を処理制御部２０２に通知する。

[0027] コンフィグ部４２は、調整部４１から受信した回路データを用いて、演算回路２０７を構成する。図４では、コンフィグ部４２と演算回路２０７との接続が点線で示されているが、これは論理回路２５５のコンフィグレーションメモリとのインタフェース等を示している。具体的にはコンフィグ部４２は、回路データをコンフィグレーションメモリに書き込むことで論理回路２５５上の演算部２０６の中に演算回路２０７を構成する。

[0028] エラー監視部４３は、論理回路２５５のソフトエラーの有無等のエラーチェックを実施する機能部である。エラー監視部４３は、エラーチェック結果を調整部４１に送信する。具体的にはエラー監視部４３は、誤り訂正機能等を用いて、演算回路２０７に該当する部分のコンフィグレーションメモリを読み出し、エラーの有無を判断する。ただし本実施の形態における論理回路２５５は、演算回路の再構成とエラーチェックを同時に行うことができない。すなわち、コンフィグ部４２が動作している際にはエラー監視部４３は動作できず、エラー監視部４３が動作している際にはコンフィグ部４２は動作できない。

[0029] 回路データキャッシュ部４４は、調整部４１が処理制御部２０２から受信した回路データを一時的に格納する機能部である。調整部４１は、エラー監視部４３がエラーを検出すると、回路データキャッシュ部４４に一時的に格納した回路データを用いて再度コンフィグ部４２に回路データを送信しても良い。

[0030] ＜演算部における演算回路の構成例＞

図５は、演算部２０６における演算回路２０７の構成例を示す図である。図５（ａ）は演算種別「Ａ」の処理を実施する演算部２０６の構成を示す図であり、図５（ｂ）は演算種別「Ｂ」の処理を実施する演算部２０６の構成を示す図である。演算種別「Ａ」の処理を実施する演算部２０６は、演算Ａの第１の処理を実施する第１演算Ａ回路２０７Ａ－１および演算Ａの第２の処理を実施する第２演算Ａ回路２０７Ａ－２から構成される。演算種別「Ｂ」の処理を実施する演算部２０６は、演算Ｂの第１の処理を実施する第１演算Ｂ回路２０７Ｂ－１、演算Ｂの第２の処理を実施する第２演算Ｂ回路２０７Ｂ－２、および演算Ｂの第３の処理を実施する第３演算Ｂ回路２０７－３から構成される。以下では、第１演算Ａ回路２０７Ａ－１および第２演算Ａ回路２０７Ａ－２をまとめて、「演算Ａ回路２０７Ａ」と呼ぶ。また、第１演算Ｂ回路２０７Ｂ－１、第２演算Ｂ回路２０７Ｂ－２、および第３演算Ｂ回路２０７－３をまとめて、「演算Ｂ回路２０７Ｂ」と呼ぶ。

[0031] 第１演算Ａ回路２０７Ａ－１および第２演算Ａ回路２０７Ａ－２はそれぞれ、コンフィグレーションメモリとのインタフェース等を介して再構成制御部２０４と接続される。演算Ａ回路２０７Ａは処理制御部２０２と接続され、第１演算Ａ回路２０７Ａ－１は、演算Ａの処理の実行開始指示を処理制御部２０２より受信し、第２演算Ａ回路２０７Ａ－２は、処理制御部２０２に演算Ａの処理結果を通知する。また演算Ａ回路２０７Ａは、第１演算Ａ回路２０７Ａ－１から第２演算Ａ回路２０７Ａ－２への演算処理の切替えや継続等のタイミングの情報を処理制御部２０２から受信する。

[0032] 第１演算Ｂ回路２０７Ｂ－１、第２演算Ｂ回路２０７Ｂ－２、および第３

演算Ｂ回路２０７Ｂ－３はそれぞれ、コンフィグレーションメモリとのインタフェース等を介して再構成制御部２０４と接続される。演算Ｂ回路２０７Ｂは処理制御部２０２と接続され、第１演算Ｂ回路２０７Ｂ－１は、演算Ｂの処理の実行開始指示を処理制御部２０２より受信し、第３演算Ｂ回路２０７Ｂ－３は、処理制御部２０２に演算Ｂの処理結果を通知する。また、演算Ｂ回路２０７Ｂは、第１演算Ｂ回路２０７Ｂ－１から第２演算Ｂ回路２０７Ｂ－２への演算処理の切替えや継続等のタイミング、および第２演算Ｂ回路２０７Ｂ－２から第３演算Ｂ回路２０７Ｂ－３への演算処理の切替えや継続等のタイミングの情報を処理制御部２０２から受信する。

[0033] ＜処理情報データベースの管理情報＞

図６は、処理情報ＤＢ３の一例を示す図である。処理情報ＤＢ３は、処理制御部２０２によって参照され、収集したセンサ情報や、自動運転設定情報に対して実施する処理内容が格納されるデータベースである。処理情報ＤＢ３は、処理回数３０１、および処理情報３０２のフィールドを有する。処理回数３０１には、演算部２０６が演算を行う回数が格納される。処理情報３０２には、複数の処理情報、たとえば処理情報１および処理情報２から構成され、演算部２０６に実施させる処理の名称、たとえば演算Ａや演算Ｂの情報が格納される。演算Ａはセンサフュージョン、演算Ｂは軌道生成など、自律走行制御に関する具体的な演算処理を示す情報を格納しても良い。

[0034] 図６に示す例では、処理回数３０１のフィールドに「２」が格納されているので、演算部２０６による処理の回数が２回であることが示されている。符号３０２－１で示す処理情報１は、演算部２０６の１回目の処理として演算Ａを実施することを示している。符号３０２－２で示す処理情報２は、演算部２０６の２回目の処理として演算Ｂを実施することを示している。なお、図６に示す処理情報ＤＢ３は一例であり、処理情報３０２を構成する処理情報の数は２以外でもよい。すなわち処理情報３０２が３以上の処理情報から構成されてもよい。

[0035] 本実施の形態では、それぞれの演算処理は直前の演算処理の実行結果を用

いて所定の演算を行う。たとえば演算Ａでは、収集したセンサ情報や、自動運転設定情報に基づき演算を行った結果を取得し、演算Ｂは、演算Ａの実行結果に基づき所定の処理を実行する。ただし演算Ｂは、演算Ａの実行結果以外の情報も用いて演算を行ってもよい。

[0036] ＜回路管理データベースの管理情報＞

図７は、回路管理ＤＢ４の一例を示す図である。回路管理ＤＢ４は、処理制御部２０２によって参照され、演算種別ごとの演算回路の分割数や、分割された回路データの情報が格納されるデータベースである。回路管理ＤＢ４は、演算種別４０１ごとに、分割数４０２、および回路データ４０３のフィールドを有する。演算種別４０１は、処理制御部２０２が処理情報ＤＢ３を参照して取得する処理情報３０２に対応した演算種別の情報が格納される。分割数４０２には、演算種別４０１に応じて、演算部２０６を構成する演算回路２０７の分割されている数が格納される。回路データ４０３には、演算種別４０１に応じて、複数に分割される回路データの情報が格納される。具体的には、回路ＤＢ５が保持する回路データから該当する回路データを取得するためのアドレス情報である。

[0037] 図７に示す例では、演算種別４０１のフィールドに「Ａ」が格納されている行には、分割数４０２のフィールドに「２」が格納されているので、演算Ａを実施する演算部２０６を構成する演算Ａ回路２０７Ａの分割されている数が２であることが示されている。符号４０３－１で示す回路データ１は、演算Ａ回路２０７Ａの第１の演算Ａ回路（２０７Ａ－１）の情報が示されている。符号４０３－２で示す回路データ２は、演算Ａ回路２０７Ａの第２の演算Ａ回路（２０７Ａ－２）の情報が示されている。符号４０３－３で示す回路データ３は未使用のため情報が示されていない。

[0038] また、演算種別４０１のフィールドに「Ｂ」が格納されている行には、分割数４０２のフィールドに「３」が格納されているので、演算Ｂを実施する演算部２０６を構成する演算Ｂ回路２０７Ｂの分割されている数が３であることが示されている。符号４０３－１で示す回路データ１は、演算Ｂ回路２

０７Ｂの第１の演算Ｂ回路（２０７Ｂ－１）の情報が示されている。符号４０３－２で示す回路データ２は、演算Ｂ回路２０７Ｂの第２の演算Ｂ回路（２０７Ｂ－２）の情報が示されている。符号４０３－３で示す回路データ３は、演算Ｂ回路２０７Ｂの第３の演算Ｂ回路（２０７Ｂ－３）の情報が示されている。なお、図７に示す回路管理ＤＢ４は一例であり、回路データ４０３を構成する回路データの数は３以外でもよい。演算種別４０１として格納する種別は２以外でもよい。

[0039] ＜処理制御部のフローチャート＞

図８は、処理制御部２０２の動作を示すフローチャートである。処理制御部２０２は、所定の処理周期Ｔごとに以下のフローチャートで示される動作を実行する。

[0040] ステップＳ８０１では、処理制御部２０２は、処理情報ＤＢ３を参照し、処理回数３０１と処理情報３０２の情報を取得する。続くステップＳ８０２では、処理制御部２０２はループカウンタである処理ＩＤに「１」を代入する。ステップＳ８０３では、処理制御部２０２は、処理ＩＤとステップＳ８０１で取得した処理情報３０２とに基づいて演算種別を取得する。そして処理制御部２０２は回路管理ＤＢ４を読み込み、取得した演算種別に対応する分割数４０２と回路データ４０３の情報を取得する。処理情報ＤＢ３が図６に示すものであり処理ＩＤが「１」の場合は演算種別として「Ａ」を取得し、回路管理ＤＢ４が図７に示すものである場合は、分割数が「２」であると判断する。続くステップＳ８０４では、処理制御部２０２はループカウンタである回路ＩＤに「１」を代入する。

[0041] ステップＳ８０５では処理制御部２０２は、回路管理ＤＢ４の記載に基づいた回路データを含む再構成指示を再構成制御部２０４に送信する。回路管理ＤＢ４が図７に示すものであり回路ＩＤが「１」の場合は、処理制御部２０２は符号４０３－１で示される回路データ１を参照し、第１演算Ａ回路の回路データを再構成制御部２０４に送信する。なお本フローチャートには記載していないが、再構成制御部２０４は回路データを受信すると演算部２０

６の再構成を直ちに開始し、エラーチェックを実行する。そして再構成およびエラーチェックが完了すると、再構成制御部２０４は完了通知を処理制御部２０２に通知する。

[0042] 続くステップＳ８０６では処理制御部２０２は、完了通知の待ち時間がタイムアウトしたか否か、換言すると、演算部２０６の再構成およびエラーチェックが時間とおりに完了したかどうかを判断する。タイムアウトしたと判断すると処理制御部２０２は、所定の処理周期Ｔの範囲内で処理できないと判断し、異常処理として動作を終了する。また処理制御部２０２はタイムアウトしていないと判断すると、ステップＳ８０７において完了通知を受信したか否か判断し、受信したと判断するとステップＳ８０８に進み、受信していないと判断するとＳ８０６に戻る。

[0043] ステップＳ８０８では処理制御部２０２は、回路ＩＤの値に応じて以下の処理をする。すなわち回路ＩＤが「１」の場合は、第１演算回路２０７－１の再構成が完了した直後であるため、処理制御部２０２は演算部２０６に演算を開始させる。回路ＩＤが「２」以降の場合は処理制御部２０２は、再構成が完了した演算回路に直前に実行された演算回路の処理結果を引継いで演算させるために、処理制御部２０２は演算部２０６に演算データの引継ぎを指示する。たとえば、再構築が完了した第３演算Ｂ回路２０７Ｂ－３に、直前に実行された第２演算Ｂ回路２０７Ｂ－２の演算データの引継ぎを指示する。

[0044] 続くステップＳ８０９では処理制御部２０２は、回路ＩＤが規定値、すなわち回路管理ＤＢ４の分割数４０２のフィールドの値と等しいか否かを判断する。回路ＩＤがそのフィールドの値と等しいと判断する場合は、回路管理ＤＢ４に示す演算種別４０１に該当する全ての回路データの再構成が完了しているので、ステップＳ８１１に進み、演算部２０６から演算結果を取得する。ただし厳密には、第Ｎ演算回路２０７－Ｎの演算終了を待ってその演算結果を取得する。処理制御部２０２は回路ＩＤがそのフィールドの値と等しくないと判断する場合は、ステップＳ８１０に進んで回路ＩＤをインクリメ

ントし、ステップＳ８０５に戻る。

[0045] ステップＳ８１１の次に実行されるステップＳ８１２では、処理制御部２０２は、処理ＩＤが規定値、すなわち処理情報ＤＢ３の処理回数３０１のフィールドの値と等しいか否かを判断する。処理ＩＤがそのフィールドの値と等しいと判断する場合は、処理情報ＤＢ３に示す全ての処理が完了しているので、処理制御部２０２はステップＳ８１４に進み、最終結果となる制御指令を出力して図８に示す動作を終了する。処理ＩＤがそのフィールドの値と等しくないと判断する場合は、処理制御部２０２は、ステップＳ８１３に進んで処理ＩＤをインクリメントし、ステップＳ８０３に戻る。

[0046] ＜再構成制御部のフローチャート＞

図９は、再構成制御部２０４の動作を示すフローチャートである。再構成制御部２０４は、図４に示す調整部４１、コンフィグ部４２、エラー監視部４３、および回路データキャッシュ部４４の協調動作により動作する。以下に説明するように再構成制御部２０４は、処理制御部２０２から回路データを含む再構成指示を受信するたびに以下のフローチャートで示される動作を実行する。ステップＳ９０１からステップＳ９０５における動作時間の管理や調整は調整部４１が行う。

[0047] ステップＳ９０１では、再構成制御部２０４は、受信した再構成指示に含まれる回路データを演算回路２０７に書き込む。コンフィグ部４２を経由して演算回路２０７の再構成を開始し、ステップＳ９０２において再構成が完了するまで一定時間待つ。ステップＳ９０２において再構成が完了したと判断すると、ステップＳ９０３に進む。ステップＳ９０３では、再構成制御部２０４は、書き込んだ回路データにより構成された演算回路２０７のエラーの有無をチェックする。換言すると、再構成制御部２０４は、エラー監視部４３により演算回路２０７に該当する部分のコンフィグレーションメモリを読み出し、書き込んだ情報と一致していることを確認する。

[0048] 続くステップＳ９０４では、再構成制御部２０４は、ステップＳ９０３におけるエラー検出の有無を判断する。再構成制御部２０４はエラーが無かっ

たと判断する場合はステップＳ９０５に進み、エラーを検出したと判断する場合はステップＳ９０１に戻り、あらためて再構成を行う。なおステップＳ９０１に戻り、再度回路データを演算回路２０７に書き込む場合は、再構成制御部２０４は、回路データキャッシュ部４４に一時的に格納しておいた回路データを用い、再度回路データを演算回路２０７に書き込む。ステップＳ９０５では、再構成制御部２０４は再構成およびエラーチェックが完了した旨を処理制御部２０２に通知する。以上で動作を終了する。

[0049] ＜動作シーケンス＞

図１０は、自律走行制御装置２の動作を示すシーケンス図である。具体的には図１０は、図６に示す処理情報ＤＢ３、および図７に示す回路管理ＤＢ４を用いる場合の自律走行制御装置２の処理を示す。図１０では時間Ｔの１周期分のみを示しているが、これらの処理は繰り返し実行される。すなわち図１０における左上のＳ１００１から左下のＳ１０３９までが１周期分の処理である。

[0050] まず、処理制御部２０２は、処理情報ＤＢ３から処理回数３０１、および処理情報３０２を読み込み、回路管理ＤＢ４から演算種別４０１、分割数４０２、および回路データ４０３を読み込む（Ｓ１００１）。次に処理制御部２０２は、符号３０２－１で示される処理情報１の演算Ａを実施するために、符号４０３－１で示す回路データ１で指定される第１演算Ａ回路の回路データを含む再構成指示を再構成制御部２０４に通知する（Ｓ１００２）。再構成制御部２０４は、第１演算Ａ回路の回路データを演算部２０６に書き込む（Ｓ１００３）。演算部２０６において再構成が完了（Ｓ１００４）、すなわち、第１演算Ａ回路２０７Ａ－１が構成されると、次に再構成制御部２０４は、第１演算Ａ回路２０７Ａ－１のエラーチェックを実施する（Ｓ１００５）。ただしＳ１００５では、演算部２０６のコンフィグレーションメモリに書き込んだ情報を再構成制御部２０４が読み出すので演算部２０６から再構成制御部２０４に向けた矢印を記載している。再構成制御部２０４は、エラーチェックが完了すると（Ｓ１００６）、完了通知を処理制御部２０２

に通知する（Ｓ１００７）。

[0051] 次に処理制御部２０２は、演算部２０６に第１演算Ａ回路２０７Ａ－１の処理開始を指示する（Ｓ１００８）とともに、符号４０３－２で示す回路データ２で指定される第２演算Ａ回路の回路データを含む再構成指示を再構成制御部２０４に通知する（Ｓ１００９）。再構成制御部２０４は、第２演算Ａ回路の回路データを演算部２０６に書き込む（Ｓ１０１０）。これにより、第１演算Ａ回路２０７Ａ－１における演算の実行と、第２演算Ａ回路の回路データの書き込みとを並列に処理する。演算部２０６において再構成が完了（Ｓ１０１１）、すなわち、第２演算Ａ回路２０７Ａ－２が構成されると、再構成制御部２０４は、第２演算Ａ回路２０７Ａ－２のエラーチェックを実施する（Ｓ１０１２）。エラーチェックが完了すると（Ｓ１０１３）、再構成制御部２０４は、完了通知を処理制御部２０２に通知する（Ｓ１０１４）。

[0052] 次に処理制御部２０２は、演算部２０６に、第２演算Ａ回路２０７Ａ－２に第１演算Ａ回路２０７Ａ－１の演算結果を引継いで処理を開始するように指示する（Ｓ１０１５）。その後、演算部２０６は、第２演算Ａ回路２０７Ａ－２が処理した演算結果を処理制御部２０２に送信する（Ｓ１０１６）。

[0053] 処理制御部２０２は、処理情報１が指定する演算Ａが終了したため、次の処理、すなわち処理情報２が指定する演算Ｂへ移行する。処理制御部２０２は、符号３０２－２で示す処理情報２の演算Ｂを実施するため、符号４０３－１で示す回路データ１で指定される第１演算Ｂ回路の回路データを含む再構成指示を再構成制御部２０４に通知する（Ｓ１０１７）。再構成制御部２０４は、第１演算Ｂ回路の回路データを演算部２０６に書き込む（Ｓ１０１８）。演算部２０６において再構成が完了（Ｓ１０１９）、すなわち、第１演算Ｂ回路２０７Ｂ－１が構成されると、次に再構成制御部２０４は、第１演算Ｂ回路２０７Ｂ－１のエラーチェックを実施する（Ｓ１０２０）。エラーチェックが完了すると（Ｓ１０２１）、再構成制御部２０４は、完了通知を処理制御部２０２に通知する（Ｓ１０２２）。

[0054] 次に処理制御部２０２は、演算部２０６に第１演算Ｂ回路２０７Ｂ－１の処理開始を指示する（Ｓ１０２３）とともに、符号４０３－２で示す回路データ２で指定される第２演算Ｂ回路の回路データを含む再構成指示を再構成制御部２０４に通知する（Ｓ１０２４）。再構成制御部２０４は、第２演算Ｂ回路の回路データを演算部２０６に書き込む（Ｓ１０２５）。これにより、第１演算Ｂ回路２０７Ｂ－１における演算の実行と、第２演算Ｂ回路の回路データの書き込みとを並列に処理する。演算部２０６において再構成が完了（Ｓ１０２６）、すなわち、第２演算Ｂ回路２０７Ｂ－２が構成されると、次に再構成制御部２０４は、第２演算Ｂ回路２０７Ｂ－２のエラーチェックを実施する（Ｓ１０２７）。エラーチェックが完了すると（Ｓ１０２８）、再構成制御部２０４は、完了通知を処理制御部２０２に通知する（Ｓ１０２９）。

[0055] 次に処理制御部２０２は、演算部２０６に、第２演算Ｂ回路２０７Ｂ－２に第１演算Ｂ回路２０７Ｂ－１の演算結果を引継いで処理を開始するように指示する（Ｓ１０３０）。これと同時に処理制御部２０２は、符号４０３－３で示す回路データ３で指定される第３演算Ｂ回路の回路データを含む再構成指示を再構成制御部２０４に通知する（Ｓ１０３１）。再構成制御部２０４は、第３演算Ｂ回路の回路データを演算部２０６に書き込む（Ｓ１０３２）。これにより、第２演算Ｂ回路２０７Ｂ－２における演算の実行と、第３演算Ｂ回路の回路データの書き込みとを並列に処理する。演算部２０６において再構成が完了（Ｓ１０３３）、すなわち、第３演算Ｂ回路２０７Ｂ－３が構成されると、次に再構成制御部２０４は、第３演算Ｂ回路２０７Ｂ－３のエラーチェックを実施する（Ｓ１０３４）。エラーチェックが完了すると（Ｓ１０３５）、再構成制御部２０４は、完了通知を処理制御部２０２に通知する（Ｓ１０３６）。

[0056] 次に処理制御部２０２は、演算部２０６に、第３演算Ｂ回路２０７Ｂ－３に第２演算Ｂ回路２０７Ｂ－２の演算結果を引継いで処理を開始するように指示する（Ｓ１０３７）。その後、演算部２０６は、第３演算Ｂ回路２０７

Ｂ－３が処理した演算結果を処理制御部２０２に送信する（Ｓ１０３８）。処理制御部２０２は、処理情報２が指定する演算Ｂが終了し、全ての処理が終了したため、制御指令値を出力し（Ｓ１０３９）、動作を終了する。以上が図１０に示した遷移図の説明である。

[0057] ＜タイミングチャート＞

図１１は、自律走行制御装置２の動作を示すタイミングチャートである。図１１に示すタイミングチャートは、図１０に記載した自律走行制御装置２の動作に対応する。図１１は図示左から右に向かって時間が経過している。図１１の左端に示すように、図１１には上から処理制御部２０２の動作、第１演算Ａ回路２０７Ａ－１の状態、第２演算Ａ回路２０７Ａ－２の状態、第１演算Ｂ回路２０７Ｂ－１の状態、第２演算Ｂ回路２０７Ｂ－２の状態、および第３演算Ｂ回路２０７Ｂ－３の状態を示している。ただし図１１ではスペースの都合により、論理回路の再構成を「構成」と記載し、再構成した論理回路のエラーチェックを「確認」と記載する。

[0058] 処理制御部２０２は、時刻ｔ０で周期処理を開始し、処理情報ＤＢ３から処理回数３０１、および処理情報３０２を読み込み、回路管理ＤＢ４から演算種別４０１、分割数４０２、および回路データ４０３を読み込む。読み込みが完了した時刻t１において、処理制御部２０２は、符号４０３－１で示す回路データ１で指定される第１演算Ａ回路の回路データを含む再構成指示を再構成制御部２０４に通知し、第１演算Ａ回路２０７Ａ－１は、再構成制御部２０４により再構成が開始される。

[0059] 時刻ｔ２において、第１演算Ａ回路２０７Ａ－１の再構成およびエラーチェックが完了すると、処理制御部２０２は、次の２つの処理を行う。すなわち処理制御部２０２は、第１演算Ａ回路２０７Ａ－１の処理開始を指示するとともに、符号４０３－２で示す回路データ２で指定される第２演算Ａ回路の回路データを含む再構成指示を再構成制御部２０４に通知する。この通知を受けた第２演算Ａ回路２０７Ａ－２は、再構成制御部２０４により再構成が開始される。

[0060] 時刻ｔ３において、第２演算Ａ回路２０７Ａ－２の再構成およびエラーチェックが完了し、これと同時に第１演算Ａ回路２０７Ａ－１の演算処理が完了した。このとき、処理制御部２０２は、第２演算Ａ回路２０７Ａ－２に第１演算Ａ回路２０７Ａ－１の演算結果を引継いで処理を開始するように指示する。時刻ｔ４において、第２演算Ａ回路２０７Ａ－２の演算処理が完了すると、処理制御部２０２は、符号４０３－１で示す回路データ１で指定される第１演算Ｂ回路の回路データを含む再構成指示を再構成制御部２０４に通知し、第１演算Ｂ回路２０７Ｂ－１は、再構成制御部２０４により再構成が開始される。

[0061] 時刻ｔ５において、第１演算Ｂ回路２０７Ｂ－１の再構成およびエラーチェックが完了すると、処理制御部２０２は、第１演算Ｂ回路２０７Ｂ－１の処理開始を指示するとともに、次の処理を行う。すなわち処理制御部２０２は、符号４０３－２で示す回路データ２で指定される第２演算Ｂ回路の回路データを含む再構成指示を再構成制御部２０４に通知する。第２演算Ｂ回路２０７Ｂ－２は、この通知をトリガーとして再構成制御部２０４による再構成が開始される。

[0062] 時刻ｔ６において、第２演算Ｂ回路２０７Ｂ－２の再構成およびエラーチェックが完了すると、処理制御部２０２は、第２演算Ｂ回路２０７Ｂ－２に第１演算Ｂ回路２０７Ｂ－１の演算結果を引継いで処理を開始するように指示する。しかし第１演算Ｂ回路２０７Ｂ－１の演算処理がまだ完了していないので、第１演算Ｂ回路２０７Ｂ－１の演算処理結果を利用する第２演算Ｂ回路２０７Ｂ－２の演算処理は開始できない。処理制御部２０２はさらに、符号４０３－３で示す回路データ３で指定される第３演算Ｂ回路の回路データを含む再構成指示を再構成制御部２０４に通知し、第３演算Ｂ回路２０７Ｂ－３は、再構成制御部２０４により再構成が開始される。

[0063] 時刻ｔ７において第１演算Ｂ回路２０７Ｂ－１の演算処理が完了すると、第２演算Ｂ回路２０７Ｂ－２は第１演算Ｂ回路２０７Ｂ－１の演算結果を引継いで処理を開始する。この演算処理は、時刻ｔ８よりも少し早く完了した

。しかしこのタイミングではまだ第３演算Ｂ回路２０７Ｂ－３のエラーチェックが完了していないため、第３演算Ｂ回路２０７Ｂ－３の演算は開始できない。時刻ｔ８において、第３演算Ｂ回路２０７Ｂ－３の再構成およびエラーチェックが完了すると、処理制御部２０２は、第３演算Ｂ回路２０７Ｂ－３に第２演算Ｂ回路２０７Ｂ－２の演算結果を引継いで処理を開始するように指示する。時刻ｔ９において、第３演算Ｂ回路２０７Ｂ－３の演算処理が完了すると、処理制御部２０２は、演算結果に基づき制御指令を出力する。時刻ｔ１０において制御指令の出力を完了し、処理制御部２０２は、時間Ｔの１周期分の処理を終了する。

[0064] 上述した第１の実施の形態によれば、次の作用効果が得られる。

（１）自律走行制御装置２は、第１演算Ａ回路２０７Ａ－１および第２演算Ａ回路２０７Ａ－２を含む複数の演算回路を再構成可能な論理回路２５５と、再構成指令に基づき、演算回路の再構成および再構成した演算回路の確認を行う再構成制御部２０４と、再構成制御部２０４への再構成指令の送信、および演算部に演算を実行させる処理制御部２０２とを備える。再構成制御部２０４は、第１の再構成指令を受信すると、第１回路の再構成および第１回路の確認を行う（図９のＳ９０１，Ｓ９０３）。処理制御部２０２は、再構成制御部２０４による第１回路の確認が完了すると、第１回路に演算を実行させる（図８のＳ８０７：Ｙｅｓ，Ｓ８０８）。処理制御部２０２は、第１回路の再構成が完了してから第１回路の所定の処理の実行が完了するまでに、第２の再構成指令を送信して再構成制御部２０４に第２回路の再構成を開始させる（Ｓ８０９：ＮＯ、Ｓ８０５）。

[0065] 処理制御部２０２は、演算部２０６を構成する演算回路を分割して再構成させ、演算回路が演算を実行している時間と次の演算回路の実行の準備に要する時間とを重複させた。そのため処理制御部２０２は、演算回路の実行の準備に要する時間、いわゆるオーバーヘッドを隠蔽し、論理回路２５５の再構成の開始から論理回路２５５による全ての演算が完了するまでの処理時間を短縮することができる。

[0066] （２）処理制御部２０２は、第１回路の確認が完了してから第１回路の演算が完了するまでに（図１１の時刻ｔ２～ｔ３の間に）第２の再構成指令を送信する。そのため演算回路の再構成とエラーチェックを同時には実行できない本実施の形態における論理回路２５５を用いる場合にも、本発明を適用することができる。なお第１回路の確認が完了すると直ちに第１回路の演算が開始されるため、処理制御部２０２は第１回路の演算が開始してから第１回路の演算が完了するまでに第２の再構成指令を送信する、とも言える。

[0067] （３）再構成制御部２０４は、第２回路の再構成が完了すると第２回路の確認を行う。処理制御部２０２は、第２回路の確認が完了し、かつ第１回路の演算が完了すると、第２回路に第１回路の演算の結果を利用した処理を実行させる。そのため直前の演算結果を利用した演算を行わせることができる。

[0068] （４）再構成制御部２０４は、演算回路の確認においてエラーを検出すると演算回路の再構成をやりなおす（図９のＳ９０４：ＮＯ、Ｓ９０１）。そのため自律走行制御装置２は再構成した演算回路にエラーがない状態で演算を実行させることができる。

[0069] （５）論理回路２５５に再構成される演算回路の数および規模は、それぞれの演算回路において実行される演算の実行時間に基づき決定される。そのため図１１の時刻ｔ２～ｔ３に示すように、第１演算Ａ回路２０７Ａ－１の演算実行時間と第２演算Ａ回路２０７Ａ－２の実行の準備に要する時間である再構成とエラーチェックの時間がちょうど一致させることができる。

[0070] （６）自律走行制御装置２は、論理回路２５５に構成される複数の演算回路に関する情報が格納される回路管理ＤＢ４を備える。処理制御部２０２は、回路管理ＤＢ４に基づき再構成制御部２０４に再構成指令を出力する。そのため処理制御部２０２は、あらかじめ作成された回路管理ＤＢ４を読み込んで再構成制御部２０４に再構成指令を出力することができる。

[0071] （７）再構成制御部２０４は、演算回路の再構成を行うコンフィグ部４２と、再構成した演算回路の確認を行うエラー監視部４３とを備える。コンフィグ部４２は、処理制御部から再構成指令を受信すると演算回路の再構成を開

始する。エラー監視部４３は、コンフィグ部４２による再構成が完了すると再構成した演算回路の確認を開始し、確認の結果を処理制御部２０２に通知する。

[0072] （変形例１）

上述した第１の実施の形態では、演算部２０６の２番目以降に実行される各演算回路は常に直前の演算結果を利用した。しかし演算部２０６の各演算回路は直前の演算結果を利用しなくてもよい。この場合はたとえば回路管理ＤＢ４に代えて、それぞれの回路データとともに直前の演算結果を利用するか否かを示す情報を含ませた回路管理ＤＢ４Ａを用いる。そして処理制御部２０２は、図８のＳ８０８においては回路管理ＤＢ４Ａを参照して直前に実行された演算により得られた演算データの引継ぎを指示するか否かを判断する。

[0073] 図１２は、変形例１における回路管理ＤＢ４Ａの一例を示す図である。回路管理ＤＢ４Ａは、回路管理ＤＢ４に比べて回路データ４０３の項目が増えている。具体的には回路管理ＤＢ４Ａにおける回路データ４０３は、演算種別４０１に応じて、複数に分割される回路データの情報、および引継ぎの有無が格納される。具体的には、回路データ１には回路の種別４０３－１１および引継ぎの有無４０３－１２が含まれ、回路データ２には回路の種別４０３－２１および引継ぎの有無４０３－２２が含まれ、回路データ３には回路の種別４０３－３１および引継ぎの有無４０３－３２が含まれる。

[0074] 演算種別Ａでは、初めに実行される処理なので回路データ１における引継ぎの有無４０３－１２には「なし」が格納される。これを読み込んだ処理制御部２０２は第１演算Ａ回路のエラーチェックが完了すると、即座に第１演算Ａ回路に演算を実行させる。また演算種別Ａの回路データ２における引継ぎの有無４０３－２２には「なし」が格納される。これを読み込んだ処理制御部２０２は第２演算Ａ回路のエラーチェックが完了すると、即座に第２演算Ａ回路に演算を実行させる。演算種別Ｂでは、回路データ１における引継ぎの有無４０３－１２には「あり」が格納される。これを読み込んだ処理制

御部２０２は第１演算Ｂ回路のエラーチェックが完了すると、第１演算Ｂ回路２０７Ｂ－１に直前の処理である演算種別Ａの演算結果、より厳密には第２演算Ａ回路２０７Ａ－２の演算結果を引継いで処理を開始するように指示する。

[0075] この変形例１によれば、演算回路が従前に実行された演算回路の演算結果を利用しない場合には、再構成された回路の確認が終了次第、演算を実行することができる。すなわち不要な待ち時間を削減して、トータルの処理時間、すなわち再構成の開始から演算の終了までの時間を短縮することができる。

[0076] （変形例２）

上述した第１の実施の形態では、直前の演算種別の処理が完了してから次の演算種別の処理を開始した。しかし再構成する論理回路の領域が重複しない場合は、直前の演算種別の処理の完了を待たずに次の演算種別の論理回路の再構成やエラーチェックを開始してもよい。

[0077] ＜タイミングチャート＞

図１３は、本変形例による自律走行制御装置２の動作を示すタイミングチャートである。図１３における時刻ｔ０～ｔ４、およびｔ１０が示す時刻は第１の実施の形態の図１１と同一である。また時刻ｔ０～ｔ３における動作は図１１と同一である。本変形例では、時刻ｔ３において処理制御部２０２は、第２演算Ａ回路２０７Ａ－２へ処理開始の指示をするとともに、第１演算Ｂ回路の回路データを含む再構成指示を再構成制御部２０４に通知し、第１演算Ｂ回路２０７Ｂ－１は、再構成制御部２０４により再構成が開始される。すなわち第１の実施の形態では時刻ｔ４から開始されていた第１演算Ｂ回路２０７Ｂ－１の再構成が、時刻ｔ３に前倒しされる。ここで第２演算Ａ回路２０７Ａ－２の実行と、第１演算Ｂ回路２０７Ｂ－１の再構成が同時に実行できるのは、両者の領域が重複しないからである。

[0078] 時刻ｔ４以降の自律走行制御装置２の動作は、第１の実施の形態における時刻ｔ４以降の時刻を（ｔ４－ｔ３）の時間だけ前倒し、すなわち速い時刻

にシフトさせたものである。そのため第１の実施の形態では時刻ｔ１０に制御指令の出力が完了していたが、本変形例では（ｔ４－ｔ３）の時間だけ早く完了している。

[0079] ＜処理制御部２０２の動作＞

図１４は、本変形例における処理制御部２０２の動作を表すフローチャートである。ただし図１４では第１の実施の形態における図９と異なる点を主に記載しており、同一の処理は記載を省略している。また以下の説明でも第１の実施の形態と同一の処理は説明を省略する。

[0080] ステップＳ８０４の次に実行されるステップＳ８５０では処理制御部２０２は、現在演算を行っている回路と次に再構成する回路の領域が重複するか否かを判断する。回路ＤＢ５に格納されるそれぞれの回路データには、再構成される回路の大きさを示す情報も含まれるため、処理制御部２０２は同一の演算種別において用いられる全ての回路データを参照することで、それぞれの回路が構成される領域を特定することができる。処理制御部２０２は、領域が重複すると判断するとステップＳ８５０に留まり実行中の演算の完了を待つ。処理制御部２０２は領域が重複しないと判断するとステップＳ８０５に進む。なおステップＳ８５０が初回に実行される場合など、演算を行っている回路が存在しない場合は本ステップを否定判断する。ステップＳ８０５以下の処理は概ね第１の実施の形態と同様である。ただしステップＳ８０９において肯定判断すると、処理制御部２０２はステップＳ８１１を実行することなくステップＳ８１２にすすむ。すなわち第１の実施の形態では、ステップＳ８１１において演算結果が得られるまで待機していたが、その待機を行うことなくステップＳ８１２に進む。

[0081] そのため処理制御部２０２は、図１３に示したように、時刻ｔ３において第２演算Ａ回路２０７Ａ－２に演算処理を開始させると（Ｓ８０８）、続くステップＳ８０９を肯定判定してＳ８１２に進み、Ｓ８１２で否定判定してステップＳ８１３を経由してステップＳ８０３に戻る。そしてステップＳ８５０において否定判定を行うので、ステップＳ８０５において第１演算Ｂ回

路２０７Ｂ－１の再構成が開始される。上述したステップＳ８０９～ステップＳ８５０の処理は瞬時に行われるので、図１３のタイミングチャートでは第２演算Ａ回路２０７Ａ－２の演算処理の開始と、第１演算Ｂ回路２０７Ｂ－１の再構成開始とが同時に行われたように描画されている。

[0082] この変形例２によれば、異なる演算種別間でも演算回路の準備に要する時間を隠蔽することができ、論理回路２５５の再構成の開始から論理回路２５５による全ての演算が完了するまでの所要時間を短縮することができる。

[0083]（変形例３）

上述した第１の実施の形態では、処理制御部２０２は、第１回路の再構成が完了すると第２の再構成指令を送信した。しかし処理制御部２０２は、第１回路の確認が完了してから第１回路の所定の処理の実行が完了するまでに、第２の再構成指令を送信してもよい。たとえば図１１において、第２演算Ａ回路２０７Ａ－２の再構成指令は、時刻ｔ２～時刻ｔ３の間に送信してもよい。

[0084]（その他の変形）

上述した第１の実施の形態は、さらに以下のように変形してもよい。

（１）再構成制御部２０４は、回路データキャッシュ部４４を備えなくてもよい。この場合は、エラー監視部４３がエラーを検出すると、処理制御部２０２が改めて回路データを再構成回路２０３に送信する。

（２）再構成制御部２０４の全部または一部が再構成回路２０３の外部に構成されてもよい。

[0085]－第２の実施の形態－

図１５を参照して、電子制御装置である自律走行制御装置の第２の実施の形態を説明する。以下の説明では、第１の実施の形態と同じ構成要素には同じ符号を付して相違点を主に説明する。特に説明しない点については、第１の実施の形態と同じである。本実施の形態では、主に、論理回路が演算回路の再構成とエラーチェックとを同時に実行できる点で、第１の実施の形態と異なる。

[0086] ＜システム構成＞

第２の実施の形態における自律走行制御装置２の構成は第１の実施の形態と同様である。ただし自律走行制御装置２のＲＯＭ２５２に格納されているプログラムが異なり、処理制御部２０２の動作が第１の実施の形態と異なる。また本実施の形態では、再構成制御部２０４の調整部４１は、コンフィグ部４２による演算回路の再構成が完了した際にも処理制御部２０２に通知する。処理制御部２０２は、再構成制御部２０４から演算回路の再構成が完了した旨の通知を受信すると、再構成制御部２０４に次の演算回路の再構成を開始させるために再構成指令を送信する。

[0087] ＜タイミングチャート＞

図１５は、第２の実施の形態における自律走行制御装置２の動作を示すタイミングチャートである。図１５における時刻ｔ０～ｔ５、ｔ７、およびｔ８が示す時刻は第１の実施の形態の図１１と同一である。時刻ｔ１から第１演算Ａ回路２０７Ａ－１の再構成が開始され、時刻ｔ３１に完了した。この完了の通知を受けた処理制御部２０２は、第２演算Ａ回路２０７Ａ－２の再構成を開始させる。第２演算Ａ回路２０７Ａ－２のエラーチェックは時刻ｔ３よりも早い時刻ｔ３２に完了するが、第１演算Ａ回路２０７Ａ－１の演算が完了していないので第２演算Ａ回路２０７Ａ－２の演算はまだ開始できない。そのため第１の実施の形態と同様に時刻ｔ３に第１演算Ａ回路２０７Ａ－１の演算が完了するのを待って、第２演算Ａ回路２０７Ａ－２の演算が開始される。そして時刻ｔ４に第２演算Ａ回路２０７Ａ－２の演算が完了するので、第１演算Ｂ回路２０７Ｂ－１の再構成が開始される。

[0088] 第１演算Ｂ回路２０７Ｂ－１の再構成が完了する時刻ｔ３３において、第２演算Ｂ回路２０７Ｂ－２の再構成が開始される。これと同様に、第２演算Ｂ回路２０７Ｂ－２の再構成が完了する時刻ｔ５において、第３演算Ｂ回路２０７Ｂ－３の再構成が開始される。第２演算Ｂ回路２０７Ｂ－２のエラーチェックはｔ３４に完了するが、第１演算Ｂ回路２０７Ｂ－１の演算が完了していないのでその終了を待機する。第２演算Ｂ回路２０７Ｂ－２は、第１

の実施の形態と同様に時刻ｔ７に演算を開始する。第３演算Ｂ回路２０７Ｂ－３は、第１の実施の形態では時刻ｔ８にエラーチェックが完了したが、本実施の形態では第２演算Ｂ回路２０７Ｂ－２の演算が完了する前にエラーチェックが完了している。そのため第３演算Ｂ回路２０７Ｂ－３は、時刻ｔ８よりも早い時刻ｔ３５に演算を開始する。

[0089] 第３演算Ｂ回路２０７Ｂ－３の演算開始の時刻が第１の実施の形態よりも早いので、第３演算Ｂ回路２０７Ｂ－３の演算終了の時刻である時刻ｔ３６も第１の実施の形態における第３演算Ｂ回路２０７Ｂ－３の演算終了時刻である時刻ｔ９よりも早い。すなわち、第３演算Ｂ回路２０７Ｂ－３の演算終了に実行される制御指令を含めたｔ０～ｔ３７の１周期の時間Ｔａは、第１の実施の形態よりも短い。

[0090] 上述した第２の実施の形態によれば、次の作用効果が得られる。

（８）処理制御部２０２は、第１回路の再構成が完了すると第２の再構成指令を送信する。そのため、再構成とエラーチェックが同時に実行できるＦＰＧＡを用いる場合は、論理回路を用いた処理時間をさらに短縮することができる。

[0091]（第２の実施の形態の変形例）

上述した第２の実施の形態では、処理制御部２０２は、第１回路の再構成が完了すると第２の再構成指令を送信した。しかし処理制御部２０２は、第１回路の再構成が完了してから第１回路の確認が完了するまでに、第２の再構成指令を送信してもよい。たとえば図１５において、第２演算Ａ回路２０７Ａ－２の再構成指令は、時刻ｔ３１～時刻ｔ２の間に送信してもよい。

[0092] なお、本発明は前述した実施例に限定されるものではなく、添付した特許請求の範囲の趣旨内における様々な変形例および同等の構成が含まれる。例えば、前述した実施例は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに本発明は限定されるものではない。また、制御線や情報線は説明上必要と考えられるものを示しており、実装上必要な全ての制御線や情報線を示しているとは限らない

。実際には、ほとんど全ての構成が相互に接続されていると考えてもよい。

[0093] プログラムはＲＯＭ２５１に格納されるとしたが、プログラムはフラッシュメモリ２５４に格納されていてもよい。また、自律走行制御装置２が不図示の入出力インタフェースを備え、必要なときに入出力インタフェースと自律走行制御装置２が利用可能な媒体を介して、他の装置からプログラムが読み込まれてもよい。ここで媒体とは、例えば入出力インタフェースに着脱可能な記憶媒体、または通信媒体、すなわち有線、無線、光などのネットワーク、または当該ネットワークを伝搬する搬送波やディジタル信号、を指す。また、プログラムにより実現される機能の一部または全部がハードウエア回路やＦＰＧＡにより実現されてもよい。

[0094] 上述した実施の形態および変形例は、それぞれ組み合わせてもよい。上記では、種々の実施の形態および変形例を説明したが、本発明はこれらの内容に限定されるものではない。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

[0095] 次の優先権基礎出願の開示内容は引用文としてここに組み込まれる。

日本国特許出願２０１７－１６３３６８（２０１７年８月２８日出願）

符号の説明

[0096] ２…自律走行制御装置

３…処理情報データベース

４…回路管理データベース

５…回路データベース

２０２…処理制御部

２０３…再構成回路

２０４…再構成制御部

２０６…演算部

２０７…演算回路

２５５…論理回路

４１…調整部

４２…コンフィグ部

４３…エラー監視部

４４…回路データキャッシュ部

請求の範囲

[請求項1] 第１回路および第２回路を含む複数の演算回路を再構成可能な論理回路と、

再構成指令に基づき、前記演算回路の再構成および再構成した前記演算回路の確認を行う再構成制御部と、

前記再構成制御部への前記再構成指令の送信、および前記演算回路に演算を実行させる処理制御部とを備え、

前記再構成制御部は、第１の前記再構成指令を受信すると、前記第１回路の再構成および確認を行い、

前記処理制御部は、前記再構成制御部による前記第１回路の確認が完了すると、前記第１回路に演算を実行させ、

前記処理制御部は、前記第１回路の再構成が完了してから前記第１回路の演算が完了するまでに、第２の前記再構成指令を送信して前記再構成制御部に前記第２回路の再構成を開始させる電子制御装置。

[請求項2] 請求項１に記載の電子制御装置において、

前記処理制御部は、前記第１回路の再構成が完了してから前記第１回路の確認が完了するまでに、前記第２の再構成指令を送信する電子制御装置。

[請求項3] 請求項１に記載の電子制御装置において、

前記処理制御部は、前記第１回路の確認が完了してから前記第１回路の演算が完了するまでに、前記第２の再構成指令を送信する電子制御装置。

[請求項4] 請求項１に記載の電子制御装置において、

前記再構成制御部は、前記第２回路の再構成が完了すると前記第２回路の確認を行い、

前記処理制御部は、前記第２回路の確認が完了し、かつ前記第１回路の演算が完了すると、前記第２回路に前記第１回路の演算の結果を利用した処理を実行させる電子制御装置。

[請求項5] 請求項１に記載の電子制御装置において、

前記再構成制御部は、前記演算回路の確認においてエラーを検出すると前記演算回路の再構成をやりなおす電子制御装置。

[請求項6] 請求項１に記載の電子制御装置において、

前記論理回路に再構成される前記演算回路の数および規模は、それぞれの前記演算回路において実行される演算の実行時間に基づき決定される電子制御装置。

[請求項7] 請求項１に記載の電子制御装置において、

前記論理回路に構成される前記複数の演算回路に関する情報が格納される回路管理データベースをさらに備え、

前記処理制御部は、前記回路管理データベースに基づき前記再構成制御部に前記再構成指令を出力する電子制御装置。

[請求項8] 請求項１に記載の電子制御装置において、

前記再構成制御部は、前記演算回路の再構成を行うコンフィグ部と、再構成した前記演算回路の確認を行う監視部とを備え、

前記コンフィグ部は、前記処理制御部から前記再構成指令を受信すると前記演算回路の再構成を開始し、

前記監視部は、前記コンフィグ部による再構成が完了すると再構成した前記演算回路の確認を開始し、確認の結果を前記処理制御部に通知する電子制御装置。

[請求項9] 請求項１に記載の電子制御装置において、

前記処理制御部は、前記第１回路が構成される領域と前記第２回路が構成される領域とが重複しない場合に、前記第１回路の再構成が完了してから前記第１回路の演算が完了するまでに、前記第２の再構成指令を送信して前記再構成制御部に前記第２回路の再構成を開始させる電子制御装置。

[請求項10] 第１回路および第２回路を含む複数の演算回路を再構成可能な論理回路において実行される回路の再構成方法であって、

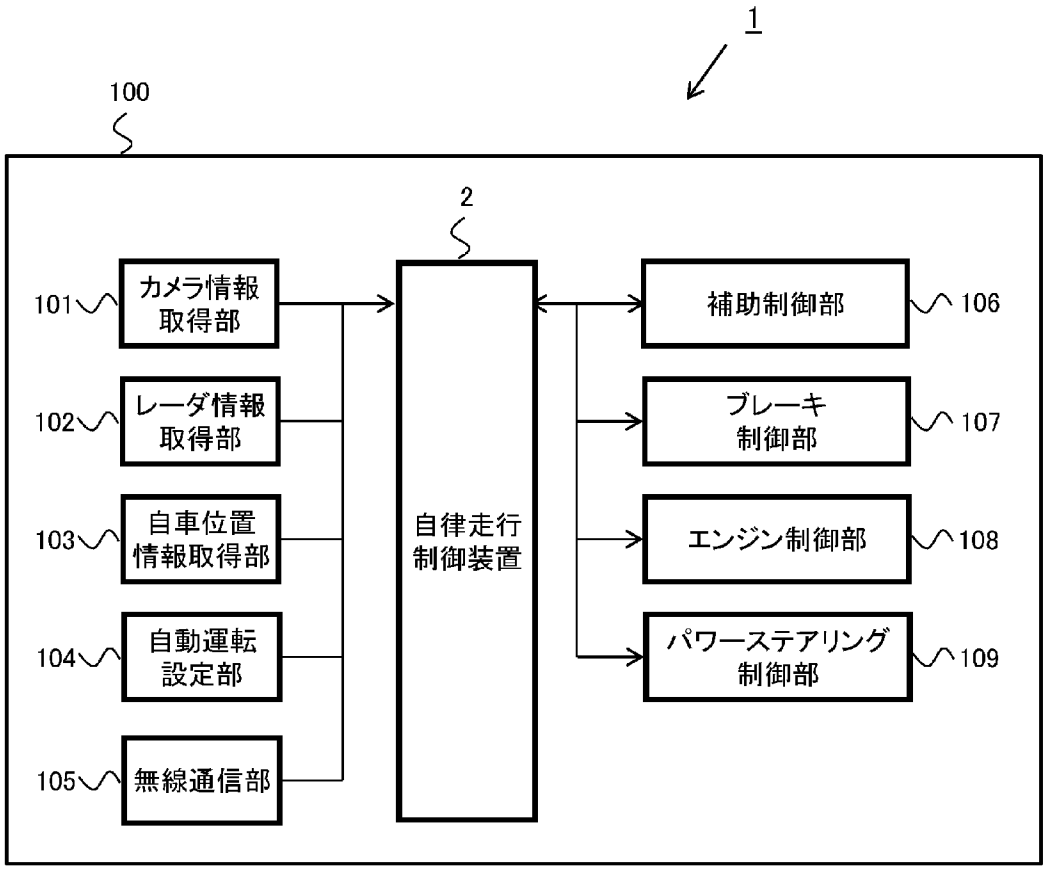
前記第１回路の再構成および確認を行うことと、

前記第１回路の確認が完了すると、前記第１回路に演算を実行させることと、

前記第１回路の再構成が完了してから前記第１回路の演算が完了するまでに、前記第２回路の再構成を開始することとを含む回路の再構成方法。

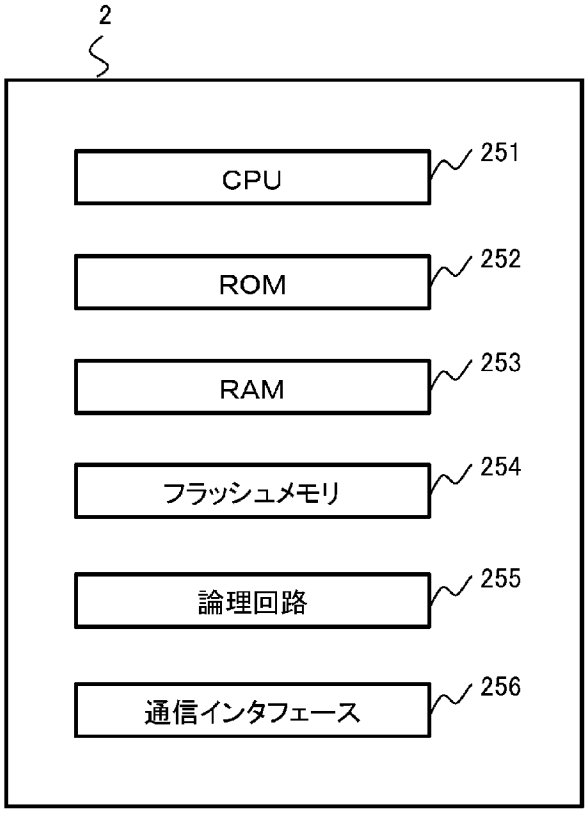
[図1]

図1


1
100
2
101
カメラ情報
取得部
102
レーダ情報
取得部
103
自車位置
情報取得部
104
自動運転
設定部
105
無線通信部
自律走行
制御装置
補助制御部
106
ブレーキ
制御部
107
エンジン制御部
108
パワーステアリング
制御部
109

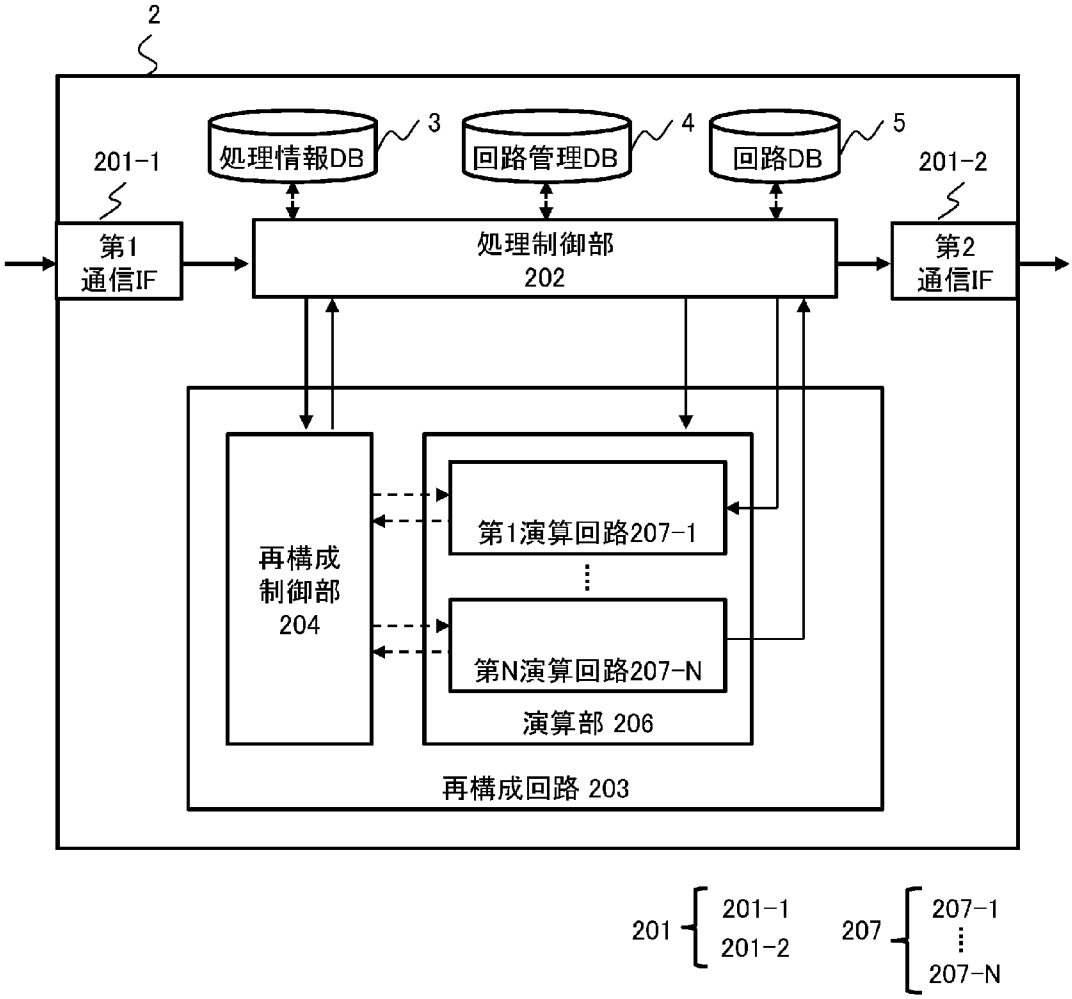
[図2]

図2



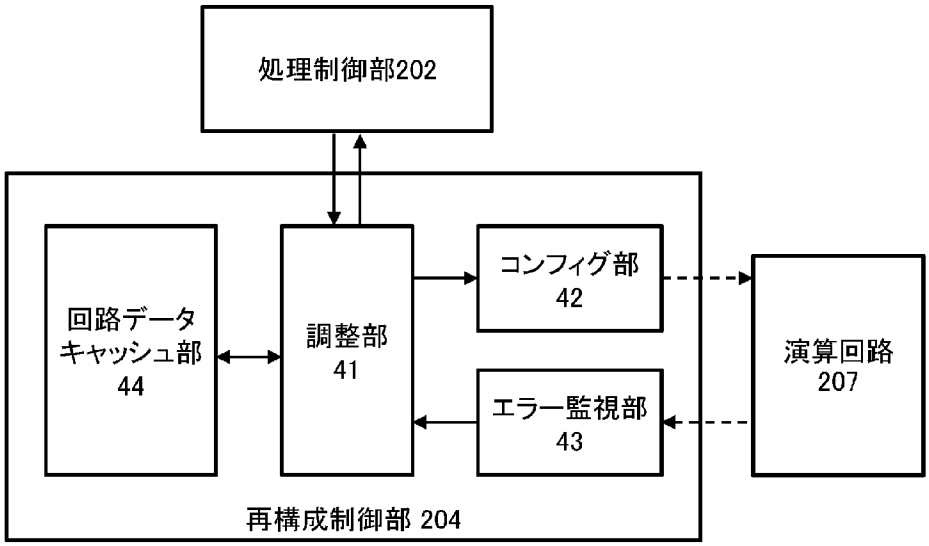
[図3]

図3


2
処理情報DB
3
回路管理DB
4
回路DB
5
201-1
201-2
第1
通信IF
処理制御部
202
第2
通信IF
再構成
制御部
204
第1演算回路207-1
第N演算回路207-N
演算部 206
再構成回路 203
201
201-1
201-2
207
207-1
207-N

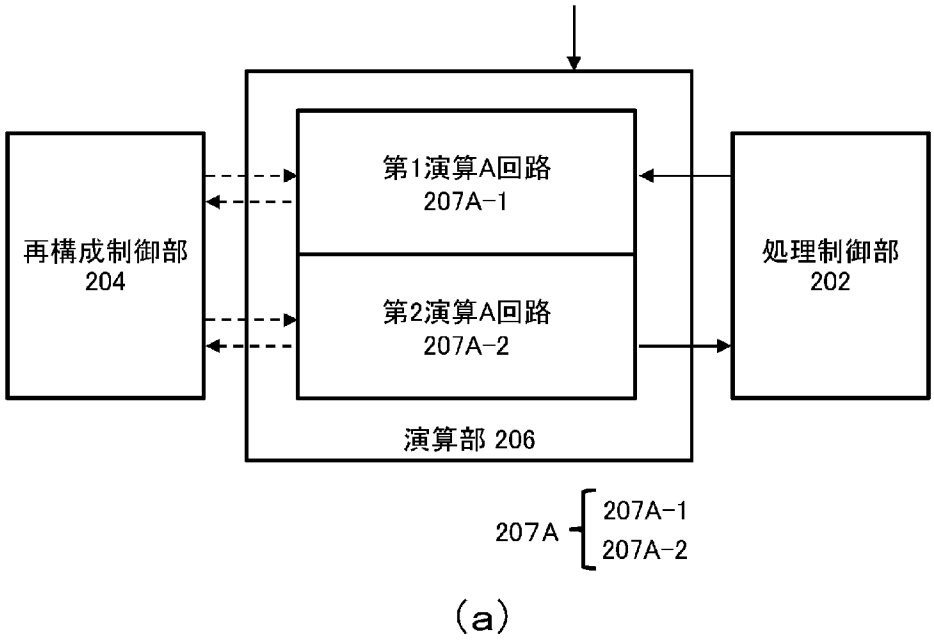
[図4]

図4

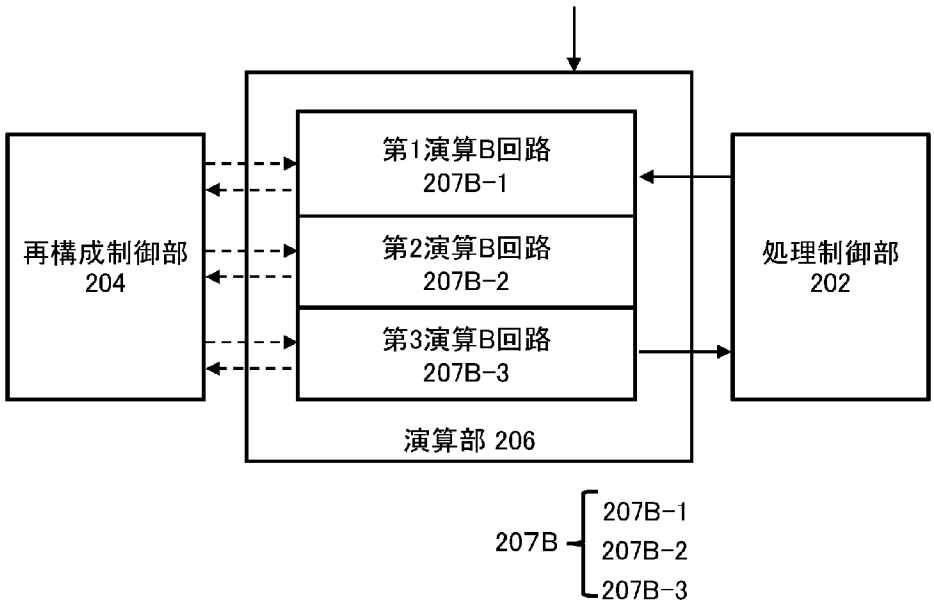

処理制御部202
回路データ
キャッシュ部
44
調整部
41
コンフィグ部
42
エラー監視部
43
演算回路
207
再構成制御部 204

[図5]

図5


第1演算A回路
207A-1
第2演算A回路
207A-2
再構成制御部
204
処理制御部
202
演算部 206
207A
207A-1
207A-2

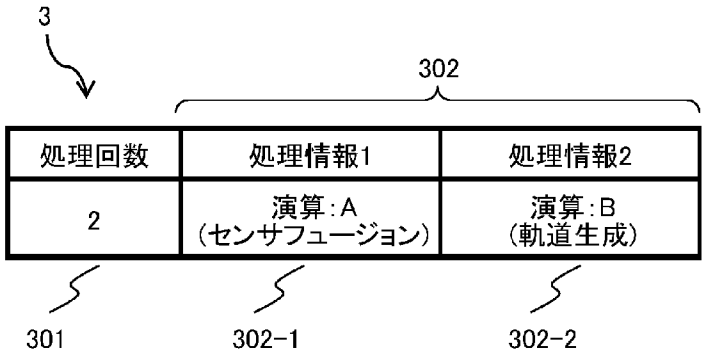
(a)


第1演算B回路
207B-1
第2演算B回路
207B-2
第3演算B回路
207B-3
再構成制御部
204
処理制御部
202
演算部 206
207B
207B-1
207B-2
207B-3

(b)

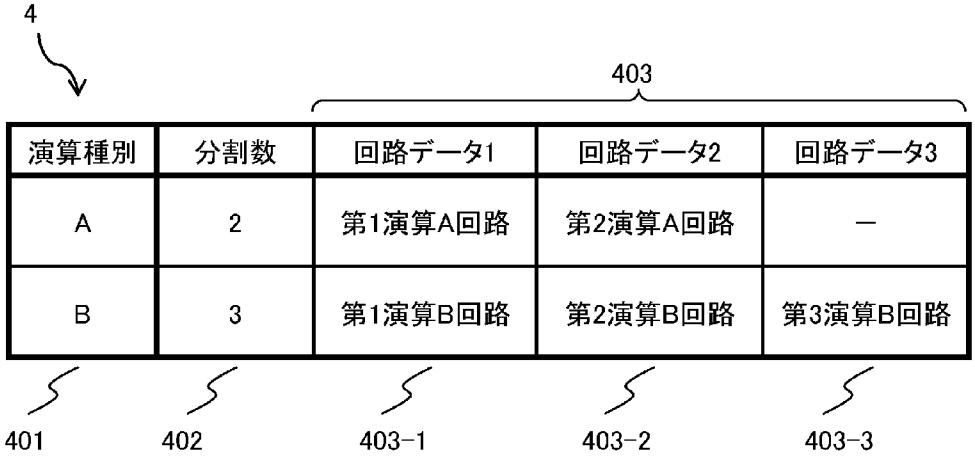
[図6]

図6



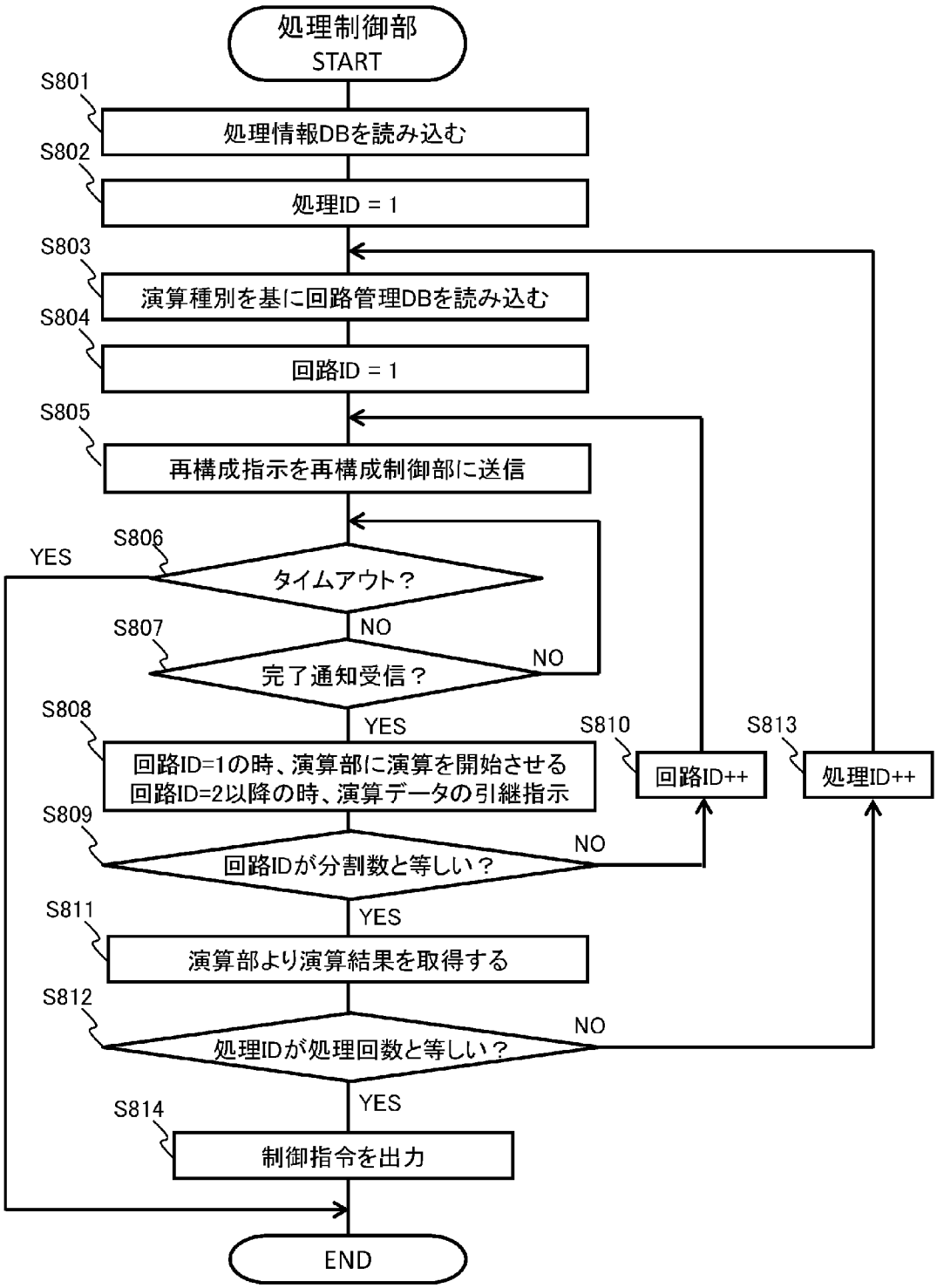
[図7]

図7


4
403
演算種別
分割数
回路データ1
回路データ2
回路データ3
A
2
第1演算A回路
第2演算A回路
－
B
3
第1演算B回路
第2演算B回路
第3演算B回路
401
402
403-1
403-2
403-3

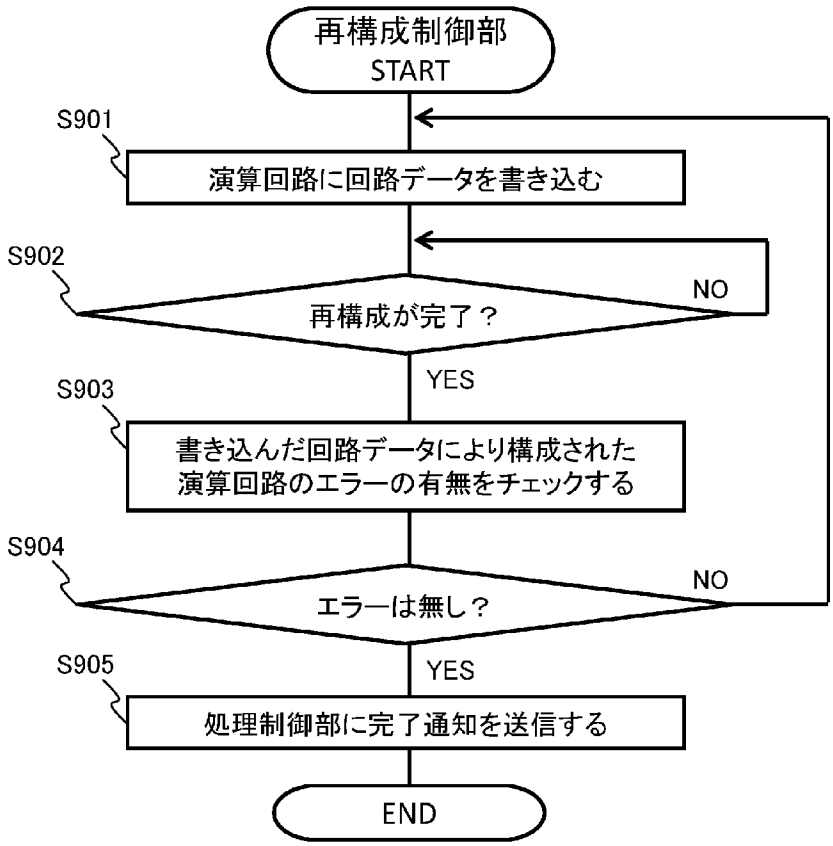
[図8]

図8


処理制御部
START
S801
処理情報DBを読み込む
S802
処理ID = 1
S803
演算種別を基に回路管理DBを読み込む
S804
回路ID = 1
S805
再構成指示を再構成制御部に送信
S806
YES
タイムアウト？
NO
S807
完了通知受信？
NO
YES
S808
回路ID=1の時、演算部に演算を開始させる
回路ID=2以降の時、演算データの引継指示
S809
回路IDが分割数と等しい？
NO
YES
S810
回路ID++
S811
演算部より演算結果を取得する
S812
処理IDが処理回数と等しい？
NO
YES
S813
処理ID++
S814
制御指令を出力
END

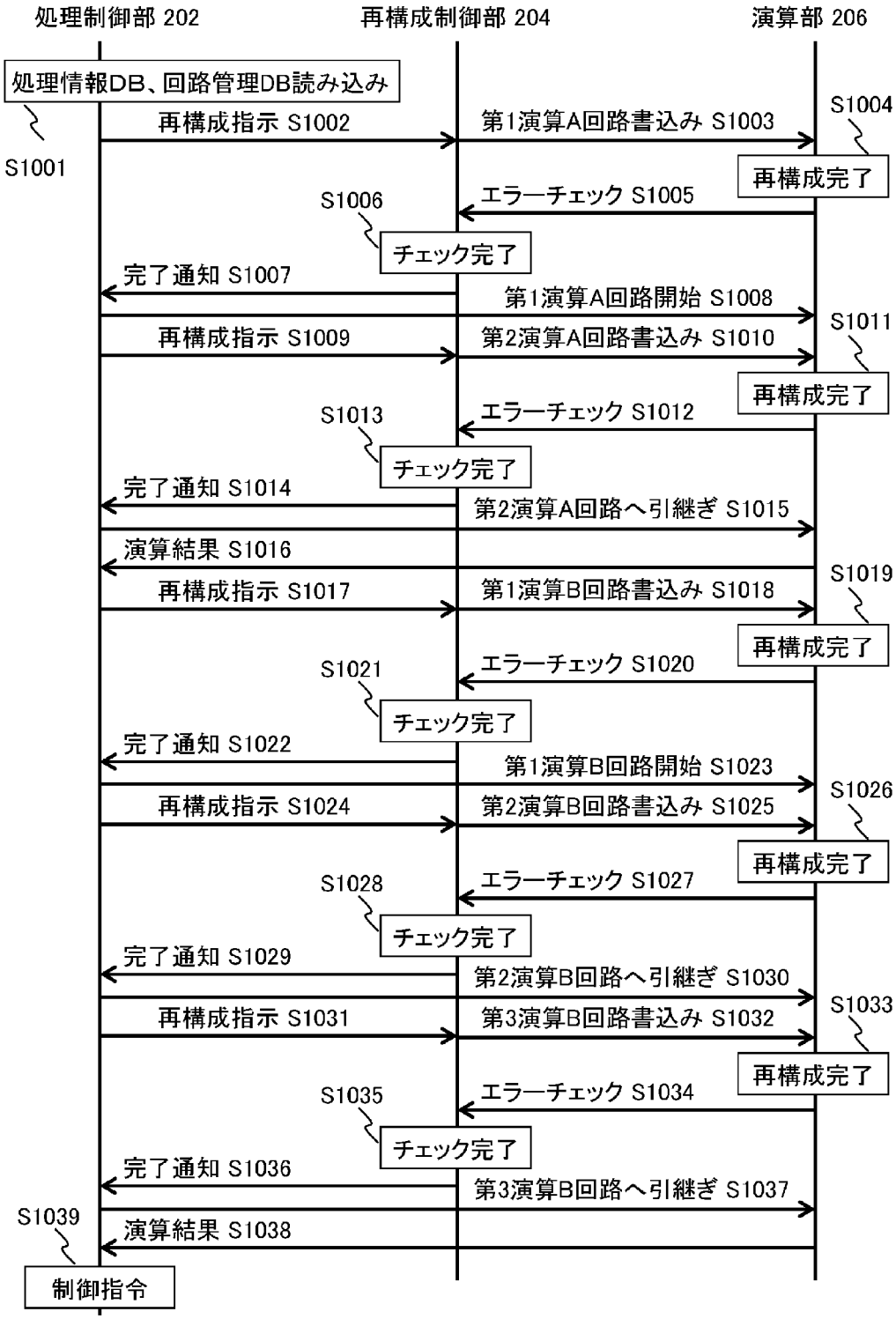
[図9]

図9


再構成制御部
START
S901
演算回路に回路データを書き込む
S902
再構成が完了？
NO
YES
S903
書き込んだ回路データにより構成された
演算回路のエラーの有無をチェックする
S904
エラーは無し？
NO
YES
S905
処理制御部に完了通知を送信する
END

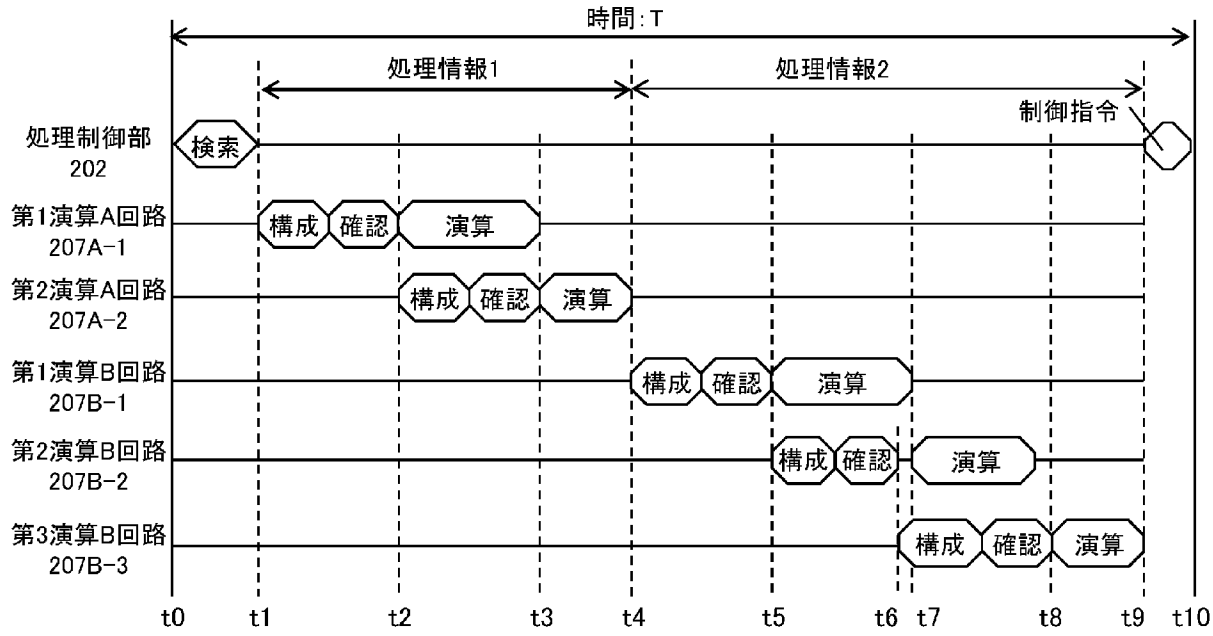
[図10]

図10


処理制御部 202
再構成制御部 204
演算部 206
処理情報DB、回路管理DB読み込み
S1001
再構成指示 S1002
第1演算A回路書込み S1003
S1004
再構成完了
エラーチェック S1005
S1006
チェック完了
完了通知 S1007
第1演算A回路開始 S1008
再構成指示 S1009
第2演算A回路書込み S1010
S1011
再構成完了
エラーチェック S1012
S1013
チェック完了
完了通知 S1014
第2演算A回路へ引継ぎ S1015
演算結果 S1016
再構成指示 S1017
第1演算B回路書込み S1018
S1019
再構成完了
エラーチェック S1020
S1021
チェック完了
完了通知 S1022
第1演算B回路開始 S1023
再構成指示 S1024
第2演算B回路書込み S1025
S1026
再構成完了
エラーチェック S1027
S1028
チェック完了
完了通知 S1029
第2演算B回路へ引継ぎ S1030
再構成指示 S1031
第3演算B回路書込み S1032
S1033
再構成完了
エラーチェック S1034
S1035
チェック完了
完了通知 S1036
第3演算B回路へ引継ぎ S1037
S1039
演算結果 S1038
制御指令

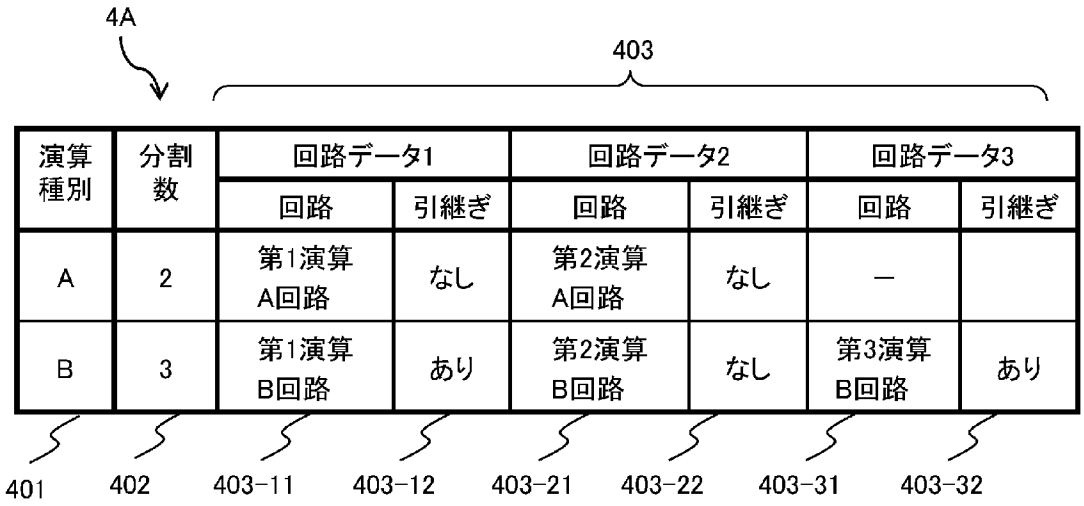
[図11]

図11


時間:T
処理情報1
処理情報2
制御指令
処理制御部
202
検索
第1演算A回路
207A-1
構成
確認
演算
第2演算A回路
207A-2
構成
確認
演算
第1演算B回路
207B-1
構成
確認
演算
第2演算B回路
207B-2
構成
確認
演算
第3演算B回路
207B-3
構成
確認
演算
t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10

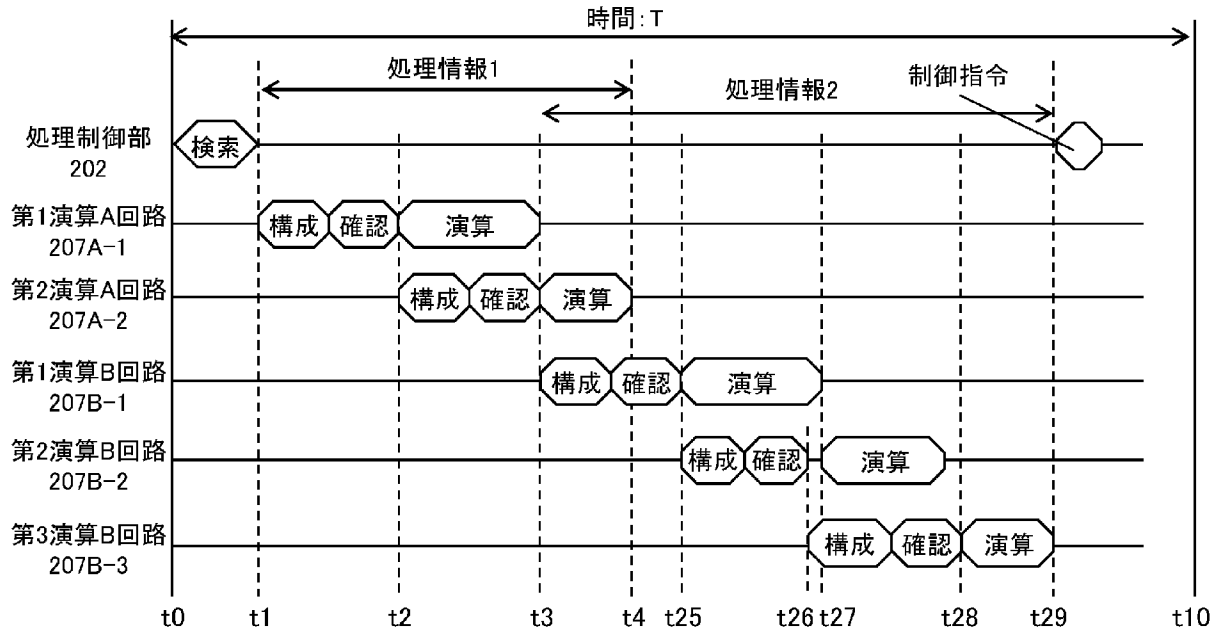
[図12]

図12


4A
403
演算種別
分割数
回路データ1
回路データ2
回路データ3
回路
引継ぎ
回路
引継ぎ
回路
引継ぎ
A
2
第1演算A回路
なし
第2演算A回路
なし
ー
B
3
第1演算B回路
あり
第2演算B回路
なし
第3演算B回路
あり
401
402
403-11
403-12
403-21
403-22
403-31
403-32

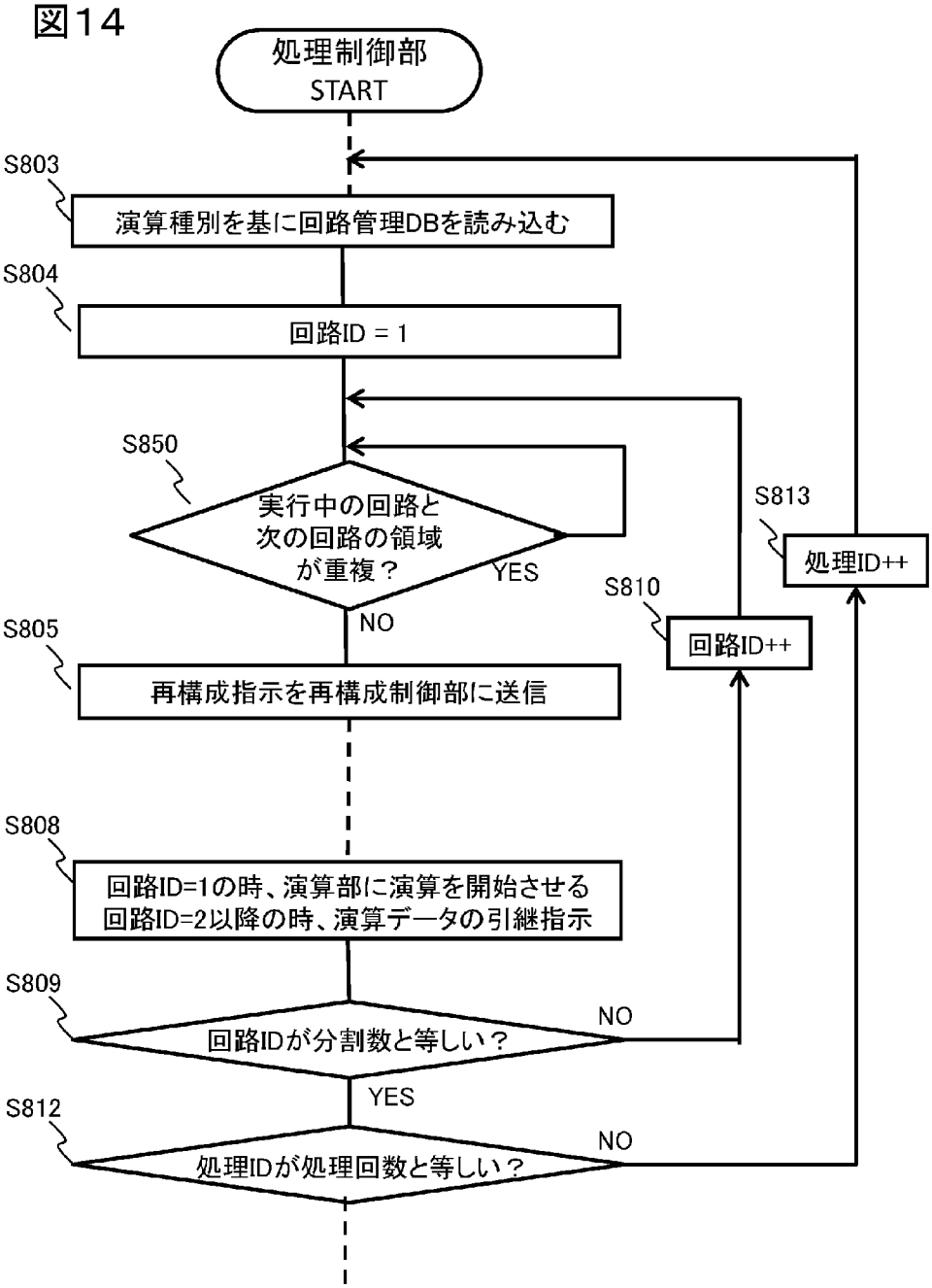
[図13]

図13


時間:T
処理情報1
処理情報2
制御指令
処理制御部
202
検索
第1演算A回路
207A-1
構成
確認
演算
第2演算A回路
207A-2
第1演算B回路
207B-1
第2演算B回路
207B-2
第3演算B回路
207B-3
t0
t1
t2
t3
t4
t25
t26
t27
t28
t29
t10

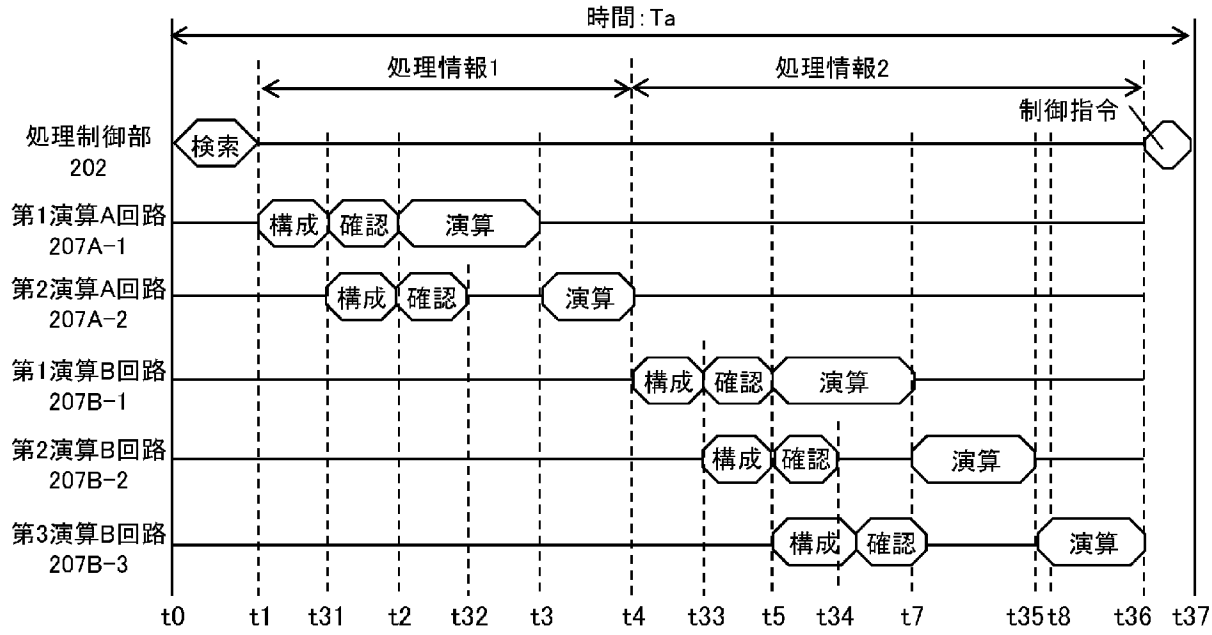
[図14]

図14


処理制御部
START
S803
演算種別を基に回路管理DBを読み込む
S804
回路ID = 1
S850
実行中の回路と
次の回路の領域
が重複？
YES
NO
S813
処理ID++
S810
回路ID++
S805
再構成指示を再構成制御部に送信
S808
回路ID=1の時、演算部に演算を開始させる
回路ID=2以降の時、演算データの引継指示
S809
回路IDが分割数と等しい？
NO
YES
S812
処理IDが処理回数と等しい？
NO

[図15]

図15


時間:Ta
処理情報1
処理情報2
制御指令
処理制御部
202
検索
第1演算A回路
207A-1
構成
確認
演算
第2演算A回路
207A-2
構成
確認
演算
第1演算B回路
207B-1
構成
確認
演算
第2演算B回路
207B-2
構成
確認
演算
第3演算B回路
207B-3
構成
確認
演算
t0
t1
t31
t2
t32
t3
t4
t33
t5
t34
t7
t35
t8
t36
t37

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/024340

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H03K19/177(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H03K19/177

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-118450 A (CANON INC.) 29 June 2017, entire text, all drawings (Family: none)	1-10
A	JP 2017-107489 A (FUJITSU LTD.) 15 June 2017, entire text, all drawings (Family: none)	1-10
A	JP 2001-320271 A (FUJI XEROX CO., LTD.) 16 November 2001, entire text, all drawings (Family: none)	1-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 July 2018 (20.07.2018)	31 July 2018 (31.07.2018)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／０２４３４０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03K19/177(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03K19/177

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2017-118450 A (キヤノン株式会社) 2017.06.29, 全文全図（ファミリーなし）	１－１０
A	JP 2017-107489 A (富士通株式会社) 2017.06.15, 全文全図（ファミリーなし）	１－１０
A	JP 2001-320271 A (富士ゼロックス株式会社) 2001.11.16, 全文全図（ファミリーなし）	１－１０

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２０．０７．２０１８	３１．０７．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｗ　９２７４
工藤　一光

電話番号　０３－３５８１－１１０１　内線　３５７６