

公告本

申請日期	89 年 6 月 28 日
案 號	89112761
類 別	H01L 21/027

A4
C4

463235

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	增進蝕刻率均勻性的技術
	英 文	Techniques for improving etch rate uniformity
二、發明 創作人	姓 名	(1) 約翰·多堤 Daugherty, John E. (2) 尼爾·班傑明 Benjamin, Neil (3) 傑夫·鮑格特 Bogart, Jeff
	國 籍	(1) 美國 (2) 英國 (3) 美國
	住、居所	(1) 美國加州奧克蘭 # 401 坎伯頓大道三三〇〇號 3300 Kempton Avenue, #401, Oakland CA 94611, U.S.A. (2) 美國加州帕洛艾圖綠街二一六號 216 Green Street, Palo Alto, CA 94303 U.S.A. (3) 美國加州洛格托賀希納大道三一五號 315 Hershner Drive, Los Gatos, CA 95032 U.S.A.
	三、申請人	
	姓 名 (名稱)	(1) 泛林股份有限公司 Lam Research Corporation
	國 籍	(1) 美國
	住、居所 (事務所)	(1) 美國加州費蒙特顧盛公園路四六五〇號 4650 Cushing Parkway, Fremont, CA 94538 U.S.A.
	代 表 人 姓 名	(1) 傑弗瑞·布魯克斯 Brooks, Jeffrey J.

裝

訂

線

463235

申請日期	89 年 6 月 28 日
案 號	89112761
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 文希德·文哈迪 Vahedi, Vahid (5) 大衛·古帕伯格 Cooperberg, David (6) 艾倫·米勒 Miller, Alan J.
	國 籍	(4) 美國 (5) 美國 (6) 美國 (4) 美國加州艾柏尼波森巷一五〇三號 1503 Posen Avenue, Albany, CA 94706, U.S.A.
	住、居所	(5) 美國加州費蒙特克羅威爾地三四一二三號 34123 Cromwell Place, Fremont, CA 94555 U.S.A. (6) 美國加州墨瑞根卡爾利斯道二六五號 265 Corliss Drive, Moraga, CA 94556, U.S.A.
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

463235

申請日期	89 年 6 月 28 日
案 號	89112761
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(7) 山口葉子 Yamaguchi, Yoko
	國 籍	(7) 日本
	住、居所	(7) 日本國神奈川縣橫濱市鶴見區牛田町3-14 2-5-501 3-142-5-501, Ushidda-Cho Tsurumi-ku Yokohama, Kanagawa 230 0041, Japan
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

463283

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☒有 ☐無主張優先權

美國

1999 年 6 月 30 日 09/345,639

☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

五、發明說明(1)

發明背景

發明領域

本發明相關於半導體積體電路的製造，尤其相關於在電漿處理系統中離子輔助蝕刻處理的方法及設備。

相關技術的敘述

在以半導體為基礎的裝置例如積體電路或平板顯示器的製造中，多個材料層可能被交替地澱積在基板表面上及從基板表面被蝕刻。如此技術中已知的，澱積層的蝕刻可藉著多種不同的技術來達成，包括電漿增進蝕刻。在電漿增進蝕刻中，實際的蝕刻典型上發生在電漿處理系統的電漿處理室內部。為在基板表面上形成想要的圖型，典型上設置適當的掩模（例如光抗蝕劑掩模）。然後，電漿從合適的蝕刻劑來源氣體或氣體混合物形成，並且被用來蝕刻未被掩模保護的區域，因而留下想要的圖型。

為方便討論，圖1A顯示適合用於半導體裝置的製造的簡化的電漿處理系統100。此簡化的電漿處理系統100包含具有靜電夾頭(ESC)104的晶圓處理室102。夾頭104作用成為電極，並且在製造期間支撐晶圓106（亦即基板）。邊緣環108成為夾頭104的邊緣的邊界。在蝕刻處理的情況中，晶圓處理室102內的若干參數被嚴格控制以維持高容許度的蝕刻結果。支配蝕刻結果的製程參數可能包括氣體成分，電漿激磁，晶圓106上的電漿分佈等。因為蝕刻容許度（以及所得的

五、發明說明(2)

半導體裝置性能)對於此種製程參數高度敏感,所以其必須被準確控制。

晶圓 1 0 6 的表面被釋放至晶圓處理室 1 0 2 內的適當的蝕刻劑來源氣體蝕刻。蝕刻劑來源氣體可經由一噴灑頭 1 1 0 釋放。蝕刻劑來源氣體也可藉著其他機構釋放,例如經由設置在處理室內部的氣體環,或是經由建構於晶圓處理室 1 0 2 的壁的通口。在離子輔助蝕刻處理期間,供應至噴灑頭 1 1 0 的射頻(RF)電力點燃蝕刻劑來源氣體,因而在蝕刻處理期間在晶圓 1 0 6 上方形成電漿雲(「電漿」)。應注意也可使用其他的電漿激磁方法。例如也可使用施加微波能量,利用感應線圈,引入由一天線激發的波,或電容耦合至噴灑頭 1 1 0 來激發電漿。在離子輔助蝕刻處理中,夾頭 1 0 4 典型上使用 RF 電源(未顯示)來供應以 RF 電力。

在離子輔助蝕刻處理中,局部蝕刻率是由離子濃度來支配。離子輔助蝕刻處理典型上被用來實施氧化物蝕刻或聚矽蝕刻。換句話說,離子驅動/輔助蝕刻處理一般是指主要藉著被加速的電漿離子(「離子」)與晶圓(基板)的物理反應來便利蝕刻的蝕刻處理。離子輔助蝕刻應用包括例如濺射,反應離子蝕刻(RIE),化學濺射,化學輔助物理濺射,以及物理輔助化學濺射。

以離子輔助蝕刻,對夾頭 1 0 4 (以及噴灑頭 1 1 0)施加 RF 電力導致電場的形成,並且因而在晶圓 1 0 6 上方形成外覆層 1 1 2。與外覆層 1 1 2 相關聯的電場促

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

進離子朝向晶圓 106 的頂部表面加速。理想上，加速的離子在蝕刻期間以相對於晶圓 106 的表面大致垂直（亦即大致上於法向或大約 90 度）的角度碰撞。與晶圓 106 碰撞的加速離子作用來「物理」蝕刻晶圓 106。

邊緣環 108 為電浮動（亦即未被供以 RF 電力）的絕緣體材料。邊緣環 108 被用來在例如蝕刻處理期間屏蔽夾頭 104 的邊緣使其不受離子轟擊。邊緣環 108 也有助於使離子轟擊相對於晶圓 106 集中。如圖 1A 所示，夾頭 104 可由邊緣環 108 的內表面 114 環繞。內表面 114 也在晶圓 106 的外部邊緣內。

邊緣環 108 的外表面 116 延伸超過晶圓 106 的外部邊緣。邊緣環 108 的內表面 114 的上方部份不只是相鄰於夾頭 104，並且也相鄰於晶圓 106。傳統上，邊緣環 108 的頂部表面 118 是在晶圓 106 的頂部表面的下方或是與其在大約相同的高度。

與使用傳統的電漿處理設備的離子輔助蝕刻處理相關聯的一主要問題是橫越晶圓 106 的蝕刻率不均勻。更明確地說，在接近晶圓邊緣的位置處的蝕刻率顯著高於接近晶圓中心的位置點的蝕刻率。圖 1B 顯示蝕刻處理後晶圓 106 的截面，其中蝕刻深度在晶圓 106 的周邊部份 120 處比在晶圓 106 的中間部份 122 處大。

不均勻的蝕刻率主要是歸因於在晶圓 106 的表面上方的外覆層 112 的厚度不均勻。如圖 1A 所示，在晶圓 106 的中間部份 120 處的外覆層 112 的厚度（或是

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明(4)

在外覆層邊界處的電漿密度)與在晶圓106的周邊部份116處的外覆層112的厚度(密度)相比顯著地較厚。亦即,在邊緣環108上方的電浮動區域的附近,外覆層在晶圓106的周邊附近「彎曲」。在晶圓106的周邊附近的外覆層曲率使相對較多的離子在離子輔助蝕刻處理期間碰撞晶圓106的周邊附近。周邊附近較高的碰撞率導致晶圓的周邊附近有相對較高的蝕刻率(見圖1B)。

外覆層曲率造成另一問題。特別是,晶圓106的周邊附近的外覆層曲率使離子以相對於晶圓106的表面以不垂直(亦即不於法向或非大約90度)的角度碰撞。在離子輔助蝕刻處理中,以此種非垂直角度的離子碰撞也助長較高的蝕刻率。另外,靠近邊緣的非垂直角度的離子碰撞可能會對晶圓106上的蝕刻特徵(例如溝道,通孔,或線)有不想要的「傾斜」作用。傾斜一般指的是在蝕刻期間使得特徵的一或多側不與晶圓的表面垂直的不想要的作用。此處,在晶圓106的周邊處,「傾斜」作用產生不對稱的特徵。特徵是意欲成對稱狀,因此不對稱的特徵是不宜的,並且可能造成使製成的積體電路基本上有缺陷的嚴重問題。

應付與離子輔助蝕刻處理中的蝕刻率的不均勻性相關聯的某些問題的一種可能解決方案是加大夾頭,使得其延伸超過晶圓的邊緣。加大夾頭可有效地使外覆層曲率移位超過晶圓的邊緣。此對於純粹的化學蝕刻應用可能是可行

五、發明說明(5)

的解決方案。但是，此解決方案對於離子輔助蝕刻處理不可行，因為夾頭的延伸部份也會暴露於離子以及蝕刻處理。暴露夾頭可能在離子輔助蝕刻處理期間造成散粒及／或重金屬污染。夾頭的延伸部份也會暴露於顯著較高的蝕刻率，因而加重與污染相關聯的問題。另外，在夾頭的暴露部份處的高蝕刻率可能使夾頭快速劣化，而此可能導致為非消耗品的昂貴零件的整個夾頭的經常更換。

為減少與離子輔助蝕刻處理有關的蝕刻率不均勻性的某些相關問題，可能可改變晶圓上方的電漿分佈。例如，可在外覆層上方放置傳統的「聚焦環」。藉著嘗試使電漿集中在晶圓上，相信用傳統的聚焦環可減少分佈在晶圓邊緣的上方的離子密度（電漿）。如果成功，則電漿分佈的減少可導致晶圓周邊附近的蝕刻率降低（亦即碰撞邊緣附近的離子數目會減少）。使用例如聚焦環的外部元件可能可有限度地補償外覆層曲率的作用。但是，將另一元件引入離子化的蝕刻處理可能會產生與污染及／或高成本的消耗零件相關聯的新問題。另外，使用傳統聚焦環對於某些離子化蝕刻應用而言可能甚至是不可行的。

鑑於以上，有需要用來增進離子輔助處理中的蝕刻率均勻性的方法及設備。

發明概說

廣泛言之，本發明相關於在電漿處理系統中的離子輔助蝕刻處理的方法及設備。本發明可操作來增進橫越基板

五、發明說明(6)

(晶圓)的蝕刻率均勻性。本發明可以數種方式來實施，包括成為裝置，設備，及方法。以下會討論本發明的數個實施例。

根據本發明的第一方面的一實施例，揭示一種電漿處理設備。此電漿處理設備包含具有一靜電夾頭(E S C)及一提高邊緣環的晶圓處理室。夾頭作用成為電極，並且在製造期間支撐晶圓(亦即基板)。根據本發明的此方面的一實施例，提高邊緣環成為夾頭邊緣的邊界，並且向上延伸超過晶圓的頂部表面。

根據本發明的第二方面的一實施例，揭示一種電漿處理設備。此處，電漿處理設備使用有槽邊緣環。此有槽邊緣環包含一有槽區域，其基本上環繞靠近晶圓邊緣的區域以及在晶圓的底部表面下方的區域。

根據本發明的第三方面的一實施例，揭示一種電漿處理設備。此電漿處理設備包含具有一射頻(R F)供電夾頭及一R F耦合邊緣環的晶圓處理室。R F耦合邊緣環放置在R F供電夾頭的一部份的上方且相鄰於基板的邊緣，並且由R F供電夾頭所提供的R F能量的一部份耦合於內部的R F耦合邊緣環。

本發明具有無數的有利處。本發明的一有利處在於顯著地增進橫越基板表面的蝕刻率均勻性。本發明的另一有利處為在沒有污染處理室的危險下達成蝕刻率均勻性的增進。另一有利處則為可消除蝕刻特徵的傾斜。

五、發明說明(7)

圖式簡要敘述

由以下連同圖式的詳細敘述可易於瞭解本發明，在圖式中相同的參考數字指示相同的結構元件，其中：

圖 1 A 顯示適合用於半導體裝置的製造的簡化的電漿處理設備 1 0 0。

圖 1 B 顯示蝕刻處理後晶圓的截面，其中蝕刻深度在晶圓的周邊部份處比在晶圓的中間部份處大。

圖 2 顯示根據本發明的第一方面的一實施例的包含一提高邊緣環的電漿處理設備。

圖 3 顯示根據本發明的第二方面的一實施例的包含一有槽邊緣環的電漿處理設備 3 0 0。

圖 4 顯示根據本發明的第三方面的一實施例的包含一內部 R F 耦合邊緣環及一外部邊緣環的電漿處理設備 4 0 0。

圖 5 顯示根據本發明的第三方面的一實施例的包含一 R F 耦合器，一內部 R F 耦合邊緣環，及一外部邊緣環的電漿處理設備 5 0 0。

圖 6 顯示根據本發明的第三方面的另一實施例的包含介墊填料的電漿處理設備 6 0 0 的截面的一部份。

元件對照表

1 0 0	電漿處理設備
1 0 2	晶圓處理室
1 0 4	靜電夾頭

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

- | | |
|-------|-----------|
| 1 0 6 | 晶圓 |
| 1 0 8 | 邊緣環 |
| 1 1 0 | 噴灑頭 |
| 1 1 2 | 外覆層 |
| 1 1 4 | 內表面 |
| 1 1 6 | 外表面，周邊部份 |
| 1 1 8 | 頂部表面 |
| 1 2 0 | 周邊部份，中間部份 |
| 1 2 2 | 中間部份 |
| 2 0 0 | 電漿處理設備 |
| 2 0 2 | 晶圓處理室 |
| 2 0 4 | 靜電夾頭 |
| 2 0 6 | 晶圓 |
| 2 0 8 | 提高邊緣環 |
| 2 1 0 | 噴灑頭 |
| 2 1 2 | 外覆層 |
| 2 1 4 | 內表面 |
| 2 1 6 | 外表面 |
| 2 1 8 | 凹入區域 |
| 2 2 0 | 頂部表面 |
| 3 0 0 | 電漿處理設備 |
| 3 0 2 | 晶圓處理室 |
| 3 0 4 | 靜電夾頭 |
| 3 0 6 | 晶圓 |

五、發明說明(9)

- 3 0 8 有槽邊緣環
- 3 1 0 內表面
- 3 1 2 外表面
- 3 1 4 上表面
- 3 1 6 上表面
- 3 1 8 有槽區域
- 3 2 0 第一傾斜部份(表面)
- 3 2 2 第二傾斜部份，部份被覆蓋區域
- 3 2 4 底部缺口
- 4 0 0 電漿處理設備
- 4 0 2 晶圓處理室
- 4 0 4 靜電夾頭
- 4 0 6 晶圓
- 4 0 8 內部 R F 耦合邊緣環
- 4 1 0 缺口
- 4 1 2 外部邊緣環
- 4 1 4 內表面，凹入區域
- 4 1 6 底部表面
- 4 1 8 外表面
- 4 2 0 外部邊緣
- 4 2 2 頂部表面
- 4 2 4 外覆層
- 5 0 0 電漿處理設備
- 5 0 2 晶圓處理室

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

- 5 0 4 靜電夾頭
- 5 0 6 晶圓
- 5 0 8 內部 R F 耦合邊緣環
- 5 1 0 邊緣
- 5 1 2 外部邊緣環
- 5 1 4 R F 耦合器
- 5 1 6 缺口
- 5 1 8 內表面
- 5 2 0 底部表面
- 5 2 2 外表面，外部邊緣
- 5 2 4 重疊部份
- 6 0 0 電漿處理設備
- 6 0 2 晶圓處理室
- 6 0 4 靜電夾頭
- 6 0 6 晶圓
- 6 0 8 內部 R F 耦合邊緣環
- 6 1 0 外部邊緣環
- 6 1 2 R F 耦合器
- 6 1 4 介電填料
- 6 1 6 介電填料
- 6 1 8 外部接地環
- D 預定距離
- X 預定距離

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

發明的詳細敘述

本發明相關於電漿處理系統中離子輔助蝕刻處理的方法及設備。本發明的操作可增進橫越基板（晶圓）的蝕刻率均勻性。由本發明所提供的蝕刻率均勻性的增進不只是增進製造產率，並且也增進成本效率，且不會有散粒及／或重金屬污染的危險。

以下參考圖 2 至 6 討論本發明的數個方面的實施例。但是，熟習此項技術者可瞭解此處所給的相關於圖式的詳細敘述只是為說明的目的，本發明超越這些有限的實施例。

圖 2 顯示根據本發明的第一方面的一實施例的電漿處理設備 200。電漿處理設備 200 包含具有靜電夾頭（ESC）204 的晶圓處理室 202。夾頭 204 作用成為電極，並且在製造期間支撐晶圓 206（亦即基板）。一提高邊緣環 208 成為夾頭 204 的邊緣的邊界，並且向上延伸超過晶圓 206 的頂部表面。

提高邊緣環 208 典型上為電浮動（亦即未被 RF 供電）的絕緣體材料。提高邊緣環 208 被用來在例如蝕刻處理期間屏蔽夾頭 204 的邊緣以使其不受離子轟擊。如圖 2 所示，夾頭 204 被邊緣環 208 的內表面 214 環繞。內表面 214 也在晶圓 206 的外部邊緣內。

邊緣環 208 的外表面 216 延伸超過晶圓 206 的外部邊緣。提高邊緣環 208 的內表面 214 的上方部份包含一凹入區域 218。晶圓 206 坐在凹入區域 218

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(12)

中，並且覆蓋內表面214的上方部份的一部份。提高邊緣環208的頂部表面220在晶圓206的頂部表面上方一預定距離D。預定距離D根據器具及正在實施的特別處理而改變。典型上，預定距離D是在1至10毫米的數量級。在蝕刻處理的情況中，晶圓處理室202內的若干參數被嚴格控制以維持高容許度的蝕刻結果。支配蝕刻結果的製程參數可能包括氣體成分，電漿激磁，晶圓206上的電漿分佈等。因為蝕刻容許度（以及所得的半導體裝置性能）對於此種製程參數高度敏感，所以其必須被準確控制。

晶圓206的表面被釋放至晶圓處理室202內的適當的蝕刻劑來源氣體蝕刻。蝕刻劑來源氣體可經由一噴灑頭210釋放。蝕刻劑來源氣體也可藉著其他機構釋放，例如經由設置在晶圓處理室202內部的氣體環，或是經由建構於晶圓處理室202的壁的通口。在離子輔助蝕刻處理期間，供應至噴灑頭210的射頻（RF）電力點燃蝕刻劑來源氣體，因而在蝕刻處理期間在晶圓206上方形成電漿雲（「電漿」）。在離子輔助蝕刻處理中，夾頭204典型上使用RF電源（未顯示）來供應以RF電力。

在離子輔助蝕刻處理中，局部蝕刻率是由離子濃度來支配。離子輔助蝕刻處理典型上被用來實施氧化物蝕刻或聚矽蝕刻。換句話說，離子驅動／輔助蝕刻處理一般是指主要藉著被加速的電漿離子（「離子」）與晶圓（基板）

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(13)

的物理反應來便利蝕刻的蝕刻處理。離子輔助蝕刻應用包括例如濺射，反應離子蝕刻(R I E)，化學濺射，化學輔助物理濺射，以及物理輔助化學濺射。

以離子輔助蝕刻，對夾頭204(以及噴灑頭210)施加R F電力導致電場的形成，並且因而在晶圓206上方形成外覆層212。與外覆層212相關聯的電場促進離子朝向晶圓206的頂部表面加速。如上所述，提高邊緣環208向上延伸超過晶圓206的頂部表面。藉著延伸至晶圓206的頂部表面的上方，提高邊緣環208對外覆層212實施校正作用。明確地說，在此實施例中，靠近晶圓206的周邊的外覆層212的厚度(或密度)變成與晶圓206的中間部份大致相同的厚度(密度)。注意使用提高邊緣環208使得所得的外覆層212成為橫越晶圓206大致均勻。因此，與圖1A的外覆層112相比，外覆層212顯著改善。由於外覆層212的均勻厚度(密度)，離子與晶圓206的表面的碰撞率與傳統方式所得者相比橫越晶圓206的整個表面較為均勻。另外，離子與晶圓206的表面碰撞的角度不只是在內部區域為法向，並且在晶圓206的周邊區域也是在法向。因此，橫越晶圓206的整個表面的蝕刻率與傳統所達成的相比較為均勻，並且在周邊區域處的蝕刻特徵不會有「傾斜」的問題。

圖3顯示根據本發明的第二方面的一實施例的電漿處理設備300。電漿處理設備300包含具有靜電夾頭(

五、發明說明 (14)

ESC) 304 的晶圓處理室 302。夾頭 304 作用成為電極，並且在製造期間支撐晶圓 306（亦即基板）。有槽邊緣環 308 成為夾頭 304 的邊緣的邊界。

有槽邊緣環 308 典型上為電浮動（亦即未被供以 RF 電力）的絕緣體材料。有槽邊緣環 308 被用來例如在蝕刻處理期間屏蔽夾頭 304 的邊緣以使其不受離子轟擊。如圖 3 所示，夾頭 304 被邊緣環 308 的內表面 310 環繞。內表面 310 也在晶圓 306 的外部邊緣內。有槽邊緣環 308 的外表面 312 延伸超過晶圓 306 的外部邊緣。在一實施例中，有槽邊緣環 308 的上表面 314 是在與晶圓 306 的上表面 316 大約相同的高度。但是，相鄰於晶圓 306 的邊緣的有槽邊緣環 308 的上表面具有有槽區域 318。如圖 3 所示，有槽區域 318 是由第一傾斜部份 320，第二傾斜部份 322，以及連接第一及第二傾斜部份 320 及 322 的底部缺口 324 所界定。傾斜部份（表面）320 將上表面 314 連接於被部份覆蓋的部份（區域）322。

如先前所討論，對夾頭 304 施加 RF 電力導致電場的形成，並且因而在晶圓 306 上方形成外覆層。與外覆層相關的電場促進離子朝向晶圓 306 的頂部表面加速。有槽邊緣環 308 提供基本上在晶圓 306 的邊緣的下方的有槽區域 318。如圖 3 所示，有槽區域 318 也可在晶圓 306 的邊緣處進一步延伸至晶圓 306 的底部表面的更下方。在另一實施例中，有槽區域可只向下延伸至大

五、發明說明 (15)

約晶圓 3 0 6 的底部表面處。

藉著提供有槽區域，有槽邊緣環 3 0 8 對晶圓 3 0 6 上方的外覆層實施校正作用。明確地說，在一實施例中，靠近晶圓的周邊（邊緣）的外覆層的厚度（或密度）變成接近在夾頭 3 0 4 正上方的外覆層的厚度（密度）。此處猜測是有槽邊緣環 3 0 8 的有槽區域將外覆層有效地向外拉伸，使得外覆層在晶圓 3 0 6 的邊緣上向外變平坦。

由於晶圓 3 0 6 上方的外覆層的增進的厚度（密度）均勻性，離子與晶圓 3 0 6 的表面的碰撞率與傳統方式所得者相比橫越晶圓 3 0 6 的整個表面較為均勻。另外，離子與晶圓 3 0 6 的表面碰撞的角度與圖 1 A 的電漿處理設備 1 0 0 所獲得者相比在晶圓 3 0 6 的邊緣區域處較為正交。因此，橫越晶圓 3 0 6 的整個表面的蝕刻率與傳統所達成的相比較為均勻，並且在周邊區域處的蝕刻特徵不會有「傾斜」的問題。

圖 4 顯示根據本發明的第三方面的一實施例的電漿處理設備 4 0 0。電漿處理設備 4 0 0 包含具有靜電夾頭（ESC）4 0 4 的晶圓處理室 4 0 2。夾頭 4 0 4 作用成為電極，並且在製造期間支撐晶圓 4 0 6（亦即基板）。內部 RF 耦合邊緣環 4 0 8 成為夾頭 4 0 4 的缺口 4 1 0 的邊界，並且提供延伸超過晶圓 4 0 6 的邊緣的 RF 耦合區域。外部邊緣環 4 1 2 成為內部 RF 耦合邊緣環 4 0 8 及夾頭 4 0 4 的外部邊緣的邊界。

內部 RF 耦合邊緣環 4 0 8 被用來例如在蝕刻處理期

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (16)

間屏蔽夾頭 404 的缺口 410 以使其不受離子轟擊。如圖 4 所示，夾頭 404 的缺口 410 相鄰於內部 RF 耦合邊緣環 408 的內表面 414 及底部表面 416。內表面 414 也在晶圓 406 的外部邊緣內。內部 RF 耦合邊緣環 408 的外表面 418 延伸超過晶圓 406 的外部邊緣，並且超過夾頭 404 的外部邊緣 420。RF 耦合邊緣環 408 的內表面 414 的上方部份包含一凹入區域 414。晶圓 406 坐在凹入區域 414 中，並且覆蓋在內部 RF 耦合邊緣環 408 的內表面 414 與相鄰於內部 RF 耦合邊緣環 408 的夾頭 404 的外表面之間的縫隙。內部 RF 耦合邊緣環 408 的頂部表面 422 是在與晶圓 406 的頂部表面大致相同的高度處。內部 RF 耦合邊緣環 408 的外表面 418 是在離開晶圓 406 的邊緣一預定距離 X 處。預定距離 X 可根據器具及正在實施的特別處理來改變。典型上，對於大部份的處理，1 至 2 公分為合適的預定距離 X。

外部邊緣環 412 被用來屏蔽夾頭 404 的外表面 418。外部邊緣環 412 及內部 RF 耦合邊緣環 408 的配置也防止對夾頭 404 有任何打開的縫隙。外部邊緣環 412 所用的材料為絕緣體或介電材料（例如陶瓷，石英，及聚合物）。在一實施例中，外部邊緣環 412 的材料不從夾頭 404 提供任何顯著的 RF 耦合。因此，外部邊緣環 412 不應在蝕刻處理期間顯著消耗。在另一實施例中，由介電（或絕緣體）材料構成的填料層可被設置在

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (17)

夾頭 4 0 4 與外部邊緣環 4 1 2 之間，以確保外部邊緣環 4 1 2 不 R F 耦合於夾頭 4 0 4。舉例而言，填料層的材料可以從多種不同的適當材料選擇，包括陶瓷，石英，聚四氟乙烯，或聚合物。

對夾頭 4 0 4 施加 R F 電力導致電場的形成，並且因而在晶圓 4 0 6 上方形成外覆層 4 2 4。與外覆層 4 2 4 相關聯的電場促進離子朝向晶圓 4 0 6 的頂部表面加速。內部 R F 耦合邊緣環 4 0 8 是由具有合適性質的材料製成，使得提供至夾頭 4 0 4 的 R F 能量的一部份 R F 耦合通過內部 R F 耦合邊緣環 4 0 8。R F 耦合邊緣環 4 0 8 可由不會污染電漿處理的多種不同材料製成。合適的材料例子包括半導體材料（例如碳化矽）或介電材料，其中材料的導電係數可經由摻雜及類似者來控制。內部 R F 耦合邊緣環 4 0 8 的材料及其導電係數是根據所想要的 R F 耦合程度來選擇。典型上，R F 耦合可藉著使用較薄的內部 R F 耦合邊緣環 4 0 8 或增加使用成為內部 R F 耦合邊緣環 4 0 8 的材料的導電係數來增進。由於內部 R F 耦合邊緣環 4 0 8 會如同晶圓 4 0 6 被蝕刻般地被蝕刻，因此其不應產生污染物，並且也不應由太昂貴的材料製成，因為其必須週期性地更換。另一方面，在一實施例中，外部邊緣環 4 1 2 的材料不提供來自夾頭 4 0 4 的任何顯著的 R F 耦合，因而一般不須週期性更換。

有利地，R F 耦合邊緣環 4 0 8 提供延伸超過晶圓 4 0 6 的邊緣的 R F 耦合區域，使得所得的外覆層 4 2 4

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(18)

在晶圓 4 0 6 的整個表面上（包括晶圓 4 0 6 的邊緣上）有均勻的厚度。藉著提供延伸的 R F 耦合區域，R F 耦合邊緣環 4 0 8 對晶圓 4 0 6 上方的外覆層 4 2 4 實施校正作用。明確地說，在一實施例中，接近晶圓周邊（邊緣）的外覆層 4 2 4 的厚度（或密度）變成與在夾頭 4 0 4 的正上方的外覆層 4 2 4 的厚度（密度）相同。注意所得的外覆層 4 2 4 的厚度（密度）顯著增進橫越晶圓 4 0 6 的外覆層 4 2 4 的均勻性。因此，與圖 1 A 的外覆層 1 1 2 相比，晶圓 4 0 6 上方的外覆層 4 2 4 顯著增進。

由於晶圓 4 0 6 上方的外覆層 4 2 4 的均勻厚度（密度），離子與晶圓 4 0 6 的表面的碰撞率與傳統方式所得者相比橫越晶圓 4 0 6 的整個表面較為均勻。另外，離子與晶圓 4 0 6 的表面碰撞的角度不只是在內部區域為法向，並且在晶圓 4 0 6 的周邊區域也是在法向。因此，橫越晶圓 4 0 6 的整個表面的蝕刻率與傳統所達成的相比較為均勻，並且在周邊區域處的蝕刻特徵不會有「傾斜」的問題。

圖 5 顯示根據本發明的第三方面的另一實施例的電漿處理設備 5 0 0。電漿處理設備 5 0 0 包含具有靜電夾頭（E S C）5 0 4 的晶圓處理室 5 0 2。夾頭 5 0 4 作用成為電極，並且在製造期間支撐晶圓 5 0 6（亦即基板）。內部 R F 耦合邊緣環 5 0 8 成為夾頭 5 0 4 的邊緣 5 1 0 的邊界，並且提供延伸超過晶圓 5 0 6 的邊緣的 R F 耦合區域。外部邊緣環 5 1 2 成為內部 R F 耦合邊緣

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (19)

環 5 0 8 及夾頭 5 0 4 的外部邊緣的邊界。如圖 5 所示，外部邊緣環 5 1 2 也成為 R F 耦合器 5 1 4 的邊界。

R F 耦合器 5 1 4 的頂部表面位在內部 R F 耦合邊緣環 5 0 8 的底部表面的正下方。內部 R F 耦合邊緣環 5 0 8 屏蔽 R F 耦合器 5 1 4 以使其不受蝕刻處理（亦即離子轟擊）。內部 R F 耦合邊緣環 5 0 8 及 R F 耦合器 5 1 4 被用來屏蔽夾頭 5 0 4 的缺口 5 1 6 以使其不受離子轟擊。

如圖 5 所示，R F 耦合器 5 1 4 被定位成使得夾頭 5 0 4 的缺口 5 1 6 相鄰於 R F 耦合器 5 1 4 的內表面 5 1 8 及底部表面 5 2 0。內表面 5 1 8 也在晶圓 4 0 6 的外部邊緣內。類似於內部 R F 耦合邊緣環 5 0 8，R F 耦合器 5 1 4 的外部邊緣 5 2 2 延伸超過晶圓 5 0 6 的外部邊緣以及超過夾頭 5 0 4 的外部邊緣 5 2 2。

R F 耦合器 5 1 4 是由具有合適性質的材料製成，使得提供至夾頭 5 0 4 的 R F 能量的一部份 R F 耦合於內部 R F 耦合邊緣環 5 0 8。R F 耦合器可由多種不同的材料製成。合適的材料例子包括導電材料（例如金屬），半導體材料（例如碳化矽），或介電材料，其中材料的導電係數可經由摻雜及類似者來控制。有利地，R F 耦合器 5 1 4 對於修訂延伸超過晶圓 5 0 6 的邊緣的 R F 耦合能量的量提供更大的彈性。此可藉著與所選擇的用於夾頭 5 0 4 及內部 R F 耦合邊緣環 5 0 8 的材料相關地選擇用於 R F 耦合器 5 1 4 的材料來達成。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (20)

另外，由於 R F 耦合器 5 1 4 被屏蔽而不受離子轟擊，因此如果想要，R F 耦合器 5 1 4 可由高導電材料製成，以增加耦合的 R F 能量的量。在一實施例中，R F 耦合器可由被介電材料（例如陽極化的鋁）的塗覆層（或層）環繞的高導電金屬（例如鋁）製成。因此，R F 耦合可藉著使用較薄的塗覆層或增加使用成為 R F 耦合器 5 1 4 的材料的導電係數而增進。

另外，如圖 5 所示，外部邊緣環 5 1 2 具有延伸在內部 R F 耦合邊緣環 5 0 8 的頂部表面上方的重疊部份 5 2 4。重疊部份 5 2 4 屏蔽可能存在的任何打開縫隙。此導致對夾頭 5 0 4 的外表面以及 R F 耦合器 5 1 4 的外表面 5 2 2 有較佳的保護。

如先前所討論，對夾頭 5 0 4 施加 R F 電力導致電場的形成，並且因而在晶圓 5 0 6 上方形成外覆層。與外覆層相關的電場促進離子朝向晶圓的頂部表面加速。有利地，內部 R F 耦合邊緣環 5 0 8 提供延伸超過晶圓 5 0 6 的邊緣的 R F 耦合區域，使得所得的外覆層在晶圓 5 0 6 的整個表面上（包括晶圓 5 0 6 的邊緣上）有均勻的厚度。藉著提供延伸的 R F 耦合區域，R F 耦合邊緣環 5 0 8 對晶圓 5 0 6 上方的外覆層實施校正作用。明確地說，在一實施例中，接近晶圓周邊（邊緣）的外覆層的厚度（或密度）變成與在夾頭的正上方的外覆層的厚度（密度）相同。如先前所討論的，所得的外覆層的厚度（密度）顯著增進橫越晶圓 5 0 6 的外覆層的均勻性。因此，與圖 1 A 的

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (21)

外覆層 1 1 2 相比，晶圓 5 0 6 上方的外覆層顯著增進。

由於晶圓 5 0 6 上方的外覆層的均勻厚度（密度），離子與晶圓 5 0 6 的表面的碰撞率與傳統方式所得者相比橫越晶圓 5 0 6 的整個表面較為均勻。另外，離子與晶圓 5 0 6 的表面碰撞的角度不只是在內部區域為法向，並且在晶圓 5 0 6 的周邊區域也是在法向。因此，橫越晶圓 5 0 6 的整個表面的蝕刻率與傳統所達成的相比較為均勻，並且在周邊區域處的蝕刻特徵不會有「傾斜」的問題。

圖 6 顯示根據本發明的第三方面的另一實施例的電漿處理設備 6 0 0。電漿處理設備 6 0 0 包含具有靜電夾頭（ESC）6 0 4 的晶圓處理室 6 0 2（只顯示截面的一側）。夾頭 6 0 4 作用成為電極，並且在製造期間支撐晶圓 6 0 6（亦即基板）。內部 RF 耦合邊緣環 6 0 8 成為夾頭 6 0 4 的邊緣的邊界，並且提供延伸超過晶圓 6 0 6 的邊緣的 RF 耦合區域。外部邊緣環 6 1 0 成為內部 RF 耦合邊緣環 6 0 8 的邊緣的邊界。RF 耦合器 6 1 2 定位在內部 RF 耦合邊緣環 6 0 8 的下方，並且成為夾頭 6 0 4 的邊緣的邊界。介電填料 6 1 4 位在內部 RF 耦合邊緣環 6 0 8 的下方，並且成為 RF 耦合器 6 1 2 的邊界。介電填料 6 1 4 的底部表面相鄰於夾頭 6 0 4 的上方邊緣。

有利地，介電填料 6 1 4 對於集中 RF 耦合的 RF 電能的量提供更大的彈性。介電填料 6 1 4 可將相關於外部邊緣環 6 1 0 的任何耦合減至最小。舉例而言，介電填料

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (22)

6 1 4 可由適當的絕緣體材料製成，例如陶瓷，石英，聚四氟乙烯，及聚合物。絕緣量也可藉著選擇所選擇的用於介電填料 6 1 4 的材料的厚度來控制。

介電填料 6 1 6 位在外部邊緣環 6 1 0 的下方。介電填料 6 1 6 成為夾頭 6 0 4 的外部邊緣的邊界。有利地，介電填料 6 1 6 被定位來將 R F 供電夾頭 6 0 4 與外部接地環 6 1 8 的接地區域隔離。典型上，外部接地環 6 1 8 被定位在晶圓處理室 6 0 2 的壁的附近。

如相關於圖 4 及 5 所討論的，藉著提供延伸超過晶圓 6 0 6 的邊緣的延伸的 R F 耦合區域，可對在晶圓 6 0 6 上方的外覆層實施校正作用。因此，橫越晶圓 6 0 6 的整個表面的蝕刻率與傳統上所達成者相比較為均勻，並且在周邊區域處的蝕刻特徵不會有「傾斜」的問題。另外，藉著重疊可能存在系統中的間隙，介電填料 6 1 4 及 6 1 6 可對夾頭 6 0 4 提供更好的保護。

以上所討論的各種不同的邊緣環可用相當便宜的材料製成，並且易於製造及／或更換。此材料可選擇自與特別的蝕刻處理相容的多種不同的材料。

本發明具有無數有利處。本發明的一有利處在於顯著地增進橫越基板表面的蝕刻率均勻性。本發明的另一有利處為在沒有污染處理室的危險下達成蝕刻率均勻性的增進。另一有利處則為可消除蝕刻特徵的傾斜。

雖然只是詳細敘述了本發明的一些實施例，但是應瞭解在不離開本發明的精神或範圍下，本發明可以用許多其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

他的特定形式來實施。因此，以上的例子應被視為舉例說明而非限制性，並且本發明不受限於此處所給的細節，而可在附隨的申請專利範圍的範圍內修改。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱: 增進蝕刻率均勻性的技術)

本發明揭示在電漿處理系統中離子輔助蝕刻處理的方法及設備。根據本發明的各種不同的方面，揭示提高邊緣環，有槽邊緣環，以及RF耦合邊緣環。本發明的操作可增進橫越基板(晶圓)的蝕刻率均勻性。由本發明所提供的蝕刻率均勻性的增進不只是增進製造產率，並且也增進成本效率，且不會有散粒及／或重金屬污染的危險。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱:)

TECHNIQUES FOR IMPROVING ETCH RATE UNIFORMITY

Improved methods and apparatus for ion-assisted etch processing in a plasma processing system are disclosed. In accordance with various aspects of the invention, an elevated edge ring, a grooved edge ring, and a RF coupled edge ring are disclosed. The invention operates to improve etch rate uniformity across a substrate (wafer). Etch rate uniformity improvement provided by the invention not only improves fabrication yields but also is cost efficient and does not risk particulate and/or heavy metal contamination.

訂

線

六、申請專利範圍

1. 一種電漿處理室，用來蝕刻一基板，該基板具有一頂部表面，一底部表面，及一邊緣，該電漿處理室包含：

一射頻（R F）供電夾頭，該 R F 供電夾頭支撐該基板的該底部表面的至少一部份；及

一內部 R F 耦合邊緣環，放置在該 R F 供電夾頭的一部份的上方，且相鄰於該基板的邊緣，

其中由該 R F 供電夾頭所提供的 R F 能量的一部份耦合於該內部 R F 耦合邊緣環。

2. 如申請專利範圍第 1 項所述的電漿處理室，其中該內部 R F 耦合邊緣環環繞該基板。

3. 如申請專利範圍第 1 項所述的電漿處理室，其中該基板為晶圓。

4. 如申請專利範圍第 1 項所述的電漿處理室，其中該內部 R F 耦合邊緣環基本上包含一半導體材料。

5. 如申請專利範圍第 1 項所述的電漿處理室，其中該內部 R F 耦合邊緣環基本上包含一碳化矽。

6. 如申請專利範圍第 1 項所述的電漿處理室，其中該電漿處理室另外包含：

一外部邊緣環，其環繞該內部 R F 耦合邊緣環。

7. 如申請專利範圍第 6 項所述的電漿處理室，其中該外部邊緣環進一步環繞該 R F 供電夾頭的一部份。

8. 如申請專利範圍第 1 項所述的電漿處理室，其中該電漿處理室另外包含：

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

一 R F 耦合器，設置在該內部 R F 耦合邊緣環與所述的該 R F 供電夾頭的一部份之間，

其中由該 R F 供電夾頭所提供的所述的 R F 的能量的部份經由該 R F 耦合器而耦合於該內部 R F 耦合邊緣環。

9 . 如申請專利範圍第 8 項所述的電漿處理室，其中該內部 R F 耦合邊緣環及該 R F 耦合器從該基板的該邊緣延伸一預定距離。

1 0 . 如申請專利範圍第 8 項所述的電漿處理室，其中該內部 R F 耦合邊緣環環繞該基板。

1 1 . 如申請專利範圍第 8 項所述的電漿處理室，其中該基板為晶圓。

1 2 . 如申請專利範圍第 8 項所述的電漿處理室，其中該內部 R F 耦合邊緣環基本上包含一半導體材料。

1 3 . 如申請專利範圍第 8 項所述的電漿處理室，其中該電漿處理室另外包含：

一外部邊緣環，其環繞該內部 R F 耦合邊緣環。

1 4 . 如申請專利範圍第 1 3 項所述的電漿處理室，其中該外部邊緣環進一步環繞該 R F 供電夾頭的一部份。

1 5 . 如申請專利範圍第 8 項所述的電漿處理室，其中該電漿處理室另外包含：

一介電填料，其環繞該 R F 供電夾頭的一部份。

1 6 . 如申請專利範圍第 1 5 項所述的電漿處理室，其中該介電填料基本上包含陶瓷，石英，聚合物，及聚四

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

氟乙烯的至少之一。

1 7 . 如申請專利範圍第 1 5 項所述的電漿處理室，其中該電漿處理室另外包含：

一接地環，其環繞該介電填料。

1 8 . 如申請專利範圍第 8 項所述的電漿處理室，其中該 R F 耦合器為具有介電塗覆層的金屬。

1 9 . 如申請專利範圍第 1 8 項所述的電漿處理室，其中從該 R F 供電夾頭經由該 R F 耦合器至該內部 R F 耦合邊緣環的 R F 能量的量與該介電塗覆層的厚度直接成比例。

2 0 . 一種電漿處理室，用來蝕刻一基板，該基板具有一頂部表面，一底部表面，及一邊緣，該電漿處理室包含：

一射頻（R F）供電夾頭，該 R F 供電夾頭支撐該基板的該底部表面的至少一部份；及

一提高邊緣環，具有一內表面及一上表面，該內表面被放置在該 R F 供電夾頭的一部份的上方且相鄰於該基板的邊緣，該上表面具有離開該基板的該頂部表面的一預定提高距離。

2 1 . 如申請專利範圍第 2 0 項所述的電漿處理室，其中該提高邊緣環環繞該基板。

2 2 . 如申請專利範圍第 2 0 項所述的電漿處理室，其中該基板為晶圓。

2 3 . 如申請專利範圍第 2 0 項所述的電漿處理室，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

其中該提高邊緣環基本上包含一介電材料。

24. 如申請專利範圍第20項所述的電漿處理室，其中該預定提高距離是在1與10毫米之間。

25. 一種電漿處理室，用來蝕刻一基板，該基板具有一頂部表面，一底部表面，及一邊緣，該電漿處理室包含：

一射頻(RF)供電夾頭，該RF供電夾頭支撐該基板的該底部表面的至少一部份；及

一有槽邊緣環，具有放置在該RF供電夾頭的一部份上且相鄰於該基板的邊緣的一內表面，

其中該有槽邊緣環在該基板的該邊緣的附近提供一有槽區域。

26. 如申請專利範圍第25項所述的電漿處理室，其中該有槽邊緣環的該有槽區域環繞該基板。

27. 如申請專利範圍第25項所述的電漿處理室，其中該基板為晶圓。

28. 如申請專利範圍第25項所述的電漿處理室，其中該有槽邊緣環基本上包含一介電材料。

29. 如申請專利範圍第25項所述的電漿處理室，其中該有槽區域的一底部表面在該基板的該底部表面下方一預定距離。

30. 如申請專利範圍第25項所述的電漿處理室，其中該有槽區域是由一第一傾斜表面及由該基板的該底部表面部份覆蓋的一第二部份被覆蓋傾斜表面所界定，該第

六、申請專利範圍

一傾斜表面將上表面與該部份被覆蓋傾斜表面連接。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

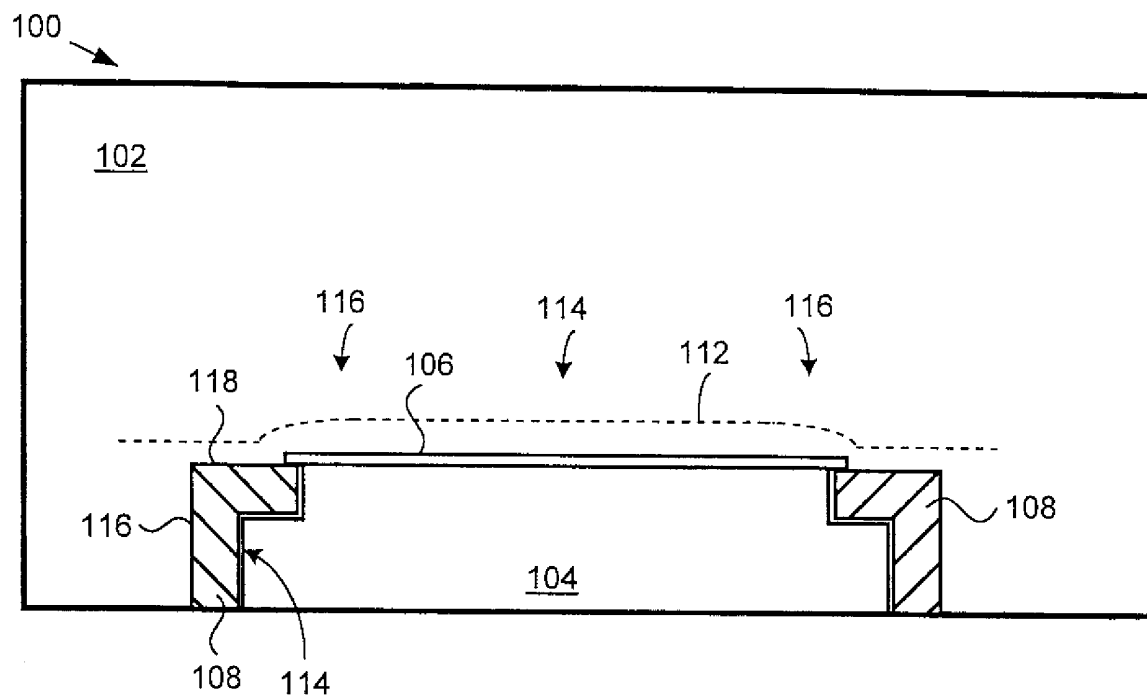


圖 1A
(習知技術)

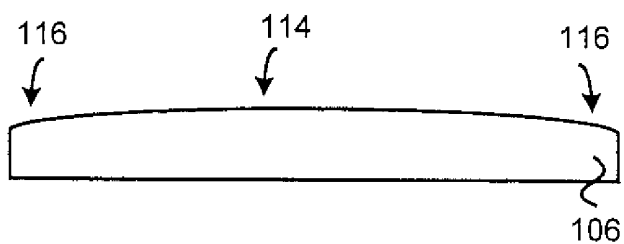


圖 1B
(習知技術)

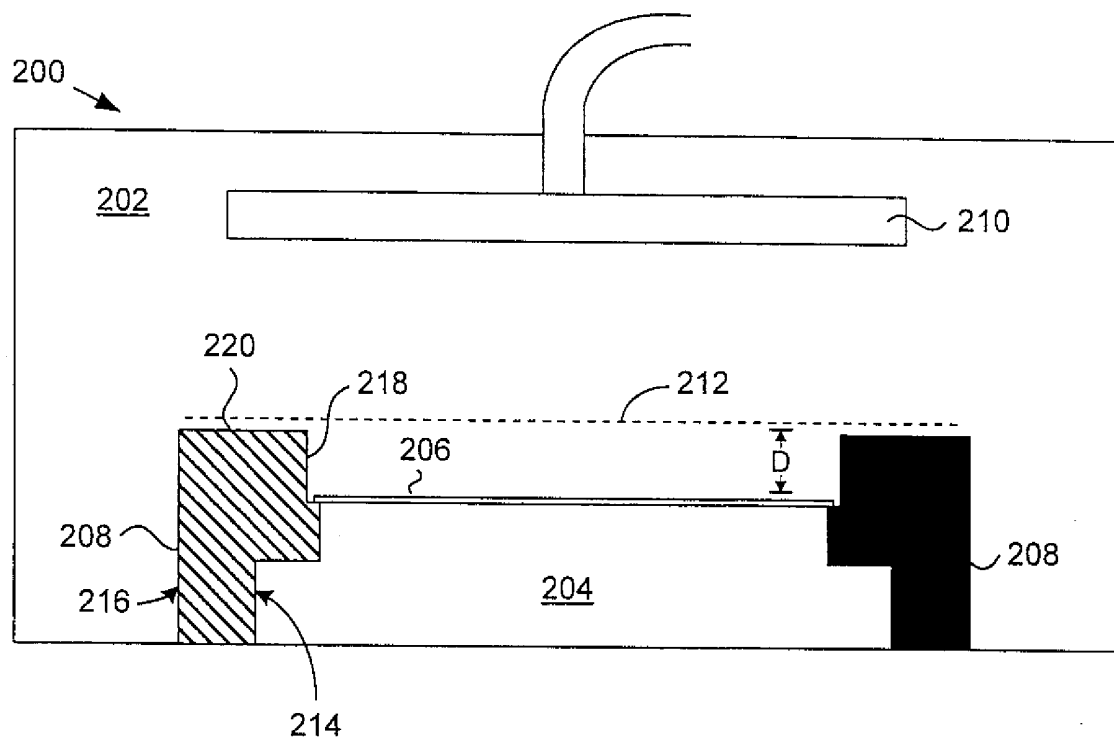


圖 2

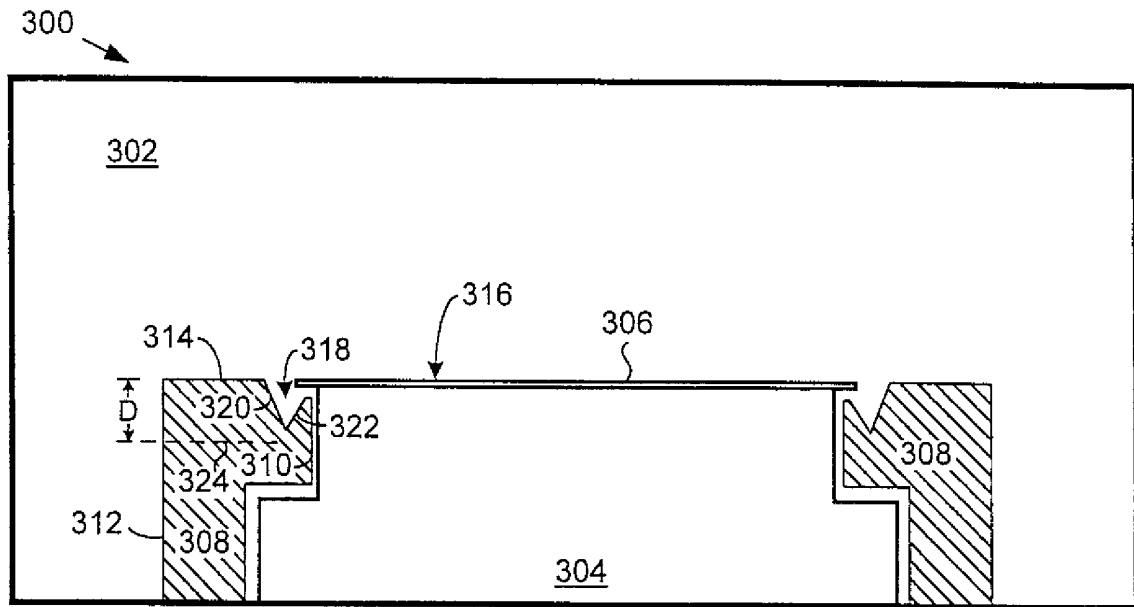


圖 3

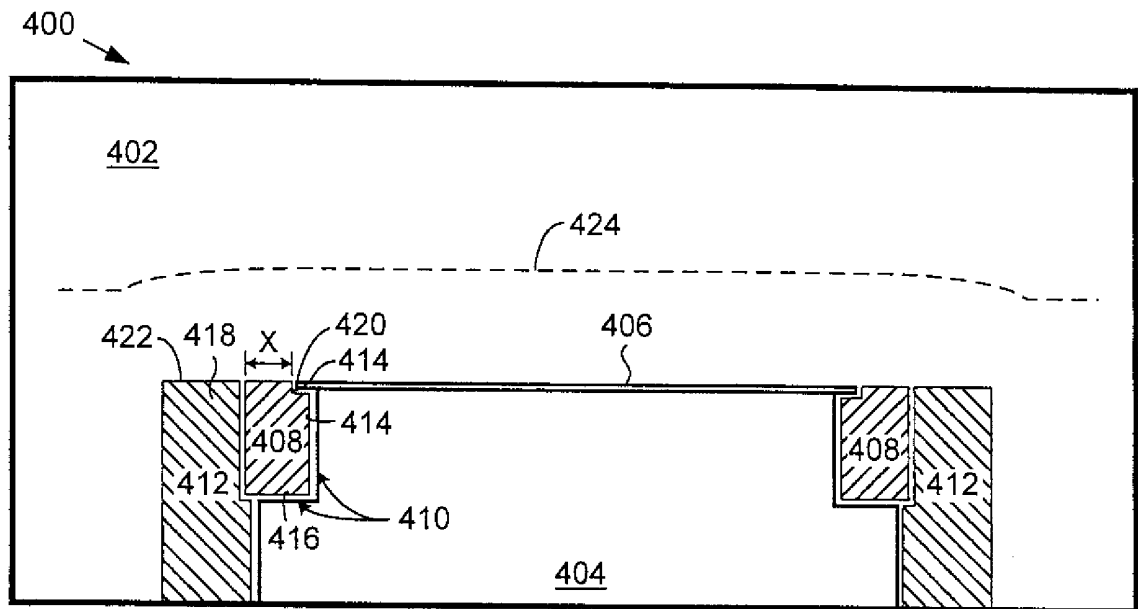


圖 4

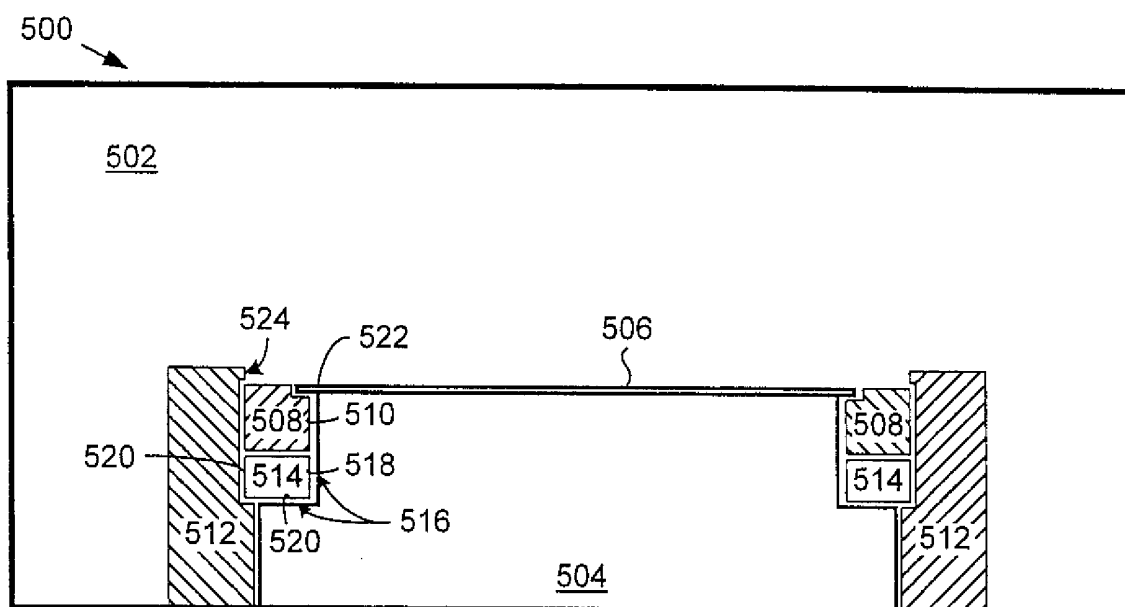


圖 5

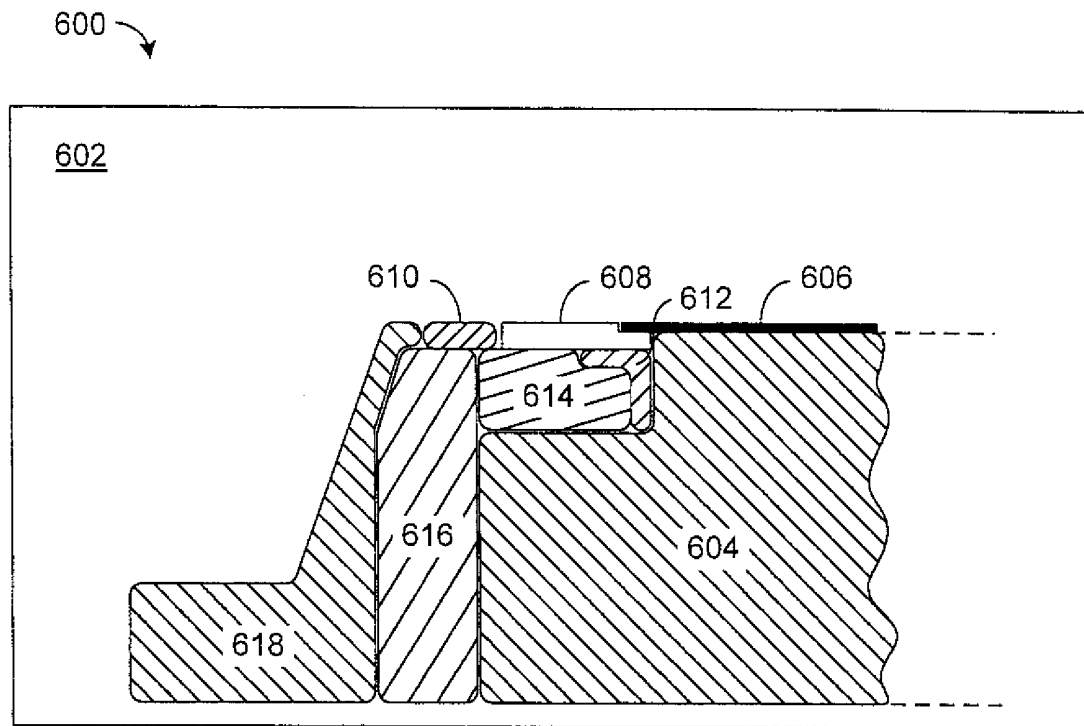


圖 6