

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5527941号
(P5527941)

(45) 発行日 平成26年6月25日 (2014. 6. 25)

(24) 登録日 平成26年4月25日 (2014. 4. 25)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 3 Z

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 1 2 B

H O 1 L 21/265 (2006. 01)

H O 1 L 29/78 6 2 6 C

H O 1 L 27/12 (2006. 01)

H O 1 L 21/265 Q

H O 1 L 21/02 (2006. 01)

H O 1 L 27/12 B

請求項の数 3 (全 31 頁) 最終頁に続く

(21) 出願番号 特願2008-111151 (P2008-111151)

(22) 出願日 平成20年4月22日 (2008. 4. 22)

(65) 公開番号 特開2009-4745 (P2009-4745A)

(43) 公開日 平成21年1月8日 (2009. 1. 8)

審査請求日 平成23年2月15日 (2011. 2. 15)

(31) 優先権主張番号 特願2007-133382 (P2007-133382)

(32) 優先日 平成19年5月18日 (2007. 5. 18)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷 3 9 8 番地

(72) 発明者 棚田 好文

神奈川県厚木市長谷 3 9 8 番地 株式会社

半導体エネルギー研究所内

審査官 小田 浩

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 の回路群及び第 2 の回路群を有し、

前記第 1 の回路群は、

第 1 の単結晶半導体層と、

前記第 1 の単結晶半導体層の側面に接する領域を有する、酸化物を有する第 1 の層と

、
前記第 1 の単結晶半導体層の上方、及び前記酸化物を有する第 1 の層の上方の、第 1 のゲート絶縁層と、

前記第 1 の単結晶半導体層と重なる領域を有する、第 1 のゲート電極とを有し、

前記第 2 の回路群は、

第 2 の単結晶半導体層と、

前記第 2 の単結晶半導体層の側面に接する領域を有する、酸化物を有する第 2 の層と

、
前記第 2 の単結晶半導体層の上方、及び前記酸化物を有する第 2 の層の上方の、第 2 のゲート絶縁層と、

前記第 2 の単結晶半導体層と重なる領域を有する、第 2 のゲート電極とを有し、

前記酸化物を有する第 1 の層は、フッ素又は塩素を有する領域を有し、

前記酸化物を有する第 2 の層は、フッ素又は塩素を有する領域を有し

前記第 1 の単結晶半導体層は、前記第 2 の単結晶半導体層よりも薄いことを特徴とする

10

20

半導体装置。

【請求項 2】

第 1 の回路群、第 2 の回路群、及び第 3 の回路群を有し、

前記第 1 の回路群は、

第 1 の単結晶半導体層と、

前記第 1 の単結晶半導体層の側面に接する領域を有する、酸化物を有する第 1 の層と

、

前記第 1 の単結晶半導体層の上方、及び前記酸化物を有する第 1 の層の上方の、第 1 のゲート絶縁層と、

前記第 1 の単結晶半導体層と重なる領域を有する、第 1 のゲート電極とを有し、

10

前記第 2 の回路群は、

第 2 の単結晶半導体層と、

前記第 2 の単結晶半導体層の側面に接する領域を有する、酸化物を有する第 2 の層と

、

前記第 2 の単結晶半導体層の上方、及び前記酸化物を有する第 2 の層の上方の、第 2 のゲート絶縁層と、

前記第 2 の単結晶半導体層と重なる領域を有する、第 2 のゲート電極とを有し、

前記第 3 の回路群は、

非晶質領域又は多結晶領域を有する第 3 の半導体層と、

前記第 3 の半導体層の側面に接する領域を有する、酸化物を有する第 3 の層と、

20

前記第 3 の半導体層の上方、及び前記酸化物を有する第 3 の層の上方の、第 3 のゲート絶縁層と、

前記第 3 の半導体層と重なる領域を有する、第 3 のゲート電極とを有し、

前記酸化物を有する第 1 の層は、フッ素又は塩素を有する領域を有し、

前記酸化物を有する第 2 の層は、フッ素又は塩素を有する領域を有し、

前記第 1 の単結晶半導体層は、前記第 2 の単結晶半導体層よりも薄いことを特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記第 1 のゲート絶縁層は、前記第 2 のゲート絶縁層よりも薄いことを特徴とする半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁表面を有する基板上にトランジスタを有する半導体装置およびその作製方法に関する。

【背景技術】

【0002】

単結晶半導体のインゴットを薄くスライスして作製されるシリコンウエハに代わり、絶縁表面に薄い単結晶半導体層を設けたシリコン・オン・インシュレータ（以下、「SOI」ともいう）と呼ばれる半導体基板を使った集積回路が開発されている。SOI 基板を使った集積回路は、トランジスタのドレインと基板間における寄生容量を低減し、半導体集積回路の性能を向上させるものとして注目を集めている。

40

【0003】

SOI 基板を製造する方法としては、水素イオン注入剥離法が知られている（例えば、特許文献 1 参照。）。水素イオン注入剥離法は、シリコンウエハに水素イオンを注入することによって表面から所定の深さに微小気泡層を形成し、該微小気泡層を分離面とすることで、別のシリコンウエハに薄いシリコン層（半導体層）を貼付、接合する。さらに半導体層を剥離する熱処理を行うことに加え、酸化性雰囲気下での熱処理により半導体層に酸化

50

膜を形成した後に該酸化膜を除去し、次に１０００ から１３００ の還元性雰囲気下で熱処理を行って接合強度を高める必要があるとされている。

【０００４】

一方、高耐熱性ガラスなどの絶縁基板に単結晶シリコン層を設けた半導体装置が開示されている（例えば、特許文献２参照。）。この半導体装置は、歪み点が７５０ 以上の結晶化ガラスの全面を絶縁性シリコン膜で保護し、水素イオン注入剥離法により得られる単結晶シリコン層を当該絶縁性シリコン膜上に固着する構成を有している。

【０００５】

上記の方法を用いて得られた半導体層を活性層としてトランジスタを作製する場合、シリコンウエハ上にＭＯＳトランジスタを作製する場合に比べ、ラッチアップ現象が生じない等のメリットを有しており、また絶縁基板上に形成された多結晶シリコン層を活性層として薄膜トランジスタ（ＴＦＴ）を作製する場合に比べ、でき上がった素子の電気的特性ははるかに良好なものが得られるといったメリットも有している。

【特許文献１】特開２０００－１２４０９２号公報

【特許文献２】特開平１１－１６３３６３号公報

【発明の開示】

【発明が解決しようとする課題】

【０００６】

ところで、シリコンウエハや、絶縁基板上に設けられた薄膜半導体層を用いてトランジスタを作製し、集積回路を構成するにあたっては、その集積回路が大規模化、多機能化するに伴って、それぞれのトランジスタが構成する回路の用途により、トランジスタに求められる特性が異なってくる場合がある。例えば、一方では高速動作や低電圧動作が求められる回路が存在し、他方では高電圧印加時の十分な信頼性が求められる回路が存在する。このような回路群を同一基板上に一体形成するには、それぞれの用途に最適な特性を有するトランジスタを作製する必要があるが、前述したような特性は一般的にはトレードオフの関係になりやすく、両者を同時に満足するのは困難である。

【０００７】

また、ＳＯＩ基板を用いて半導体装置を作製する場合、ベースとなる基板はシリコンウエハを用いているためにコストが高く、さらに、半導体装置の大面积化には限界があった。

【０００８】

本発明は以上のような課題を鑑み、半導体装置において、回路群の中で高速動作、低電圧動作を求められる回路と、高電圧印加時の十分な信頼性が求められる回路とを同一基板上に一体形成するための構成および作製方法を提供するものである。

【課題を解決するための手段】

【０００９】

前述の課題を解決するため、本発明においては以下のような手段を講じた。

【００１０】

半導体装置において、同一基板上に単結晶半導体基板より分離、接合された膜厚の異なる単結晶半導体層を含む複数種のトランジスタを有することを特徴とする。高速動作を求められるトランジスタの単結晶半導体層を、電圧に対して高い耐圧性を求められるトランジスタの単結晶半導体層より薄膜化し、単結晶半導体層の膜厚を薄くする。また、ゲート絶縁層においても、高速動作を求められるトランジスタは、電圧に対して高い耐圧性を求められるトランジスタより膜厚が薄い方が好ましい。

【００１１】

例えば、異なる複数のシリコンウエハを用意し、該シリコンウエハの各々に水素イオン照射を行って分離面を形成する際、狙い深さを制御することによって、膜厚の異なる複数の半導体層を得、これらを別に用意した同一の支持基板上に貼付する。これら異なる膜厚を有する半導体層の各々は、後に形成される回路の用途、動作条件に応じて選択され、トランジスタの活性層や、抵抗素子、あるいは他の絶縁膜、導電膜と組み合わせて容量素子を

10

20

30

40

50

形成する等に利用される。

【 0 0 1 2 】

半導体層の膜厚の薄いものは、例えば表面自己酸化によって膜厚の薄いゲート絶縁膜（ゲート絶縁膜）が形成され、主に高速動作、低電圧動作が要求される回路を構成するトランジスタの形成や、高抵抗素子の形成、あるいは膜厚の薄いゲート絶縁膜を絶縁層として用い、さらに他の導電膜と組み合わせて効率的な容量素子の形成等に好適である。

【 0 0 1 3 】

一方、半導体層の膜厚の厚いものは、例えば表面自己酸化によって膜厚の厚いゲート絶縁膜を形成する余地があり、あるいは活性層厚を大きく取ることもできるので、高印加電圧下での動作信頼性が求められる回路を構成するトランジスタの形成等に好適である。

10

【 0 0 1 4 】

従って、本発明の半導体装置は、低消費電力かつ高信頼性が付与された半導体装置とすることができる。

【 0 0 1 5 】

本発明の半導体装置の一形態は、絶縁表面を有する支持基板上に設けられた第1の回路群および第2の回路群を有し、第1の回路群は、第1の単結晶半導体層と、第1のゲート絶縁層を含む第1のトランジスタを有し、第2の回路群は、第2の単結晶半導体層と、第2のゲート絶縁層を含む第2のトランジスタを有し、第1の単結晶半導体層および第2の単結晶半導体層は、それぞれ絶縁表面を有する支持基板との間に絶縁層を介して設けられ、第1の単結晶半導体層の膜厚は、第2の単結晶半導体層の膜厚よりも薄い。

20

【 0 0 1 6 】

上記構成において、第1の回路群は、表示装置のデータドライバ、ロジック回路、あるいは読み出し専用のメモリ回路を含み、第2の回路群は、表示装置のスキンドライバ、表示装置の画素部、電源回路、あるいは電氣的に書き込み／書き換えを行うメモリ回路を含むことができる。

【 0 0 1 7 】

本発明の半導体装置の一形態は、絶縁表面を有する支持基板上に設けられた第1の回路群、第2の回路群、および第3の回路群を有し、第1の回路群は、第1の単結晶半導体層と、第1のゲート絶縁層を含む第1のトランジスタを有し、第2の回路群は、第2の単結晶半導体層と、第2のゲート絶縁層を含む第2のトランジスタを有し、第3の回路群は、非晶質半導体層もしくは多結晶半導体層と、第3のゲート絶縁層を含む第3のトランジスタを有し、第1の単結晶半導体層および第2の単結晶半導体層は、それぞれ絶縁表面を有する支持基板との間に絶縁層を介して設けられ、第1の単結晶半導体層の膜厚は、第2の単結晶半導体層の膜厚よりも薄い。

30

【 0 0 1 8 】

上記構成において、第1の回路群は、表示装置のデータドライバ、ロジック回路、あるいは読み出し専用のメモリ回路を含み、第2の回路群は、表示装置のスキンドライバ、電源回路、あるいは電氣的に書き込み／書き換えを行うメモリ回路を含み、第3の回路群は表示装置の画素部を含むことができる。

【 0 0 1 9 】

上記構成において、第1のゲート絶縁層の膜厚は、第2のゲート絶縁層の膜厚よりも薄くすることが好ましい。

40

【 0 0 2 0 】

支持基板と第1の単結晶半導体層との間に設けられる絶縁層の膜厚と、支持基板と第2の単結晶半導体層との間に設けられる絶縁層の膜厚とは異なっても良く、第1の単結晶半導体層との間に設けられる絶縁層の膜厚が、支持基板と第2の単結晶半導体層との間に設けられる絶縁層の膜厚より厚くてもよい。また、支持基板と、第1の単結晶半導体層及び第2の単結晶半導体層との間にさらに下地膜となる絶縁層を設け、接合面を形成する絶縁層との積層としてもよく、第1の単結晶半導体層との間に設けられる絶縁層の積層の膜厚が、支持基板と第2の単結晶半導体層との間に設けられる絶縁層の積層の膜厚より厚く

50

てもよい。

【0021】

なお、本発明において、半導体装置とは、半導体特性を利用することで機能しうる装置を指す。本発明を用いて半導体素子（トランジスタ、メモリ素子やダイオードなど）を含む回路を有する装置や、プロセッサ回路を有するチップなどの半導体装置を作製することができる。

【0022】

本発明は表示機能を有する装置である半導体装置（表示装置ともいう）にも用いることができ、本発明を用いる半導体装置には、エレクトロルミネセンス（以下「EL」ともいう。）と呼ばれる発光を発現する有機物、無機物、若しくは有機物と無機物の混合物を含む層を、電極間に介在させた発光素子とTFTとが接続された半導体装置（発光表示装置）や、液晶材料を有する液晶素子を表示素子として用いる半導体装置（液晶表示装置）などがある。本発明において、表示機能を有する半導体装置とは、表示素子（液晶素子や発光素子など）を有する装置のことを言う。なお、基板上に液晶素子やEL素子などの表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が形成された表示パネル本体のこともよい。さらに、フレキシブルプリントサーキット（FPC）やプリント配線基盤（PWB）が取り付けられたもの（ICや抵抗素子や容量素子やインダクタやトランジスタなど）も含んでもよい。さらに、偏光板や位相差板などの光学シートを含んでも良い。さらに、バックライト（導光板やプリズムシートや拡散シートや反射シートや光源（LEDや冷陰極管など）を含んでも良い）を含んでも良い。

【0023】

なお、表示素子や半導体装置は、様々な形態及び様々な素子を用いることができる。例えば、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、液晶素子、電子インク、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用によりコントラストが変化する表示媒体を適用することができる。なお、EL素子を用いた半導体装置としてはELディスプレイ、電子放出素子を用いた半導体装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）など、液晶素子を用いた半導体装置としては液晶ディスプレイ、透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、電子インクを用いた半導体装置としては電子ペーパーがある。

【発明の効果】

【0024】

本発明によって作製された半導体装置は、同一基板上に高速動作や低電圧動作が求められる第1の回路群と、高印加電圧下での信頼性が求められる第2の回路群とを有しており、第1の回路群を構成するトランジスタの活性層の膜厚は、第2の回路群を構成するトランジスタの活性層の膜厚よりも薄くなっている。あるいは、第1の回路群を構成するトランジスタのゲート絶縁膜の膜厚は、第2の回路群を構成するトランジスタのゲート絶縁膜の膜厚よりも薄くなっている。

【0025】

第1の回路群を構成するトランジスタは、活性層の薄膜化、あるいはゲート絶縁膜の薄膜化によって、素子の微細化を促進することができる。このため、回路の占有面積を縮小、配線長の短縮によって寄生抵抗、寄生容量等の負荷を低減でき、高速動作、低電圧動作が可能となる。活性層の薄膜化は、チャネル形成領域を完全空乏層化するように作用する。したがって、第1の回路群の低消費電力化が実現する。

【0026】

一方、第2の回路群を構成するトランジスタは、活性層の厚膜化、あるいはゲート絶縁膜の厚膜化によって、高印加電圧に対する耐圧が高く、高信頼性を確保することができる

。

【 0 0 2 7 】

前述の方法により、同一基板上に高速動作、低電圧動作する領域と、高印加電圧下で動作する領域を集積することが可能となり、従来は外付け I C 等で提供されていた機能部分の一体形成化に大きく貢献する。

【 0 0 2 8 】

さらに、支持基板にガラス、プラスチック等を代表とした、透光性のある材質でなる基板を用いることで、安価でかつ大面積の表示装置への適用が可能となる。

【 0 0 2 9 】

以上のように、本発明の半導体装置は、低消費電力かつ高信頼性が付与された半導体装置とすることができる。

10

【発明を実施するための最良の形態】

【 0 0 3 0 】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

20

【 0 0 3 1 】

(実施の形態 1)

本発明の半導体装置の製造方法について、図 1 ~ 図 6、図 9、及び図 1 4 を参照して説明する。

【 0 0 3 2 】

絶縁表面を有する基板上に、単結晶半導体基板より単結晶半導体層を設ける方法を図 9 (A) 乃至 (D) 及び図 1 0 (A) 乃至 (C) を用いて説明する。

【 0 0 3 3 】

図 9 (A) に示す半導体基板 1 0 8 は清浄化されており、その表面から電界で加速されたイオンを所定の深さに照射し、分離層 1 1 0 を形成する。イオンの照射は支持基板に転置する単結晶半導体層の厚さを考慮して行われる。当該単結晶半導体層の厚さは 1 μ m 以上 3 μ m 以下が好ましい。イオンを照射する際の加速電圧はこのような厚さを考慮して、半導体基板 1 0 8 に照射されるようにする。

30

【 0 0 3 4 】

半導体基板 1 0 8 として、代表的には p 型若しくは n 型の単結晶シリコン基板 (シリコンウエハー) が用いられる。また、他の単結晶半導体基板としては、シリコン、ゲルマニウム、その他ガリウムヒ素、インジウムリンなどの化合物半導体の基板も適用することができる。本実施の形態は、単結晶半導体基板の所定の深さに水素又はフッ素をイオン照射し、その後熱処理を行って表層の単結晶シリコン層を剥離するイオン照射剥離法で形成するが、ポーラスシリコン上に単結晶シリコンをエピタキシャル成長させた後、ポーラスシリコン層をウォータージェットで分離する方法を適用しても良い。

40

【 0 0 3 5 】

分離層は、イオンをイオンドーピング法やイオン注入法によって照射すればよい。分離層は水素、ヘリウム若しくはフッ素に代表されるハロゲンのイオンを照射することで形成される。ハロゲン元素としてフッ素イオンを照射する場合にはソースガスとして B F ₃ を用いれば良い。なお、イオン注入法とはイオン化したガスを質量分離して半導体に照射する方式をいう。

【 0 0 3 6 】

単結晶シリコン基板にフッ素イオンのようなハロゲンイオンを照射した場合、添加されたフッ素が、シリコン結晶格子内のシリコン原子をロックアウトする (追い出す) ことによって空白部分を効果的に作り出し、分離層に微小な空洞を作る。この場合、比較的低温の

50

熱処理によって分離層に形成された微小な空洞の体積変化が起こり、分離層に沿って分離することにより薄い単結晶半導体層を形成することができる。フッ素イオンを照射した後に、水素イオンを照射して空洞内に水素を含ませるようにしても良い。半導体基板から薄い半導体層を剥離するために形成する分離層は、分離層に形成された微小な空洞の体積変化を利用して分離するので、このようにフッ素イオンや水素イオンの作用を有効利用することが好ましい。

【0037】

また、一又は複数の同一の原子から成る質量数の異なるイオンを照射してもよい。例えば、水素イオンを照射する場合には、 H^+ 、 H_2^+ 、 H_3^+ イオンを含ませると共に、 H_3^+ イオンの割合を高めておくことが好ましい。水素イオンを照射する場合には、 H^+ 、 H_2^+ 、 H_3^+ イオンを含ませると共に、 H_3^+ イオンの割合を高めておくことと照射効率を高めることができ、照射時間を短縮することができる。このような構成とすることで、分離を容易に行うことができる。

10

【0038】

分離層の形成に当たってはイオンを高ドーズ条件で照射する必要があり、半導体基板108の表面が粗くなってしまう場合がある。そのためイオンが照射される表面に窒化シリコン膜若しくは窒化酸化シリコン膜などによりイオン照射に対する保護膜を50nm乃至200nmの厚さで設けておいても良い。

【0039】

また、半導体基板108を脱脂洗浄し、表面の酸化膜を除去して熱酸化を行ってもよい。熱酸化としては通常のドライ酸化でも良いが、酸化雰囲気中にハロゲンを添加した酸化を行うことが好ましい。例えば、酸素に対しHClを0.5～10体積%（好ましくは3体積%）の割合で含む雰囲気中で、700以上の温度で熱処理を行う。好適には950～1100の温度で熱酸化を行うと良い。処理時間は0.1～6時間、好ましくは0.5～1時間とすれば良い。形成される酸化膜の膜厚としては、10nm～1000nm（好ましくは50nm～200nm）、例えば100nmの厚さとする。

20

【0040】

ハロゲンを含むものとしてはHClの他に、HF、 NF_3 、HBr、 Cl_2 、 ClF_3 、 BCl_3 、 F_2 、 Br_2 、ジクロロエチレンなどから選ばれた一種又は複数種を適用することができる。

30

【0041】

このような温度範囲で熱処理を行うことで、ハロゲン元素によるゲッターリング効果を得ることができる。ゲッターリングとしては、特に金属不純物を除去する効果がある。すなわち、塩素の作用により、金属などの不純物が揮発性の塩化物となって気相中へ離脱して除去される。半導体基板108の表面を化学的機械研磨（CMP）処理をしたものに対しては有効である。また、水素は半導体基板108と形成される酸化膜の界面の欠陥を補償して界面の局在準位密度を低減する作用を奏し、半導体基板108と酸化膜との界面が不活性化されて電気的特性が安定化する。

【0042】

この熱処理により形成される酸化膜中にハロゲンを含ませることができる。ハロゲン元素は $1 \times 10^{17} / cm^3 \sim 5 \times 10^{20} / cm^3$ の濃度で含まれることにより金属などの不純物を捕獲して半導体基板108の汚染を防止する保護膜としての機能を発現させることができる。

40

【0043】

次に、図9（B）で示すように支持基板と接合を形成する面に接合面を有する絶縁層（接合層）104として酸化シリコン膜を形成する。酸化シリコン膜としては有機シランガスを用いて化学気相成長法により作製される酸化シリコン膜が好ましい。その他に、シランガスを用いて化学気相成長法により作製される酸化シリコン膜を適用することもできる。化学気相成長法による成膜では、単結晶半導体基板に形成した分離層110から脱ガスが起こらない温度として、例えば350以下の成膜温度が適用される。また、単結晶若し

50

くは多結晶半導体基板から単結晶半導体層を剥離する熱処理は、成膜温度よりも高い熱処理温度が適用される。

【0044】

絶縁層104は平滑面を有し親水性表面を形成する。この絶縁層104として酸化シリコン膜が適している。特に有機シランガスを用いて化学気相成長法により作製される酸化シリコン膜が好ましい。有機シランガスとしては、珪酸エチル(TEOS:化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、トリメチルシラン(TMS:(CH_3)₃SiH)、テトラメチルシラン(化学式 $\text{Si}(\text{CH}_3)_4$)、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)等のシリコン含有化合物を用いることができる。

10

【0045】

上記平滑面を有し親水性表面を形成する絶縁層104は5nm乃至500nmの厚さで設けられる。この厚さであれば、被成膜表面の表面荒れを平滑化すると共に、当該膜の成長表面の平滑性を確保することが可能である。また、接合する基板との歪みを緩和することができる。支持基板101にも同様の酸化シリコン膜を設けておいても良い。すなわち、支持基板101に単結晶半導体層102を接合するに際し、接合を形成する面の一方若しくは双方に、好ましくは有機シランを原材料として成膜した酸化シリコン膜でなる絶縁層104設けることで強固な接合を形成することができる。

【0046】

20

図9(C)は支持基板101と半導体基板108の絶縁層104が形成された面とを密接させ、この両者を接合させる態様を示す。接合を形成する面は、十分に清浄化しておく。そして、支持基板101と絶縁層104を対向させて、一箇所を外部から押しつけると、局所的に接合面同士の距離が縮まる事によるファン・デル・ワールス力の強まりや水素結合の寄与によって、お互いに引きつけ合う。更に、隣接した領域でも対向する支持基板101と絶縁層104間の距離が縮まるので、ファン・デル・ワールス力が強く作用する領域や水素結合が関与する領域が広がる事によって、接合(ボンディングともいう)が進行し接合面全域に接合が広がる。

【0047】

良好な接合を形成するために、表面を活性化しておいても良い。例えば、接合を形成する面に原子ビーム若しくはイオンビームを照射する。原子ビーム若しくはイオンビームを利用する場合には、アルゴン等の不活性ガス中性原子ビーム若しくは不活性ガスイオンビームを用いることができる。その他に、プラズマ照射若しくはラジカル処理を行う。このような表面処理により200乃至400の温度であっても異種材料間の接合を形成することが容易となる。

30

【0048】

半導体基板より単結晶半導体層をガラス基板へ剥離する工程と、ガラス基板と単結晶半導体層とを強固に接合する工程とを別々の加熱処理で行ってもよいし、一回の加熱処理で同時に行ってもよい。

【0049】

40

支持基板101と半導体基板108を絶縁層104を介して貼り合わせた後は、加熱処理又は加圧処理を行うことが好ましい。加熱処理又は加圧処理を行うことで接合強度を向上させることが可能となる。加圧処理においては、接合面に垂直な方向に圧力が加わるように行い、支持基板101及び半導体基板108の耐圧性を考慮して行う。

【0050】

図9(D)において、支持基板101と半導体基板108を貼り合わせた後、加熱処理を行い分離層110を分離面として半導体基板108を支持基板101から分離する。例えば、400乃至600の熱処理を行うことにより、分離層110に形成された微小な空洞の体積変化が起こり、分離層110に沿って分離することが可能となる。本実施の形態においては、加熱処理の温度は、あらかじめ支持基板101に行った加熱処理より低い

50

温度で行う。絶縁層 104 は支持基板 101 と接合しているので、支持基板 101 上には半導体基板 108 と同じ結晶性の単結晶半導体層 102 が残存することとなる。

【0051】

図 10 は支持基板側に接合面を有する絶縁層を設けて単結晶半導体層を形成する工程を示す。図 10 (A) は酸化シリコン膜 121 が形成された半導体基板 108 に電界で加速されたイオンを所定の深さに照射し、分離層 110 を形成する工程を示している。イオンの照射は図 9 (A) の場合と同様である。半導体基板 108 の表面に酸化シリコン膜 121 を形成しておくことでイオン照射によって表面がダメージを受け、平坦性が損なわれるのを防ぐことができる。また、酸化シリコン膜 121 によって、半導体基板 108 から形成される単結晶半導体層 102 に対する不純物の拡散防止効果を発現する。

10

【0052】

図 10 (B) は、ブロッキング層 109 及び絶縁層 104 が形成された支持基板 101 と半導体基板 108 の酸化シリコン膜 121 が形成された面を密着させて接合を形成する工程を示している。絶縁層 104 と酸化シリコン膜 121 を対向させて、一箇所を外部から押しつけると、局部的に接合面同士の距離が縮まる事によるファン・デル・ワールス力の強まりや水素結合の寄与によって、お互いに引きつけ合う。更に、隣接した領域でも対向する絶縁層 104 と酸化シリコン膜 121 間の距離が縮まるので、ファン・デル・ワールス力が強く作用する領域や水素結合が関与する領域が広がる事によって、接合（ボンディングともいう）が進行し接合面全域に接合が広がる。

【0053】

20

その後、図 10 (C) で示すように半導体基板 108 を剥離する。単結晶半導体層を剥離する熱処理は図 9 (D) の場合と同様にして行う。接合剥離工程における加熱処理の温度は、支持基板 101 にあらかじめ行われた加熱処理以下とする。このようにして図 10 (C) で示す半導体基板を得ることができる。

【0054】

支持基板 101 としては、絶縁表面を有する基板を用いることができ、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスの如き無アルカリガラスと呼ばれる電子工業用に使われる各種ガラス基板を適用することができる。また、石英ガラスでもよい。すなわち、一辺が 1 メートルを超える基板上に単結晶半導体層を形成することができる。このような大面積基板を使って液晶ディスプレイのような表示装置のみならず、半導体集積回路を製造することができる。

30

【0055】

以上の工程を、イオン照射深さを制御して、それぞれ所望の異なる深さに分離層 110 を形成した複数の半導体基板 108 について行い、図 3 (A) に示すとおり、同一の支持基板 101 上に、膜厚の異なる単結晶半導体層 150、160 を形成する。ここでは 2 種類の膜厚を有する単結晶半導体層のみ示しているが、3 種類以上の膜厚を有する単結晶半導体層を形成しても良い。単結晶半導体層 150、160 は支持基板 101 上の絶縁層 104 を介して支持基板 101 上に設けられている。なお、ブロッキング層 109 は図 3 においては省略しているが、支持基板 101 上にブロッキング層 109 を設けてもよい。

【0056】

40

続いて、支持基板 101 上に得られた単結晶半導体層 150、160 を用いてトランジスタを作製し、回路を構成する工程について説明する。

【0057】

前述の工程に従って支持基板 101 上に絶縁層 104 を介して膜厚の異なる単結晶半導体層 150、160 を得た後、フォトマスクを用いて所望の形状のレジストパターンを形成し、フォトリソグラフィ法を用いた加工処理により、図 3 (B) に示すとおり島状の半導体層 151、152、161、162 を得る。以降の図においては、酸化膜 103、ブロッキング層 109、絶縁層 104 は省略する。

【0058】

半導体層 151、152 の膜厚は、半導体層 161、162 の膜厚より薄く、例えば 5

50

nm以上30nm以下、より好ましくは10nm以上20nm以下とすれば良い。一方、半導体層161、162の膜厚は、例えば25nm以上100nm以下、より好ましくは50nm以上60nm以下とすれば良い。

【0059】

上記膜厚は、トランジスタの活性層として用いる場合に好適な半導体層の膜厚を想定している。よって、以後の工程においてゲート絶縁膜を半導体層151、152、161、162の表面自己酸化によって形成する場合には、上記半導体層の膜厚を、ゲート絶縁膜厚分だけ適宜変更しても良い。

【0060】

半導体層を薄膜化することで、トランジスタの短チャネル効果を抑制することが可能となる。また、トランジスタのしきい値電圧を小さくすることが可能であり、回路の低電圧駆動を実現することができる。

10

【0061】

また、半導体層151、152、161、162の端部には傾斜角（テーパ角）を設ける。その角度は45度乃至95度程度とすることが好ましい。このテーパ角が小さい場合、テーパ領域に半導体層151、152、161、162の各々の中央部と特性が異なる寄生トランジスタが端部に形成される影響を避けるため、テーパ角は垂直に近い方が好ましい。

【0062】

なお、本明細書において、半導体層の「端部」とは、島状に形成された半導体層の縁部分（エッジ部分）を示す。半導体層の「側面」とは、その縁部分の面を示す。

20

【0063】

エッチング加工は、プラズマエッチング（ドライエッチング）又はウェットエッチングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、 CF_4 、 NF_3 、 Cl_2 、 BCl_3 、などのフッ素系又は塩素系のガスを用い、HeやArなどの不活性ガスを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスクを形成する必要はない。

【0064】

本発明において、配線層若しくは電極層を形成する導電層や、所定のパターンを形成するためのマスクなどを、液滴吐出法のような選択的にパターンを形成できる方法により形成してもよい。液滴吐出（噴出）法（その方式によっては、インクジェット法とも呼ばれる。）は、特定の目的に調合された組成物の液滴を選択的に吐出（噴出）して所定のパターン（導電層や絶縁層など）を形成することができる。この際、被形成領域にぬれ性や密着性を制御する処理を行ってもよい。また、パターンが転写、または描写できる方法、例えば印刷法（スクリーン印刷やオフセット印刷などパターンが形成される方法）なども用いることができる。

30

【0065】

本実施の形態において、用いるマスクは、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いる。また、ベンゾシクロブテン、パリレン、フッ化アリーレンエーテル、ポリイミドなどの有機材料、シロキサン系ポリマー等の重合によってできた化合物材料等を用いることもできる。或いは、感光剤を含む市販のレジスト材料を用いてもよく、例えば、ポジ型レジスト、ネガ型レジストなどを用いてもよい。液滴吐出法を用いる場合、いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整する、界面活性剤等を加えるなどによって適宜調整する。

40

【0066】

また、半導体層151、152、161、162の側面と接する絶縁層170a乃至170hを形成しても良い。半導体層151、152、161、162の側面と接する絶縁層170a乃至170hを形成することで、後に半導体層151、152、161、16

50

2を覆うように形成される絶縁膜において、各半導体層端部における被覆性（カバレッジ）を良好にすることができる。これにより、半導体層151、152、161、162と他の導電膜との短絡、リーク電流の発生、静電破壊等を防止することができる。

【0067】

絶縁層170a乃至170hは、半導体層151、152、161、162を形成した後に、酸化シリコン膜または窒化シリコン膜を堆積し、異方性エッチングにより加工することで自己整合的に形成することができる。

【0068】

また、絶縁層170a乃至170hは、半導体層151、152、161、162の端部を酸化処理することによって選択的に絶縁化し形成することもできる。酸化処理は、酸素を含む雰囲気下でのプラズマ処理によって行うことができる。また、水溶液を用いて表面を酸化処理（ウェット酸化ともいう）してもよい。プラズマ処理の前に半導体層側端部にフッ素や塩素などのハロゲンを導入してから、プラズマ処理を行ってもよい。ハロゲン添加を行うと、酸化速度が速いため酸化が優先的に進み、半導体層側端部において膜厚の厚い絶縁層を形成することができる。

【0069】

続いて、図3（D）に示すとおり、ゲート絶縁膜171、172を形成し、半導体層151、152、161、162の表面および端部を十分に被覆する。好ましくは、半導体層151、152、161、162の側面と接する領域の膜厚を厚くすることで、半導体層151、152、161、162の端部への電界集中を緩和することができ、リーク電流の発生等を防止することができる。

【0070】

ゲート絶縁膜171、172はプラズマCVD法またはスパッタ法などを用いて絶縁膜を形成し、半導体層151、152が配置されている領域周辺を選択的にエッチングして薄膜化して膜厚の異なるゲート絶縁膜171、172を形成する。ゲート絶縁膜171の薄膜化は、半導体層151、152を活性層として後に形成されるトランジスタを高速に、かつ低電圧下で動作させる効果がある。またゲート絶縁膜172の膜厚が厚いと、半導体層161、162を活性層として後に形成されるトランジスタの高電圧に対する耐性が高くすることができ、信頼性を高めることができる。

【0071】

本実施の形態において、ゲート絶縁膜171の膜厚は1nm以上10nm以下、より好ましくは5nm程度とすれば良い。一方、ゲート絶縁膜172の膜厚は50nm以上150nm以下、より好ましくは60nm以上80nm以下とすれば良い。

【0072】

ゲート絶縁膜171、172は酸化珪素、若しくは酸化珪素と窒化珪素の積層構造で形成すればよい。プラズマCVD法や減圧CVD法により絶縁膜を堆積することで形成しても良いし、プラズマ処理による固相酸化若しくは固相窒化で形成すると良い。また、半導体層151、152、161、162の表面をプラズマ処理により酸化又は窒化することによってゲート絶縁膜を形成しても良い。このように半導体層の表面自己酸化によって得られる絶縁膜は、緻密で絶縁耐圧が高く信頼性に優れている。

【0073】

表面自己酸化によって半導体層表面に絶縁膜を形成する場合、図6（A）に示すように、まず半導体層161、162の配置されている領域を選択的にマスクした状態で半導体層151、152の表面を自己酸化してゲート絶縁膜171a、171bを得た後、半導体層151、152の配置されている領域を選択的にマスクした状態で半導体層161、162の表面を自己酸化してゲート絶縁膜172a、172bを得ることにより、膜厚の薄いゲート絶縁膜171a、171bと、膜厚の厚いゲート絶縁膜172a、172bの作り分けを行っても良い。

【0074】

または、図6（B）に示すように、半導体層151、152、161、162の表面を

10

20

30

40

50

自己酸化して、同時に膜厚の薄いゲート絶縁膜 171c、171d、172c、172d を形成した後、半導体層 161、162 の配置されている領域に、選択的に膜厚の薄いゲート絶縁膜 172e を形成し、膜厚の厚いゲート絶縁膜を積層によって形成しても良い。

【0075】

半導体層の表面自己酸化によって半導体層表面に絶縁膜を形成する場合、端部の被覆性はおのずと良好になるため、図3(C)に示したような半導体層端部の絶縁層の形成を省略しても良い。

【0076】

プラズマ処理による固相酸化処理若しくは固相窒化処理として、マイクロ波（代表的には 2.45 GHz）で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下、且つ電子温度が 0.5 eV 以上 1.5 eV 以下のプラズマを利用することが好ましい。固相酸化処理若しくは固相窒化処理において、500 以下の温度において、緻密な絶縁膜を形成すると共に実用的な反応速度を得るためである。

【0077】

このプラズマ処理により半導体層の表面を酸化する場合には、酸素雰囲気下（例えば、酸素（ O_2 ）又は一酸化二窒素（ N_2O ）と希ガス（He、Ne、Ar、Kr、Xe の少なくとも一つを含む）雰囲気下、若しくは酸素又は一酸化二窒素と水素（ H_2 ）と希ガス雰囲気下）で行う。また、プラズマ処理により窒化をする場合には、窒素雰囲気下（例えば、窒素（ N_2 ）と希ガス（He、Ne、Ar、Kr、Xe の少なくとも一つを含む）雰囲気下、窒素と水素と希ガス雰囲気下、若しくは NH_3 と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えば Ar を用いることができる。また、Ar と Kr を混合したガスを用いてもよい。

【0078】

なお、プラズマ処理とは、半導体層、絶縁層、導電層に対する酸化処理、窒化処理、酸窒化処理、水素化処理、表面改質処理を含んでいる。これらの処理は、その目的に応じて、供給するガスを選択すれば良い。

【0079】

半導体層を酸化処理若しくは窒化処理を行うには以下のようにすれば良い。まず、処理室内を真空にし、ガス供給部から酸素又は窒素を含むプラズマ処理用ガスを導入する。基板は室温若しくは温度制御部により 100 乃至 550 に加熱する。

【0080】

次に、マイクロ波供給部からアンテナにマイクロ波を供給する。そしてマイクロ波をアンテナから誘電体板を通して処理室内に導入することによって、プラズマを生成する。マイクロ波の導入によりプラズマの励起を行うと、低電子温度（3 eV 以下、好ましくは 1.5 eV 以下）で高電子密度（ $1 \times 10^{11} \text{ cm}^{-3}$ 以上）のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル（OH ラジカルを含む場合もある）及び/又は窒素ラジカル（NH ラジカルを含む場合もある）によって、半導体層の表面を酸化又は窒化することができる。プラズマ処理用ガスにアルゴンなどの希ガスを混合させると、希ガスの励起種により酸素ラジカルや窒素ラジカルを効率良く生成することができる。この方法は、プラズマで励起した活性なラジカルを有効に使うことにより、500 以下の低温で固相反応による酸化、窒化若しくは酸化と窒化の同時処理を行うことができる。

【0081】

上記のようなプラズマ処理による固相酸化処理若しくは固相窒化処理を用いることで、耐熱温度が 700 以下のガラス基板を用いても、950 ～ 1050 で形成される熱酸化膜と同等な絶縁層を得ることができる。すなわち、トランジスタのゲート絶縁層として信頼性の高い膜を形成することができる。

【0082】

また、ゲート絶縁膜の形成には高誘電率材料を用いても良い。ゲート絶縁膜に高誘電率材料を用いることにより、ゲートリーク電流を低減することができる。代表的な高誘電率

10

20

30

40

50

材料としては、二酸化ジルコニウム、酸化ハフニウム、二酸化チタン、五酸化タンタルなどを用いることができる。また、プラズマ処理による固相酸化により酸化シリコン層を形成しても良い。

【0083】

また、薄い酸化珪素膜の形成方法としては、GRTA法、LRTA法等を用いて半導体領域表面を酸化し、熱酸化膜を形成することで、膜厚の薄い酸化珪素膜を形成することもできる。なお、低い成膜温度でゲートリーク電流の少ない緻密な絶縁膜を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁膜中に混入させると良い。

【0084】

続いて、ゲート絶縁膜171、172上に、ゲート電極層として用いる膜厚20nm～100nmの第1の導電膜と、膜厚100nm～400nmの第2の導電膜とを積層形成する。第1の導電膜及び第2の導電膜は、スパッタリング法、蒸着法、CVD法等の手法により形成することができる。第1の導電膜及び第2の導電膜はタンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ネオジム(Nd)から選ばれた元素、又は前記元素を主成分とする合金材料もしくは化合物材料で形成すればよい。また、第1の導電膜及び第2の導電膜としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜や、AgPdCu合金を用いてもよい。また、2層構造に限定されず、例えば、第1の導電膜として膜厚50nmのタングステン膜、第2の導電膜として膜厚500nmのアルミニウムとシリコンの合金(Al-Si)膜、第3の導電膜として膜厚30nmの窒化チタン膜を順次積層した3層構造としてもよい。また、3層構造とする場合、第1の導電膜のタングステンに代えて窒化タングステンを用いてもよいし、第2の導電膜のアルミニウムとシリコンの合金(Al-Si)膜に代えてアルミニウムとチタンの合金膜(Al-Ti)を用いてもよいし、第3の導電膜の窒化チタン膜に代えてチタン膜を用いてもよい。また、単層構造であってもよい。本実施の形態では、第1の導電膜として窒化タンタルを膜厚30nm形成し、第2の導電膜としてタングステン(W)を膜厚370nm形成する。

【0085】

次に、フォトリソグラフィ法を用いて第1の導電膜および第2の導電膜を所望の形状に加工して、第1のゲート電極層173a～176aおよび第2のゲート電極層173b～176bの積層形状となったゲート電極を形成する(図4(A)参照)。ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング条件(コイル型の電極層に印加される電力量、基板側の電極層に印加される電力量、基板側の電極温度等)を適宜調節することにより、第1のゲート電極層及び第2のゲート電極層を所望のテーパ形状を有するようにエッチングすることができる。また、テーパ形状は、マスクの形状によっても角度等を制御することができる。なお、エッチング用ガスとしては、 Cl_2 、 BCl_3 、 $SiCl_4$ もしくは CCl_4 などを代表とする塩素系ガス、 CF_4 、 SF_6 もしくは NF_3 などを代表とするフッ素系ガス又は O_2 を適宜用いることができる。

【0086】

本実施の形態では第1のゲート電極層、第2のゲート電極層を垂直な側面を有して形成する例を示すが、本発明はそれに限定されず、第1のゲート電極層及び第2のゲート電極層両方がテーパ形状を有していてもよいし、どちらか一方のゲート電極層の一層のみがテーパ形状を有し、他方は異方性エッチングによって垂直な側面を有していてもよい。テーパ角度も積層するゲート電極層間で異なってもよいし、同一でもよい。テーパ形状を有することによって、その上に積層する膜の被覆性が向上し、欠陥が軽減されるので信頼性が向上する。また、半導体層151、152上に形成される第1のゲート電極層173a、174aおよび第2のゲート電極層173b、174bにおいては、半導体層161「、162上に形成される第1のゲート電極層175a、176aおよび第2のゲート電極層175b、176bに比べて、そのチャネル長方向の長さを小さく形成しても良い。これは、半導体層151、152の膜厚が薄く、またゲート絶縁膜171の膜厚も

薄いため、トランジスタの特性を保ったままより微細化することが可能になるからである。

【0087】

また、ゲート電極層を形成する際のエッチング工程によって、ゲート絶縁膜171、172は多少エッチングされ、膜厚が減る（いわゆる膜減り）ことがある。

【0088】

次に、第1のゲート電極層173a~176aおよび第2のゲート電極層173b~176bをマスクとして、n型を付与する不純物元素177を添加し、第1のn型不純物領域177a~177hを形成する（図4（B）参照）。本実施の形態では、不純物元素を含むドーピングガスとしてホスフィン（ PH_3 ）（ドーピングガスは PH_3 を水素（ H_2 ）で希釈しており、ガス中の PH_3 の比率は5%）を用い、ガス流量80sccm、ビーム電流54 $\mu\text{A}/\text{cm}$ 、加速電圧50kV、照射するドーズ量 $7.0 \times 10^{13} \text{ions}/\text{cm}^2$ でドーピングを行う。ここでは、第1のn型不純物領域177a~177hに、n型を付与する不純物元素が $1 \times 10^{17} \sim 5 \times 10^{18} / \text{cm}^3$ 程度の濃度で含まれるように添加する。本実施の形態では、n型を付与する不純物元素としてリン（P）を用いる。

【0089】

次に半導体層152、161の一部、162を覆うマスク178a~178cを形成する。マスク178a~178cおよび第1のゲート電極層173a、第2のゲート電極層173bをマスクとして、n型を付与する不純物元素179を添加し、第2のn型不純物領域179a~179d、第3のn型不純物領域177i、177jを形成する。本実施の形態では、不純物元素を含むドーピングガスとして PH_3 （ドーピングガスは PH_3 を水素（ H_2 ）で希釈しており、ガス中の PH_3 の比率は5%）を用い、ガス流量80sccm、ビーム電流540 $\mu\text{A}/\text{cm}$ 、加速電圧70kV、照射するドーズ量 $5.0 \times 10^{15} \text{ions}/\text{cm}^2$ でドーピングを行う。ここでは、第2のn型不純物領域179a~179dにn型を付与する不純物元素が $5 \times 10^{19} \sim 5 \times 10^{20} / \text{cm}^3$ 程度の濃度で含まれるように添加する。また、半導体層151にチャネル形成領域180a、半導体層161にチャネル形成領域180bが形成される（図4（C）参照）。

【0090】

第2のn型不純物領域179a~179dは高濃度n型不純物領域であり、n型トランジスタのソース領域、ドレイン領域として機能する。一方、第3のn型不純物領域177i、177jは低濃度n型不純物領域であり、所謂LDD（Lightly Doped Drain）領域となる。また第3のn型不純物領域177i、177jはゲート電極層に覆われていない、LoFF領域と呼ばれる領域に形成されているため、トランジスタのオフ電流を低減する効果がある。この結果、高印加電圧下での信頼性の高いトランジスタが実現する。

【0091】

先ほどのマスク178a~178cを除去した後、半導体層151、161を覆うマスク181a、181bを形成する。マスク181a、181bおよび、第1のゲート電極層174a、176a、第2のゲート電極層174b、176bをマスクとして、p型を付与する不純物元素182を添加し、p型不純物領域182a~182dが形成される。本実施の形態では、不純物元素としてボロン（B）を用いるため、不純物元素を含むドーピングガスとしてジボラン（ B_2H_6 ）（ドーピングガスは B_2H_6 を水素（ H_2 ）で希釈しており、ガス中の B_2H_6 の比率は15%）を用い、ガス流量70sccm、ビーム電流180 $\mu\text{A}/\text{cm}$ 、加速電圧80kV、照射するドーズ量 $2.0 \times 10^{15} \text{ions}/\text{cm}^2$ でドーピングを行う。ここでは、p型不純物領域182a~182dにp型を付与する不純物元素が $1 \times 10^{20} \sim 5 \times 10^{21} / \text{cm}^3$ 程度の濃度で含まれるように添加する。また、半導体層152、162にはチャネル形成領域183a、183bが形成される（図4（D）参照）。

【0092】

p型不純物領域182a~182dは高濃度p型不純物領域であり、p型トランジスタのソース領域、ドレイン領域として機能する。

【0093】

不純物元素を活性化するために加熱処理、強光の照射、又はレーザー光の照射を行ってもよい。活性化と同時にゲート絶縁層へのプラズマダメージやゲート絶縁層と半導体層との界面へのプラズマダメージを回復することができる。

【0094】

次いで、ゲート電極層、ゲート絶縁層を覆う層間絶縁膜を形成する。本実施の形態では、層間絶縁膜184の単膜構造として示した。層間絶縁膜184の材料としては、スパッタ法、またはプラズマCVDを用いた窒化珪素膜、窒化酸化珪素膜、酸化窒化珪素膜、酸化珪素膜でもよく、他の珪素を含む絶縁膜を2層または3層以上の積層構造として用いてもよい(図5(A)参照)。

【0095】

さらに、窒素雰囲気中で、300~550で1~12時間の熱処理を行い、半導体層を水素化する工程を行う。好ましくは、400~500で行う。この工程は層間絶縁膜184に含まれる水素により半導体層のダングリングボンドを終端する工程である。本実施の形態では、410で1時間加熱処理を行う。

【0096】

層間絶縁膜184としては他に窒化アルミニウム(AlN)、酸化窒化アルミニウム(AlON)、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウム(AlNO)または酸化アルミニウム、ダイヤモンドライクカーボン(DLC)、窒素含有炭素膜(CN)その他の無機絶縁性材料を含む物質から選ばれた材料で形成することができる。また、シロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、有機絶縁性材料を用いてもよく、有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、ポリシラザンを用いることができる。平坦性のよい塗布法によってされる塗布膜を用いてもよい。

【0097】

層間絶縁膜184の形成には、前述のスパッタ法、またはプラズマCVD法その他、ディップ、スプレー塗布、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター、蒸着法等を採用することができる。液滴吐出法により層間絶縁膜184を形成してもよい。液滴吐出法を用いた場合には材料液を節約することができる。また、液滴吐出法のようにパターンが転写、または描写できる方法、例えば印刷法(スクリーン印刷やオフセット印刷などパターンが形成される方法)なども用いることができる。

【0098】

次いで、レジストからなるマスクを用いて、層間絶縁膜およびゲート絶縁膜に、半導体層およびゲート電極層に達するコンタクトホール(開口部)を形成する。エッチングは、用いる材料の選択比によって、一回で行っても複数回行ってもよい。また、ウェットエッチングでもドライエッチングでもよく、両方用いてもよい。ウェットエッチングのエッチャントは、フッ素水素アンモニウム及びフッ化アンモニウムを含む混合溶液のようなフッ酸系の溶液を用いるとよい。エッチング用ガスとしては、Cl₂、BCl₃、SiCl₄もしくはCCl₄などを代表とする塩素系ガス、CF₄、SF₆もしくはNF₃などを代表とするフッ素系ガス又はO₂を適宜用いることができる。また用いるエッチング用ガスに不活性気体を添加してもよい。添加する不活性元素としては、He、Ne、Ar、Kr、Xeから選ばれた一種または複数種の元素を用いることができる。

【0099】

開口部を覆うように導電膜を形成し、フォトリソグラフィ法により該導電膜を所望の形

10

20

30

40

50

状にエッチングして、各ソース領域またはドレイン領域の一部、あるいはゲート電極とそれぞれ電氣的に接続する電極185a~185iを形成する。電極185a~185iは、液滴吐出法、印刷法、電解メッキ法等により、所定の場所を選択的に導電層を形成することで形成しても良い。更にはリフロー法、ダマシン法を用いても良い。電極185a~185iの材料は、Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Zr、Ba等の金属、及びSi、Ge、又はその合金、若しくはその窒化物を用いて形成する。また、これらの積層構造としても良い。本実施の形態では、チタン(Ti)を膜厚60nm形成し、窒化チタン膜を膜厚40nm形成し、アルミニウムを膜厚700nm形成し、チタン(Ti)を膜厚200nm形成して積層構造とし、所望の形状に加工する。

10

【0100】

以上の工程で、第1の回路群を構成するトランジスタ190、191、第2の回路群を構成するトランジスタ192、193を同一基板上に有する半導体装置が完成する(図5(C)参照)。

【0101】

本実施の形態で示した半導体装置において、トランジスタ190、191の半導体層の膜厚は、トランジスタ192、193の半導体層の膜厚よりも薄い。また、トランジスタ190、191のゲート絶縁膜の膜厚は、トランジスタ192、193のゲート絶縁膜の膜厚よりも薄い。

【0102】

20

本実施の形態で示した半導体装置において、トランジスタ190、191の半導体層151、152の膜厚は、5nm以上30nm以下、より好ましくは10nm以上20nm以下とすればよい。一方、トランジスタ192、193の半導体層161、162の膜厚は、25nm以上100nm以下、より好ましくは50nm以上60nm以下とすればよい。

【0103】

また、本実施の形態で示した半導体装置において、トランジスタ190、191のゲート絶縁膜の膜厚は、1nm以上10nm以下、より好ましくは5nm程度とすればよい。一方、トランジスタ192、193のゲート絶縁膜の膜厚は、50nm以上150nm以下、より好ましくは60nm以上80nm以下とすればよい。

30

【0104】

チャネル形成領域膜厚が厚く、チャネル長が短い場合には、ソースとドレインとの間の電界の影響により、ゲート電圧がしきい値電圧以下のサブスレッショルド領域でチャネル形成領域の下側を電流が流れる。そのため、サブスレッショルド値が上昇し、しきい値電圧が低下する。チャネル形成領域の膜厚を薄くすることにより、チャネル形成領域の下側を流れる電流経路が遮断されるために、漏れ電流が抑えられる。そのため、サブスレッショルド値の上昇が抑えられ、しきい値電圧の低下も抑えられる。そのため、チャネル形成領域の膜厚を薄くすることにより、チャネル長の短い領域でのしきい値電圧のマイナスシフトが抑えられ、かつ、サブスレッショルド値が小さい薄膜トランジスタを作製することができる。サブスレッショルド値が小さくなっているため、ゲート電圧0Vでのソースとドレインとの間に流れる電流を抑えつつ、しきい値電圧を下げるができる。

40

【0105】

トランジスタ190、191における半導体層151、152の薄膜化は、チャネル形成領域の全域を空乏層化するように作用し、短チャネル効果を抑制することができる。また、トランジスタのしきい値電圧を小さくすることができる。また、トランジスタは、半導体層(又は、さらにゲート絶縁層も)を薄膜化することによって微細化できるため、低電圧駆動と高速動作を実現することができ、低消費電力化を実現することができる。

【0106】

一方、トランジスタ192、193においては、半導体層161、162の膜厚を、トランジスタ190、191よりも厚く保つことによって、高印加電圧に対する耐圧性を向

50

上し、高信頼性とすることができる。同様に、ゲート絶縁膜の厚膜化によって、ゲートリークの低減も実現できる。

【0107】

このように、半導体層の膜厚を異ならせることによって、要求される各特性に対して最適なトランジスタを同一基板上に複数形成することが本発明によって実現される。なお、本実施の形態で示したトランジスタの作製方法に限らず、トップゲート型（プレーナー型）、ボトムゲート型（逆スタガ型）、あるいはチャネル領域の上下にゲート絶縁膜を介して配置された2つのゲート電極層を有する、デュアルゲート型やその他の構造においても適用できる。

【0108】

図1（A）（B）に、本実施の形態にしたがって作製された、本発明を利用した半導体装置の一例を示す。図1（A）は本実施の形態にしたがって作製された半導体装置の平面図であり、図1（B）は、図1（A）における線X-Yの断面図である。

【0109】

図1（A）に示すように、同一の支持基板101上に、第1の回路群1201及び第2の回路群1202が形成されている。膜厚の薄い半導体層および、膜厚の薄いゲート絶縁膜を用いて形成されたトランジスタ190、191を用いて、第1の回路群1201が形成され、膜厚の厚い半導体層および、膜厚の厚いゲート絶縁膜を用いて形成されたトランジスタ192、193を用いて、第2の回路群1202が形成されている。第1の回路群1201は、主に高速動作、低電圧動作が要求される回路群であり、第2の回路群1202は、主に低リーク電流、高印加電圧下での信頼性が要求される回路群である。

【0110】

本発明を適用した表示機能を有する半導体装置の例を図11乃至図13を用いて説明する。

【0111】

図11は、アクティブマトリクス型の表示装置である。絶縁基板1001上に、複数の画素回路をマトリクス状に配列した画素部1002、データドライバ1003、スキャンドライバ1004が形成されている。さらに、対向基板1005によって上面が封止、密封されている。フレキシブルプリント基板（FPC）1006を介して、表示装置の駆動に必要な制御信号、映像信号、および駆動電源の供給を外部より行う。

【0112】

ここで、データドライバ1003は、外部より供給される映像信号を、それぞれの画素に入力するための処理を内部で行っており、表示装置の中では比較的高速動作が求められる回路である。よってこの領域は、膜厚が薄い半導体層および、膜厚が薄いゲート絶縁膜を用いて形成されたトランジスタをもって回路を構成するのが好ましい。

【0113】

一方、スキャンドライバ1004は、データドライバ1003に比べてその動作速度は遅いが、やや駆動電圧が高い領域を含む場合がある。画素部1002もまた動作速度は周辺のデータドライバ1003、スキャンドライバ1004に比べて遅いが、入力された映像信号を一定期間保持しておく必要があるため、画素を構成するトランジスタには、リーク電流の低減が要求される。したがって、スキャンドライバ1004、画素部1002は、膜厚が厚い半導体層および、膜厚が厚いゲート絶縁膜を用いて形成されたトランジスタをもって回路を構成するのが好ましい。

【0114】

また、データドライバ1003、スキャンドライバ1004は、FPC1006を介して外部より入力される制御信号によって動作するが、外部に設けられるコントローラIC等の駆動電圧は、一般的な表示装置に比べて低いために、通常は、表示装置への信号入力後にレベルシフタ等を用いて信号振幅の昇圧等を行う場合が多いが、本発明によって、データドライバ1003、スキャンドライバ1004を、膜厚が薄い半導体層および、膜厚が薄いゲート絶縁膜を用いて形成されたトランジスタをもって構成することで、低電圧動作

10

20

30

40

50

が実現できると、動作電圧を外部のコントローラIC等と同等にできるため、レベルシフト等が不要になり、回路規模の縮小や消費電力の低減につながる。

【0115】

なお、このような形態を有するアクティブマトリクス型表示装置としては、液晶ディスプレイ、エレクトロルミネッセンス(EL)ディスプレイ、電界効果型ディスプレイ、電子ペーパー等があり、本発明はこれらいずれの形態の表示装置に適用が可能である。

【0116】

図12に図11の画素部1002に設けられた表示素子が液晶表示素子である液晶表示装置の例を示す。図12は図11に対応する線A-Bの断面図である。

【0117】

データドライバ1003に設けられたトランジスタ250、251は図1のトランジスタ190、191と同様に作製されており、薄膜化された単結晶半導体層及び膜厚が薄いゲート絶縁膜を有している。一方、画素部1002に設けられたトランジスタ252は図1のトランジスタ192、193と同様に作製されており、膜厚が厚い単結晶半導体層および、膜厚が厚いゲート絶縁膜を有している。なお、画素部1002には容量素子253が形成されている。

【0118】

トランジスタ252の電極に接して、画素電極層235を形成する。画素電極層235は、透過型の液晶表示パネルを作製する場合には、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物などを用いることができる。勿論、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物(IZO)、酸化ケイ素を添加したインジウム錫酸化物(ITSO)なども用いることができる。また、反射性を有する金属薄膜としては、チタン、タングステン、ニッケル、金、白金、銀、アルミニウム、マグネシウム、カルシウム、リチウム、およびそれらの合金からなる導電膜などを用いることができる。

【0119】

画素電極層235は、蒸着法、スパッタ法、CVD法、印刷法または液滴吐出法などを用いて形成することができる。

【0120】

次に、画素電極層235を覆うように、印刷法やスピンコート法により、配向膜と呼ばれる絶縁層231を形成する。なお、絶縁層231は、スクリーン印刷法やオフセット印刷法を用いれば、選択的に形成することができる。その後、ラビングを行う。続いて、シール材282を液滴吐出法により画素を形成した周辺の領域に形成する。

【0121】

その後、配向膜として機能する絶縁層233、対向電極として機能する導電層239、カラーフィルタとして機能する着色層234、偏光板237が設けられた対向基板1005と、TFT基板である支持基板である絶縁基板1001とをスペーサ281を介して貼り合わせ、その空隙に液晶層232を設けることにより液晶表示パネルを作製することができる。支持基板である絶縁基板1001の素子を有する面と反対側にも偏光板238が設けられている。シール材にはフィラーが混入されていても良く、さらに対向基板1005には、遮蔽膜(ブラックマトリクス)などが形成されていても良い。なお、液晶層を形成する方法として、ディスペンサ式(滴下式)や、素子を有する支持基板である絶縁基板1001と対向基板1005とを貼り合わせてから毛細管現象を用いて液晶を注入するディップ式(汲み上げ式)を用いることができる。

【0122】

図13に図11の画素部1002に設けられた表示素子が発光素子である発光表示装置の例を示す。図13は図11に対応する線A-Bの断面図である。

【0123】

データドライバ1003に設けられたトランジスタ350、351は図1のトランジスタ190、191と同様に作製されており、薄膜化された単結晶半導体層及び膜厚が薄いゲ

10

20

30

40

50

ート絶縁膜を有している。一方、画素部1002に設けられたトランジスタ352は図1のトランジスタ192、193と同様に作製されており、膜厚が厚い単結晶半導体層および、膜厚が厚いゲート絶縁膜を有している。なお、表示素子として発光素子325を有している。

【0124】

トランジスタ352の電極に接して、画素電極層である第1の電極層320を形成する。第1の電極層320は、支持基板である絶縁基板1001側から光を放射する場合には、インジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)を含むインジウム亜鉛酸化物(IZO(indium zinc oxide))、酸化亜鉛(ZnO)、ZnOにガリウム(Ga)をドープしたもの、酸化スズ(SnO₂)、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物などを用いて形成することができる。

10

【0125】

また、透光性を有さない金属膜のような材料であっても膜厚を薄く(好ましくは、5nm~30nm程度の厚さ)して光を透過可能な状態としておくことで、第1の電極層1320から光を放射することが可能となる。また、第1の電極層320に用いることのできる金属薄膜としては、チタン、タングステン、ニッケル、金、白金、銀、アルミニウム、マグネシウム、カルシウム、リチウム、亜鉛、およびそれらの合金からなる導電膜、または窒化チタン、TiSi_xN_y、WSi_x、窒化タングステン、WSi_xN_y、NbNなどの前記元素を主成分とする化合物材料からなる膜を用いることができる。

20

【0126】

第1の電極層320は、ソース電極層又はドレイン電極層110aと電氣的に接続すればよいので、その接続構造は本実施の形態に限定されない。ソース電極層又はドレイン電極層である電極上に層間絶縁層となる絶縁層を形成し、配線層によって、第1の電極層320と電氣的に接続する構造を用いてもよい。また、発光した光を支持基板である絶縁基板1001側とは反対側に放射させる構造とする場合(上面放射型の表示パネルを作製する場合)には、Ag(銀)、Au(金)、Cu(銅)、W(タングステン)、Al(アルミニウム)等を用いることができる。

【0127】

絶縁層321(隔壁とも呼ばれる)を選択的に形成する。絶縁層321は、第1の電極層320上に開口部を有するように形成する。本実施の形態では、絶縁層321を全面に形成し、レジスト等のマスクによって、エッチングし加工する。絶縁層321を、直接選択的に形成できる液滴吐出法や印刷法などを用いて形成する場合は、エッチングによる加工は必ずしも必要はない。

30

【0128】

絶縁層321は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン樹脂材料を用いることができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成してもよい。絶縁層321は曲率半径が連続的に変化する形状が好ましく、上に形成される電界発光層322、第2の電極層323の被覆性が向上する。

40

【0129】

電界発光層322として、赤色(R)、緑色(G)、青色(B)の発光を示す材料を、それぞれ蒸着マスクを用いた蒸着法等によって選択的に形成する。赤色(R)、緑色(G)、青色(B)の発光を示す材料はカラーフィルタ同様、液滴吐出法により形成することもでき(低分子または高分子材料など)、この場合マスクを用いずとも、RGBの塗り分けを行うことができるため好ましい。電界発光層322上に第2の電極層323を積層形成して、発光素子を用いた表示機能を有する表示装置が完成する。

50

【 0 1 3 0 】

図示しないが、第 2 の電極層 3 2 3 を覆うようにしてパッシベーション膜を設けることは有効である。表示装置を構成する際に設けるパッシベーション膜は、単層構造でも多層構造でもよい。パッシベーション膜としては、窒化珪素、酸化珪素、酸化窒化珪素、窒化酸化珪素、窒化アルミニウム (A l N)、酸化窒化アルミニウム、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウムまたは酸化アルミニウム、ダイヤモンドライクカーボン、窒素含有炭素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層を用いることができる。例えば窒素含有炭素膜、窒化珪素のような積層、また有機材料を用いることも出来、スチレンポリマーなど高分子の積層でもよい。また、シロキサン材料 (無機シロキサン、有機シロキサン) を用いてもよい。

10

【 0 1 3 1 】

この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特に D L C 膜を用いることは有効である。D L C 膜は室温から 1 0 0 以下の温度範囲で成膜可能であるため、耐熱性の低い電界発光層の上方にも容易に成膜することができる。D L C 膜は酸素に対するブロッキング効果が高く、電界発光層の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に電界発光層が酸化するといった問題を防止できる。

【 0 1 3 2 】

支持基板である絶縁基板 1 0 0 1 と対向基板 1 0 0 5 の間には充填剤を封入してシール材により封止することができる。充填剤の封入には、滴下法を用いることもできる。充填剤の代わりに、窒素などの不活性ガスを充填してもよい。また、乾燥剤を表示装置内に設置することによって、発光素子の水分による劣化を防止することができる。

20

【 0 1 3 3 】

なお、本実施の形態では、ガラス基板で発光素子及び液晶素子を封止した場合を示すが、封止の処理とは、発光素子を水分から保護するための処理であり、カバー材で機械的に封入する方法、熱硬化性樹脂又は紫外光硬化性樹脂で封入する方法、金属酸化物や窒化物等のバリア能力が高い薄膜により封止する方法のいずれかを用いる。カバー材としては、ガラス、セラミックス、プラスチックもしくは金属を用いることができるが、カバー材側に光を放射させる場合は透光性でなければならない。また、カバー材と上記発光素子が形成された基板とは熱硬化性樹脂又は紫外光硬化性樹脂等のシール材を用いて貼り合わせられ、熱処理又は紫外光照射処理によって樹脂を硬化させて密閉空間を形成する。この密閉空間の中に酸化バリウムに代表される吸湿材を設けることも有効である。この吸湿材は、シール材の上に接して設けても良いし、発光素子よりの光を妨げないような、隔壁の上や周辺部に設けても良い。さらに、カバー材と発光素子の形成された基板との空間を熱硬化性樹脂若しくは紫外光硬化性樹脂で充填することも可能である。この場合、熱硬化性樹脂若しくは紫外光硬化性樹脂の中に酸化バリウムに代表される吸湿材を添加しておくことは有効である。

30

【 0 1 3 4 】

図 1 4 (A) (B) は、無線 I C タグの一例を示している。絶縁基板 1 1 0 1 上に、アンテナ 1 1 0 2、整流回路等を有する電源回路 1 1 0 3、各命令に対して処理を行うロジック回路 1 1 0 4、メモリ 1 1 0 5 等を有している。リーダ/ライタ 1 1 0 6 から出力される、命令を含んだ搬送波をアンテナ 1 1 0 2 で受信し、受信された搬送波を利用して、整流回路等を有する電源回路 1 1 0 3 は I C タグの処理、応答に必要な電源の生成を行う。受信された搬送波には、リーダ/ライタ 1 1 0 6 からの命令が含まれており、ロジック回路 1 1 0 4 に含まれる復調回路で命令が抽出されると、それにしたがってロジック回路 1 1 0 4 はメモリ 1 1 0 5 に格納されたデータを読み出して応答信号を生成し、変調回路で応答信号を搬送波に乗せ、アンテナ 1 1 0 2 より出力する。

40

【 0 1 3 5 】

図 1 4 (B) に図 1 4 (A) における線 C - D の断面図を示す。ロジック回路 1 1 0 4 に設けられたトランジスタ 4 5 0、4 5 1 は図 1 のトランジスタ 1 9 0、1 9 1 と同様に作

50

製されており、薄膜化された単結晶半導体層及び膜厚が薄いゲート絶縁膜を有している。一方、メモリ 1105 に設けられたトランジスタ 452、453 は図 1 のトランジスタ 192、193 と同様に作製されており、膜厚が厚い単結晶半導体層および、膜厚が厚いゲート絶縁膜を有している。なお、絶縁層 455 が形成されており、絶縁層 455 上にはアンテナとして機能する導電層 456 が形成されている。図 14 (B) においては、線 C-D 間はアンテナ 1102 は設けられていないが、絶縁層 455 上にアンテナ 1102 が設けられていることから模式的に示している。

【0136】

このような無線 IC タグにおいて、ロジック回路 1104 においては、限られた生成電力で確実な動作が求められることから、その駆動電圧の低電圧化が求められる。また、メモリ 1105 が、読み出し動作のみを行う ROM である場合にも同様の特性が求められる。このような回路群を構成するには、膜厚が薄い半導体層および、膜厚が薄いゲート絶縁膜を用いて形成されたトランジスタをもって回路を構成するのが好ましい。

10

【0137】

一方、整流回路等を有する電源回路 1103 においては、アンテナ 1102 が受信する搬送波の強弱によらず、安定した電源生成動作が求められる。また、アンテナ 1102 の受信電力が大きい場合、整流回路を構成するトランジスタには大きなストレスがかかるため、このような条件下での十分な信頼性が求められる。一方、メモリ 1105 が電気的な書き込み／書き換え機能を有する場合、電気的に書き込まれた情報の保持を確実にするためにも、十分な信頼性が要求される。このような回路群を構成するには、膜厚が厚い半導体層および、膜厚が厚いゲート絶縁膜を用いて形成されたトランジスタをもって回路を構成するのが好ましい。

20

【0138】

以上のように、本発明の半導体装置は、低消費電力かつ高信頼性が付与された半導体装置とすることができる。

【0139】

(実施の形態 2)

本実施の形態においては、本発明にしたがって実施の形態 1 とは異なった態様の半導体装置を作製する例につき説明する。

【0140】

実施の形態 1 においては、支持基板上に 2 種類もしくはそれ以上の、膜厚の異なる複数の単結晶半導体層を、貼付によって形成する方法につき説明したが、例えば支持基板上に非晶質半導体膜を成膜した後、結晶化処理を行うことで多結晶半導体膜を得、該多結晶半導体膜を所望の領域のみ残して除去した領域に、前記膜厚の異なる複数の単結晶半導体層を貼付によって形成しても良い。

30

【0141】

支持基板上に非晶質半導体膜を成膜し、結晶化処理を行って多結晶半導体膜を得るための工程は、本明細書においては何ら制限を加えるものではなく、支持基板の材質により、工程中の温度、負荷等の条件が適した、公知の方法を適宜選択して行えば良い。また、多結晶半導体膜が所望の領域に形成された支持基板上に、前記膜厚の異なる複数の単結晶半導体層を貼付によって形成する方法に関しても、実施の形態 1 にて開示した手順に従えば良い。

40

【0142】

さらに、半導体層を所望の形状に加工し、ゲート電極、ソース電極、ドレイン電極を形成してトランジスタを形成する方法に関しても、実施の形態 1 にて開示した手順に従えば良い。

【0143】

図 7 に本実施の形態にしたがって作製された半導体装置の断面構成を示している。同一の支持基板上に、膜厚の薄い半導体層および、膜厚の薄いゲート絶縁膜を用いて形成されたトランジスタ 190、191 を用いて、第 1 の回路群 1201 が形成され、膜厚の厚い

50

半導体層および、膜厚の厚いゲート絶縁膜を用いて形成されたトランジスタ 1 9 2、1 9 3 を用いて、第 2 の回路群 1 2 0 2 が形成され、非晶質半導体膜に結晶化処理を加えて得られた多結晶半導体膜を用いて形成されたトランジスタ 1 3 0 0、1 3 0 1 を用いて、第 3 の回路群 1 3 0 2 が形成されている。

【 0 1 4 4 】

第 1 の回路群 1 2 0 1 は、主に高速動作、低電圧動作が要求される回路群であり、第 2 の回路群 1 2 0 2 は、主に低リーク電流、高印加電圧下での信頼性が要求される回路群である。また、第 3 の回路群については、多結晶半導体層を用いて形成されたトランジスタは、そのしきい値電圧や電界効果移動度等について、素子ごとにばらつきを生じやすいため、比較的素子ばらつきの影響を受けにくいデジタル回路等を中心とした回路群を形成する

10

【 0 1 4 5 】

また、本実施の形態にて示した構成によると、支持基板上に容易に大面積の多結晶半導体層が形成でき、したがって、実施の形態 1 のように、複数の単結晶半導体層の貼付のみでは実現が困難である大面積に、比較的均一にトランジスタが形成できる。よって、このような多結晶半導体層を形成した領域に構成される第 3 の回路群は、大画面を有する表示装置の画素部を構成する回路群として好適である。

【 0 1 4 6 】

(実施の形態 3)

本実施の形態では、膜厚の異なる単結晶半導体層を支持基板に設ける他の方法を示す。

20

【 0 1 4 7 】

実施の形態 1 で示したように、異なる膜厚の単結晶半導体層を母体となる半導体基板より分離し支持基板に接合して、同一基板上に異なる膜厚の単結晶半導体層を形成してもよいが、支持基板に単結晶半導体層を分離し接合した後、単結晶半導体層を選択的に薄膜化して、同一基板上に異なる膜厚の単結晶半導体層を形成してもよい。

【 0 1 4 8 】

半導体層の薄膜化は、1 回のエッチング工程で行っても良いし、複数のエッチング工程で行っても良い。また、半導体層を直接エッチングガス（またはエッチング溶液）でエッチングしても良いし、半導体層表面を部分的に処理して改質し、改質領域のみを選択的に除去しても良い。

30

【 0 1 4 9 】

図 2 に複数の工程にて半導体層を薄膜化する例を示す。図 2 (A) において、支持基板 1 0 上に接合面を有する絶縁層 1 1 と、半導体層 1 2 が形成されている。半導体層 1 2 上の所望の領域に、選択的にマスク 1 3 を形成する（図 2 (B) 参照）。続いて、プラズマ処理 1 4 によって半導体層 1 2 を選択的に改質（本実施の形態では酸化）し、改質領域 1 5 を形成する（図 2 (C) 参照）。続いて、半導体層 1 2 をエッチングせず、改質領域 1 5 のみを選択的にエッチングできる条件（エッチングガス、エッチング溶液）で改質領域 1 5 を除去し、部分的に薄膜化された半導体層 1 6 を形成する（図 2 (D) 参照）。この図 2 (C) (D) の処理を繰り返すことで、半導体層は所望の膜厚まで薄膜化することができる。

40

【 0 1 5 0 】

その結果、薄膜化された半導体層 1 6 と、半導体層 1 2 とが同一の支持基板 1 0 上に得られる。その後は、他の実施の形態に従い、それぞれの半導体層を活性層に用いたトランジスタ群を形成し、回路を構成すれば良い。

【 0 1 5 1 】

以上の工程で形成した膜厚の異なる単結晶半導体層を用いて、本発明の一形態である低消費電力かつ高信頼性が付与された半導体装置を作製することができる。

【 0 1 5 2 】

(実施の形態 4)

本発明の半導体装置においては、支持基板 1 0 1 上に膜厚の薄い単結晶半導体層 1 5 0

50

と、膜厚の厚い単結晶半導体層 160 とを貼付によって形成することを特徴としているが、各単結晶半導体層の最表面には、イオン照射工程による分離面の一部が残留している場合がある（図 17（A）参照）。この分離面 51、52 は、通常の単結晶半導体層の表面状態に比べて平坦性に劣るため、以降の工程での不良を生じないために表面状態の改善が必要となる。

【0153】

このような分離面 51、52 を除去する方法として代表的には、図 17（B）（C）に示すように、例えば表面酸化を行って分離面 51、52 を酸化（53、54）した後、還元性雰囲気下で酸化層 53、54 を除去（55、56）するといった方法の他、化学的機械研磨（CMP）による表面研磨がある。

10

【0154】

しかし、本発明のように、同一表面上に膜厚の異なる半導体層が形成されている場合、支持基板表面を基準面とした場合の各半導体層の最表面高さにはギャップがあるため、CMP による分離層の除去は困難である。

【0155】

このような場合、図 17（D）に示すように、支持基板 101 上で、後に膜厚の薄い単結晶半導体層 150 の貼付を行う領域に、選択的に下地膜 57 を形成し、続いて単結晶半導体層 150、160 の貼付を行った際に、膜厚の薄い単結晶半導体層 150 の最表面高さと、膜厚の厚い単結晶半導体層 160 の最表面高さとが同程度になるようにしておけば良い。

20

【0156】

その後、図 17（E）に示すように、CMP 工程によって、単結晶半導体層表面の分離面 51、52 の除去（58、59）を行うことができる。

【0157】

以上の工程で形成した膜厚の異なる単結晶半導体層を用いて、本発明の一形態である低消費電力かつ高信頼性が付与された半導体装置を作製することができる。

【0158】

（実施の形態 5）

本発明を適用して、様々な表示機能を有する半導体装置を作製することができる。即ち、それら表示機能を有する半導体装置を表示部に組み込んだ様々な電子機器に本発明を適用

30

【0159】

その様な本発明に係る電子機器として、テレビジョン装置（単にテレビ、又はテレビジョン受信機ともよぶ）、デジタルカメラ、デジタルビデオカメラ等のカメラ、携帯電話装置（単に携帯電話機、携帯電話ともよぶ）、PDA 等の携帯情報端末、携帯型ゲーム機、コンピュータ用のモニタ、コンピュータ、カーオーディオ等の音響再生装置、家庭用ゲーム機等の記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc（DVD）等が挙げられる。その具体例について、図 8 を参照して説明する。

【0160】

図 8（A）に示す携帯情報端末機器は、本体 9201、表示部 9202 等を含んでいる。表示部 9202 は、本発明の半導体装置を適用することができる。その結果、高性能でかつ信頼性の高い携帯情報端末機器を提供することができる。

40

【0161】

図 8（B）に示すデジタルビデオカメラは、表示部 9701、表示部 9702 等を含んでいる。表示部 9701 は本発明の半導体装置を適用することができる。その結果、高性能でかつ信頼性の高いデジタルビデオカメラを提供することができる。

【0162】

図 8（C）に示す携帯電話機は、本体 9101、表示部 9102 等を含んでいる。表示部 9102 は、本発明の半導体装置を適用することができる。その結果、高性能でかつ信頼

50

性の高い携帯電話機を提供することができる。

【 0 1 6 3 】

図 8 (D) に示す携帯型のテレビジョン装置は、本体 9 3 0 1、表示部 9 3 0 2 等を含んでいる。表示部 9 3 0 2 は、本発明の半導体装置を適用することができる。その結果、高性能でかつ信頼性の高い携帯型のテレビジョン装置を提供することができる。またテレビジョン装置としては、携帯電話機などの携帯端末に搭載する小型のものから、持ち運びをすることができる中型のもの、また、大型のもの（例えば 4 0 インチ以上）まで、幅広いものに、本発明の半導体装置を適用することができる。

【 0 1 6 4 】

図 8 (E) に示す携帯型のコンピュータは、本体 9 4 0 1、表示部 9 4 0 2 等を含んでいる。表示部 9 4 0 2 は、本発明の半導体装置を適用することができる。その結果、高性能でかつ信頼性の高い携帯型のコンピュータを提供することができる。

10

【 0 1 6 5 】

このように、本発明の半導体装置により、高性能でかつ信頼性の高い電子機器を提供することができる。

【 0 1 6 6 】

（実施の形態 6）

本発明によって形成される表示素子を有する半導体装置によって、テレビジョン装置を完成させることができる。高性能で、かつ高信頼性を付与することを目的としたテレビジョン装置の例を説明する。

20

【 0 1 6 7 】

図 1 5 はテレビジョン装置（液晶テレビジョン装置、又は E L テレビジョン装置等）の主要な構成を示すブロック図を示している。表示パネルには T F T を形成し、画素領域 1 9 0 1 と走査線駆動回路 1 9 0 3 を基板上に一体形成し信号線駆動回路 1 9 0 2 を別途ドライバ I C として実装する場合、また画素領域 1 9 0 1 と信号線駆動回路 1 9 0 2 と走査線駆動回路 1 9 0 3 を基板上に一体形成する場合などがあるが、どのような形態としても良い。

【 0 1 6 8 】

その他の外部回路の構成として、映像信号の入力側では、チューナ 1 9 0 4 で受信した信号のうち、映像信号を増幅する映像信号増幅回路 1 9 0 5 と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路 1 9 0 6 と、その映像信号をドライバ I C の入力仕様に変換するためのコントロール回路 1 9 0 7 などからなっている。コントロール回路 1 9 0 7 は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路 1 9 0 8 を設け、入力デジタル信号を m 個に分割して供給する構成としても良い。

30

【 0 1 6 9 】

チューナ 1 9 0 4 で受信した信号のうち、音声信号は、音声信号増幅回路 1 9 0 9 に送られ、その出力は音声信号処理回路 1 9 1 0 を経てスピーカ 1 9 1 3 に供給される。制御回路 1 9 1 1 は受信局（受信周波数）や音量の制御情報を入力部 1 9 1 2 から受け、チューナ 1 9 0 4 や音声信号処理回路 1 9 1 0 に信号を送出する。

40

【 0 1 7 0 】

表示モジュールを、図 1 6 (A)、(B) に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。F P C まで取り付けられた図 1 1 のような表示パネルのことを一般的には表示モジュールともいう。よって図 1 3 のような E L 表示モジュールを用いると、E L テレビジョン装置を完成することができ、図 1 2 のような液晶表示モジュールを用いると、液晶テレビジョン装置を完成することができる。表示モジュールにより主画面 2 0 0 3 が形成され、その他付属設備としてスピーカ部 2 0 0 9、操作スイッチなどが備えられている。このように、本発明によりテレビジョン装置を完成させることができる。

【 0 1 7 1 】

50

また、位相差板や偏光板を用いて、外部から入射する光の反射光を遮断するようにしてもよい。また上面放射型の半導体装置ならば、隔壁となる絶縁層を着色しブラックマトリクスとして用いてもよい。この隔壁は液滴吐出法などによっても形成することができ、顔料系の黑色樹脂や、ポリイミドなどの樹脂材料に、カーボンブラック等を混合させてもよく、その積層でもよい。液滴吐出法によって、異なった材料を同領域に複数回吐出し、隔壁を形成してもよい。位相差板としては、 $\lambda/4$ 板と $\lambda/2$ 板とを用い、光を制御できるように設計すればよい。構成としては、TFT素子基板側から純に、発光素子、封止基板（封止材）、位相差板（ $\lambda/4$ 、 $\lambda/2$ ）、偏光板という構成になり、発光素子から放射された光は、これらを通し偏光板側より外部に放射される。この位相差板や偏光板は光が放射される側に設置すればよく、両面放射される両面放射型の半導体装置であれば両方に設置することもできる。また、偏光板の外側に反射防止膜を有していても良い。これにより、より高繊細で精密な画像を表示することができる。

10

【0172】

図16(A)に示すように、筐体2001に表示素子を利用した表示用パネル2002が組みこまれ、受信機2005により一般のテレビ放送の受信をはじめ、モデム2004を介して有線又は無線による通信ネットワークに接続することにより一方向（送信者から受信者）又は双方向（送信者と受信者間、又は受信者間同士）の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機2006により行うことが可能であり、このリモコン操作機にも出力する情報を表示する表示部2007が設けられていても良い。

20

【0173】

また、テレビジョン装置にも、主画面2003の他にサブ画面2008を第2の表示用パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。この構成において、主画面2003を視野角の優れたEL表示用パネルで形成し、サブ画面を低消費電力で表示可能な液晶表示用パネルで形成しても良い。また、低消費電力化を優先させるためには、主画面2003を液晶表示用パネルで形成し、サブ画面をEL表示用パネルで形成し、サブ画面は点滅可能とする構成としても良い。本発明を用いると、このような大型基板を用いて、多くのTFTや電子部品を用いても、高性能で、かつ信頼性の高い半導体装置を生産性よく作製することができる。

【0174】

図16(B)は例えば20～80インチの大型の表示部を有するテレビジョン装置であり、筐体2010、表示部2011、操作部であるリモコン装置2012、スピーカー部2013等を含む。本発明は、表示部2011の作製に適用される。図16(B)のテレビジョン装置は、壁かけ型となっており、設置するスペースを広く必要としない。

30

【0175】

本発明により、表示機能を有する高性能かつ高信頼性の半導体装置を、生産性よく作製することができる。よって高性能、高信頼性のテレビジョン装置を生産性よく作製することができる。

【0176】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。

40

【図面の簡単な説明】

【0177】

【図1】本発明の半導体装置の上面構造および断面構成を示す図。

【図2】本発明の半導体装置の作製工程を説明する図。

【図3】本発明の半導体装置の作製工程を説明する図。

【図4】本発明の半導体装置の作製工程を説明する図。

【図5】本発明の半導体装置の作製工程を説明する図。

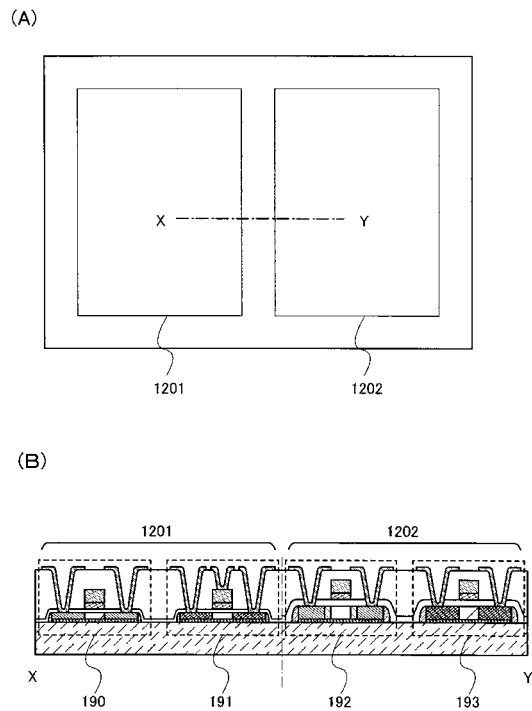
【図6】本発明の半導体装置の作製工程を説明する図。

50

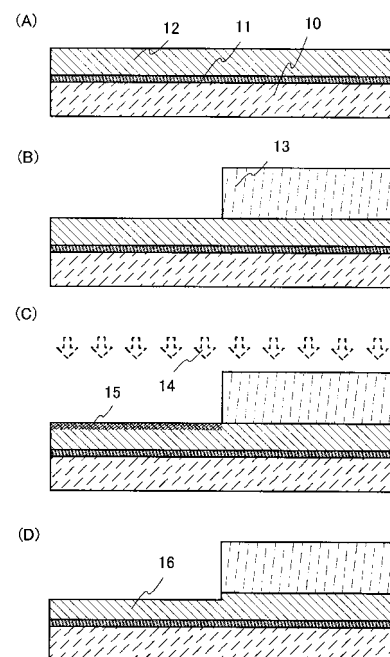
- 【図 7】本発明の半導体装置の作製工程を説明する図。
 【図 8】本発明が適用可能な電子機器を示す図。
 【図 9】本発明の半導体装置の作製工程を説明する図。
 【図 10】本発明の半導体装置の作製工程を説明する図。
 【図 11】本発明の半導体装置の一形態を説明する図。
 【図 12】本発明の半導体装置の一形態を説明する図。
 【図 13】本発明の半導体装置の一形態を説明する図。
 【図 14】本発明の半導体装置の一形態を説明する図。
 【図 15】本発明が適用可能な電子機器の主要な構成を示すブロック図。
 【図 16】本発明が適用可能な電子機器を示す図。
 【図 17】本発明の半導体装置の作製工程を説明する図。

10

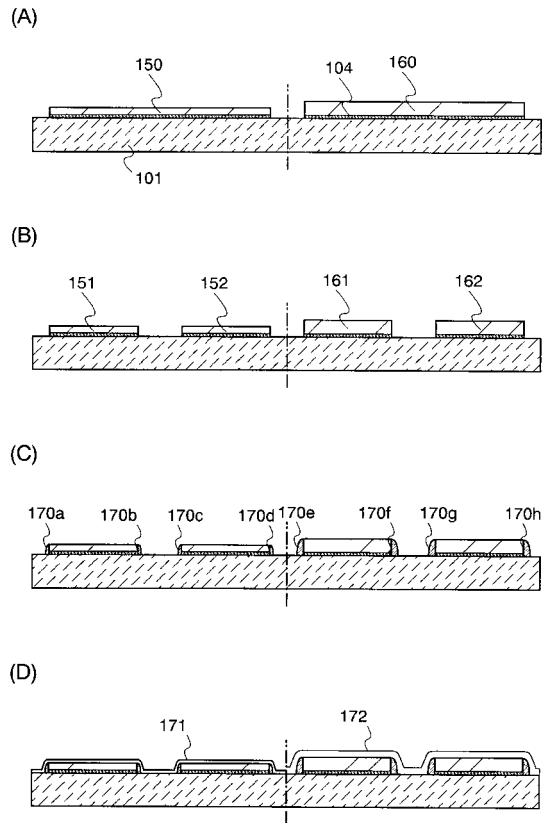
【図 1】



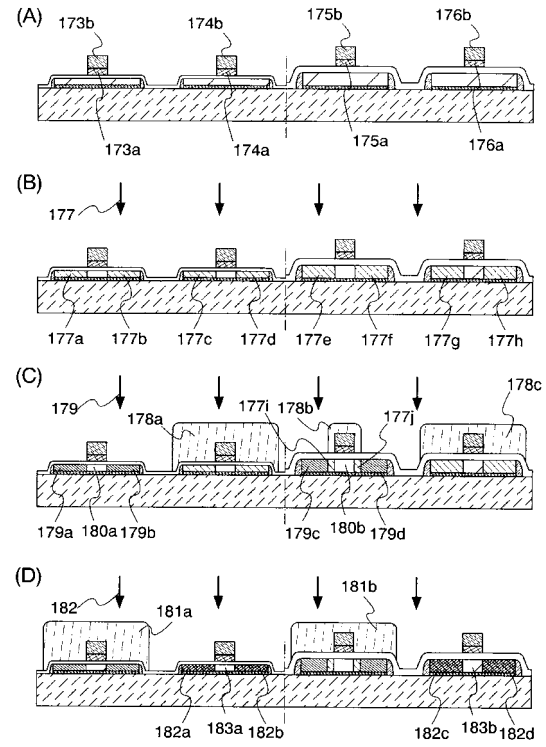
【図 2】



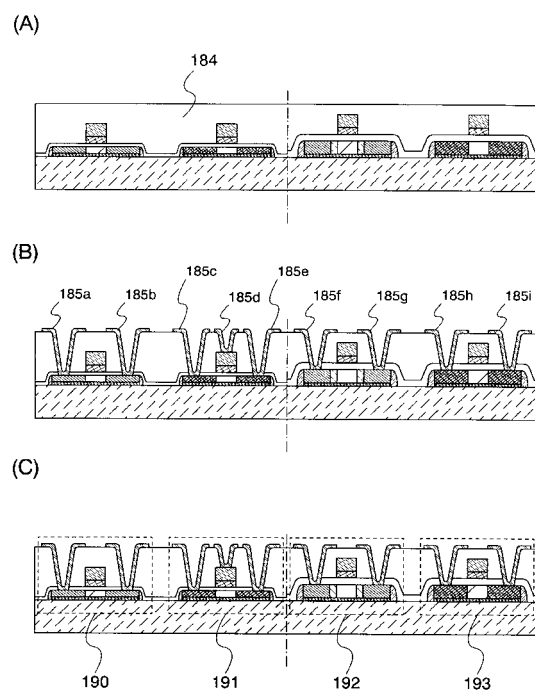
【図 3】



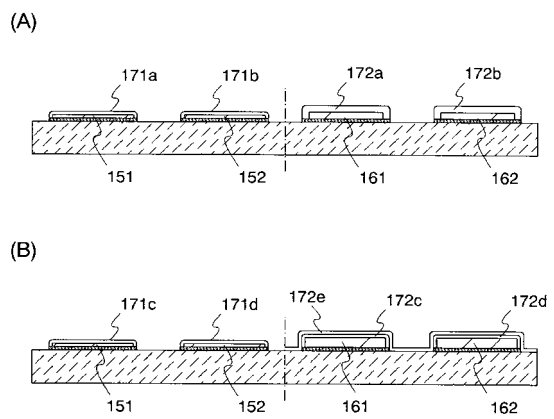
【図 4】



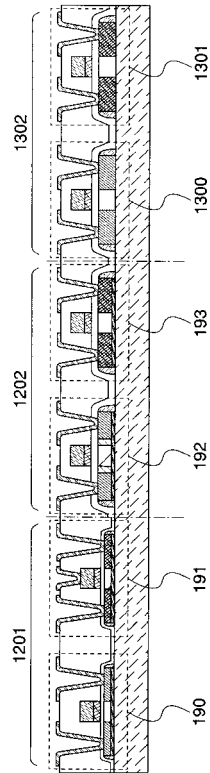
【図 5】



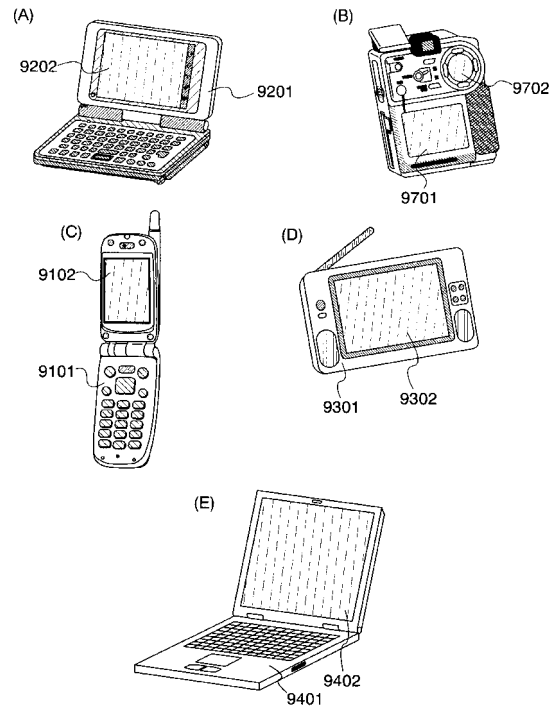
【図 6】



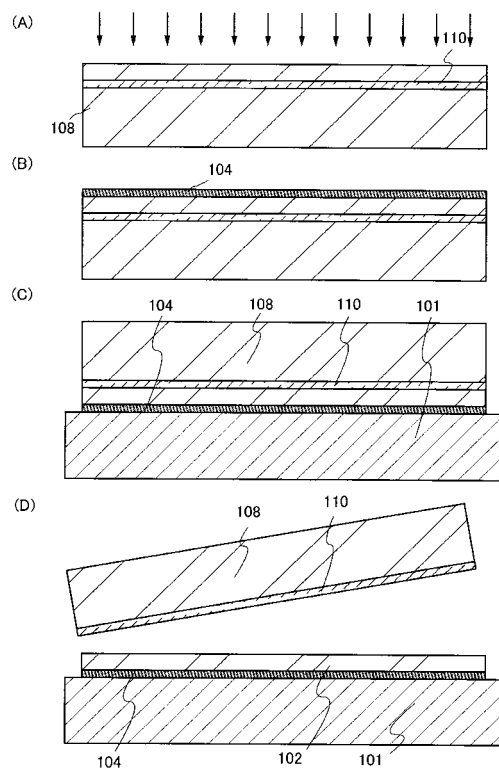
【図 7】



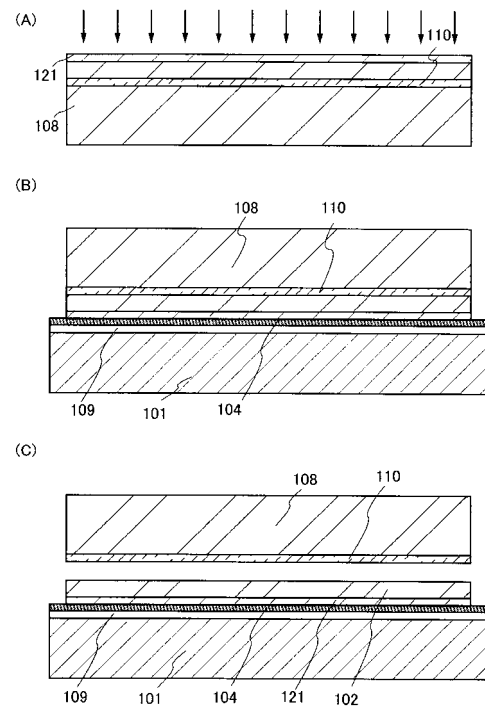
【図 8】



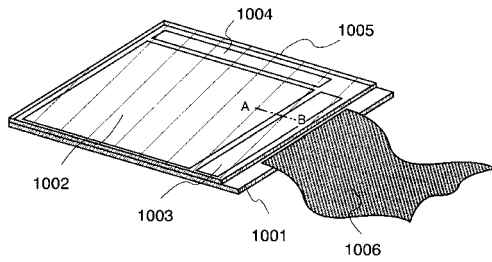
【図 9】



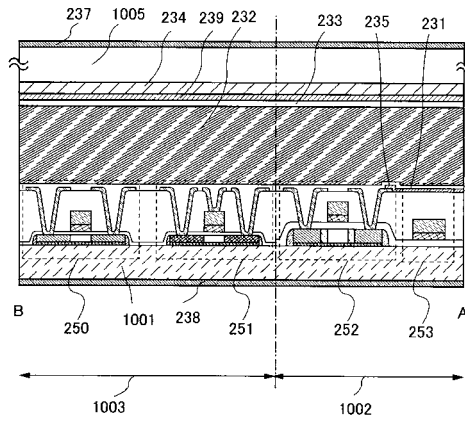
【図 10】



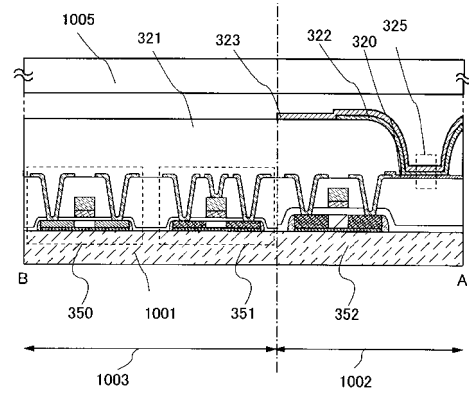
【図 1 1】



【図 1 2】

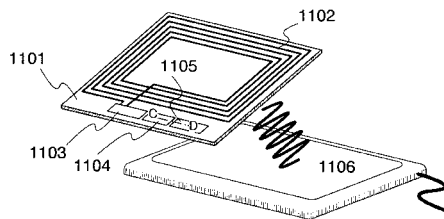


【図 1 3】

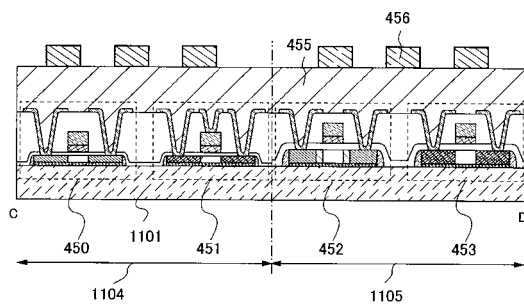


【図 1 4】

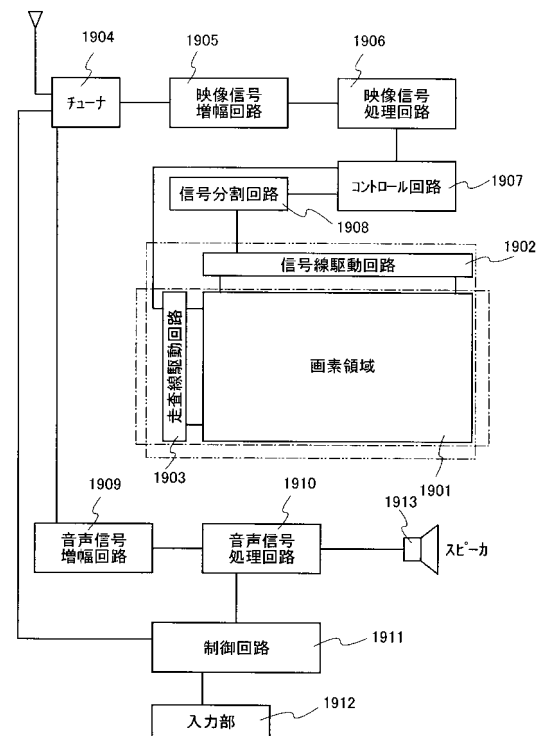
(A)



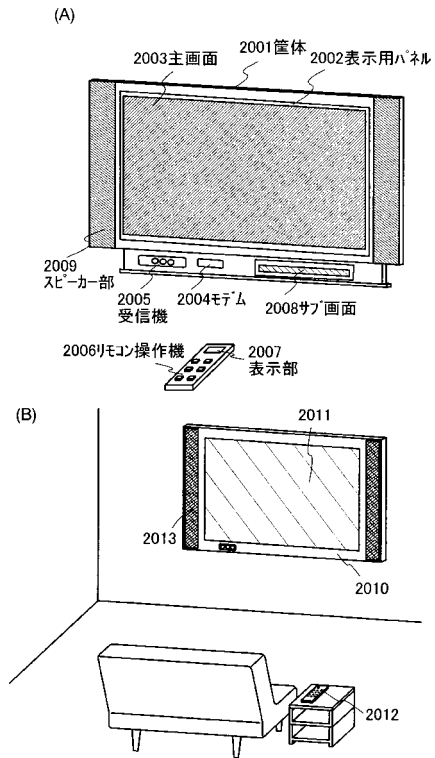
(B)



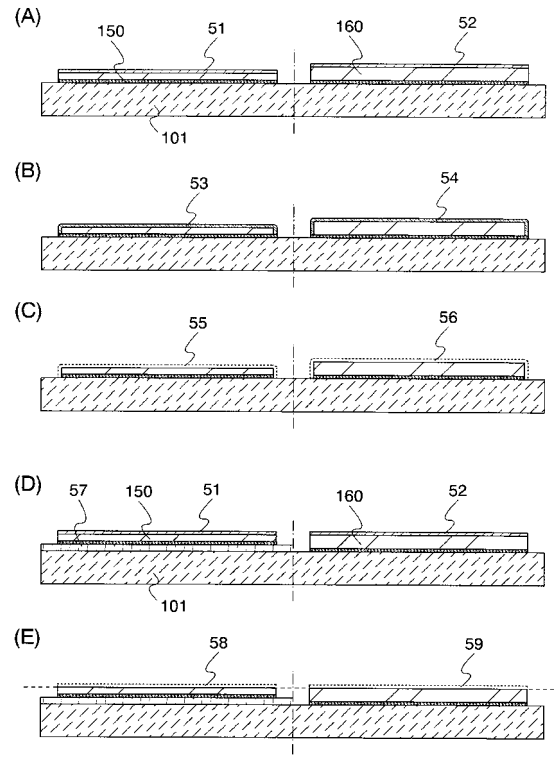
【図 1 5】



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L 21/20 (2006.01)		H 0 1 L 21/20	
H 0 1 L 27/08 (2006.01)		H 0 1 L 27/08	3 3 1 E
H 0 1 L 21/8234 (2006.01)		H 0 1 L 27/08	1 0 2 A
H 0 1 L 27/088 (2006.01)			

(56)参考文献 特開平 1 0 - 2 6 1 8 0 3 (J P , A)
 特開平 0 6 - 0 7 5 2 4 4 (J P , A)
 特開 2 0 0 3 - 2 7 0 6 6 5 (J P , A)
 特開 2 0 0 4 - 1 2 8 5 1 4 (J P , A)
 特開 2 0 0 1 - 1 0 2 4 4 2 (J P , A)
 特表 2 0 0 5 - 5 2 7 1 1 1 (J P , A)
 特開 2 0 0 4 - 3 1 9 9 8 8 (J P , A)
 特開 2 0 0 4 - 1 6 5 6 0 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 9 / 7 8 6
H 0 1 L	2 1 / 0 2
H 0 1 L	2 1 / 2 0
H 0 1 L	2 1 / 2 6 5
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 1 / 8 2 3 4
H 0 1 L	2 7 / 0 8
H 0 1 L	2 7 / 0 8 8
H 0 1 L	2 7 / 1 2
H 0 1 L	2 9 / 7 8 6
H 0 1 L	2 1 / 0 2
H 0 1 L	2 1 / 2 0
H 0 1 L	2 1 / 2 6 5
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 1 / 8 2 3 4
H 0 1 L	2 7 / 0 8
H 0 1 L	2 7 / 0 8 8
H 0 1 L	2 7 / 1 2