

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年2月8日(08.02.2024)



(10) 国際公開番号

WO 2024/028983 A1

(51) 国際特許分類:
H02M 7/49 (2007.01) H02M 7/501 (2007.01)

(21) 国際出願番号: PCT/JP2022/029665

(22) 国際出願日: 2022年8月2日(02.08.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者: 吉野 浩行 (YOSHINO Hiroyuki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 小

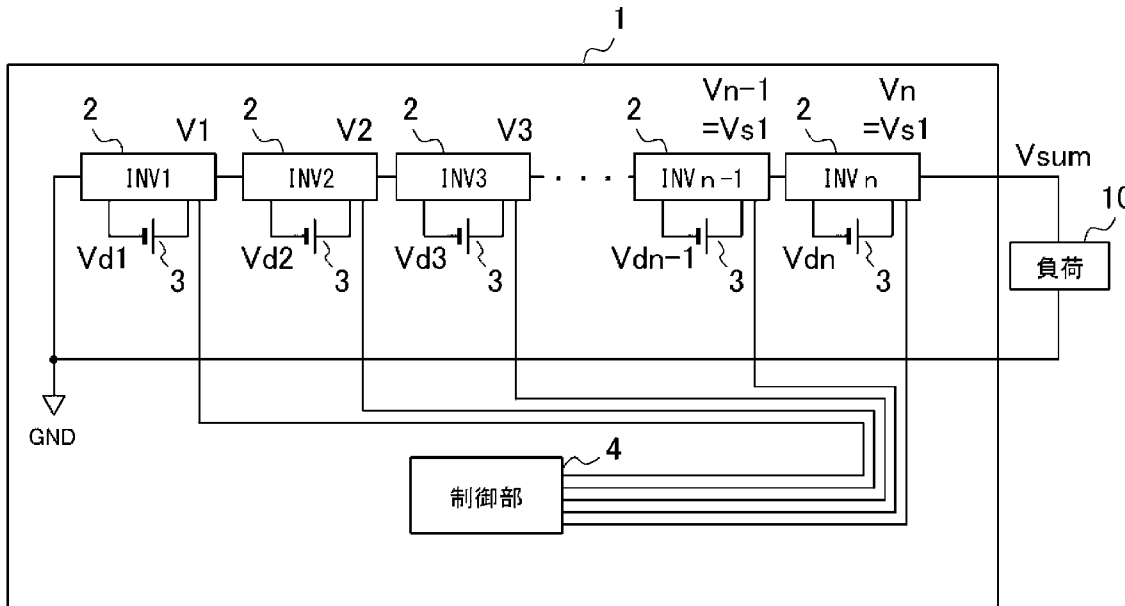
鹿 聡士(OJIKI Satoshi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 渡辺 章太(WATANABE Shota); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 岩路 寛康(IWABUKI Hiroyasu); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 弁理士法人ぱるも特許事務所(PALMO PATENT FIRM, P.C.); 〒6610033 兵庫県尼崎市南武庫之荘3丁目35番8号 Hyogo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

(54) Title: POWER CONVERSION DEVICE

(54) 発明の名称: 電力変換装置



4 Control unit
10 Load

(57) Abstract: The present invention aims to suppress increase in size and cost in a power conversion device having three or more single-phase inverters. A power conversion device (1) having three or more single-phase inverters (2) that convert DC power into AC power and a control unit (4) that controls the single-phase inverters, wherein the three or more single-phase inverters are connected in series, and the three or more single-phase inverters are configured to include at least two first common single-phase inverters that output first common voltages having the same absolute voltage value,

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

and at least one single-phase inverter that outputs a voltage having an absolute value smaller than the first common voltage, the absolute voltage value being the absolute value of the output voltage of the single-phase inverter.

- (57) 要約: 3個以上の単相インバータを有する電力変換装置において、大型化、高コスト化を抑制することを目的とする。直流電力を交流電力に変換する3個以上の単相インバータ(2)と、単相インバータを制御する制御部(4)とを有する電力変換装置(1)であって、3個以上の単相インバータは直列に接続されており、単相インバータの出力電圧の絶対値を電圧絶対値とした場合、3個以上の前記単相インバータは、電圧絶対値が同じ第1共通電圧を出力する少なくとも2個の第1共通単相インバータと、第1共通電圧よりも小さい電圧絶対値の電圧を出力する少なくとも1個の単相インバータとを含んで構成されている。

明 細 書

発明の名称：電力変換装置

技術分野

[0001] 本願は、電力変換装置に関する。

背景技術

[0002] 電力変換装置の1つとして、大容量の出力フィルタを必要とせずに、負荷に滑らかな交流波形を出力することができる階調制御型の電力変換装置が知られている。階調制御型の電力変換装置は、複数の単相インバータが直列に接続されて構成されている。従来の階調制御型の電力変換装置として、複数の単相インバータの各々の出力電圧の絶対値をそれぞれ概ね 2^K 倍（ $K = 0, 1, 2, \dots$ ）とした電力変換装置が開示されている。この電力変換装置は、複数の単相インバータがそれぞれ出力した電圧の総和電圧を階調制御して負荷に出力している（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2004-7941号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、従来の電力変換装置においては、複数の単相インバータの各々の出力電圧の絶対値をそれぞれ概ね 2^K 倍としているので、大きな電圧を出力する単相インバータが含まれている。そのため、最も大きな出力電圧の単相インバータが大型化すると共に、単相インバータの効率低下を抑制するための放熱器なども大型になる。その結果、従来の電力変換装置には、大型化、高コスト化するという問題があった。

[0005] 本願は上述のような課題を解決するためになされたもので、複数の単相インバータを有する電力変換装置において、大型化、高コスト化を抑制することができる電力変換装置を提供することを目的とする。

課題を解決するための手段

[0006] 本願の電力変換装置は、直流電力を交流電力にそれぞれ変換する３個以上の単相インバータと、単相インバータを制御する制御部とを有している。そして、本願の電力変換装置においては、３個以上の単相インバータは直列に接続されており、単相インバータの出力電圧の絶対値を電圧絶対値とした場合、３個以上の単相インバータは、電圧絶対値が同じ第１共通電圧を出力する少なくとも２つの第１共通単相インバータと、第１共通電圧よりも小さい電圧絶対値の電圧を出力する少なくとも１つの単相インバータとを含んで構成されており、制御部は、単相インバータの出力電圧の総和電圧を負荷に出力する。

発明の効果

[0007] 本願の電力変換装置は、３個以上の単相インバータが電圧絶対値が同じ第１共通電圧を出力する少なくとも２つの第１共通単相インバータと、第１共通電圧よりも小さい電圧絶対値の電圧を出力する少なくとも１つの単相インバータとを含んで構成されているので、電力変換装置の大型化、高コスト化を抑制することができる。

図面の簡単な説明

[0008] [図1]実施の形態１に係る電力変換装置の構成図である。

[図2]実施の形態１に係る電力変換装置における制御部および単相インバータの構成図である。

[図3]実施の形態１に係る電力変換装置における単相インバータの制御の例を示す説明図である。

[図4]実施の形態１に係る電力変換装置における４つの単相インバータの出力電圧波形と全体の出力電圧波形とを示した説明図である。

[図5]実施の形態１に係る電力変換装置における階調レベルの出力を実現する４つの単相インバータの組み合わせを示した説明図である。

[図6]実施の形態１に係る比較例の電力変換装置における４つの単相インバータの出力電圧波形と全体の出力電圧波形とを示した説明図である。

[図7]実施の形態1に係る比較例の電力変換装置における階調レベルの出力を実現する4つの単相インバータの組み合わせを示した説明図である。

[図8]実施の形態1に係る電力変換装置の電圧構成を表にした説明図である。

[図9]実施の形態1に係る電力変換装置の電圧構成を表にした説明図である。

[図10]実施の形態2に係る電力変換装置における4つの単相インバータの出力電圧波形と全体の出力電圧波形とを示した説明図である。

[図11]実施の形態2に係る電力変換装置における階調レベルの出力を実現する4つの単相インバータの組み合わせを示した説明図である。

[図12]実施の形態2に係る電力変換装置における4つの単相インバータの出力電圧波形と全体の出力電圧波形とを示した説明図である。

[図13]実施の形態2に係る電力変換装置における階調レベルの出力を実現する4つの単相インバータの組み合わせを示した説明図である。

[図14]実施の形態2に係る電力変換装置の電圧構成を表にした説明図である。
。

[図15]実施の形態2に係る電力変換装置の電圧構成を表にした説明図である。
。

[図16]実施の形態3に係る電力変換装置の構成図である。

[図17]実施の形態3に係る電力変換装置の出力検出部の回路図である。

[図18]実施の形態3に係る電力変換装置の出力検出部の回路図である。

[図19]実施の形態3に係る電力変換装置の階調制御信号発生部の構成図である。

[図20]実施の形態3に係る電力変換装置における階調レベルの出力を実現する4つの単相インバータの組み合わせを示した説明図である。

[図21]実施の形態3に係る電力変換装置における4つの単相インバータの出力電圧波形を示した説明図である。

[図22]実施の形態4に係る電力変換装置における階調レベルの出力を実現する4つの単相インバータの組み合わせを示した説明図である。

[図23]実施の形態4に係る電力変換装置における制御方法を示すフローチャー

トである。

[図24]実施の形態4に係る電力変換装置におけるスイッチング分散処理の説明図である。

[図25]実施の形態4に係る電力変換装置における階調レベルの出力を実現する4つの単相インバータの組み合わせを示した説明図である。

[図26]実施の形態4に係る電力変換装置におけるスイッチング分散処理の説明図である。

[図27]実施の形態5に係る電力変換装置の構成図である。

[図28]実施の形態5に係る電力変換装置における階調レベルの出力を実現する4つの単相インバータの組み合わせを示した説明図である。

[図29]実施の形態5に係る電力変換装置の電圧構成を表にした説明図である。

[図30]実施の形態5に係る電力変換装置の電圧構成を表にした説明図である。

[図31]実施の形態6に係る電力変換装置における階調レベルの出力を実現する4つの単相インバータの組み合わせを示した説明図である。

[図32]実施の形態6に係る電力変換装置における制御方法を示すフローチャートである。

[図33]実施の形態6に係る電力変換装置におけるスイッチング分散処理の説明図である。

[図34]実施の形態6に係る電力変換装置における階調レベルの出力を実現する4つの単相インバータの組み合わせを示した説明図である。

[図35]実施の形態7に係る電力変換装置の構成図である。

[図36]実施の形態7に係る電力変換装置の階調制御信号発生部の構成図である。

[図37]実施の形態7に係る電力変換装置における制御方法を示すフローチャートである。

[図38]実施の形態7に係る電力変換装置における直流電源の電圧調整の説明図

である。

[図39]実施の形態7に係る電力変換装置における直流電源の電圧調整の説明図である。

[図40]実施の形態1から7に係る電力変換装置の制御部を実現するハードウェア構成を示す図である。

発明を実施するための形態

[0009] 以下、本願を実施するための実施の形態に係る電力変換装置について、図面を参照して詳細に説明する。なお、各図において同一符号は同一もしくは相当部分を示している。

[0010] 実施の形態1.

図1は、実施の形態1に係る電力変換装置の構成図である。本実施の形態の電力変換装置1は、3個以上の単相インバータ2が直列に接続されている。図1に示す電力変換装置1においては、INV1、INV2、INV3、
... INVn-1、INVnのn個の単相インバータ2が直列に接続されている。ここで、nは自然数である。単相インバータ2には、それぞれ直流電源3が接続されている。INVnの単相インバータ2に接続された直流電源3の出力電圧を V_{dn} とする。それぞれの単相インバータ2は、直流電源3から供給された直流電力を階調制御された交流電力に変換する。INV1の単相インバータ2の電圧出力時の発生電圧の絶対値を V_1 、INV2の単相インバータ2の電圧出力時の発生電圧の絶対値を V_2 、INVnの単相インバータ2の電圧出力時の発生電圧の絶対値を V_n とする。なお、これ以降、単相インバータ2の電圧出力時の発生電圧の絶対値を電圧絶対値と称する。それぞれの単相インバータ2には、制御部4が接続されている。制御部4は、それぞれの単相インバータ2を制御すると共に、それぞれの単相インバータ2の出力電圧の総和を、全体出力電圧 V_{sum} として電力変換装置1から負荷10に出力するように制御する。なお、本実施の形態の電力変換装置1は、負荷10の種類として抵抗性負荷、容量性負荷、誘導性負荷およびそれらが組み合わされた負荷など幅広い種類の負荷に対応可能である。

[0011] 本実施の形態の電力変換装置 1 において、複数の単相インバータ 2 のうち 2 つの単相インバータの電圧絶対値が同じ第 1 共通電圧 V_{s1} に設定されている。図 1 に示す電力変換装置 1 においては、 $IN V_{n-1}$ の単相インバータの電圧絶対値 V_{n-1} と $IN V_n$ の単相インバータの電圧絶対値 V_n とが同じ V_{s1} に設定されている。電圧絶対値が第 1 共通電圧に設定された単相インバータを第 1 共通単相インバータと称する。第 1 共通電圧 V_{s1} は、他の単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 、 $\dots$ 、 V_{n-2} の最小値よりも大きな値に設定されている。2 つの第 1 共通単相インバータは、第 1 共通電圧 V_{s1} を同時に出力可能である。

[0012] 図 2 は、本実施の形態の電力変換装置における制御部および単相インバータの構成図である。 $IN V_m$ の単相インバータ 2 は、4 つのスイッチング素子 23 (Q_{mNL} 、 Q_{mNH} 、 Q_{mPL} および Q_{mPH}) を有したフルブリッジインバータである。ここで、 m は 1 から n までの自然数である。このフルブリッジインバータは、2 つのスイッチング素子 Q_{mNL} および Q_{mNH} で構成された 1 つのハーフブリッジインバータ 21 と、2 つのスイッチング素子 Q_{mPL} および Q_{mPH} で構成された他の 1 つのハーフブリッジインバータ 22 とで構成されている。ハーフブリッジインバータ 21、22 には、図 2 の矢印で示す向きが正電圧となる、出力電圧 V_{dm} の直流電源 3 が接続されている。直流電源 3 と $IN V_m$ の単相インバータ 2 との間には、キャパシタを設けてもよい。

[0013] $IN V_m$ の単相インバータ 2 は、図 2 の矢印で示す向きが正電圧となる電圧絶対値が V_m の電圧を出力する。なお、本実施の形態において、直流電源 3 から単相インバータ 2 の出力端子間に存在するスイッチング素子、配線などの抵抗成分は無視可能なレベルと仮定することで、 $IN V_m$ の単相インバータ 2 の出力電圧 V_m は直流電源 3 の出力電圧 V_{dm} と同じとする。

[0014] 図 2 において、4 つのスイッチング素子 23 は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) として示されている。スイッチング素子 23 は、

MOSFET以外に、トランジスタ、IGBT (Insulated Gate Bipolar Transistor) などであってもよい。また、図2においては1つのスイッチング素子23は1つの部品で構成されているが、耐電圧および耐電流を確保するために、1つのスイッチング素子23は複数個のスイッチング素子を直列接続、並列接続または直列と並列との混合接続で構成されてもよい。

[0015] INVmの単相インバータ2の2つのハーフブリッジインバータ21、22には制御部4からゲート駆動信号が入力される。制御部4は、階調制御信号生成部41とゲートドライバ42とで構成されている。階調制御信号生成部41は、INVmの単相インバータ2を階調制御するための階調制御信号SmNおよびSmPを生成する。階調制御信号SmNおよびSmPはゲートドライバ42に入力される。ゲートドライバ42は、階調制御信号SmNおよびSmPにデッドタイム生成部43 (DTmNおよびDTmP) でデッドタイムをそれぞれ付与する。さらに、ゲートドライバ42は、ゲート駆動信号出力部44 (GomNL、GomNH、GomPLおよびGomPH) からレベルシフトされた階調制御信号をゲート駆動信号として2つのハーフブリッジインバータ21、22に出力する。2つのハーフブリッジインバータ21、22は、ゲート駆動信号によってゲート駆動が実施される。

[0016] なお、図2において、制御部4は1つのゲートドライバ42で2つのハーフブリッジインバータを駆動する構成を示している。制御部4は、1つのハーフブリッジインバータを駆動するゲートドライバを2つ備えていてもよい。また、図2において、階調制御信号生成部41は、それぞれのハーフブリッジインバータの制御用にそれぞれ1本の階調制御信号SmNおよびSmPを出力している。別の構成として、階調制御信号生成部41は、階調制御信号SmNおよびSmPとそれらを論理反転させた信号を生成し、それぞれのハーフブリッジインバータの制御用にそれぞれ2本の階調制御信号を出力してもよい。この場合、ゲートドライバ42のデッドタイム生成部43 (DTmNおよびDTmP) を取り除き、階調制御信号生成部41で論理反転させ

た階調制御信号にデッドタイムを付与した状態でそれぞれの階調制御信号を出力してもよい。

[0017] 図3は、本実施の形態における I_{NVm} の単相インバータの制御の例を示す説明図である。図3は、階調制御信号 S_{mN} および S_{mP} に対する I_{NVm} の単相インバータを構成する4つのスイッチング素子23 (Q_{mNL} 、 Q_{mNH} 、 Q_{mPL} および Q_{mPH}) のそれぞれのオン状態およびオフ状態の変化、並びに I_{NVm} の単相インバータの出力電圧 V_m の変化を示している。なお、図3において、それぞれの信号はデッドタイムが省略された状態で示されている。

[0018] 図3に示すように、階調制御信号 S_{mN} および S_{mP} が共にローレベル (L) の場合、それぞれのハーフブリッジインバータのローサイド側のスイッチング素子 Q_{mNL} および Q_{mPL} がオン状態となり、ハイサイド側のスイッチング素子 Q_{mNH} および Q_{mPH} はオフ状態となり、 I_{NVm} の単相インバータは非電圧出力状態 ($V_m = 0V$) となる。階調制御信号 S_{mN} がローレベル (L)、 S_{mP} がハイレベル (H) の場合、ハーフブリッジインバータのローサイド側のスイッチング素子 Q_{mNL} がオン状態でスイッチング素子 Q_{mPL} がオフ状態となり、ハーフブリッジインバータのハイサイド側のスイッチング素子 Q_{mNH} がオフ状態でスイッチング素子 Q_{mPH} がオン状態となる。そのため、単相インバータは電圧出力状態となり、出力電圧 V_m は $+V_{dm}$ (正電圧) となる。階調制御信号 S_{mN} がハイレベル (H)、 S_{mP} がローレベル (L) の場合、ハーフブリッジインバータのローサイド側のスイッチング素子 Q_{mNL} がオフ状態でスイッチング素子 Q_{mPL} がオン状態となり、ハーフブリッジインバータのハイサイド側のスイッチング素子 Q_{mNH} がオン状態でスイッチング素子 Q_{mPH} がオフ状態となる。そのため、単相インバータは電圧出力状態となり、出力電圧 V_m は $-V_{dm}$ (負電圧) となる。

[0019] 図2に示した単相インバータは、出力電圧 V_m の極性を切り替えて出力可能な場合の構成である。単極性のみの出力電圧を負荷に出力する電力変換装

置の場合は、単相インバータの構成は図2に示したものに限らない。例えば、正電圧だけを出力すればよい電力変換装置の場合、図2におけるハーフブリッジインバータ21のハイサイド側のスイッチング素子 Q_{mNH} を取り除いてオープン状態とし、かつローサイド側のスイッチング素子 Q_{mNL} のドレインおよびソース端子間をショート状態とし（ Q_{mNL} の取り除いてもよい）、ハーフブリッジインバータ22のみで単相インバータを構成してもよい。

[0020] これ以降、本実施の形態の電力変換装置の制御方法について説明する。説明をわかり易くするために、4個の単相インバータで構成された電力変換装置を例に挙げて説明する。また、比較例として、4個の単相インバータの出力電圧の電圧絶対値の比が1 : 2 : 4 : 8の電力変換装置も合わせて説明する。

[0021] 図4は、本実施の形態の電力変換装置において、出力電圧指示波形として正弦波を用いた場合の V_1 、 V_2 、 V_3 および V_4 をそれぞれ出力する4個の単相インバータの出力電圧波形と、階調制御された全体出力電圧 V_{sum} の波形を示した説明図である。また、図5は、本実施の形態の電力変換装置における階調レベルの出力を実現する4つの単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の組み合わせを表で示した説明図である。本実施の形態の電力変換装置において、4個の単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の比は、1 : 2 : 4 : 4である。全体出力電圧 V_{sum} の最大電圧が $\pm 130V$ となるように、 V_1 、 V_2 、 V_3 および V_4 が設定されている。具体的には $V_1 = 11.81V$ 、 $V_2 = 23.63V$ 、 $V_3 = V_4 = 47.27V$ である。すなわち、4個の単相インバータのうち2個の単相インバータの電圧絶対値が同じ第1共通電圧 $V_{s1} = 47.27V$ に設定されている。図5に示す表において、4個の単相インバータがそれぞれ電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の出力指示を受けた状態を「1」、出力指示を受けていない状態を「0」で表記されている。また、それぞれの単相インバータは、出力電圧指示の波形が正電圧の期間に出力指示「1」を

受けた場合は正電圧を、出力電圧指示の波形が負電圧の期間に出力指示「1」を受けた場合は負電圧を出力する。

[0022] 図6は、比較例の電力変換装置において、出力電圧指示波形として正弦波を用いた場合の V_1 、 V_2 、 V_3 および V_4 をそれぞれ出力する4個の単相インバータの出力電圧の波形と、階調制御された全体出力電圧 V_{sum} の波形を示した説明図である。また、図7は、比較例の電力変換装置における階調レベルの出力を実現する4つの単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の組み合わせを表で示した説明図である。比較例の電力変換装置において、4個の単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の比は、 $1:2:4:8$ である。全体出力電圧 V_{sum} の最大電圧が $\pm 130V$ となるように、 V_1 、 V_2 、 V_3 および V_4 が設定されている。具体的には $V_1 = 8.66V$ 、 $V_2 = 17.33V$ 、 $V_3 = 34.66V$ 、 $V_4 = 69.33V$ である。

[0023] 図4および図5に示す本実施の形態の電力変換装置において、単相インバータの中で電圧絶対値が最大となるものは第1共通電圧 $V_{s1} = 47.27V$ に設定された V_3 および V_4 を出力する2つの単相インバータである。一般的なMOSFETのスイッチング素子の耐圧ラインナップを考慮すると、 V_3 および V_4 を出力する単相インバータのMOSFETのスイッチング素子は $60V$ 以上の耐圧を有するものが必要となる。また次に電圧が高い V_2 ($23.63V$)を出力する単相インバータについても、スイッチング速度および遅延特性の違いによる V_{sum} 波形の精度悪化を防ぐためには、 V_4 を出力する単相インバータと同じMOSFETのスイッチング素子を用いた方が望ましい。以上のことから、本実施の形態の電力変換装置においては、 V_3 と V_4 を出力する2つの単相インバータについて、 $60V$ 以上の耐圧を有するMOSFETのスイッチング素子が必要となる。

[0024] これに対して、図6および図7に示す比較例の電力変換装置において、単相インバータの中で電圧絶対値が最大となるものは $69.33V$ に設定された V_4 を出力する単相インバータである。そのため、比較例の電力変換装置

において、 V_4 を出力する単相インバータのMOSFETのスイッチング素子の耐電圧は60Vでは不十分であり、MOSFETのスイッチング素子の耐圧ラインナップを考慮すると80Vの耐圧を有するものが必要となる。また次に電圧が高い V_3 (34.66V) を出力する単相インバータについても、 V_{sum} 波形の精度悪化を防ぐためには、 V_4 を出力する単相インバータと同じMOSFETのスイッチング素子を用いた方が望ましい。以上のことから、比較例の電力変換装置においては、 V_3 と V_4 を出力する2つの単相インバータについて、80V以上の耐圧を有するMOSFETのスイッチング素子が必要となる。

[0025] なお、本実施の形態の電力変換装置および比較例の電力変換装置において、 V_1 および V_2 は低電圧であるため、 V_1 および V_2 を出力する単相インバータのMOSFETのスイッチング素子については、耐電圧が30Vの低耐圧MOSFETを使用することもできる。

[0026] V_4 を出力する単相インバータの出力電圧波形を図4と図6とで比較すると、出力電圧指示波形である正弦波の1周期において V_4 を出力する単相インバータのスイッチング回数は、本実施の形態の電力変換装置と比較例の電力変換装置とでは同じである。しかしながら、本実施の形態の電力変換装置の V_4 の電圧の方が比較例の電力変換装置の V_4 の電圧よりも小さいので、本実施の形態の電力変換装置の方が比較例の電力変換装置よりもスイッチング損失を低減することができる。

[0027] また、 V_3 を出力する単相インバータの出力電圧波形を図4と図6とで比較すると、本実施の形態の電力変換装置の V_3 の電圧は比較例の電力変換装置の V_3 の電圧の1.36倍である。しかしながら、出力電圧指示波形である正弦波の1周期において V_3 を出力する単相インバータのスイッチング回数は、本実施の形態の電力変換装置が4回であるのに対して比較例の電力変換装置は12回である。スイッチング回数と電圧値との双方を考慮すると、 V_3 を出力する単相インバータのスイッチング素子についても、本実施の形態の電力変換装置の方が比較例の電力変換装置よりもスイッチング損失を低

減することができる。

[0028] このように本実施の形態の電力変換装置においては、3個以上の単相インバータが電圧絶対値が同じ第1共通電圧を出力する少なくとも2つの第1共通単相インバータと、第1共通電圧よりも小さい電圧絶対値を出力する少なくとも1つの単相インバータとを含んで構成されている。そのため、本実施の形態の電力変換装置は、比較例の電力変換装置よりも耐圧の低いMOSFETのスイッチング素子を用いることが可能となる。また、本実施の形態の電力変換装置は、耐圧の低いMOSFETのスイッチング素子を用いることができるので、比較例の電力変換装置よりもオン抵抗が小さくなるため導通損失を低減することができる。さらに、本実施の形態の電力変換装置は、比較例の電力変換装置よりもスイッチング損失も低減できる。第1共通単相インバータに接続する直流電源の電圧も低くなるため、例えば直流電源に並列接続され、第1共通単相インバータ内に配置されるキャパシタなども耐圧の低い素子を用いることができる。その結果、本実施の形態の電力変換装置は小型の単相インバータおよび小型の放熱器で構成することができるので、電力変換装置の大型化、高コスト化を抑制することができる。

[0029] なお、第1共通電圧は、単相インバータの電圧絶対値の最小値でないことが必要である。第1共通電圧が単相インバータの電圧絶対値の最小値に設定された場合、階調数を大きく減少させない限り単相インバータの出力の最大電圧を低電圧化できないためである。本実施の形態の電力変換装置においては、第1共通電圧を単相インバータの電圧絶対値の最大値に設定しているので、階調数を大きく減少させることなく電力変換装置の大型化、高コスト化を抑制することができる。

[0030] これまでの説明において、本実施の形態の電力変換装置として4個の単相インバータで構成された電力変換装置で説明した。本実施の形態の電力変換装置は、3個以上の単相インバータで構成されていればよい。これ以降、3～5個の単相インバータで構成された本実施の形態の電力変換装置の特性について説明する。なお、比較のために複数の単相インバータの出力電圧の絶

対値をそれぞれ概ね 2^K 倍（ $K=0、1、2、\dots$ ）とした比較例の電力変換装置の特性も合わせて説明する。

[0031] 図8は、3～5個の単相インバータで構成された本実施の形態の電力変換装置の電圧構成を表にした説明図である。図8の表には、 $V_1 \sim V_5$ の電圧比率と $V_1 \sim V_5$ の電圧とを示している。 $V_1 \sim V_5$ の電圧は、全体出力電圧 V_{sum} が $\pm 130V$ となるように設定されている。図8に示すように、比較例の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 2 : 4 : 8 : 16$ に設定されている。

[0032] 本実施の形態の電力変換装置において、実施例1～実施例8の電力変換装置は5個の単相インバータで構成されており、実施例9の電力変換装置は3個の単相インバータで構成されており、実施例10の電力変換装置は4個の単相インバータで構成されている。実施例1の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 2 : 4 : 8 : 8$ に設定されている。実施例2の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 2 : 5 : 9 : 9$ に設定されている。実施例3の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 2 : 6 : 10 : 10$ に設定されている。実施例4の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 2 : 7 : 11 : 11$ に設定されている。実施例5の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 2 : 2 : 2 : 2$ に設定されている。実施例6の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 2 : 4 : 4 : 4$ に設定されている。実施例7の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 3 : 9 : 14 : 14$ に設定されている。実施例8の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 3 : 5 : 5 : 5$ に設定されている。実施例9の電力変換装置においては、 $V_1 : V_2 : V_3 = 1 : 2 : 2$ に設定されている。実施例10の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 = 1 : 2 : 2 : 2$ に設定されている。実施例1～実施例10の電力変換装置は、いずれも電圧比率が1および2を含む、または電圧比率が1および3を含んで構成されている。

[0033] 図8に示された実施例1～実施例10の電力変換装置における単相インバータの最大電圧は、比較例の電力変換装置における単相インバータの最大電圧よりも小さい。そのため、実施例1～実施例10の電力変換装置は、比較例の電力変換装置よりも耐圧の低いMOSFETのスイッチング素子を用いることが可能となる。

[0034] ここで、実施例2および実施例7においては、各階調レベルを実現するために複数の単相インバータにおいて同じ時間に異なる極性の電圧出力が必要となる場合がある。例えば、実施例2においては、電圧絶対値の比率が1のV1を出力する単相インバータが負電圧を出力し、電圧絶対値の比率が5のV3を出力する単相インバータが正電圧を出力することで、階調レベル4を実現することができる（ $5 - 1 = 4$ ）。また、実施例7においては、電圧絶対値の比率が1のV1を出力する単相インバータが負電圧を出力し、電圧絶対値の比率が3のV2を出力する単相インバータが負電圧を出力し、電圧絶対値の比率が9のV3を出力する単相インバータが正電圧を出力することで、階調レベル5を実現することができる（ $9 - 3 - 1 = 5$ ）。

[0035] このように、図8に示された実施例1～実施例10の電力変換装置においては、それぞれの最大階調レベル以下の範囲で負荷に交流電力を出力することができる。ここで、電圧絶対値の最小比率1に対して第1共通電圧の比率をJとし、比率がJよりも小さい電圧絶対値の比率の総和をKとする。例えば、実施例2では $J = 9$ 、 $K = 1 + 2 + 5 = 8$ となり、JとKとの関係は $J = K + 1$ である。また、実施例7では $J = 14$ 、 $K = 1 + 3 + 9 = 13$ となり、JとKとの関係は $J = K + 1$ である。このように、実施例1～実施例10の電力変換装置においては、すべて $J = K + 1$ の関係が成り立つ。このような関係が成り立つようにすることで、本実施の形態の電力変換装置は、各階調レベルの出力を実現する組み合わせの重複を回避して、より少ない個数の単相インバータで構成できると共に、比較例の電力変換装置よりも耐圧の低いMOSFETのスイッチング素子を用いることができるため、電力変換装置の大型化、高コスト化を抑制することができる。

なお、このJとKとの関係は、実施例9の3個の単相インバータで構成された電力変換装置、および実施例10の4個の単相インバータで構成された電力変換装置においても成り立つ。このJとKとの関係は、6個以上の単相インバータで構成された電力変換装置においても成り立つ。

[0036] 実施例1～実施例10の電力変換装置においては、単相インバータの最大出力電圧を第1共通電圧としている。本実施の形態の電力変換装置においては、第1共通電圧は単相インバータの最大出力電圧でなくてもよい。

[0037] 図9は、5個の単相インバータで構成された本実施の形態の電力変換装置の電圧構成を表にした説明図である。図9の表には、 $V_1 \sim V_5$ の電圧比率と $V_1 \sim V_5$ の電圧とを示している。 $V_1 \sim V_5$ の電圧は、全体出力電圧 V_{sum} が $\pm 130V$ となるように設定されている。なお、図9には $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 2 : 4 : 8 : 16$ に設定された比較例の電力変換装置も示している。

[0038] 図9に示す実施例11の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 2 : 2 : 2 : 4$ に設定されている。実施例12の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 2 : 4 : 4 : 8$ に設定されている。実施例13の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 3 : 5 : 5 : 10$ に設定されている。実施例11～実施例13の電力変換装置においては、第1共通電圧は単相インバータの最大出力電圧ではない。

[0039] 図9に示された実施例11～実施例13の電力変換装置における単相インバータの最大電圧は、比較例の電力変換装置における単相インバータの最大電圧よりも小さい。そのため、実施例11～実施例13の電力変換装置は、比較例の電力変換装置よりも耐圧の低いMOSFETのスイッチング素子を用いることが可能となる。

[0040] なお、図9に示された実施例11～実施例13の電力変換装置においても、 $J = K + 1$ の関係が成り立つ。例えば、実施例12では $J = 4$ 、 $K = 1 + 2 = 3$ となり、 $J = K + 1$ となる。

[0041] 実施の形態 2.

実施の形態 1 に係る電力変換装置においては、電圧絶対値の最小比率 1 に対して、第 1 共通電圧の比率を J とし、比率が J よりも小さい電圧絶対値の比率の総和を K としたときに、 $J = K + 1$ の関係が成り立つ。実施の形態 2 においては、 $J = 2K + 1$ の関係が成り立つ電力変換装置について説明する。

[0042] 本実施の形態の電力変換装置の構成は、実施の形態 1 の図 1 に示した電力変換装置の構成と同様である。本実施の形態の電力変換装置においては、複数の単相インバータの出力電圧が実施の形態 1 の電力変換装置と異なっている。なお、説明をわかり易くするために、4 個の単相インバータで構成された電力変換装置を例に挙げて説明する。

[0043] 図 10 は、本実施の形態の電力変換装置において、出力電圧指示波形として正弦波を用いた場合の V_1 、 V_2 、 V_3 および V_4 をそれぞれ出力する 4 個の単相インバータの出力電圧波形と、階調制御された全体出力電圧 V_{sum} の波形を示した説明図である。また、図 11 は、本実施の形態の電力変換装置における階調レベルの出力を実現する 4 つの単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の組み合わせを表で示した説明図である。本実施の形態の電力変換装置において、4 個の単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の比は、 $1 : 2 : 7 : 7$ である。全体出力電圧 V_{sum} の最大電圧が $\pm 130V$ となるように、 V_1 、 V_2 、 V_3 および V_4 が設定されている。具体的には $V_1 = 7.64V$ 、 $V_2 = 15.29V$ 、 $V_3 = V_4 = 53.52V$ である。すなわち、4 個の単相インバータのうち 2 個の単相インバータの電圧絶対値が同じ第 1 共通電圧 $V_{s1} = 53.52V$ に設定されている。図 11 に示す表において、4 個の単相インバータがそれぞれ電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の出力指示を受けた状態を「1」または「-1」、出力指示を受けていない状態を「0」で表記されている。それぞれの単相インバータは、出力電圧指示の波形が正電圧の期間に出力指示「1」を受けた場合は正電圧を、出力指示「-1」を受けた場合は負電

圧を出力する。また、それぞれの単相インバータは、出力電圧指示の波形が負電圧の期間に出力指示「1」を受けた場合は負電圧を、出力指示「-1」を受けた場合は正電圧を出力する。

[0044] 本実施の形態の電力変換装置においては、4個の単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の比は、 $1:2:7:7$ である。この場合 $J=7$ 、 $K=3$ となり、 $J=2K+1$ の関係が成り立つ。実施の形態1の図4および図5に示した電力変換装置においては、4個の単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の比は、 $1:2:4:4$ である。この電力変換装置においては、 $J=K+1$ の関係が成り立つ。また、この電力変換装置においては、最大階調レベルは11である。これに対して、 $J=2K+1$ の関係が成り立つ本実施の形態の電力変換装置においては、最大階調レベルは17となる。したがって、本実施の形態の電力変換装置の方が実施の形態1の電力変換装置よりも多くの最大階調レベルを実現できる。

[0045] 本実施の形態の電力変換装置における単相インバータの最大電圧は、実施の形態1で示した比較例の電力変換装置における単相インバータの最大電圧よりも小さい。そのため、本実施の形態の電力変換装置は、比較例の電力変換装置よりも耐圧の低いMOSFETのスイッチング素子を用いることが可能となり、導通損失を低減することができる。

[0046] V_4 を出力する単相インバータの出力電圧波形を図6と図10とで比較すると、出力電圧指示波形である正弦波の1周期において V_4 を出力する単相インバータのスイッチング回数は、本実施の形態の電力変換装置と比較例の電力変換装置とでは同じである。しかしながら、本実施の形態の電力変換装置の V_4 の電圧の方が比較例の電力変換装置の V_4 の電圧よりも小さいので、本実施の形態の電力変換装置の方が比較例の電力変換装置よりもスイッチング損失を低減することができる。

[0047] また、 V_3 を出力する単相インバータの出力電圧波形を図6と図10とで比較すると、本実施の形態の電力変換装置の V_3 の電圧は比較例の電力変換装置の V_3 の電圧の1.54倍である。しかしながら、出力電圧指示波形で

ある正弦波の1周期においてV3を出力する単相インバータのスイッチング回数は、本実施の形態の電力変換装置が4回であるのに対して比較例の電力変換装置は12回である。スイッチング回数と電圧値との双方を考慮すると、V3を出力する単相インバータのスイッチング素子についても、本実施の形態の電力変換装置の方が比較例の電力変換装置よりもスイッチング損失を低減することができる。

[0048] なお、V1およびV2を出力する単相インバータの出力電圧波形を図6と図10とで比較すると、出力電圧指示波形である正弦波の1周期においてV1およびV2を出力する単相インバータのスイッチング回数は、本実施の形態の電力変換装置の方が比較例の電力変換装置よりもが多い。しかしながら、V1およびV2はV3およびV4よりも十分低電圧であるため、V1およびV2を出力する単相インバータのスイッチング損失は、V3およびV4を出力する単相インバータのスイッチング損失よりも小さい。したがって、4個の単相インバータの全てのスイッチング損失は、本実施の形態の電力変換装置の方が比較例の電力変換装置よりも小さくなる。

[0049] 図12は、本実施の形態の電力変換装置において、出力電圧指示波形として正弦波を用いた場合のV1、V2、V3およびV4をそれぞれ出力する4個の単相インバータの出力電圧の波形と、階調制御された全体出力電圧Vsumの波形を示した説明図である。また、図13は、本実施の形態の電力変換装置における階調レベルの出力を実現する4つの単相インバータの電圧絶対値V1、V2、V3およびV4の組み合わせを表で示した説明図である。本実施の形態の電力変換装置において、4個の単相インバータの電圧絶対値V1、V2、V3およびV4の比は、1:3:9:9である。全体出力電圧Vsumの最大電圧が±130Vとなるように、V1、V2、V3およびV4が設定されている。具体的には $V1 = 5.91\text{V}$ 、 $V2 = 17.72\text{V}$ 、 $V3 = V4 = 53.18\text{V}$ である。すなわち、4個の単相インバータのうち2個の単相インバータの電圧絶対値が同じ第1共通電圧 $Vs1 = 53.18\text{V}$ に設定されている。

- [0050] 本実施の形態の電力変換装置においては、4個の単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の比は、 $1:3:9:9$ である。この場合 $J=9$ 、 $K=4$ となり、 $J=2K+1$ の関係が成り立つ。 $J=2K+1$ の関係が成り立つ本実施の形態の電力変換装置においては、最大階調レベルは22となる。したがって、本実施の形態の電力変換装置の方が実施の形態1の電力変換装置よりも多くの最大階調レベルを実現できる。
- [0051] 本実施の形態の電力変換装置における単相インバータの最大電圧は、実施の形態1で示した比較例の電力変換装置における単相インバータの最大電圧よりも小さい。そのため、本実施の形態の電力変換装置は、比較例の電力変換装置よりも耐圧の低いMOSFETのスイッチング素子を用いることが可能となり、導通損失を低減することができる。
- [0052] これまでの説明において、本実施の形態の電力変換装置として4個の単相インバータで構成された電力変換装置で説明した。本実施の形態の電力変換装置は、3個以上の単相インバータで構成されていればよい。これ以降、3～5個の単相インバータで構成された本実施の形態の電力変換装置の特性について説明する。なお、比較のために複数の単相インバータの出力電圧の絶対値をそれぞれ概ね 2^K 倍（ $K=0, 1, 2, \dots$ ）とした比較例の電力変換装置の特性も合わせて説明する。
- [0053] 図14は、3～5個の単相インバータで構成された本実施の形態の電力変換装置の電圧構成を表にした説明図である。図14の表には、 $V_1 \sim V_5$ の電圧比率と $V_1 \sim V_5$ の電圧とを示している。 $V_1 \sim V_5$ の電圧は、全体出力電圧 V_{sum} が $\pm 130V$ となるように設定されている。図14に示すように、比較例の電力変換装置においては、 $V_1:V_2:V_3:V_4:V_5=1:2:4:8:16$ に設定されている。
- [0054] 本実施の形態の電力変換装置において、実施例14～実施例18の電力変換装置は5個の単相インバータで構成されており、実施例19の電力変換装置は3個の単相インバータで構成されており、実施例20の電力変換装置は4個の単相インバータで構成されている。実施例14の電力変換装置におい

ては、 $V1 : V2 : V3 : V4 : V5 = 1 : 2 : 7 : 7 : 7$ に設定されている。実施例15の電力変換装置においては、 $V1 : V2 : V3 : V4 : V5 = 1 : 2 : 7 : 21 : 21$ に設定されている。実施例16の電力変換装置においては、 $V1 : V2 : V3 : V4 : V5 = 1 : 3 : 3 : 3 : 3$ に設定されている。実施例17の電力変換装置においては、 $V1 : V2 : V3 : V4 : V5 = 1 : 3 : 9 : 9 : 9$ に設定されている。実施例18の電力変換装置においては、 $V1 : V2 : V3 : V4 : V5 = 1 : 3 : 9 : 27 : 27$ に設定されている。実施例19の電力変換装置においては、 $V1 : V2 : V3 = 1 : 3 : 3$ に設定されている。実施例20の電力変換装置においては、 $V1 : V2 : V3 : V4 = 1 : 3 : 3 : 3$ に設定されている。実施例14～実施例20の電力変換装置は、いずれも電圧比率が1および2を含む、または電圧比率が1および3を含んで構成されている。

[0055] 図14に示された実施例14～実施例20の電力変換装置における単相インバータの最大電圧は、比較例の電力変換装置における単相インバータの最大電圧よりも小さい。そのため、実施例11～実施例20の電力変換装置は、比較例の電力変換装置よりも耐圧の低いMOSFETのスイッチング素子を用いることが可能となる。

[0056] また、実施例14～実施例20の電力変換装置においては、 $J = 2K + 1$ の関係が成り立つ。したがって、単相インバータの最大電圧が同程度の条件において、実施例11～実施例20の電力変換装置の方が、実施の形態1の電力変換装置よりも多くの最大階調レベルを実現できる。なお、 $V1 : V2 : V3 : V4 : V5 = 1 : 3 : 9 : 9 : 9$ に設定された実施例17の電力変換装置は、最大階調レベルが31で比較例の最大階調レベルと同等であり、かつ3つの単相インバータの電圧絶対値において、最大電圧が37.74Vと比較例の最大電圧67.1Vの約半分となる。そのため、実施例17の電力変換装置は、比較例の電力変換装置に対してMOSFETの導通損失とスイッチング損失との低減効果が最も大きい。このように、電圧絶対値の比率に1、3および9を含み、かつ比率9となる電圧を第1共通電圧に設定する

ことで、多くの階調レベルを実現し、かつ小型で低コストの電力変換装置を得ることができる。

[0057] 実施例 14～実施例 20 の電力変換装置においては、単相インバータの最大の出力電圧を第 1 共通電圧としている。本実施の形態の電力変換装置においては、第 1 共通電圧は単相インバータの最大の出力電圧でなくてもよい。

[0058] 図 15 は、5 個の単相インバータで構成された本実施の形態の電力変換装置の電圧構成を表にした説明図である。図 15 の表には、 $V_1 \sim V_5$ の電圧比率と $V_1 \sim V_5$ の電圧とを示している。 $V_1 \sim V_5$ の電圧は、全体出力電圧 V_{sum} が $\pm 130V$ となるように設定されている。なお、図 15 には $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 2 : 4 : 8 : 16$ に設定された比較例の電力変換装置も示している。

[0059] 図 15 に示す実施例 21 の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 2 : 7 : 7 : 14$ に設定されている。実施例 22 の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 3 : 3 : 3 : 9$ に設定されている。実施例 23 の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 3 : 9 : 9 : 18$ に設定されている。実施例 21～実施例 23 の電力変換装置においては、第 1 共通電圧は単相インバータの最大の出力電圧ではない。

[0060] 図 15 に示された実施例 21～実施例 23 の電力変換装置における単相インバータの最大電圧は、比較例の電力変換装置における単相インバータの最大電圧よりも小さい。そのため、実施例 21～実施例 23 の電力変換装置は、比較例の電力変換装置よりも耐圧の低い MOSFET のスイッチング素子を用いることが可能となる。

[0061] 実施の形態 3.

実施の形態 1 および 2 の電力変換装置においては、全体出力電圧 V_{sum} の階調レベルは電圧絶対値の最小比率 1 の単位で階調制御が行われている。なお、電圧絶対値の最小比率 1 の単位を便宜上 1 段と表現する。実施の形態 3 の電力変換装置は、複数の単相インバータの少なくとも 1 つの単相インバ

ータをPWM (Pulse Width Modulation) 制御することで、全体出力電圧 V_{sum} の階調レベルを等価的に1段よりも小さい単位で階調制御を行う。

[0062] 図16は、本実施の形態に係る電力変換装置の構成図である。本実施の形態の電力変換装置は、実施の形態1の図1に示した電力変換装置の構成に出力検出部5とADコンバータ (Analog to Digital Converter) 6とが追加されている。出力検出部5は、負荷10に出力する電圧または電流の少なくとも一方を検出し、負帰還用信号を出力する。なお、これ以降、負帰還用信号をOFB (Output Feedback) と記す。ADコンバータ6は、出力検出部5から出力されたOFBをデジタルの負帰還用信号に変換し、このデジタルの負帰還用信号を制御部4へ出力する。なお、これ以降、デジタルに変換された負帰還用信号をOFB_{adc}と記す。ただし、後述する制御部4の内部に設置された第1減算部がアナログ回路で構成されている場合は、ADコンバータ6はなくてもよい。

[0063] 図17は、負荷に出力する電圧を検出する出力検出部の回路図である。出力検出部5は、単相インバータ2と負荷10への出力端子との間に設置されている。出力検出部5は、オペアンプ51と複数の抵抗52とで構成された差動回路を有している。出力検出部5は、負荷に印加される電圧から差動電圧を検出してOFBを出力する。

[0064] 図18は、負荷に流れる電流を検出する出力検出部の回路図である。出力検出部5は、単相インバータ2と負荷10への出力端子との間に設置されている。出力検出部5は、負荷10に対して直列に接続された電流検知抵抗53と、オペアンプ51と複数の抵抗52とで構成された差動回路とを有している。出力検出部5は、電流検知抵抗53の両端の電圧から差動電圧を検出してOFBを出力する。なお、電流検知抵抗53は、負荷10と接地電位 (GND) との間に設けられていてもよい。

[0065] 本実施の形態の電力変換装置1の出力検出部5は、図17および図18に示された回路の少なくとも一方の回路を備えている。出力検出部5が負荷1

0に出力する電圧および電流の両方を検出する場合は、図17および図18に示された回路の両方を備えていてもよい。なお、図17および図18に示された出力検出部の構成は一例であり、例えばトランスを用いた構成など、負荷に出力する電圧または電流の少なくとも一方を検出できる構成であれば別の構成であってもよい。

[0066] 図19は、本実施の形態の電力変換装置の階調制御信号生成部の構成図である。本実施の形態の階調制御信号生成部41は、出力値指示部401、第1減算部402、補償部403、出力極性判定部404、絶対値化処理部405、整数化処理部406、第2減算部407、パルス幅変調部408、加算部409、および階調制御信号変換部410を備えている。

[0067] 出力値指示部401は、例えば正弦波などの出力値指示波形 O_{ref} を出力する。第1減算部402は、出力値指示波形 O_{ref} から負帰還用信号 O_{Fbdc} を減算した差分信号 O_{sub} を出力する。補償部403は、差分信号 O_{sub} に対して、比例演算、積分演算または微分演算などを用いて補償した補償差分信号 O_{cmp} を出力する。出力極性判定部404は、補償差分信号 O_{cmp} から全体出力電圧 V_{sum} の正負いずれかの極性を判定した出力極性指示信号 O_{pol} を出力する。絶対値化処理部405は、補償差分信号 O_{cmp} を絶対値化した絶対値化信号 O_{abs} を出力する。整数化処理部406は、絶対値化信号 O_{abs} を整数値化した整数化信号 O_{int} を出力する。第2減算部407は、絶対値化信号 O_{abs} から整数化信号 O_{int} を減算した小数值信号 O_{dec} を出力する。パルス幅変調部408は、小数值信号 O_{dec} に対してキャリア周波数でパルス幅変調を行って小数部PWM信号 d_{PMW} を生成し、この小数部PWM信号 d_{PMW} を出力する。加算部409は、整数化信号 O_{int} に小数部PWM信号 d_{PMW} を加算した出力電圧制御信号 O_{cnt} を出力する。階調制御信号変換部410は、出力極性指示信号 O_{pol} と出力電圧制御信号 O_{cnt} とに基づいて、各単相インバータのスイッチング素子に対してスイッチング制御を行うための階調制御信号 S_{mN} および S_{mP} ($m=1, 2, \dots, n$) を出力する。

[0068] 出力値指示波形 O_{ref} は、負荷に出力する目標が電圧波形の場合は出力電圧指示波形である。負荷に出力する目標が電流波形の場合は、出力値指示波形 O_{ref} は出力電流指示波形である。また、負荷に出力する目標が電力波形の場合は、出力値指示波形 O_{ref} は出力電圧指示波形と出力電流指示波形との両方であってもよく、電力指示波形であってもよい。

[0069] このように構成された電力変換装置の動作について説明する。なお、これ以降4つの単相インバータで構成された電力変換装置を例に挙げて説明する。

図20は、本実施の形態の電力変換装置における階調レベルの出力を実現する4つの単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の組み合わせを表で示した説明図である。本実施の形態の電力変換装置において、4個の単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の比は、 $1:2:4:4$ である。全体出力電圧 V_{sum} の最大電圧が $\pm 130V$ となるように、 V_1 、 V_2 、 V_3 および V_4 が設定されている。具体的には $V_1 = 11.81V$ 、 $V_2 = 23.63V$ 、 $V_3 = V_4 = 47.27V$ である。すなわち、4個の単相インバータのうち2個の単相インバータの電圧絶対値が同じ第1共通電圧 $V_{s1} = 47.27V$ に設定されている。ここで、全体出力電圧 V_{sum} の階調レベルが7 ($+82.67V$) から8 ($+94.48V$) の間のレベルを出力するように指示された場合の電力変換装置の動作について説明する。

[0070] 図21は、全体出力電圧 V_{sum} の階調レベルが7と8との間のレベルを出力するように指示された場合の4つの単相インバータの出力電圧波形を示している。比較のためにPWM制御なしの場合とPWM制御ありの場合の出力電圧波形を示している。図21において、PWM制御なしの場合、全体出力電圧 V_{sum} は階調レベル7と8との間の階調は表現できず、この電圧区間では階調レベル7と8との間の1段で変化する。これに対して、PWM制御ありの場合、階調レベル7における各単相インバータの出力状態 $V_1 = "1"$ 、 $V_2 = "1"$ 、 $V_3 = "1"$ 、 $V_4 = "0"$ と、階調レベル8におけ

る各単相インバータの出力状態 $V_1 = "0"$ 、 $V_2 = "0"$ 、 $V_3 = "1"$ 、 $V_4 = "1"$ において、キャリア周波数の逆数の周期単位でその組み合わせを切り替えることができる。すなわち、 V_1 、 V_2 、 V_4 を出力する3つの単相インバータを同時にPWM制御する。その結果、全体出力電圧 V_{sum} の電圧パルスは、平均値が出力値指示波形 O_{ref} の指示する電圧に近づくようにオンとオフとが制御される。

[0071] なお、 V_{sum} を電圧パルスとして制御するために、同時にPWM制御を行う単相インバータの必要個数は、出力値指示波形 O_{ref} が指示する階調レベルの段数によって異なる。例えば、図20において、全体出力電圧 V_{sum} を階調レベル0と1との間で2値の電圧パルスとして変化させる場合、 V_1 を出力する1つの単相インバータのみでPWM制御すればよい。また、全体出力電圧 V_{sum} を階調レベル1と2との間で2値の電圧パルスとして変化させる場合、 V_1 および V_2 を出力する2つの単相インバータを同時にPWM制御すればよい。

[0072] このように構成された電力変換装置においては、階調制御にPWM制御を加えることで等価的に1段より小さい電圧分解能で全体出力電圧 V_{sum} を階調制御することができる。

[0073] 実施の形態4.

実施の形態3で説明した階調制御にPWM制御が加えられた電力変換装置においては、3個以上の単相インバータ2のうち少なくとも2つの第1共通単相インバータの電圧絶対値が同じ第1共通電圧 V_{s1} に設定されている。なお、これ以降4つの単相インバータで構成された電力変換装置において、2つの第1共通単相インバータを有する電力変換装置を例に挙げて説明する。この電力変換装置においては、全体出力電圧 V_{sum} の出力波形によっては、一方の第1共通単相インバータのPWM制御のスイッチング回数が多くなり、他方の第1共通単相インバータのPWM制御のスイッチング回数が少なくなる、あるいはスイッチングしない場合がある。この場合、一方の第1共通単相インバータにスイッチング損失が集中することになる。実施の形態

4の電力変換装置は、第1共通電圧 V_{s1} に設定された2つの第1共通単相インバータにおけるスイッチング回数がほぼ均等になるように制御する。なお、本実施の形態の電力変換装置の構成は、実施の形態3の電力変換装置の構成と同様である。

[0074] 図22は、本実施の形態の電力変換装置における階調レベルの出力を実現する4つの単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の組み合わせを表で示した説明図である。本実施の形態の電力変換装置において、4個の単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の比は、 $1:2:4:4$ である。全体出力電圧 V_{sum} の最大電圧が $\pm 130V$ となるように、 V_1 、 V_2 、 V_3 および V_4 が設定されている。具体的には $V_1 = 11.81V$ 、 $V_2 = 23.63V$ 、 $V_3 = V_4 = 47.27V$ である。ここで、全体出力電圧 V_{sum} の階調レベルが3と4との間のレベルを出力するように指示された場合、第1共通単相インバータである V_3 を出力する単相インバータのみが出力し、第1共通単相インバータである V_4 を出力する単相インバータは出力しないことになる。すなわち、 V_3 を出力する単相インバータのみがPWM制御のスイッチング動作を行い、 V_4 を出力する単相インバータはPWM制御のスイッチング動作を行わないことになる。本実施の形態の電力変換装置は、一方の第1共通単相インバータに集中するスイッチング動作を他方の第1共通単相インバータに分散させるように制御する。なお、これ以降、複数の第1共通単相インバータの間でスイッチング動作を分散させる処理をスイッチング分散処理と称する。

[0075] 図23は、本実施の形態の電力変換装置における制御方法を示すフローチャートである。図23は、図19に示した階調制御信号変換部410が単位周期の処理を開始したときの動作を示すフローチャートである。なお、図23のフローチャートに限っては、 r 個の第1共通単相インバータで構成された電力変換装置とする。

[0076] 処理が開始されると、階調制御信号変換部410は、ステップS01において出力電圧制御信号 $Cont$ を取得する。次に、階調制御信号変換部41

0は、ステップS 0 2において初期状態を設定する。ステップS 0 2において、階調制御信号変換部4 1 0は、 r 個の第1共通単相インバータ全ての出力をオフに設定し、第1共通単相インバータのアップ制御カウンタ uCT を1に、第1共通単相インバータのダウン制御カウンタ dCT を1に、パラメータ h および j を0に設定する。なお、ステップS 0 2における初期状態の設定は最初の単位周期の処理を開始したときのみ実施され、次の制御周期においては前回の値が保持される。

[0077] 次に、階調制御信号変換部4 1 0は、ステップS 0 3において、出力電圧制御信号 $Ocnt$ に基づいて出力がオフからオンに切り替わる第1共通単相インバータの個数 g を判別する。次に、階調制御信号変換部4 1 0は、ステップS 0 4において、 h が g と等しいか否かを判定する。ステップS 0 4において h が g と等しいと判定された場合（YES）、階調制御信号変換部4 1 0はステップS 0 5に進み、 h を0に設定する。ステップS 0 4において h が g と等しくない判定された場合（NO）、階調制御信号変換部4 1 0はステップS 0 6に進み、 h に1を加算して新たな h を設定する。

[0078] ステップS 0 6に進んだ階調制御信号変換部4 1 0は、ステップS 0 7において、 uCT 番の第1共通単相インバータの出力をオンにする。さらに、階調制御信号変換部4 1 0は、ステップS 0 8において、 uCT が r と等しいときは uCT を1に設定し、 uCT が r よりも小さいときは uCT に1を加算して新たな uCT を設定する。次に、階調制御信号変換部4 1 0は、ステップS 0 4に戻る。

[0079] ステップS 0 5に進んだ階調制御信号変換部4 1 0は、ステップS 0 9において、出力電圧制御信号 $Ocnt$ に基づいて出力がオンからオフに切り替わる第1共通単相インバータの個数 i を判別する。次に、階調制御信号変換部4 1 0は、ステップS 1 0において、 i が j と等しいか否かを判定する。ステップS 1 0において i が j と等しいと判定された場合（YES）、階調制御信号変換部4 1 0はステップS 1 1に進み、 j を0に設定する。ステップS 1 0において i が j と等しくない判定された場合（NO）、階調制御

信号変換部410はステップS14に進み、 j に1を加算して新たな j を設定する。

[0080] ステップS14に進んだ階調制御信号変換部410は、ステップS15において、 dCT 番の第1共通単相インバータの出力をオフにする。さらに、階調制御信号変換部410は、ステップS16において、 dCT が r と等しいときは dCT を1に設定し、 dCT が r よりも小さいときは dCT に1を加算して新たな dCT を設定する。次に、階調制御信号変換部410は、ステップS10に戻る。

[0081] ステップS11に進んだ階調制御信号変換部410は、ステップS12において、出力極性指示信号 $Opol$ に基づいて階調制御信号の極性を判別する。次に、階調制御信号変換部410は、ステップS13において、階調制御信号 S_{mN} および S_{mP} ($m=1, 2, \dots, n$) を出力する。

[0082] 階調制御信号変換部410がこのような制御を行うことで、複数の第1共通単相インバータの間でスイッチング動作を分散させることができる。図24は、4つの単相インバータで構成された電力変換装置におけるスイッチング分散処理の説明図である。図24は、図22に示した4つの単相インバータで構成された電力変換装置において、全体出力電圧 V_{sum} を階調レベル3と4と間の2値の電圧パルスとして変化させた場合の例である。なお、図24には、スイッチング分散処理が行われない場合も合わせて示している。

[0083] 図22に示したように、 V_3 および V_4 をそれぞれ出力する第1共通単相インバータの出力状態は、階調レベルが3の場合 $V_3 = "0"$ 、 $V_4 = "0"$ であり、階調レベルが4の場合 $V_3 = "1"$ 、 $V_4 = "0"$ である。したがって、階調レベルを3と4との間で切り替える場合は、 V_3 を出力する第1共通単相インバータのみ出力状態を切り替える必要がある。図24に示したように、スイッチング分散処理が行われない場合、 V_3 を出力する第1共通単相インバータの出力はキャリア周波数の逆数の周期で変化しているが、 V_4 を出力する第1共通単相インバータの出力は変化していない。

[0084] これに対して、スイッチング分散処理が行われる場合、 V_3 を出力する第

1 共通単相インバータの出力電圧パルスが、 V_3 を出力する第1 共通単相インバータと V_4 を出力する第1 共通単相インバータとに交互に分かれて発生している。スイッチング分散処理が行われる場合の全体出力電圧 V_{sum} の波形は、スイッチング分散処理が行われない場合の全体出力電圧 V_{sum} の波形と同じである。すなわち、本実施の形態の電力変換装置において階調レベルを3と4との間で切り替える場合、 V_3 を出力する第1 共通単相インバータに偏っていたスイッチング動作がスイッチング分散処理を行うことで、 V_3 および V_4 を出力する第1 共通単相インバータのそれぞれに均等に分散される。全体出力電圧 V_{sum} を階調レベル3と4と間の2値の電圧パルスとして変化させる期間において、スイッチング分散処理前に対するスイッチング分散処理後の V_3 を出力する単相インバータのスイッチング回数は、ほぼ半分となる。そのため、一方の第1 共通単相インバータにスイッチング損失が集中することを防ぐことができる。

[0085] 本実施の形態の電力変換装置において、スイッチング分散処理を行う効果についてさらに説明する。

図25は、本実施の形態の電力変換装置における階調レベルの出力を実現する4つの単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の組み合わせを表で示した説明図である。本実施の形態の電力変換装置において、4個の単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の比は、1 : 2 : 4 : 4である。全体出力電圧 V_{sum} の最大電圧が $\pm 130V$ となるように、 V_1 、 V_2 、 V_3 および V_4 が設定されている。具体的には $V_1 = 11.81V$ 、 $V_2 = 23.63V$ 、 $V_3 = V_4 = 47.27V$ である。

[0086] 図25に示したように、 V_3 および V_4 をそれぞれ出力する第1 共通単相インバータの出力状態は、階調レベルが7の場合 $V_3 = "1"$ 、 $V_4 = "0"$ であり、階調レベルが8の場合 $V_3 = "1"$ 、 $V_4 = "1"$ である。したがって、階調レベルを7と8との間で切り替える場合は、 V_4 を出力する第1 共通単相インバータのみ出力状態を切り替える必要がある。

[0087] 図26は、4つの単相インバータで構成された電力変換装置におけるスイ

スイッチング分散処理の説明図である。図 2 6 は、図 2 5 に示した 4 つの単相インバータで構成された電力変換装置において、全体出力電圧 V_{sum} を階調レベル 7 と 8 との 2 値の電圧パルスとして変化させた場合の例である。なお、図 2 6 には、スイッチング分散処理が行われない場合も合わせて示している。図 2 6 に示したように、スイッチング分散処理が行われない場合、 V_3 を出力する第 1 共通単相インバータの出力は一定で変化していないが、 V_4 を出力する第 1 共通単相インバータの出力はキャリア周波数の逆数の周期で変化している。

[0088] これに対して、スイッチング分散処理が行われる場合、 V_4 を出力する第 1 共通単相インバータが出力する電圧パルスが、よりパルス幅の広い電圧パルスとなって V_3 を出力する第 1 共通単相インバータと V_4 を出力する第 1 共通単相インバータとに交互に分かれて発生している。スイッチング分散処理が行われる場合の全体出力電圧 V_{sum} の波形は、スイッチング分散処理が行われない場合の全体出力電圧 V_{sum} の波形と同じである。すなわち、本実施の形態の電力変換装置において階調レベルを 7 と 8 との間で切り替える場合、 V_4 を出力する第 1 共通単相インバータに偏っていたスイッチング動作がスイッチング分散処理を行うことで、 V_3 および V_4 を出力する第 1 共通単相インバータのそれぞれに均等に分散される。全体出力電圧 V_{sum} を階調レベル 7 と 8 と間の 2 値の電圧パルスとして変化させる期間において、スイッチング分散処理前に対するスイッチング分散処理後の V_4 を出力する単相インバータのスイッチング回数は、ほぼ半分となる。そのため、一方の第 1 共通単相インバータにスイッチング損失が集中することを防ぐことができる。

[0089] このように、本実施の形態の電力変換装置においては、第 1 共通単相インバータがそれぞれ 1 つ以上のスイッチング素子を含んで構成されており、前記制御部が、2 個以上の第 1 共通単相インバータにそれぞれ含まれるスイッチング素子の、単位時間当たりのスイッチング回数の差を最小にしている。そのため、特定の第 1 共通単相インバータにスイッチング損失が集中するこ

とを防ぐことができる。

[0090] なお、本実施の形態の電力変換装置においては、出力値指示波形 O_{ref} が正弦波である場合は、スイッチング分散処理によって 1 周期内の各第 1 共通単相インバータのスイッチング回数を均等にすることができる。

[0091] また、本実施の形態におけるスイッチング分散処理は、実施の形態 3 で説明した PWM 制御を用いた電力変換装置に適用した場合の波形で説明した。本実施の形態におけるスイッチング分散処理は、PWM 制御を用いない電力変換装置に適用することもできる。例えば、出力値指示波形 O_{ref} について階調レベルが 7 と 8 とに繰り返し切り替わる DC オフセット付きのランプ波形である電力変換装置の場合、本実施の形態のスイッチング分散処理の適用が可能である。

[0092] 本実施の形態においては、2 つの第 1 共通単相インバータを有する電力変換装置でスイッチング分散処理の効果を説明した。図 23 のフローチャートに示したように、本実施の形態のスイッチング分散処理は、第 1 共通単相インバータを 3 つ以上有する電力変換装置に適用可能である。

[0093] これまで説明したように、本実施の形態の電力変換装置は複数の第 1 共通単相インバータにスイッチング回数を分散させることができるので、1 つの第 1 共通単相インバータにスイッチング損失が集中することを防ぐことができる。その結果、本実施の形態の電力変換装置は、小型な放熱器を使用することができるなど、大型化、高コスト化を抑制することができる。

[0094] 実施の形態 5.

図 27 は、実施の形態 5 に係る電力変換装置の構成図である。本実施の形態の電力変換装置 1 の構成は、実施の形態 1 の図 1 に示す電力変換装置の構成と同様である。本実施の形態の電力変換装置 1 においては、4 個以上の単相インバータ 2 のうち 2 つの単相インバータの電圧絶対値が同じ第 1 共通電圧 V_{s1} に設定されていると共に、他の 2 つの単相インバータの電圧絶対値が同じ第 2 共通電圧 V_{s2} に設定されている。第 1 共通電圧 V_{s1} は、各単相インバータの各電圧絶対値 V_1 、 V_2 、 V_3 、 $\dots$ 、 V_{n-2} の最小値よ

りも大きな値に設定されている。また、第2共通電圧 V_{s2} は、第1共通電圧 V_{s1} よりも小さい電圧に設定されている。図27に示す電力変換装置1においては、 $1NV_{n-1}$ の単相インバータの電圧絶対値 V_{n-1} と、 $1NV_n$ の単相インバータの電圧絶対値 V_n とが同じ V_{s1} に設定されている。そして、 $1NV_1$ の単相インバータの電圧絶対値 V_1 と、 $1NV_2$ の単相インバータの電圧絶対値 V_2 とが同じ V_{s2} に設定されている。電圧絶対値が第1共通電圧に設定された単相インバータを第1共通単相インバータと称し、電圧絶対値が第2共通電圧に設定された単相インバータを第2共通単相インバータと称する。

[0095] これ以降、本実施の形態の電力変換装置の制御方法について説明する。説明をわかり易くするために、4個の単相インバータで構成された電力変換装置を例に挙げて説明する。

[0096] 図28は、本実施の形態の電力変換装置における階調レベルの出力を実現する4つの単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の組み合わせを表で示した説明図である。本実施の形態の電力変換装置において、4個の単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の比は、 $1:1:3:3$ である。全体出力電圧 V_{sum} の最大電圧が $\pm 130V$ となるように、 V_1 、 V_2 、 V_3 および V_4 が設定されている。具体的には $V_1 = V_2 = 16.25V$ 、 $V_3 = V_4 = 48.75V$ である。すなわち、4個の単相インバータのうち2個の単相インバータの電圧絶対値が同じ第1共通電圧 $V_{s1} = 48.75V$ に設定されており、他の2個の単相インバータの電圧絶対値が同じ第2共通電圧 $V_{s2} = 16.25V$ に設定されている。電圧絶対値の最小比率1に対して第1共通電圧の比率を J とし、比率が J よりも小さい電圧絶対値の比率の総和を K とした場合、本実施の形態では $J = K + 1$ が成り立つ。

[0097] 実施の形態1の図7に示した比較例の電力変換装置において、電圧絶対値が最大となる単相インバータの出力電圧は $69.33V$ である。これに対して、本実施の形態の電力変換装置において、電圧絶対値が最大となる単相イ

ンバータの出力電圧は48.75Vである。したがって、本実施の形態の電力変換装置は、実施の形態1の電力変換装置と同様に、比較例の電力変換装置よりも耐圧の低いMOSFETのスイッチング素子を用いることが可能となる。また、本実施の形態の電力変換装置は、実施の形態1の電力変換装置と同様に、電圧絶対値V3およびV4を出力する単相インバータのスイッチング損失を低減することが可能となる。

[0098] これまでの説明において、本実施の形態の電力変換装置として4個の単相インバータで構成された電力変換装置で説明した。本実施の形態の電力変換装置は、4個以上の単相インバータで構成されていればよい。これ以降、5個の単相インバータで構成された本実施の形態の電力変換装置の特性について説明する。なお、比較のために複数の単相インバータの出力電圧の絶対値をそれぞれ概ね 2^K 倍($K=0, 1, 2, \dots$)とした比較例の電力変換装置の特性も合わせて説明する。

[0099] 図29は、5個の単相インバータで構成された本実施の形態の電力変換装置の電圧構成を表にした説明図である。図29の表には、V1～V5の電圧比率とV1～V5の電圧とを示している。V1～V5の電圧は、全体出力電圧Vsumが±130Vとなるように設定されている。図29に示すように、比較例の電力変換装置においては、 $V1 : V2 : V3 : V4 : V5 = 1 : 2 : 4 : 8 : 16$ に設定されている。

[0100] 本実施の形態の電力変換装置において、実施例24～実施例29の電力変換装置は5個の単相インバータで構成されている。実施例24の電力変換装置においては、 $V1 : V2 : V3 : V4 : V5 = 1 : 1 : 1 : 4 : 4$ に設定されている。実施例25の電力変換装置においては、 $V1 : V2 : V3 : V4 : V5 = 1 : 1 : 3 : 3 : 3$ に設定されている。実施例26の電力変換装置においては、 $V1 : V2 : V3 : V4 : V5 = 1 : 1 : 3 : 6 : 6$ に設定されている。実施例27の電力変換装置においては、 $V1 : V2 : V3 : V4 : V5 = 1 : 1 : 1 : 7 : 7$ に設定されている。実施例28の電力変換装置においては、 $V1 : V2 : V3 : V4 : V5 = 1 : 1 : 3 : 11 : 11$ に

設定されている。実施例 29 の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 1 : 5 : 5 : 5$ に設定されている。実施例 24 ~ 実施例 29 の電力変換装置においては、第 1 共通電圧は電圧絶対値の最大値に設定されており、第 2 共通電圧は電圧絶対値の最小値に設定されている。

[0101] 図 29 に示された実施例 24 ~ 実施例 29 の電力変換装置における単相インバータの最大電圧は、比較例の電力変換装置における単相インバータの最大電圧よりも小さい。そのため、実施例 24 ~ 実施例 29 の電力変換装置は、比較例の電力変換装置よりも耐圧の低い MOSFET のスイッチング素子を用いることが可能となる。

[0102] ここで、電圧絶対値の最小比率 1 に対して第 1 共通電圧の比率を J とし、比率が J よりも小さい電圧絶対値の比率の総和を K とする。実施例 24 ~ 実施例 26 の電力変換装置においては $J = K + 1$ となる。実施例 27 ~ 実施例 29 の電力変換装置においては $J = 2K + 1$ となる。

[0103] なお、図 29 に示した実施例 24 ~ 実施例 29 の電力変換装置においては、第 2 共通電圧は電圧絶対値の最小値に設定されている。本実施の形態の電力変換装置においては、第 2 共通電圧は電圧絶対値の最小値でなくてもよい。

[0104] 図 30 は、5 個の単相インバータで構成された本実施の形態の電力変換装置の電圧構成を表にした説明図である。図 30 の表には、 $V_1 \sim V_5$ の電圧比率と $V_1 \sim V_5$ の電圧とを示している。 $V_1 \sim V_5$ の電圧は、全体出力電圧 V_{sum} が $\pm 130V$ となるように設定されている。図 30 に示すように、比較例の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 2 : 4 : 8 : 16$ に設定されている。

[0105] 本実施の形態の電力変換装置において、実施例 30 ~ 実施例 33 の電力変換装置は 5 個の単相インバータで構成されている。実施例 30 の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 2 : 2 : 6 : 6$ に設定されている。実施例 31 の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 3 : 3 : 8 : 8$ に設定されている。実施例 32 の電力変換装

置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 2 : 2 : 11 : 11$ に設定されている。実施例33の電力変換装置においては、 $V_1 : V_2 : V_3 : V_4 : V_5 = 1 : 3 : 3 : 15 : 15$ に設定されている。実施例30～実施例33の電力変換装置においては、第1共通電圧は電圧絶対値の最大値に設定されており、第2共通電圧は電圧絶対値の最小値ではない電圧値に設定されている。

[0106] 図30に示された実施例30～実施例33の電力変換装置における単相インバータの最大電圧は、比較例の電力変換装置における単相インバータの最大電圧よりも小さい。そのため、実施例30～実施例33の電力変換装置は、比較例の電力変換装置よりも耐圧の低いMOSFETのスイッチング素子を用いることが可能となる。

[0107] ここで、電圧絶対値の最小比率1に対して第1共通電圧の比率をJとし、比率がJよりも小さい電圧絶対値の比率の総和をKとする。実施例30～実施例31の電力変換装置においては $J = K + 1$ となる。実施例32～実施例33の電力変換装置においては $J = 2K + 1$ となる。

[0108] 実施の形態6.

実施の形態6の電力変換装置は、実施の形態3で説明した階調制御にPWM制御が加えられた電力変換装置において、複数の単相インバータ2のうち少なくとも2つの第1共通単相インバータの電圧絶対値が同じ第1共通電圧 V_{s1} に設定されており、他の単相インバータ2のうち少なくとも2つの第2共通単相インバータの電圧絶対値が同じ第2共通電圧 V_{s2} に設定されたものである。なお、これ以降4つの単相インバータで構成された電力変換装置において、2つの第1共通単相インバータと、2つの第2共通単相インバータと有する電力変換装置を例に挙げて説明する。この電力変換装置においては、全体出力電圧 V_{sum} の出力波形によっては、一方の第2共通単相インバータのPWM制御のスイッチング回数が多くなり、他方の第2共通単相インバータのPWM制御のスイッチング回数が少なくなる、あるいはスイッチングしない場合がある。この場合、一方の第2共通単相インバータにスイ

ッチング損失が集中することになる。本実施の形態の電力変換装置は、第2共通電圧 V_{s2} に設定された2つの第2共通単相インバータにおけるスイッチング回数がほぼ均等になるように制御する。

[0109] 図31は、本実施の形態の電力変換装置における階調レベルの出力を実現する4つの単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の組み合わせを表で示した説明図である。本実施の形態の電力変換装置において、4個の単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の比は、 $1:1:3:3$ である。全体出力電圧 V_{sum} の最大電圧が $\pm 130V$ となるように、 V_1 、 V_2 、 V_3 および V_4 が設定されている。具体的には $V_1 = V_2 = 16.25V$ 、 $V_3 = V_4 = 48.75V$ である。ここで、全体出力電圧 V_{sum} の階調レベルが0から1の間のレベルを出力するように指示された場合、および全体出力電圧 V_{sum} の階調レベルが1から2の間のレベルを出力するように指示された場合を例に挙げて説明する。

[0110] 全体出力電圧 V_{sum} の階調レベルが0から1の間のレベルを出力するように指示された場合、第2共通単相インバータである V_1 を出力する単相インバータのみが出力し、第2共通単相インバータである V_2 を出力する単相インバータは出力しないことになる。すなわち、 V_1 を出力する単相インバータのみがPWM制御のスイッチング動作を行い、 V_2 を出力する単相インバータはPWM制御のスイッチング動作を行わないことになる。

[0111] 全体出力電圧 V_{sum} の階調レベルが1から2の間のレベルを出力するように指示された場合、図31に示したように、 V_1 および V_2 をそれぞれ出力する第2共通単相インバータの出力状態は、階調レベルが1の場合 $V_1 = "1"$ 、 $V_2 = "0"$ であり、階調レベルが2の場合 $V_1 = "1"$ 、 $V_2 = "1"$ である。したがって、階調レベルを1と2との間で切り替える場合は、 V_2 を出力する第2共通単相インバータのみ出力状態を切り替える必要がある。本実施の形態の電力変換装置は、一方の第2共通単相インバータに集中するスイッチング動作を他方の第2共通単相インバータに分散させるように制御する。

[0112] 図32は、本実施の形態の電力変換装置における制御方法を示すフローチャートである。図32は、階調制御信号変換部410が単位周期の処理を開始したときの動作を示すフローチャートである。なお、図32のフローチャートに限っては、 s 個の第2共通単相インバータで構成された電力変換装置とする。

[0113] 処理が開始されると、階調制御信号変換部410は、ステップS21において出力電圧制御信号 $Ocnt$ を取得する。次に、階調制御信号変換部410は、ステップS22において初期状態を設定する。ステップS22において、階調制御信号変換部410は、 s 個の第2共通単相インバータ全ての出力をオフに設定し、第2共通単相インバータのアップ制御カウンタ $uCT2$ を1に、第2共通単相インバータのダウン制御カウンタ $dCT2$ を1に、パラメータ k および m を0に設定する。なお、ステップS22における初期状態の設定は最初の単位周期の処理を開始したときのみ実施され、次の制御周期においては前回の値が保持される。

[0114] 次に、階調制御信号変換部410は、ステップS23において、出力電圧制御信号 $Ocnt$ に基づいて出力がオフからオンに切り替わる第2共通単相インバータの個数 a を判別する。次に、階調制御信号変換部410は、ステップS24において、 k が a と等しいか否かを判定する。ステップS24において k が a と等しいと判定された場合（YES）、階調制御信号変換部410はステップS25に進み、 k を0に設定する。ステップS24において k が a と等しくないと判定された場合（NO）、階調制御信号変換部410はステップS26に進み、 k に1を加算して新たな k を設定する。

[0115] ステップS26に進んだ階調制御信号変換部410は、ステップS27において、 $uCT2$ 番の第2共通単相インバータの出力をオンにする。さらに、階調制御信号変換部410は、ステップS28において、 $uCT2$ が s と等しいときは $uCT2$ を1に設定し、 $uCT2$ が s よりも小さいときは $uCT2$ に1を加算して新たな $uCT2$ を設定する。次に、階調制御信号変換部410は、ステップS24に戻る。

- [0116] ステップS 2 5に進んだ階調制御信号変換部4 1 0は、ステップS 2 9において、出力電圧制御信号O c n tに基づいて出力がオンからオフに切り替わる第2共通単相インバータの個数bを判別する。次に、階調制御信号変換部4 1 0は、ステップS 3 0において、mがbと等しいか否かを判定する。ステップS 3 0においてmがbと等しいと判定された場合（Y E S）、階調制御信号変換部4 1 0はステップS 3 1に進み、mを0に設定する。ステップS 3 0においてmがbと等しくない判定された場合（N O）、階調制御信号変換部4 1 0はステップS 3 4に進み、mに1を加算して新たなmを設定する。
- [0117] ステップS 3 4に進んだ階調制御信号変換部4 1 0は、ステップS 3 5において、d C T 2番の第2共通単相インバータの出力をオフにする。さらに、階調制御信号変換部4 1 0は、ステップS 3 6において、d C T 2がsと等しいときはd C T 2を1に設定し、d C T 2がsよりも小さいときはd C T 2に1を加算して新たなd C T 2を設定する。次に、階調制御信号変換部4 1 0は、ステップS 3 0に戻る。
- [0118] ステップS 3 1に進んだ階調制御信号変換部4 1 0は、ステップS 3 2において、出力極性指示信号O p o lに基づいて階調制御信号の極性を判別する。次に、階調制御信号変換部4 1 0は、ステップS 3 3において、階調制御信号S m NおよびS m P（m = 1、2、・・・、n）を出力する。
- [0119] 階調制御信号変換部4 1 0がこのような制御を行うことで、複数の第2共通単相インバータの間でスイッチング動作を分散させることができる。図3 3は、4つの単相インバータで構成された電力変換装置におけるスイッチング分散処理の説明図である。図3 3は、図3 1に示した4つの単相インバータで構成された電力変換装置において、全体出力電圧V s u mを階調レベル0から2へ変化させた場合の例である。図3 3において、期間1では階調レベルを0から1へ、期間2では階調レベルを1から2へ変化させた場合の2値の電圧パルスとして変化させた場合の例である。なお、図3 3には、スイッチング分散処理が行われない場合も合わせて示している。

[0120] 図31に示したように、V1およびV2をそれぞれ出力する第2共通単相インバータの出力状態は、階調レベルが0の場合V1 = “0”、V2 = “0”であり、階調レベルが1の場合V1 = “1”、V2 = “0”であり、階調レベルが2の場合V1 = “1”、V2 = “1”である。したがって、階調レベルを0と1との間で切り替える場合は、V1を出力する第2共通単相インバータのみ出力状態を切り替える必要がある。また、階調レベルを1と2との間で切り替える場合は、V1を出力する第2共通単相インバータは出力状態が変化していないのに対し、V2を出力する第2共通単相インバータのみ出力状態を切り替える必要がある。

[0121] 図33に示したように、期間1においてスイッチング分散処理が行われない場合、V1を出力する第2共通単相インバータの出力はキャリア周波数の逆数の周期で変化しているが、V2を出力する第2共通単相インバータは出力していない。

[0122] これに対して、期間1においてスイッチング分散処理が行われる場合、V1を出力する第2共通単相インバータの出力電圧パルスが、V1を出力する第2共通単相インバータとV2を出力する第2共通単相インバータとに交互に分かれて発生している。スイッチング分散処理が行われる場合の全体出力電圧V_{sum}の波形は、スイッチング分散処理が行われない場合の全体出力電圧V_{sum}の波形と同じである。すなわち、本実施の形態の電力変換装置において階調レベルを0と1との間で切り替える場合、V1を出力する第2共通単相インバータに偏っていたスイッチング動作がスイッチング分散処理を行うことで、V1およびV2を出力する第2共通単相インバータのそれぞれに均等に分散される。期間1において、スイッチング分散処理前に対するスイッチング分散処理後のV1を出力する単相インバータのスイッチング回数は、ほぼ半分となる。そのため、一方の第2共通単相インバータにスイッチング損失が集中することを防ぐことができる。

[0123] また、図33に示したように、期間2においてスイッチング分散処理が行われない場合、V1を出力する第2共通単相インバータの出力は一定であり

、 V_2 を出力する第2共通単相インバータの出力はキャリア周波数の逆数の周期で変化している。

[0124] これに対して、期間2においてスイッチング分散処理が行われる場合、 V_2 を出力する第2共通単相インバータが出力する電圧パルスが、よりパルス幅の広い電圧パルスとなって V_1 を出力する第2共通単相インバータと V_2 を出力する第2共通単相インバータとに交互に分かれて発生している。スイッチング分散処理が行われる場合の全体出力電圧 V_{sum} の波形は、スイッチング分散処理が行われない場合の全体出力電圧 V_{sum} の波形と同じである。すなわち、本実施の形態の電力変換装置において階調レベルを1と2との間で切り替える場合、 V_2 を出力する第2共通単相インバータに偏っていたスイッチング動作がスイッチング分散処理を行うことで、 V_1 および V_2 を出力する第2共通単相インバータのそれぞれに均等に分散される。期間2において、スイッチング分散処理前に対するスイッチング分散処理後の V_2 を出力する単相インバータのスイッチング回数は、ほぼ半分となる。そのため、一方の第2共通単相インバータにスイッチング損失が集中することを防ぐことができる。

[0125] このように、本実施の形態の電力変換装置においては、第2共通単相インバータがそれぞれ1つ以上のスイッチング素子を含んで構成されており、前記制御部が、2個以上の第2共通単相インバータにそれぞれ含まれるスイッチング素子の、単位時間当たりのスイッチング回数の差を最小にしている。そのため、特定の第2共通単相インバータにスイッチング損失が集中することを防ぐことができる。

[0126] なお、本実施の形態の電力変換装置においては、出力値指示波形 O_{ref} が正弦波である場合は、スイッチング分散処理によって1周期内の各第1共通単相インバータのスイッチング回数を均等にすることができる。

[0127] また、本実施の形態におけるスイッチング分散処理は、実施の形態3で説明したPWM制御を用いた電力変換装置に適用した場合の波形で説明した。本実施の形態におけるスイッチング分散処理は、PWM制御を用いない電力

変換装置に適用することもできる。例えば、出力値指示波形 *O r e f* について階調レベルが 0 と 1、または 1 と 2 とに繰り返し切り替わるランプ波形である電力変換装置の場合、本実施の形態のスイッチング分散処理の適用が可能である。

[0128] 本実施の形態においては、2つの第2共通単相インバータを有する電力変換装置でスイッチング分散処理の効果を説明した。図32のフローチャートに示したように、本実施の形態のスイッチング分散処理は、第2共通単相インバータを3つ以上有する電力変換装置に適用可能である。

[0129] 本実施の形態の電力変換装置において、階調レベルが 0 から 1 に切り替わる場合と、階調レベルが 1 から 2 に切り替わる場合に、第2共通単相インバータのスイッチング回数の分散処理について説明した。このようなスイッチング分散処理は、他の階調レベルの切り替わりにおいても適用できる。すなわち、複数の第2共通単相インバータの中で、階調レベルの切り替わりのときにスイッチング動作が必要な第2共通単相インバータとスイッチング動作が不要な第2共通単相インバータとが存在する場合にスイッチング分散処理の適用が可能である。

[0130] 図34は、本実施の形態の電力変換装置における階調レベルの出力を実現する4つの単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の組み合わせを表で示した説明図である。本実施の形態の電力変換装置において、4個の単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の比は、図31と同様である。

[0131] 図34に示した第1グループ（第1G）は、本実施の形態の図31に示したように、階調レベルが 0 と 1 との間で変化する場合または階調レベルが 1 と 2 との間で変化する場合であり、第2共通単相インバータに対してスイッチング分散処理を適用することができる。また、図34に示した第2グループ（第2G）は、階調レベルが 3 と 4 との間で変化する場合または階調レベルが 4 と 5 との間で変化する場合である。この第2グループにおいて、階調レベルが 3 と 4 との間で変化する場合は、 V_1 を出力する第2共通単相イン

バータのみ出力状態を切り替える必要がある。また、階調レベルを4と5との間で切り替える場合は、V1を出力する第2共通単相インバータは出力状態が変化していないのに対し、V2を出力する第2共通単相インバータのみ出力状態を切り替える必要がある。したがって、この第2グループにおいても、第1グループと同様に、第2共通単相インバータに対してスイッチング分散処理を適用することができる。同様な理由で、図34に示した第3グループ（第3G）においても、第1グループと同様に、第2共通単相インバータに対してスイッチング分散処理を適用することができる。

[0132] また、本実施の形態の電力変換装置においては、第1共通単相インバータに対してもスイッチング分散処理を適用することができる。例えば、図34に示した第4グループ（第4G）は、階調レベルが2と3との間で変化する場合である。この第4グループにおいて、階調レベルが2と3との間で変化する場合は、V3を出力する第1共通単相インバータのみ出力状態を切り替える必要がある。したがって、この第4グループにおいては、第1共通単相インバータに対してスイッチング分散処理を適用することができる。また、図34に示した第5グループ（第5G）は、階調レベルが5と6との間で変化する場合である。階調レベルを5と6との間で切り替える場合は、V3を出力する第1共通単相インバータは出力状態が変化していないのに対し、V4を出力する第1共通単相インバータのみ出力状態を切り替える必要がある。したがって、この第5グループにおいても、第4グループと同様に、第1共通単相インバータに対してスイッチング分散処理を適用することができる。

[0133] このように、第1共通単相インバータおよび第2共通単相インバータを備えた電力変換装置において、第1共通単相インバータおよび第2共通単相インバータの少なくともどちら一方にスイッチング分散処理を適用することで、特定の単相インバータにスイッチング損失が集中することを防ぐことができる。

[0134] 実施の形態7.

実施の形態3の図19に示した電力変換装置の階調制御信号生成部において、出力値指示部401から出力される出力値指示波形 O_{ref} の波形の形状によっては、第1共通単相インバータの一部でより多くのスイッチング回数が必要となる場合がある。実施の形態7の電力変換装置は、各単相インバータの電圧絶対値の比率を維持した状態で、第1共通単相インバータの少なくとも1つにおいて、スイッチング素子の単位時間当たりのスイッチング回数が最小または閾値以下となるように各単相インバータの直流電源の出力電圧を調整する。

[0135] 図35は、本実施の形態に係る電力変換装置の構成図である。また、図36は、本実施の形態に係る電力変換装置の階調制御信号生成部の構成図である。本実施の形態に階調制御信号生成部41は、実施の形態3の図19に示した階調制御信号生成部において、階調制御信号変換部410に入力される信号に出力値指示波形 O_{ref} が追加されている。さらに、階調制御信号変換部410は、複数の直流電源3に対してその出力電圧 V_{d1} 、 V_{d2} 、 $\dots$ 、 V_{dn} のそれぞれの目標電圧である直流電圧制御信号 V_{1cnt} 、 V_{2cnt} 、 $\dots$ 、 V_{ncnt} をそれぞれ出力する。

[0136] 図37は、本実施の形態に係る電力変換装置における制御方法を示すフローチャートである。図37は、階調制御信号変換部410が単位周期の処理を開始したときの動作を示すフローチャートである。処理が開始されると、階調制御信号変換部410は、ステップS41において、入力された出力値指示波形 O_{ref} が初回であるか、または出力値指示波形 O_{ref} に変更指示があるか否かを判別する。ステップS41において出力値指示波形 O_{ref} が初回と判定されるか、または出力値指示波形 O_{ref} に変更指示があると判定された場合（YES）、階調制御信号変換部410はステップS42に進み、 W を0に設定する。次に、階調制御信号変換部410は、ステップS43において、出力値指示波形 O_{ref} に基づいて、次の5つの項目を決定する。1つ目は、スイッチング回数のカウント対象となる第1共通単相インバータを選択する。選択した単相インバータをカウント対象インバータと称

する。2つ目は、目標スイッチング回数 (t_{CT}) を決定する。3つ目は、直流電源の出力電圧の調整方向を決定する。ここで、出力電圧の調整方向とは、電圧を増加させるかまたは減少させるかである。4つ目は、直流電源の出力電圧の調整回数 (LMT) を決定する。5つ目は、全体出力電圧 V_{sum} の最大値の調整電圧分解能を決定する。

[0137] ステップS41において出力値指示波形 O_{ref} が初回ではないと判定されるか、または出力値指示波形 O_{ref} に変更指示がないと判定された場合 (NO)、階調制御信号変換部410はステップS44に進む。階調制御信号変換部410は、ステップS44において、出力電圧制御信号 O_{cnt} を受信する。次に階調制御信号変換部410は、ステップS45において、ステップS43で選択したカウント対象インバータの出力電圧波形の1周期分のスイッチング回数 (sw_{CT}) を計測する。次に階調制御信号変換部410は、ステップS46において、 sw_{CT} が t_{CT} 以下であるかを判定する。ステップS46において sw_{CT} が t_{CT} 以下であると判定された場合 (YES)、階調制御信号変換部410はステップS47に進む。階調制御信号変換部410は、ステップS47において、直流電源の目標電圧を維持する。

[0138] ステップS46において sw_{CT} が t_{CT} よりも大きいと判定された場合 (NO)、階調制御信号変換部410はステップS48に進む。階調制御信号変換部410は、ステップS48において、 W が LMT 以上であるかを判定する。ステップS48において W が LMT 以上であると判定された場合 (YES)、階調制御信号変換部410はステップS47に進む。ステップS48において W が LMT よりも小さいと判定された場合 (NO)、階調制御信号変換部410はステップS49に進み、 W に1を加えて新たな W とする。次に階調制御信号変換部410は、ステップS50において、直流電源の目標電圧を変更する。最後に階調制御信号変換部410は、ステップS51において、直流電源の目標電圧である直流電圧制御信号 $V1_{cnt}$ 、 $V2_{cnt}$ 、 $\dots$ Vn_{cnt} をそれぞれ出力する。

[0139] 階調制御信号変換部410がこのような制御を行うことで、スイッチング回数のカウント対象とする第1共通単相インバータを選択し、選択した第1共通単相インバータのスイッチング回数が最小または閾値以下となるように、各単相インバータの電圧絶対値の比率を維持した状態で各直流電源の出力電圧を調整することができる。

[0140] 図38は、4つの単相インバータで構成された電力変換装置における直流電源の電圧調整の説明図である。本実施の形態の電力変換装置において、4個の単相インバータの電圧絶対値 V_1 、 V_2 、 V_3 および V_4 の比は、 $1:2:4:4$ である。したがって、第1共通単相インバータは、 V_3 および V_4 を出力する単相インバータである。また、(A)初回は、全体出力電圧 V_{sum} の最大電圧が $\pm 130V$ となるように、 V_1 、 V_2 、 V_3 および V_4 が設定されている。具体的には $V_1 = 11.81V$ 、 $V_2 = 23.63V$ 、 $V_3 = V_4 = 47.27V$ である。

[0141] 図38においては、出力値指示波形 O_{ref} は正弦波で、ピーク値が $\pm 90V$ の出力電圧指示波形である場合を示している。ただし、定常時は正弦波を連続的に出力するが、負荷の変動状況などによっては、瞬間的に $\pm 130V$ の出力電圧を指示する場合があるものとする。スイッチング回数のカウント対象とする第1共通単相インバータは、 V_4 を出力する単相インバータの1つのみとする。前述した正弦波の出力値指示波形 O_{ref} の1周期内における、 V_4 を出力する単相インバータを構成する全スイッチング素子の目標スイッチング回数は0回に設定する。直流電源の出力電圧の調整方向は、初回の値から増加させる方向で調整する。各直流電源の出力電圧の調整回数(LMT)は10回とする。10回以内の調整で目標スイッチング回数である0回のスイッチング回数を実現できなかった場合は、各直流電源の電圧調整を終了し、最終回で調整した値に維持する。また各直流電源の電圧調整は、全体出力電圧 V_{sum} の最大値((A)初回は $130V$)の調整電圧分解能は $5V$ とする。

[0142] 図38に示すように、(A)初回は全体出力電圧 V_{sum} が $\pm 130V$ と

なるように、 $V1 = 11.81\text{ V}$ 、 $V2 = 23.63\text{ V}$ 、 $V3 = V4 = 47.27\text{ V}$ である。実施の形態3で説明した電力変換装置においてPWM制御を実施するときに、(A)初回の状態において、全体出力電圧 V_{sum} の等価電圧を正弦波の正側ピーク値である $+90\text{ V}$ に制御する場合、階調レベル7 (82.73 V)と階調レベル8 (94.55 V)の2値の電圧パルスとしてPWM制御することになる。

[0143] 図39は、本実施の形態の電力変換装置における直流電源の電圧調整の説明図である。前述の正弦波の出力値指示波形 O_{ref} において、正側ピーク値である $+90\text{ V}$ 付近の出力を指示する部分の詳細を例示している。図39において、出力値指示波形 O_{ref} が $+90\text{ V}$ 付近の出力を指示した場合に、全体出力電圧 V_{sum} が $+90\text{ V}$ の等価電圧を出力可能な2値の電圧パルスの出力期間を期間1とする。図39の(A)初回の場合、前述した2値の階調レベルは7と8との間である。また図39の(B)調整後の場合、前述した2値の階調レベルは6と7との間である。

[0144] 図39に示すように、(A)初回の場合、期間1においては階調レベル7と8との間の2値の電圧パルスを出力するように制御される。図38に示すように、階調レベルが7と8との間の場合、 $V4$ の出力状態は各々“0”と“1”である。したがって、第1共通単相インバータである $V4$ を出力する単相インバータのスイッチング回数が多くなる。図39に示すように、(A)初回の場合、各電圧絶対値において、 $V4$ を含む第1共通電圧が最も大きな電圧である。したがって、(A)初回の場合、 $V4$ を出力する単相インバータのスイッチング損失が大きくなる。

[0145] 前述のように、本実施の形態では正弦波の出力値指示波形 O_{ref} の1周期内において、 $V4$ を出力する単相インバータを構成する全スイッチング素子の目標スイッチング回数は0回としている。そこで、図39の(A)初回の状態から、図37に示すフローチャートにしたがって、各直流電源の出力電圧の調整制御を行う。前述のように、本実施の形態では各直流電源の出力電圧の調整回数(LMT)を10回としている。図39は、図37に示す制

御フローの処理を10回行う間に、V4を出力する単相インバータの目標スイッチング回数が0回に達した場合について示している。以後、各直流電源の出力電圧調整により、目標スイッチング回数の達成および維持している状態を（B）調整後と表現する。

[0146] 図38に示すように、（B）調整後の状態では、全体出力電圧 V_{sum} の最大電圧が145Vとなるように、各単相インバータの電圧絶対値（＝各直流電源の電圧） $V_1 \sim V_4$ の設定が行われている。本実施の形態においては、全体出力電圧 V_{sum} を5V単位で調整可能としているため、図37に示す制御フローの処理が3回実施された後に、V4を出力する単相インバータのスイッチング回数が目標スイッチング回数の0回になったことになる。

[0147] 図38において、（B）調整後の各直流電源の電圧（＝電圧絶対値）は $V_1 = 13.18V$ 、 $V_2 = 26.36V$ 、 $V_3 = V_4 = 52.72V$ である。第1共通電圧である V_3 および V_4 に注目すると、（A）初回の状態に対し5.45Vの増加であり、調整された電圧増加幅は小さい。また図38より、（B）調整後の状態において、全体出力電圧 V_{sum} の等価電圧を正弦波の正側ピーク値である+90Vに制御する場合、階調レベル6（79.09V）と階調レベル7（92.27V）との間の2値の電圧パルスとしてPWM制御することになる。

[0148] 図39より、（B）調整後の場合、期間1においては階調レベル6と7との間の2値の電圧パルスを出力するように制御される。図38より、階調レベルが6と7との間の場合、V4の出力状態は各々“0”と“0”である。したがって、第1共通電圧であるV4を出力する単相インバータは、期間1および正弦波の O_{ref} の1周期において、スイッチング回数が0回となる。このようにして、出力値指示波形 O_{ref} が±90Vのピーク電圧の正弦波を定常波形として出力指示している場合に、スイッチング回数のカウント対象として設定したV4を出力する単相インバータのスイッチング回数を目標スイッチング回数の0回とすることができる。その結果、V4を出力する単相インバータのスイッチング損失を大幅に低減することが可能となる。

- [0149] 本実施の形態においては、カウント対象とする第1共通単相インバータはV4を出力する単相インバータであり、V4を出力する単相インバータを構成する全てのスイッチング素子の総スイッチング回数に対して目標スイッチング回数を設定する例を示した。カウント対象は、第1共通単相インバータを構成する一部のスイッチング素子のスイッチング回数としてもよい。あるいは図39のV4の波形で例示したように、カウント対象とする第1共通単相インバータの出力電圧パルスの回数を目標回数に設定してもよい。
- [0150] また、本実施の形態においては、カウント対象とする第1共通単相インバータが1つの場合について説明したが、例えば正弦波などの出力値指示波形O r e fの1周期において、複数の第1共通単相インバータの合計スイッチング回数を目標スイッチング回数に設定してもよい。
- [0151] さらに、本実施の形態においては、各直流電源の電圧を増加させる方向での調整例を示したが、出力値指示波形O r e fの波形に応じて電圧を減少させる方向で調整する、あるいは予め定められた調整回数内で電圧の減少と増加との方向性を交えながら、目標のスイッチング回数に近づけてもよい。
- [0152] なお、本実施の形態においては、目標スイッチング回数を最小値である0回とする場合について例示したが、目標スイッチング回数を閾値以下とし、閾値を例えば3回などに設定してもよい。
- [0153] また、本実施の形態においては、図37に示すフローチャートに基づいて各直流電源の電圧を調整する例を示した。定常的に高頻度で出力される出力値指示波形O r e fの波形が決まっている場合には、図37に示す制御を事前に手動または自動で行って、定常的な波形の出力時に目標スイッチング回数となるように、予め各直流電源の電圧を設定しておいてもよい。
- [0154] さらに、本実施の形態においては、実施の形態3で示したPWM制御を用いた電力変換装置における波形例で説明を行ったが、PWM制御を用いない電力変換装置においても適用できる。一例として出力値指示波形O r e fが、前記(A)初回の状態で階調レベルが7と8との間で繰り返し切り替わるような、DCオフセット付きのランプ波形であるような場合には、本実施の

形態の直流電源の電圧制御が適用可能である。

[0155] これまで説明したように、本実施の形態の電力変換装置は、構成する各単相インバータの電圧絶対値の比率を維持した状態で、対象とする第1共通単相インバータのスイッチング回数が最小または閾値以下となるように各単相インバータの直流電源の出力電圧を調整するか、または予め各直流電源の出力電圧を設定することができる。その結果、出力電圧が大きい単相インバータのスイッチング損失が低減され、より小型化、低コスト化された電力変換装置の提供が可能となる。

[0156] なお、制御部4は、ハードウェアの一例を図40に示すように、プロセッサ100と記憶装置101から構成される。記憶装置は、図示していないがランダムアクセスメモリなどの揮発性記憶装置と、フラッシュメモリなどの不揮発性の補助記憶装置とを具備する。また、フラッシュメモリの代わりにハードディスクの補助記憶装置を具備してもよい。プロセッサ100は、記憶装置101から入力されたプログラムを実行する。この場合、補助記憶装置から揮発性記憶装置を介してプロセッサ100にプログラムが入力される。また、プロセッサ100は、演算結果などのデータを記憶装置101の揮発性記憶装置に出力してもよいし、揮発性記憶装置を介して補助記憶装置にデータを保存してもよい。

また、制御部4は、FPGA (Field Programmable Gate Array)、MCU (Micro Controller Unit) などのデジタル制御器であってもよい。あるいは、制御部4は、第1減算部402および出力極性判定部404にオペアンプ、コンパレータなどのアナログ回路を用いた、アナログ回路とデジタル制御器とが混在した構成としてもよい。

[0157] 本願は、様々な例示的な実施の形態が記載されているが、1つまたは複数の実施の形態に記載された様々な特徴、態様、および機能は特定の実施の形態の適用に限られるのではなく、単独で、または様々な組み合わせで実施の形態に適用可能である。

したがって、例示されていない無数の変形例が、本願に開示される技術の範囲内において想定される。例えば、少なくとも1つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも1つの構成要素を抽出し、他の実施の形態の構成要素と組み合わせる場合が含まれるものとする。

符号の説明

[0158] 1 電力変換装置、2 単相インバータ、3 直流電源、4 制御部、5 出力検出部、6 ADコンバータ、10 負荷、21、22 ハーフブリッジインバータ、23 スイッチング素子、41 階調制御信号生成部、42 ゲートドライバ、43 デッドタイム生成部、44 ゲート駆動信号出力部、51 オペアンプ、52 抵抗、53 電流検知抵抗、100 プロセッサ、101 記憶装置、401 出力値指示部、402 第1減算部、403 補償部、404 出力極性判定部、405 絶対値化処理部、406 整数化処理部、407 第2減算部、408 パルス幅変調部、409 加算部、410 階調制御信号変換部。

請求の範囲

- [請求項1] 直流電力を交流電力にそれぞれ変換する3個以上の単相インバータと、前記単相インバータを制御する制御部とを有する電力変換装置であって、
- 前記単相インバータは直列に接続されており、前記単相インバータの出力電圧の絶対値を電圧絶対値とした場合、3個以上の前記単相インバータは、前記電圧絶対値が同じ第1共通電圧を出力する少なくとも2個の第1共通単相インバータと、前記第1共通電圧よりも小さい前記電圧絶対値の電圧を出力する少なくとも1個の単相インバータとを含んで構成されており、前記制御部は、前記単相インバータの前記出力電圧の総和電圧を負荷に出力することを特徴とする電力変換装置。
- [請求項2] 前記第1共通電圧は、3個以上の前記単相インバータの前記電圧絶対値の中で最も大きな値であることを特徴とする請求項1に記載の電力変換装置。
- [請求項3] 前記単相インバータは、前記電圧絶対値の極性を切り替えて出力することを特徴とする請求項1または2に記載の電力変換装置。
- [請求項4] 3個以上の前記単相インバータの前記電圧絶対値の比において、最小の前記電圧絶対値の比率を1とし、前記第1共通単相インバータの前記第1共通電圧の比率をJとし、前記電圧絶対値の比がJよりも小さい前記単相インバータの前記電圧絶対値の比率の総和をKとした場合に、 $J = K + 1$ が成り立つことを特徴とする請求項1から3のいずれか1項に記載の電力変換装置。
- [請求項5] 3個以上の前記単相インバータの前記電圧絶対値の比において、最小の前記電圧絶対値の比率を1とし、前記第1共通単相インバータの前記第1共通電圧の比率をJとし、前記電圧絶対値の比がJよりも小さい前記単相インバータの前記電圧絶対値の比率の総和をKとした場合に、 $J = 2K + 1$ が成り立つことを特徴とする請求項1から3のい

ずれか 1 項に記載の電力変換装置。

[請求項6] 3 個以上の前記単相インバータの前記電圧絶対値の比において、最小の前記電圧絶対値の比率を 1 とした場合に、前記制御部は、少なくとも 1 つの前記単相インバータに PWM 制御を行って、前記総和電圧を比率 1 よりも小さい電圧分解能で制御することを特徴とする請求項 1 から 5 のいずれか 1 項に記載の電力変換装置。

[請求項7] 前記第 1 共通単相インバータは、それぞれ 1 つ以上のスイッチング素子を含んで構成されており、前記制御部は、2 個以上の前記第 1 共通単相インバータにそれぞれ含まれる前記スイッチング素子の単位時間当たりのスイッチング回数の差を最小にすることを特徴とする請求項 1 から 6 のいずれか 1 項に記載の電力変換装置。

[請求項8] 3 個以上の前記単相インバータの前記電圧絶対値の比において、最小の前記電圧絶対値の比率を 1 とした場合に、前記単相インバータの前記電圧絶対値の比率の中に少なくとも 1 および 2、または 1 および 3 を含んで構成されていることを特徴とする請求項 4 から 7 のいずれか 1 項に記載の電力変換装置。

[請求項9] 前記単相インバータを 4 個以上有し、4 個以上の前記単相インバータの前記電圧絶対値の比において、最小の前記電圧絶対値の比率を 1 とした場合に、前記単相インバータの前記電圧絶対値の比率の中に少なくとも 1 および 3 および 9 を含み、比率 9 の前記電圧絶対値が前記第 1 共通電圧であることを特徴とする請求項 5 から 7 のいずれか 1 項に記載の電力変換装置。

[請求項10] 前記単相インバータを 4 個以上有し、4 個以上の前記単相インバータは、前記第 1 共通電圧よりも小さい前記電圧絶対値が同じ第 2 共通電圧を出力する少なくとも 2 個の第 2 共通単相インバータを含んで構成されていることを特徴とする請求項 1 から 7 のいずれか 1 項に記載の電力変換装置。

[請求項11] 前記第 2 共通電圧は、4 個以上の前記単相インバータの電圧絶対値

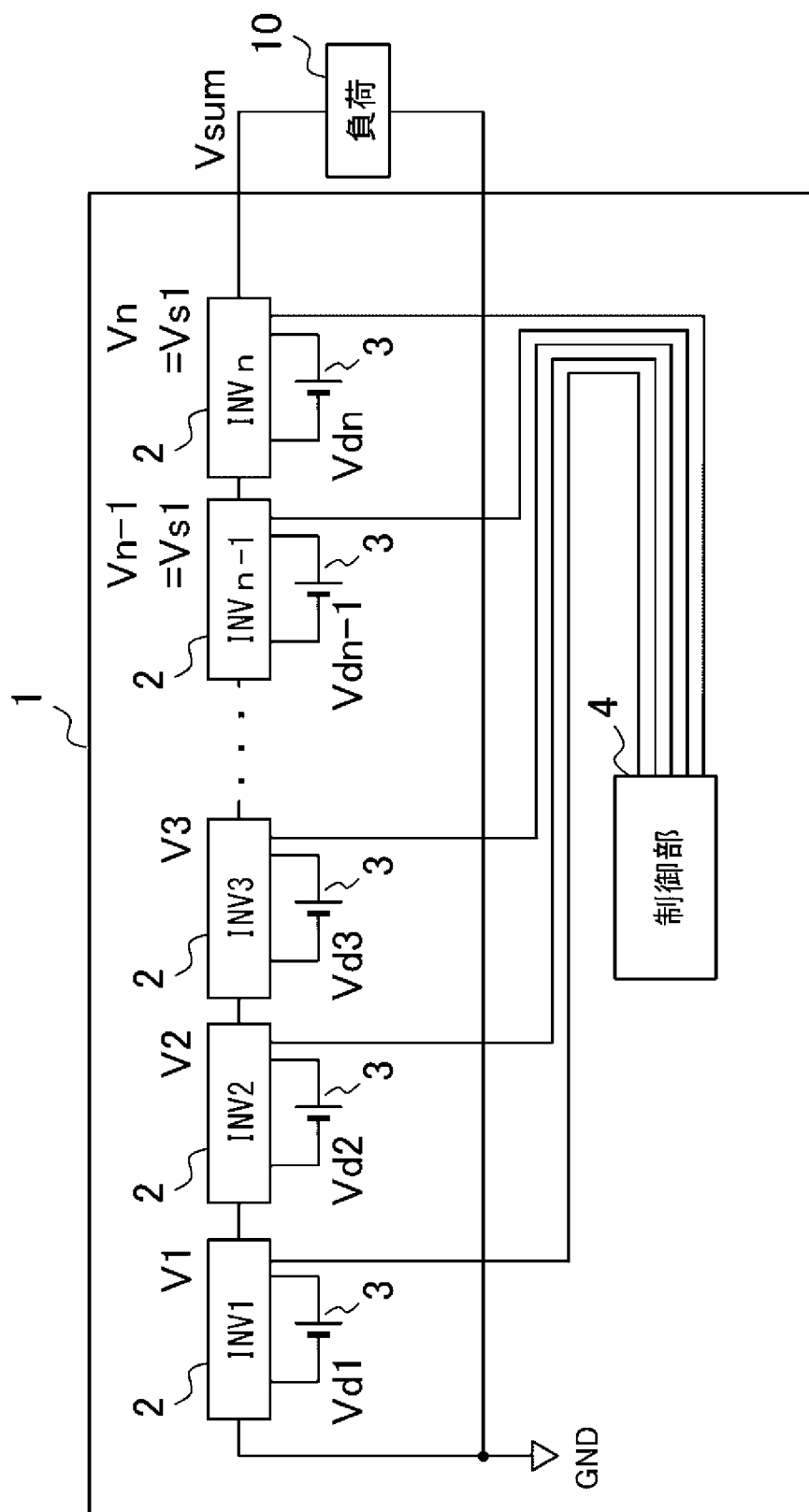
の最小値であることを特徴とする請求項 10 に記載の電力変換装置。

[請求項12] 前記第 2 共通単相インバータは、それぞれ 1 つ以上のスイッチング素子を含んで構成されており、前記制御部は、2 個以上の前記第 2 共通単相インバータにそれぞれ含まれる前記スイッチング素子の単位時間当たりのスイッチング回数の差を最小にすることを特徴とする請求項 10 または 11 に記載の電力変換装置。

[請求項13] 複数の前記単相インバータには直流電力を供給する複数の直流電源がそれぞれ接続されており、前記制御部は、前記負荷に印加する目標電圧、または前記負荷に供給する目標電流、または前記負荷に供給する目標電力の少なくとも 1 つに基づいて複数の前記直流電源の出力電圧を制御して、複数の前記単相インバータのそれぞれの前記電圧絶対値の比率を維持した状態で、前記第 1 共通単相インバータの少なくとも 1 つにおいて、前記第 1 共通単相インバータを構成する 1 つ以上の前記スイッチング素子の単位時間当たりの総スイッチング回数を最小とすることを特徴とする請求項 7 に記載の電力変換装置。

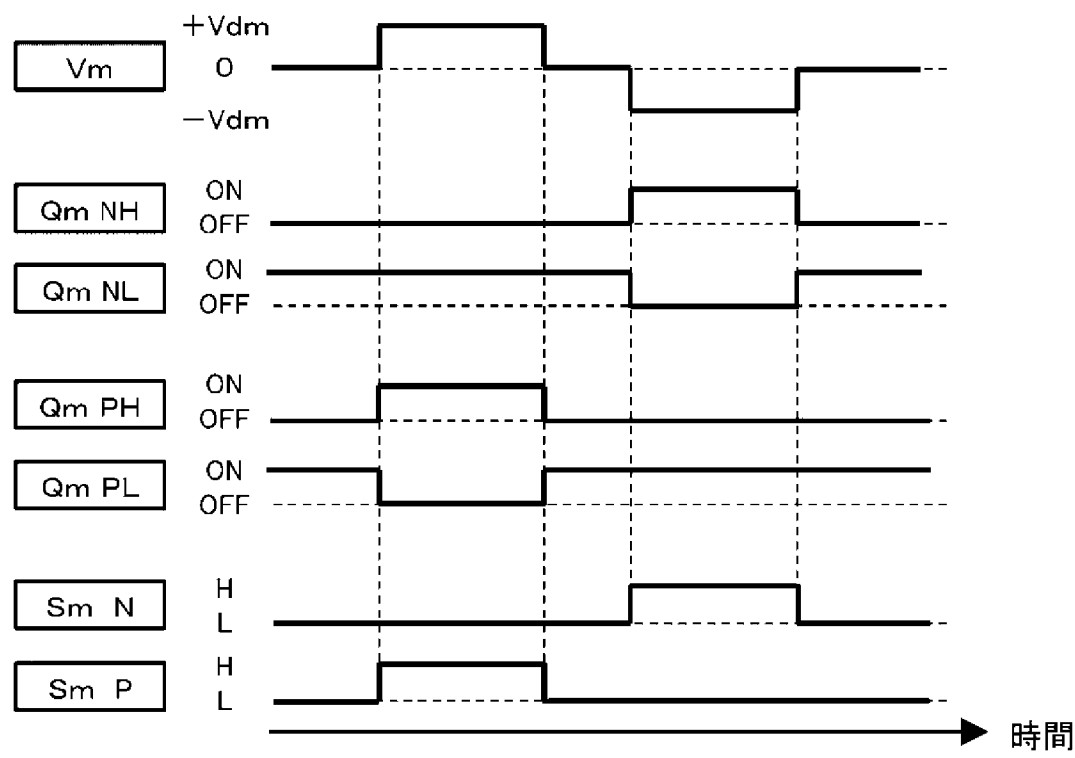
[図1]

图 1



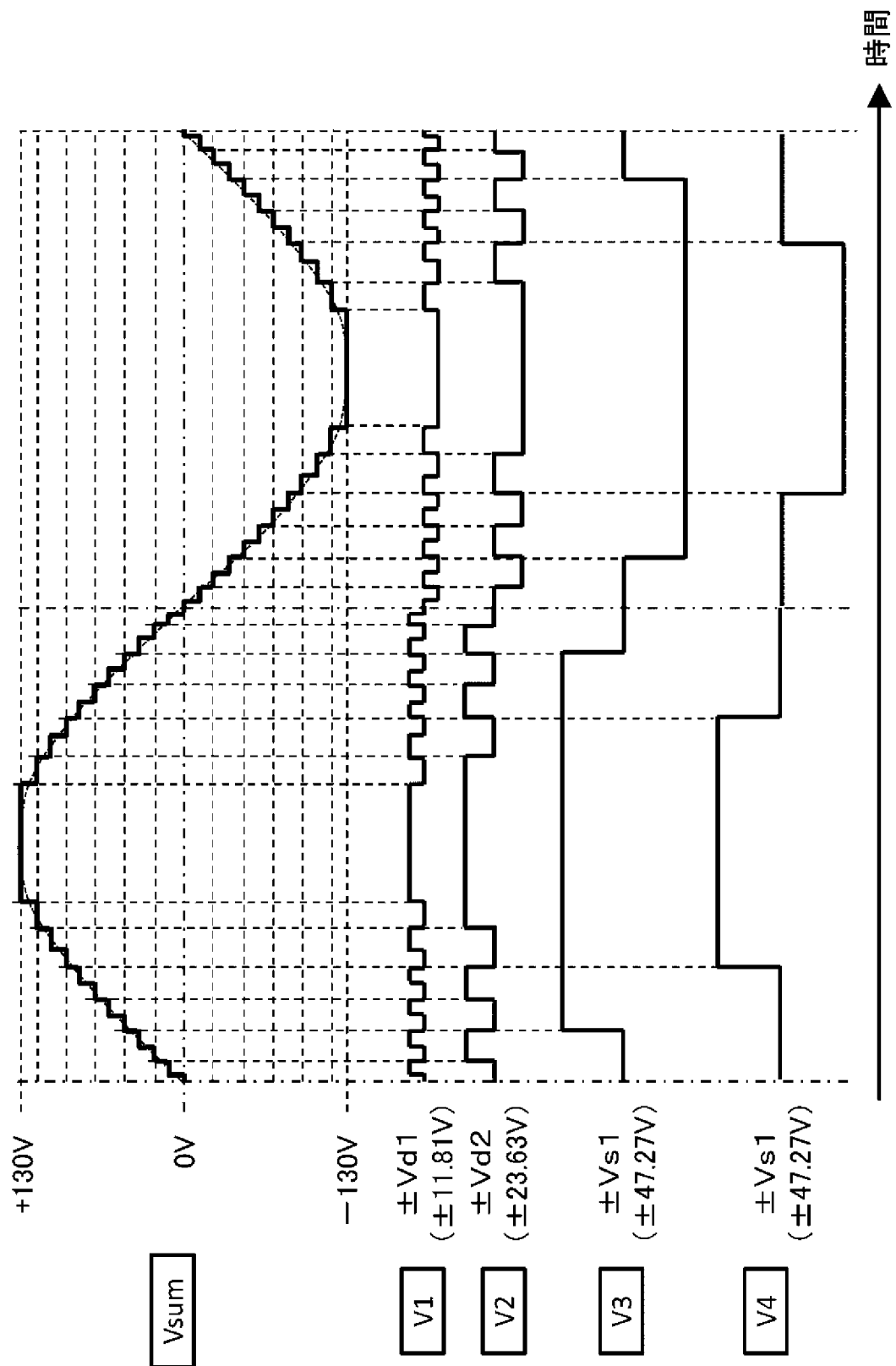
[図3]

図 3



[図4]

図 4



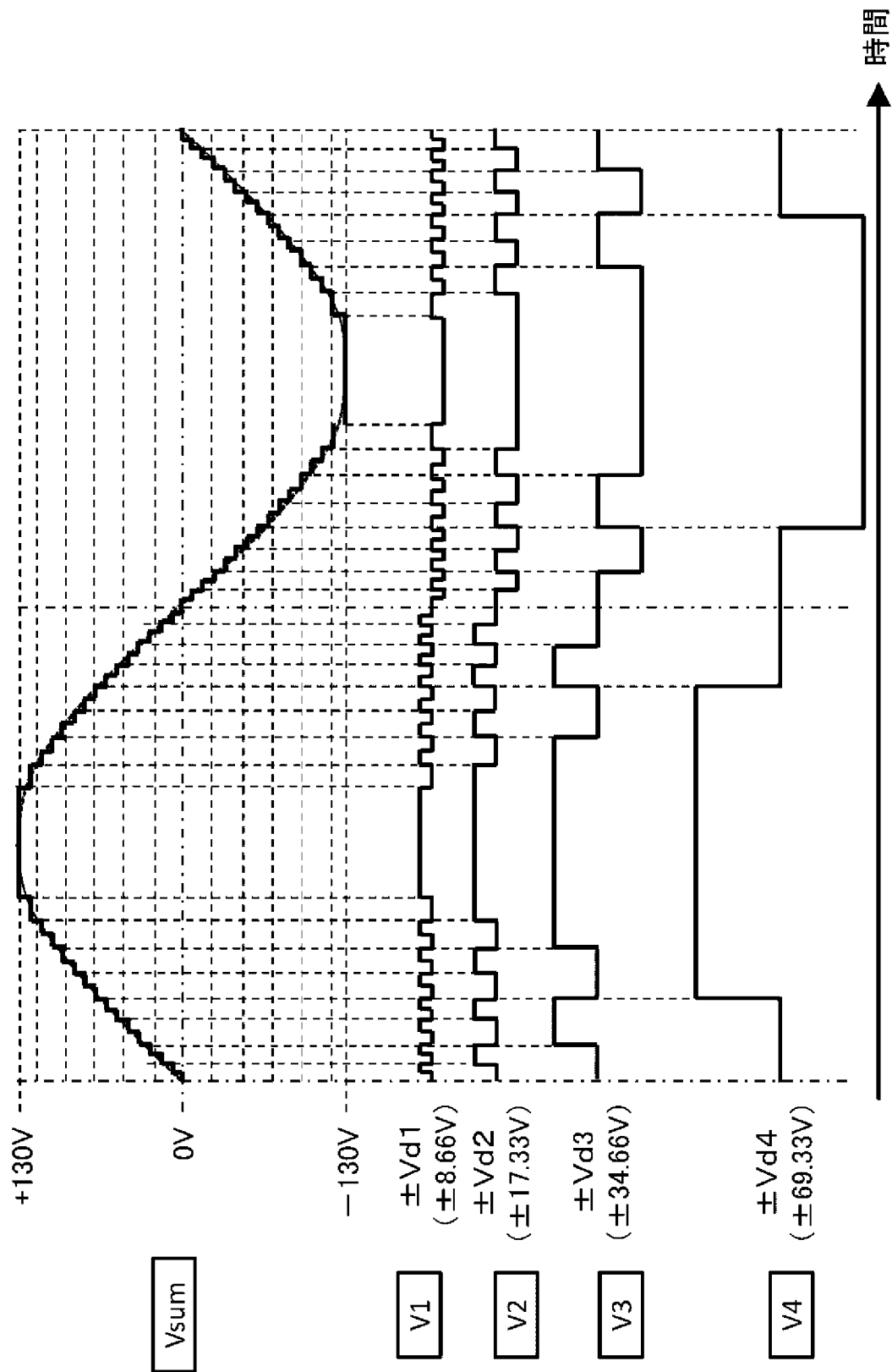
[図5]

図 5

階調 レベル	V 1	V2	V3	V4
	11.81V	23.63V	47.27V	47.27V
	比率			
	1	2	4	4
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	1	1
9	1	0	1	1
10	0	1	1	1
11	1	1	1	1

[図6]

図 6



[図7]

図 7

階調 レベル	V 1	V2	V3	V4
	8.66V	17.33V	34.66V	69.33V
	比率			
	1	2	4	8
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1
10	0	1	0	1
11	1	1	0	1
12	0	0	1	1
13	1	0	1	1
14	0	1	1	1
15	1	1	1	1

[図8]

図 8

	最大階調 レベル	V1～V5比率					V1～V5電圧 (V)				
		V1	V2	V3	V4	V5	V1	V2	V3	V4	V5
比較例	31	1	2	4	8	16	4.19	8.39	16.77	33.55	67.10
実施例1	23	1	2	4	8	8	5.65	11.30	22.61	45.22	45.22
実施例2	26	1	2	5	9	9	5.00	10.00	25.00	45.00	45.00
実施例3	29	1	2	6	10	10	4.48	8.97	26.90	44.83	44.83
実施例4	32	1	2	7	11	11	4.06	8.13	28.44	44.69	44.69
実施例5	9	1	2	2	2	2	14.44	28.89	28.89	28.89	28.89
実施例6	15	1	2	4	4	4	8.67	17.33	34.67	34.67	34.67
実施例7	41	1	3	9	14	14	3.17	9.51	28.54	44.39	44.39
実施例8	19	1	3	5	5	5	6.84	20.53	34.21	34.21	34.21
実施例9	5	1	2	2	/		26.00	52.00	52.00	/	
実施例10	7	1	2	2	2	2	18.57	37.14	37.14	37.14	37.14

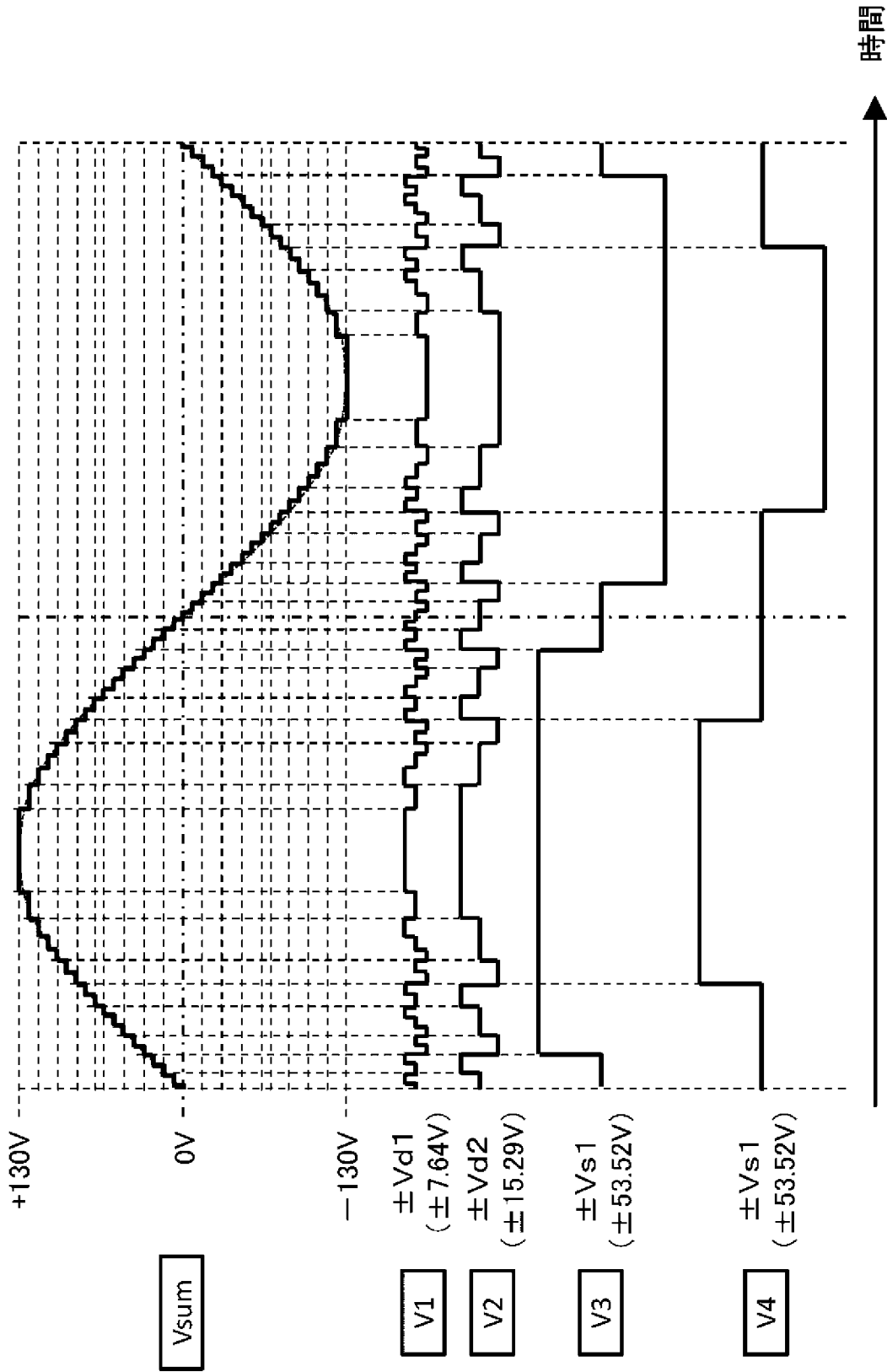
[図9]

図 9

	最大階調 レベル	V1～V5比率					V1～V5電圧 (V)				
		V1	V2	V3	V4	V5	V1	V2	V3	V4	V5
比較例	31	1	2	4	8	16	4.19	8.39	16.77	33.55	67.10
実施例11	11	1	2	2	2	4	11.82	23.64	23.64	23.64	47.27
実施例12	19	1	2	4	4	8	6.84	13.68	27.37	27.37	54.74
実施例13	24	1	3	5	5	10	5.42	16.25	27.08	27.08	54.17

[図10]

図 10



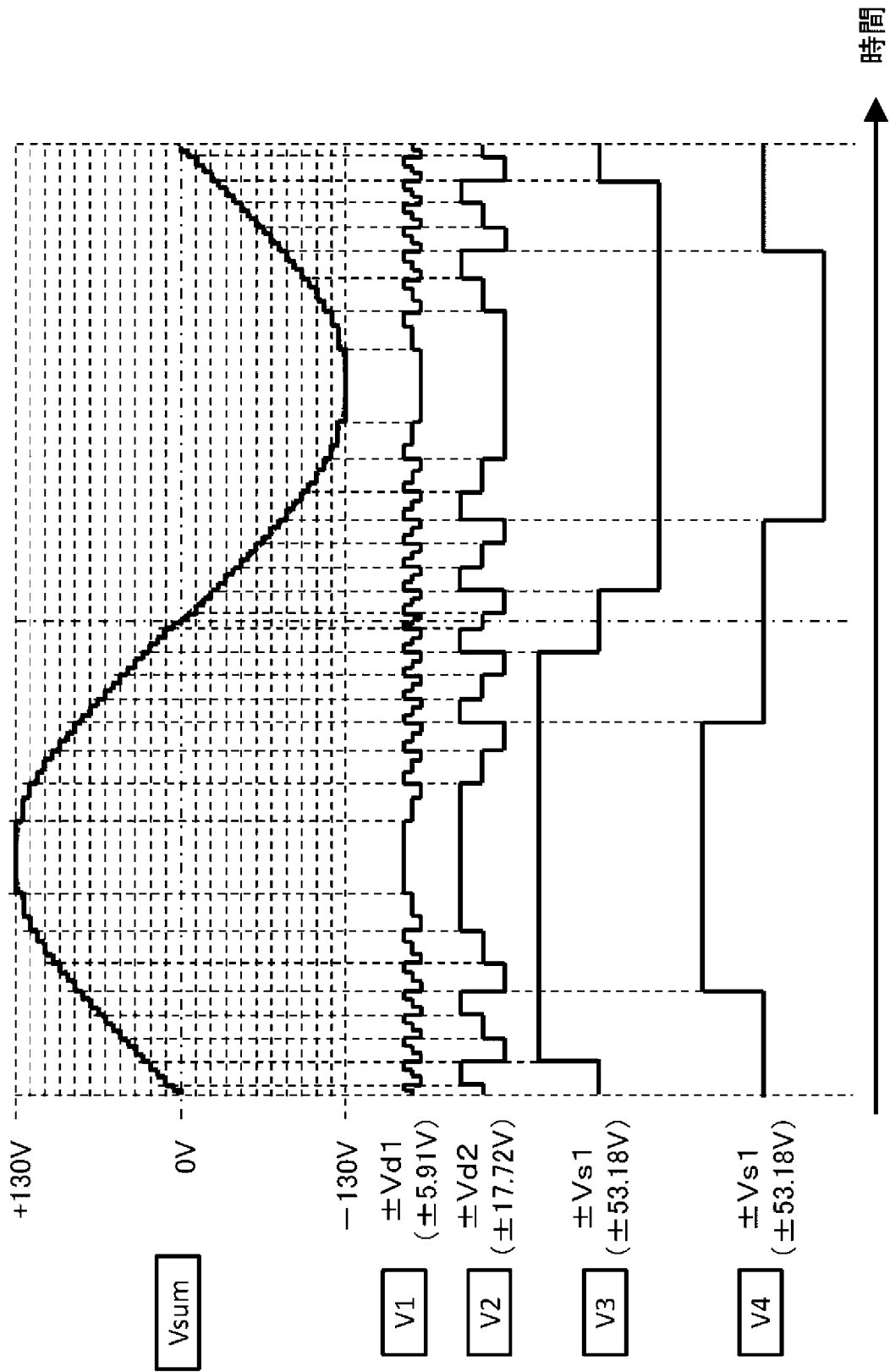
[図11]

図 11

階調 レベル	V 1	V2	V3	V4
	7.64V	15.29V	53.52V	53.52V
	比率			
	1	2	7	7
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	−1	−1	1	0
5	0	−1	1	0
6	−1	0	1	0
7	0	0	1	0
8	1	0	1	0
9	0	1	1	0
10	1	1	1	0
11	−1	−1	1	1
12	0	−1	1	1
13	−1	0	1	1
14	0	0	1	1
15	1	0	1	1
16	0	1	1	1
17	1	1	1	1

[図12]

図 12



[図13]

図 13

階調 レベル	V 1	V2	V3	V4
	5.91V	17.72V	53.18V	53.18V
	比率			
	1	3	9	9
0	0	0	0	0
1	1	0	0	0
2	-1	1	0	0
3	0	1	0	0
4	1	1	0	0
5	-1	-1	1	0
6	0	-1	1	0
7	1	-1	1	0
8	-1	0	1	0
9	0	0	1	0
10	1	0	1	0
11	-1	1	1	0
12	0	1	1	0
13	1	1	1	0
14	-1	-1	1	1
15	0	-1	1	1
16	1	-1	1	1
17	-1	0	1	1
18	0	0	1	1
19	1	0	1	1
20	-1	1	1	1
21	0	1	1	1
22	1	1	1	1

[図14]

図 14

	最大階調 レベル	V1～V5比率					V1～V5電圧 (V)				
		V1	V2	V3	V4	V5	V1	V2	V3	V4	V5
比較例	31	1	2	4	8	16	4.19	8.39	16.77	33.55	67.10
実施例14	24	1	2	7	7	7	5.42	10.83	37.92	37.92	37.92
実施例15	52	1	2	7	21	21	2.50	5.00	17.50	52.50	52.50
実施例16	13	1	3	3	3	3	10.00	30.00	30.00	30.00	30.00
実施例17	31	1	3	9	9	9	4.19	12.58	37.74	37.74	37.74
実施例18	67	1	3	9	27	27	1.94	5.82	17.46	52.39	52.39
実施例19	7	1	3	3	/		18.57	55.71	55.71	/	
実施例20	10	1	3	3	3	3	13.00	39.00	39.00	39.00	39.00

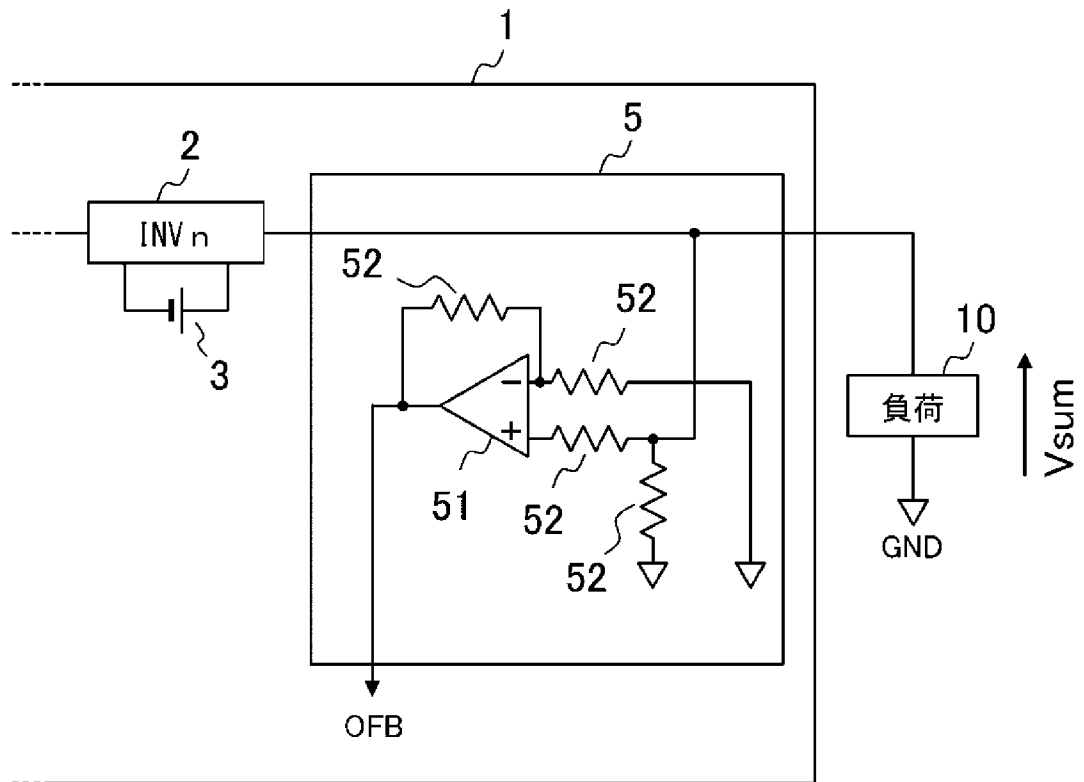
[図15]

図 15

	最大階調 レベル	V1～V5比率					V1～V5電圧 (V)				
		V1	V2	V3	V4	V5	V1	V2	V3	V4	V5
比較例	31	1	2	4	8	16	4.19	8.39	16.77	33.55	67.10
実施例21	31	1	2	7	7	14	4.19	8.39	29.35	29.35	58.71
実施例22	19	1	3	3	3	9	6.84	20.53	20.53	20.53	61.58
実施例23	40	1	3	9	9	18	3.25	9.75	29.25	29.25	58.50

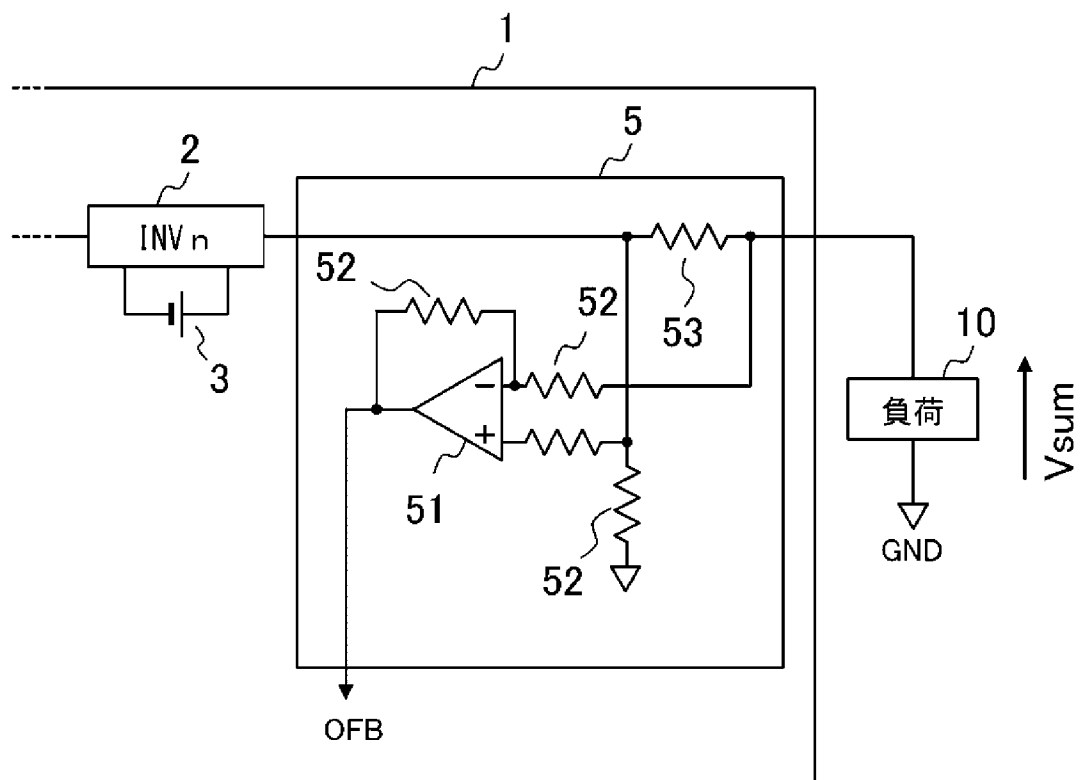
[図17]

図 17



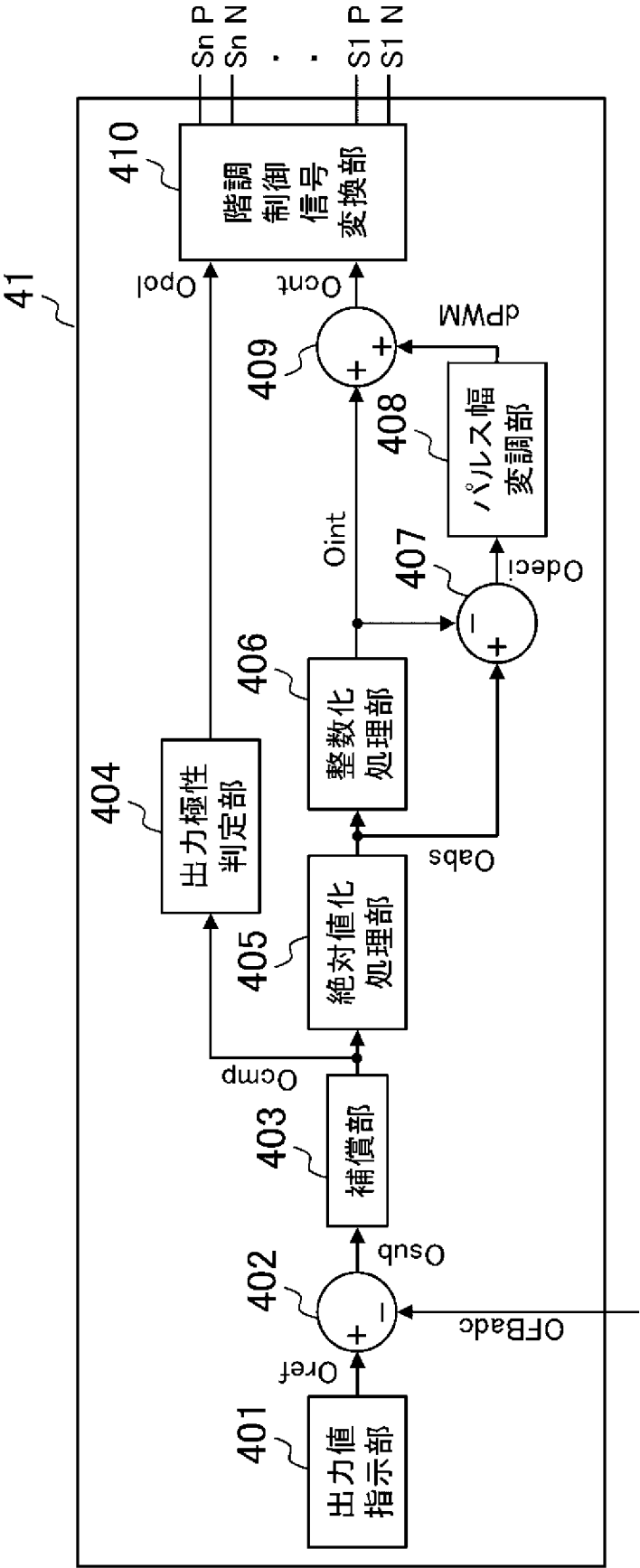
[図18]

図 18



[図19]

図 19



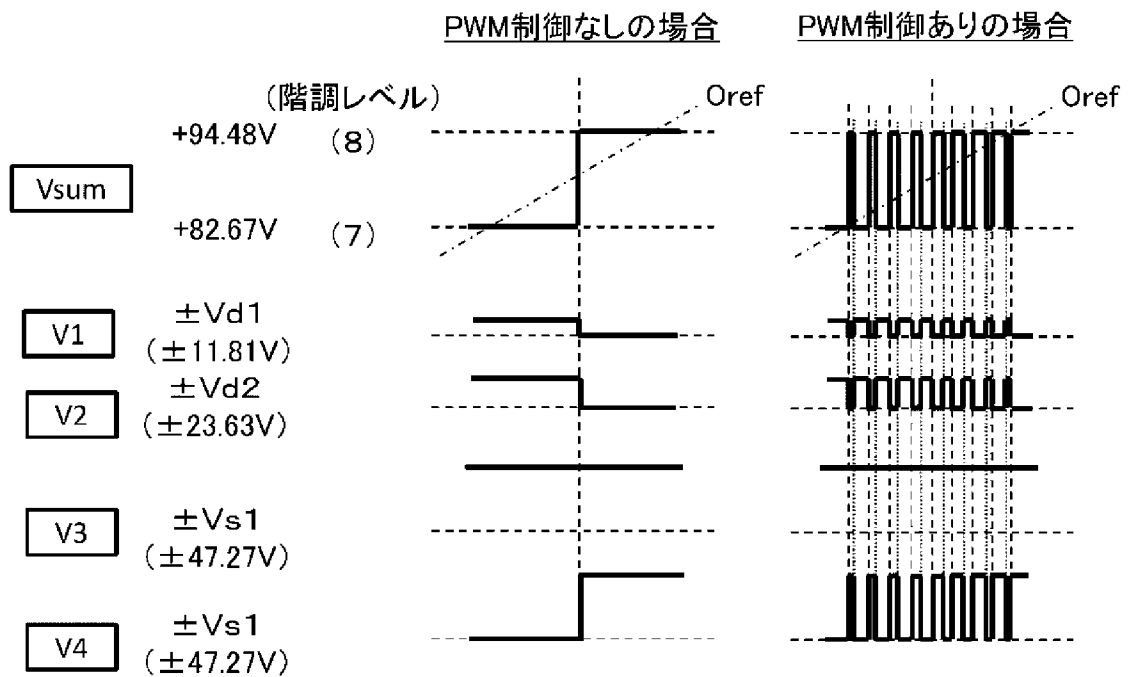
[図20]

図 20

階調 レベル	V 1	V2	V3	V4
	11.81V	23.63V	47.27V	47.27V
	比率			
	1	2	4	4
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	1	1
9	1	0	1	1
10	0	1	1	1
11	1	1	1	1

[図21]

図 21



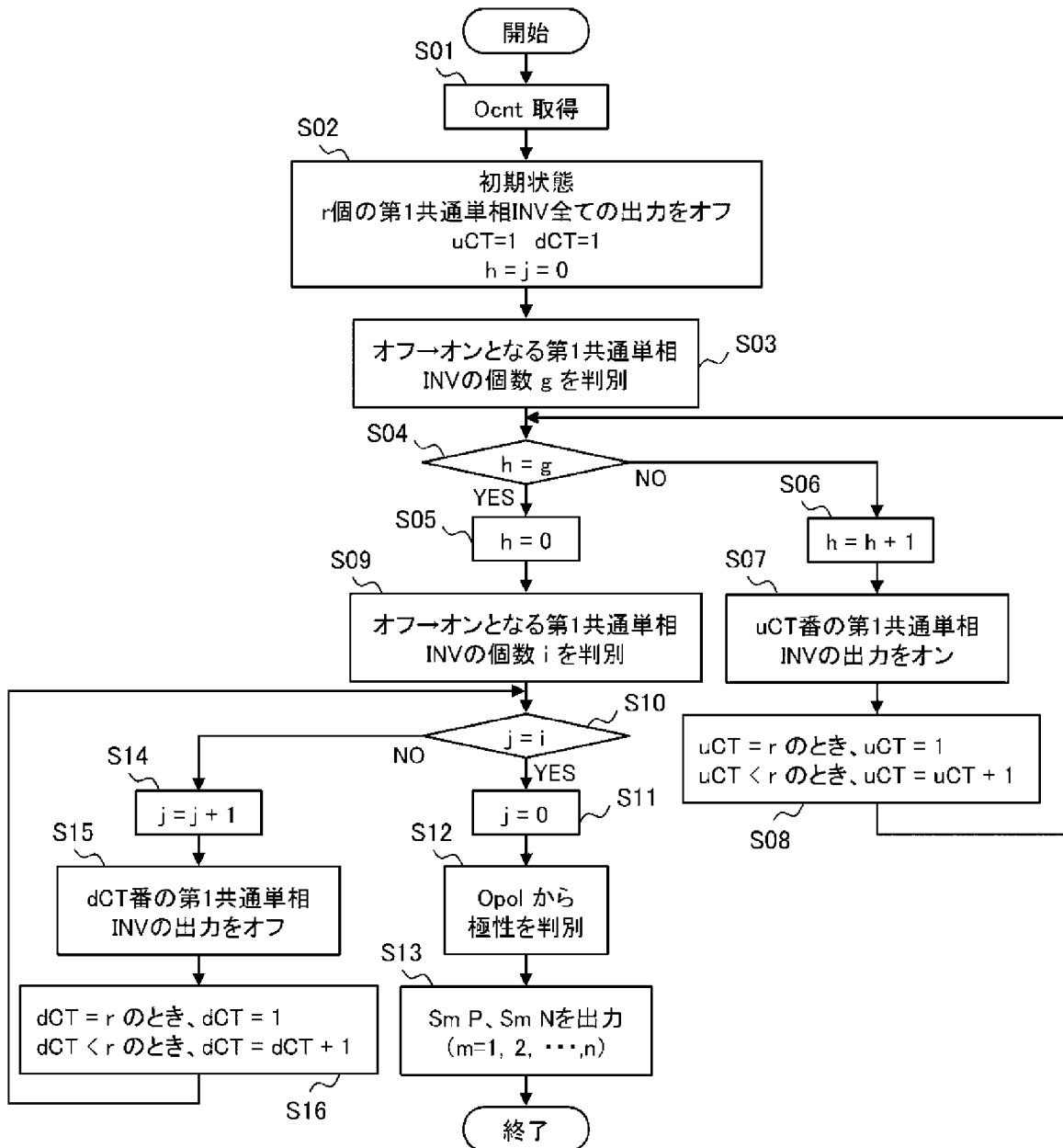
[図22]

図 22

階調 レベル	V 1	V2	V3	V4
	11.81V	23.63V	47.27V	47.27V
	比率			
	1	2	4	4
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	1	1
9	1	0	1	1
10	0	1	1	1
11	1	1	1	1

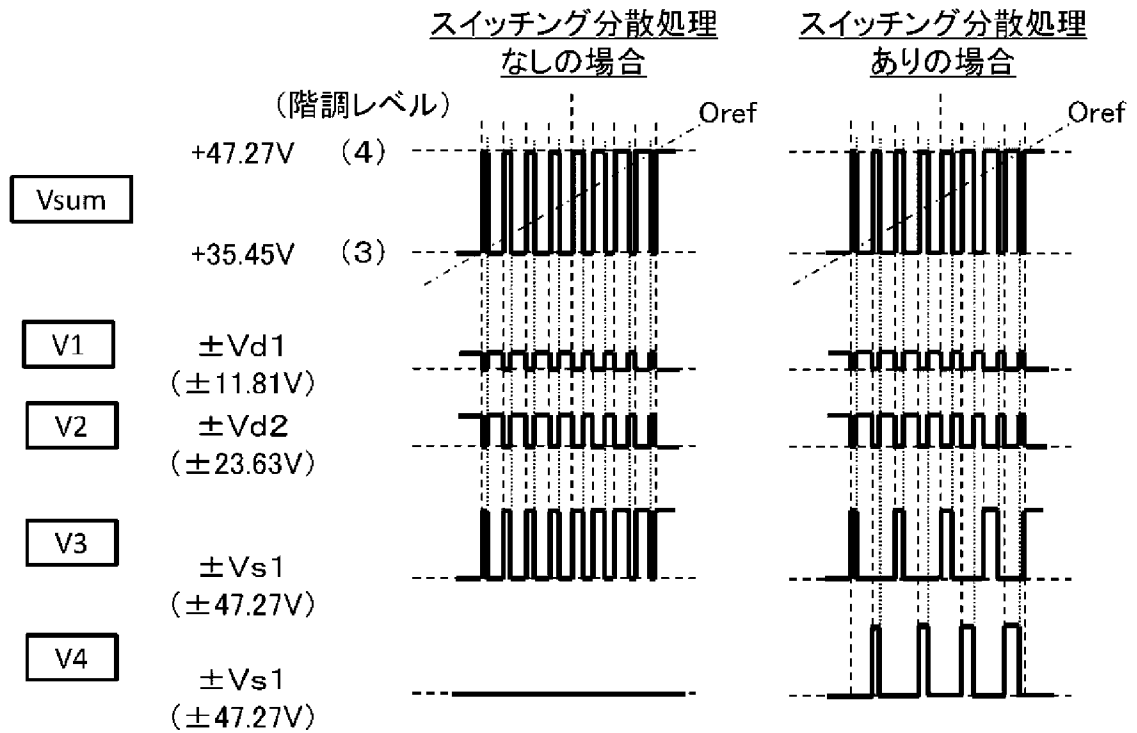
[図23]

図 23



[図24]

図 24



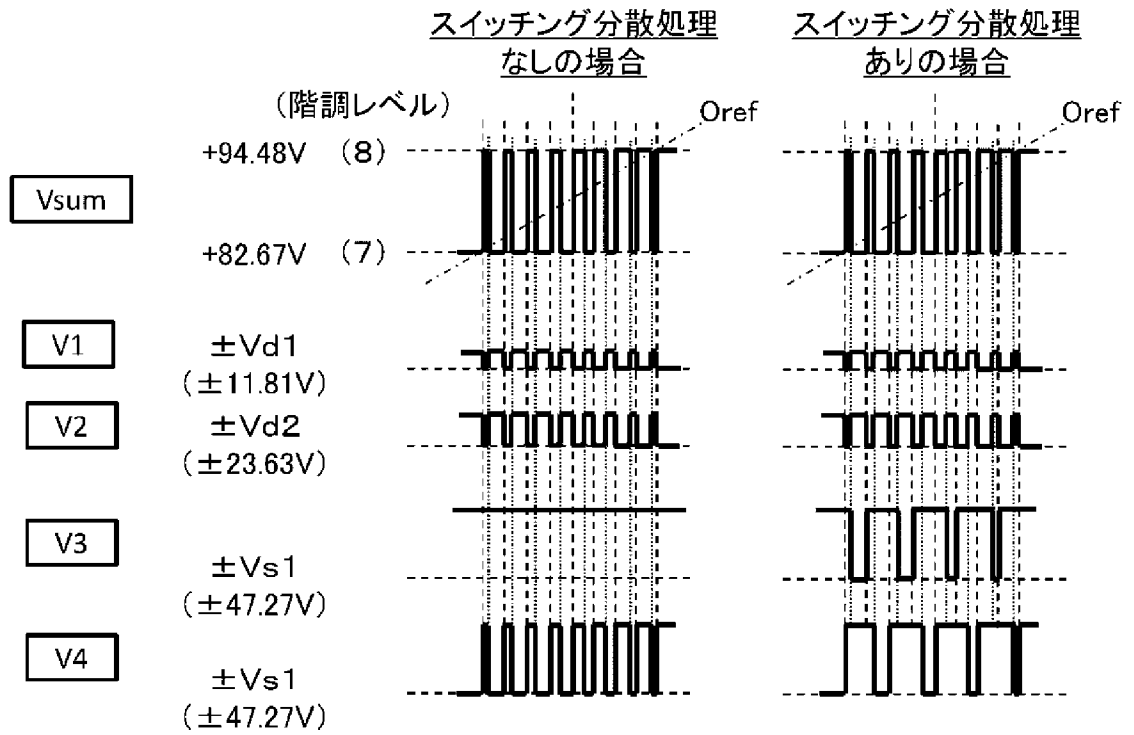
[図25]

図 25

	V 1	V 2	V 3	V 4
階調 レベル	11.81V	23.63V	47.27V	47.27V
	比率			
	1	2	4	4
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	1	1
9	1	0	1	1
10	0	1	1	1
11	1	1	1	1

[図26]

図 26



[図28]

図 28

階調 レベル	V1	V2	V3	V4
	16.25V	16.25V	48.75V	48.75V
	比率			
	1	1	3	3
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	0	0	1	0
4	1	0	1	0
5	1	1	1	0
6	0	0	1	1
7	1	0	1	1
8	1	1	1	1

[図29]

図 29

	最大階調 レベル	V1～V5比率					V1～V5電圧 (V)				
		V1	V2	V3	V4	V5	V1	V2	V3	V4	V5
比較例	31	1	2	4	8	16	4.19	8.39	16.77	33.55	67.10
実施例24	11	1	1	1	4	4	11.82	11.82	11.82	47.27	47.27
実施例25	11	1	1	3	3	3	11.82	11.82	35.45	35.45	35.45
実施例26	17	1	1	3	6	6	7.65	7.65	22.94	45.88	45.88
実施例27	17	1	1	1	7	7	7.65	7.65	7.65	53.53	53.53
実施例28	27	1	1	3	11	11	4.81	4.81	14.44	52.96	52.96
実施例29	17	1	1	5	5	5	7.65	7.65	38.24	38.24	38.24

[図30]

図 30

	最大階調 レベル	V1～V5比率					V1～V5電圧 (V)				
		V1	V2	V3	V4	V5	V1	V2	V3	V4	V5
比較例	31	1	2	4	8	16	4.19	8.39	16.77	33.55	67.10
実施例30	17	1	2	2	6	6	7.65	15.29	15.29	45.88	45.88
実施例31	23	1	3	3	8	8	5.65	16.96	16.96	45.22	45.22
実施例32	27	1	2	2	11	11	4.81	9.63	9.63	52.96	52.96
実施例33	37	1	3	3	15	15	3.51	10.54	10.54	52.70	52.70

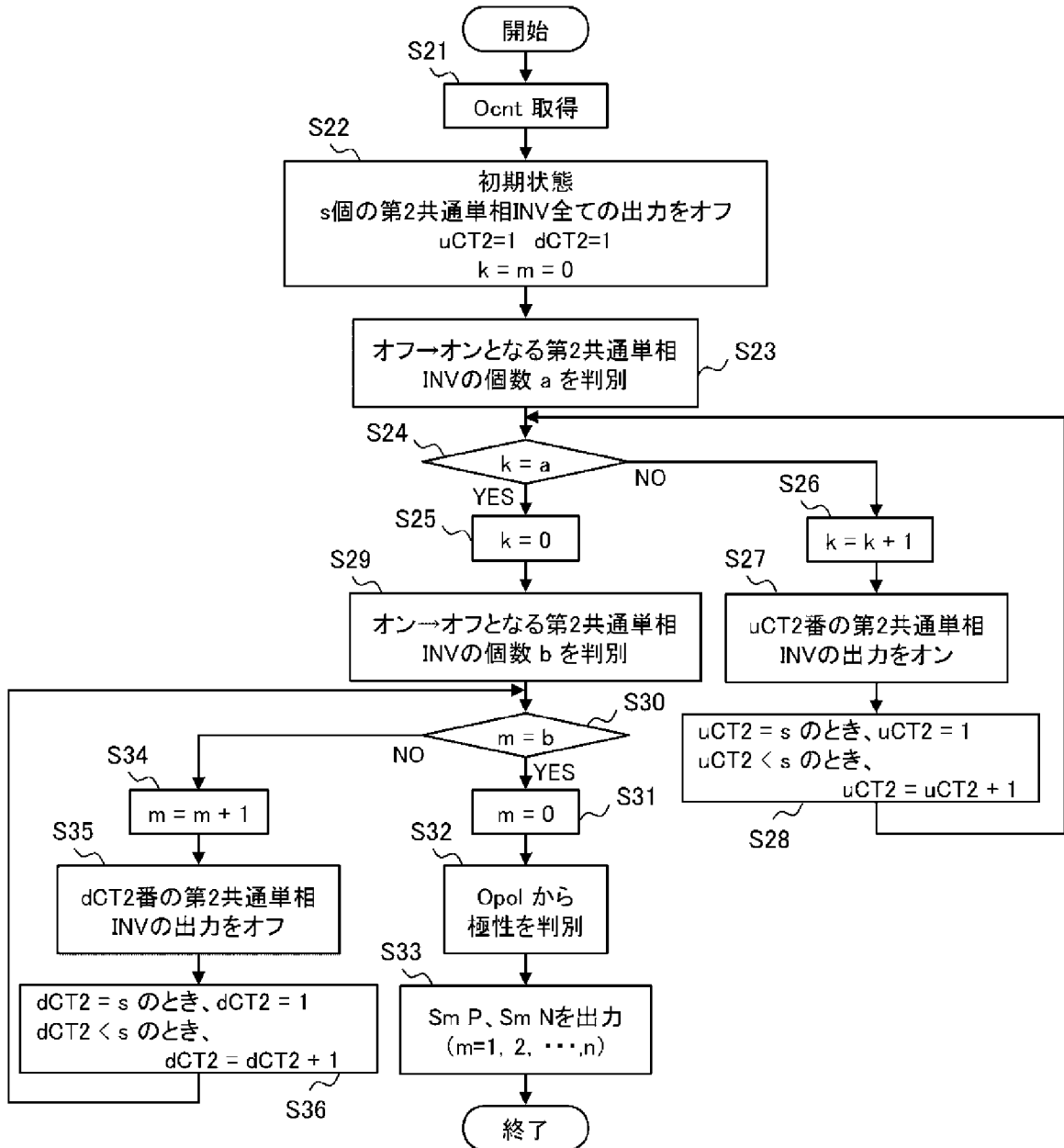
[図31]

図 31

階調 レベル	V1	V2	V3	V4
	16.25V	16.25V	48.75V	48.75V
	比率			
	1	1	3	3
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	0	0	1	0
4	1	0	1	0
5	1	1	1	0
6	0	0	1	1
7	1	0	1	1
8	1	1	1	1

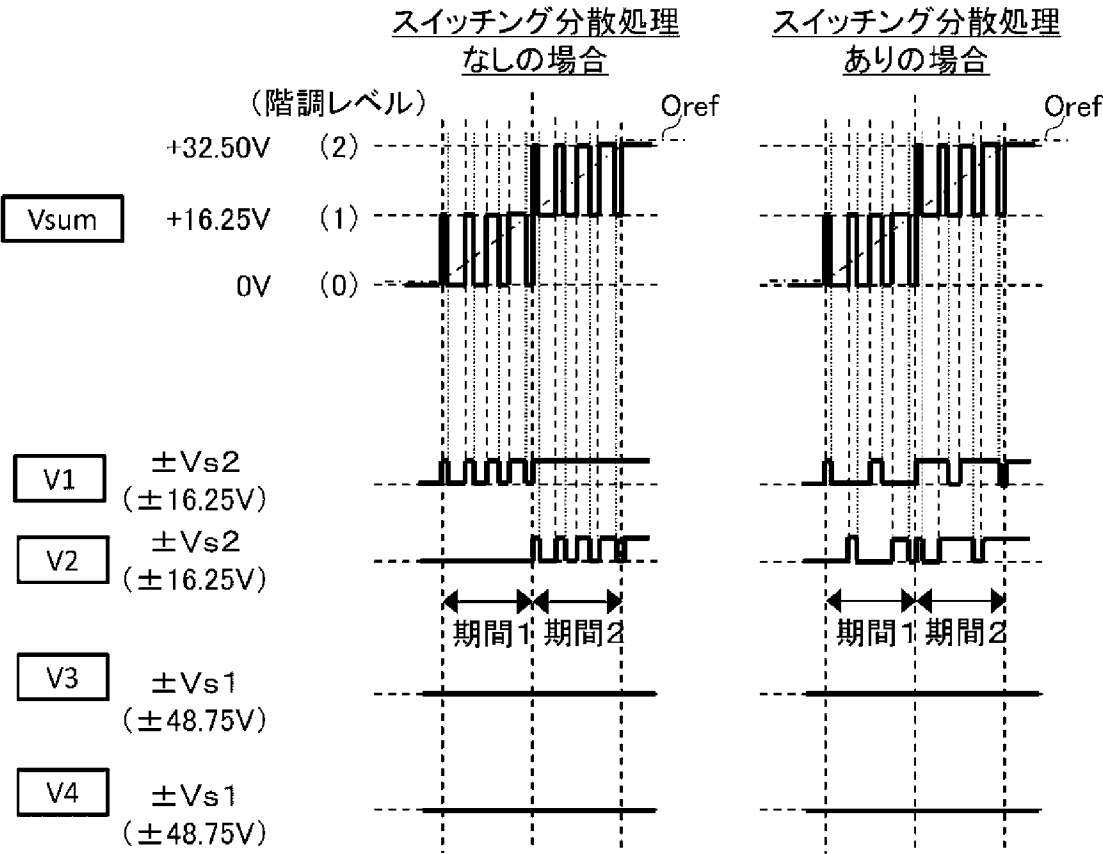
[図32]

図 32



[図33]

図 33



[図34]

図 34

		V 1	V 2	V 3	V 4
階調 レベル		16.25V	16.25V	48.75V	48.75V
		比率			
		1	1	3	3
第1G	0	0	0	0	0
	1	1	0	0	0
	2	1	1	0	0
第2G	3	0	0	1	0
	4	1	0	1	0
	5	1	1	1	0
第3G	6	0	0	1	1
	7	1	0	1	1
	8	1	1	1	1

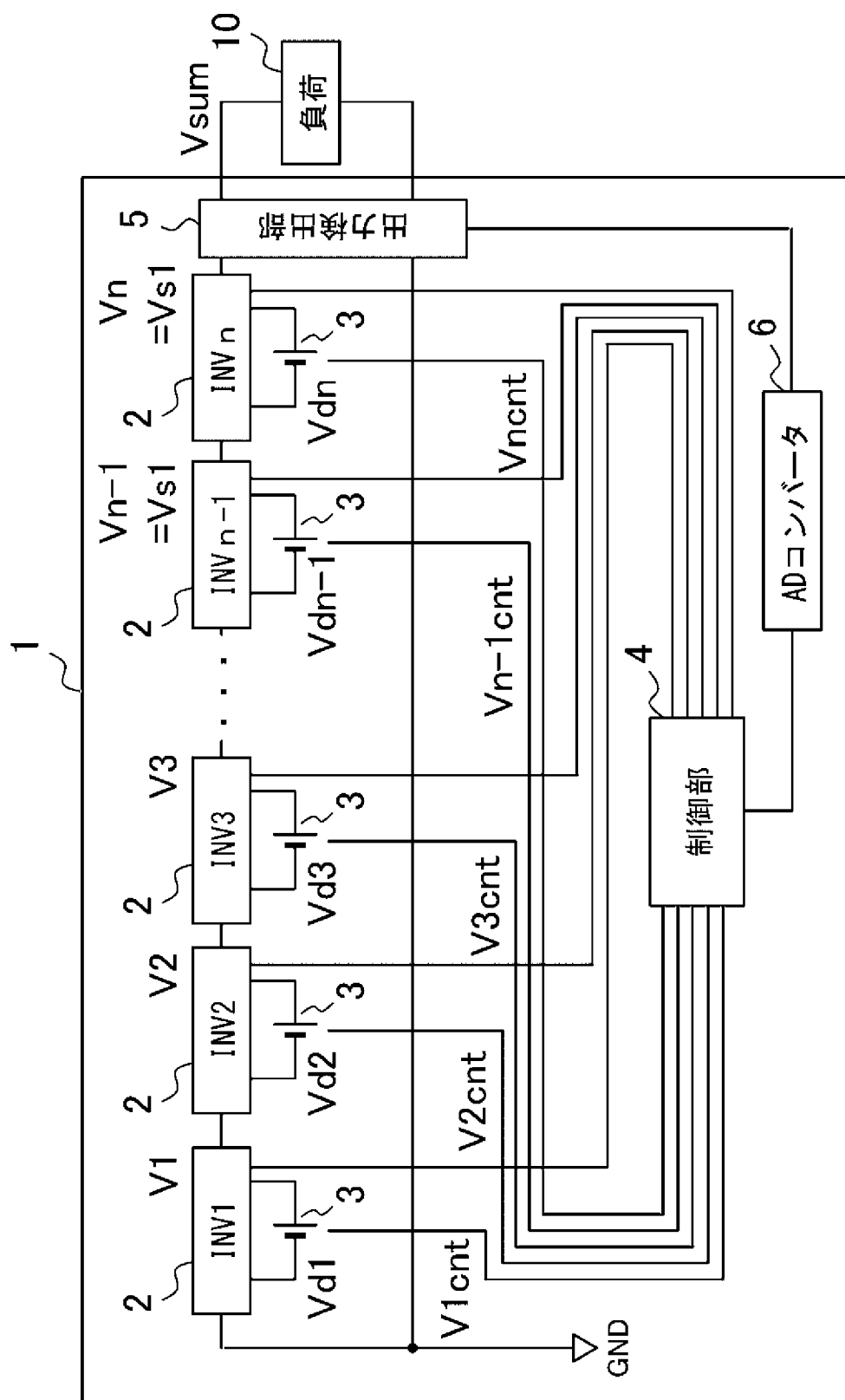
第2共通单相INV
スィッチング分散

第1共通单相INV
スィッチング分散

第4G

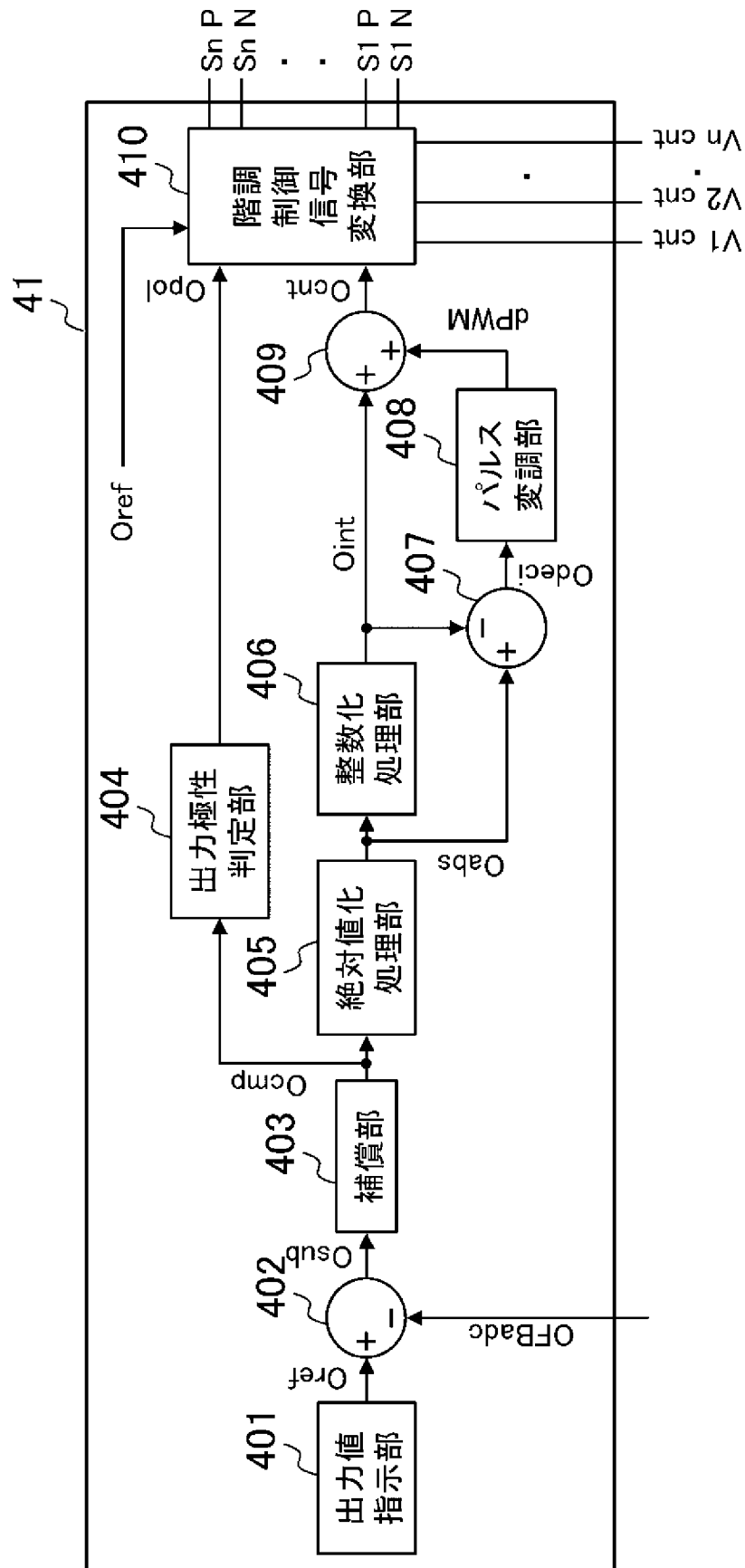
第5G

圖 35



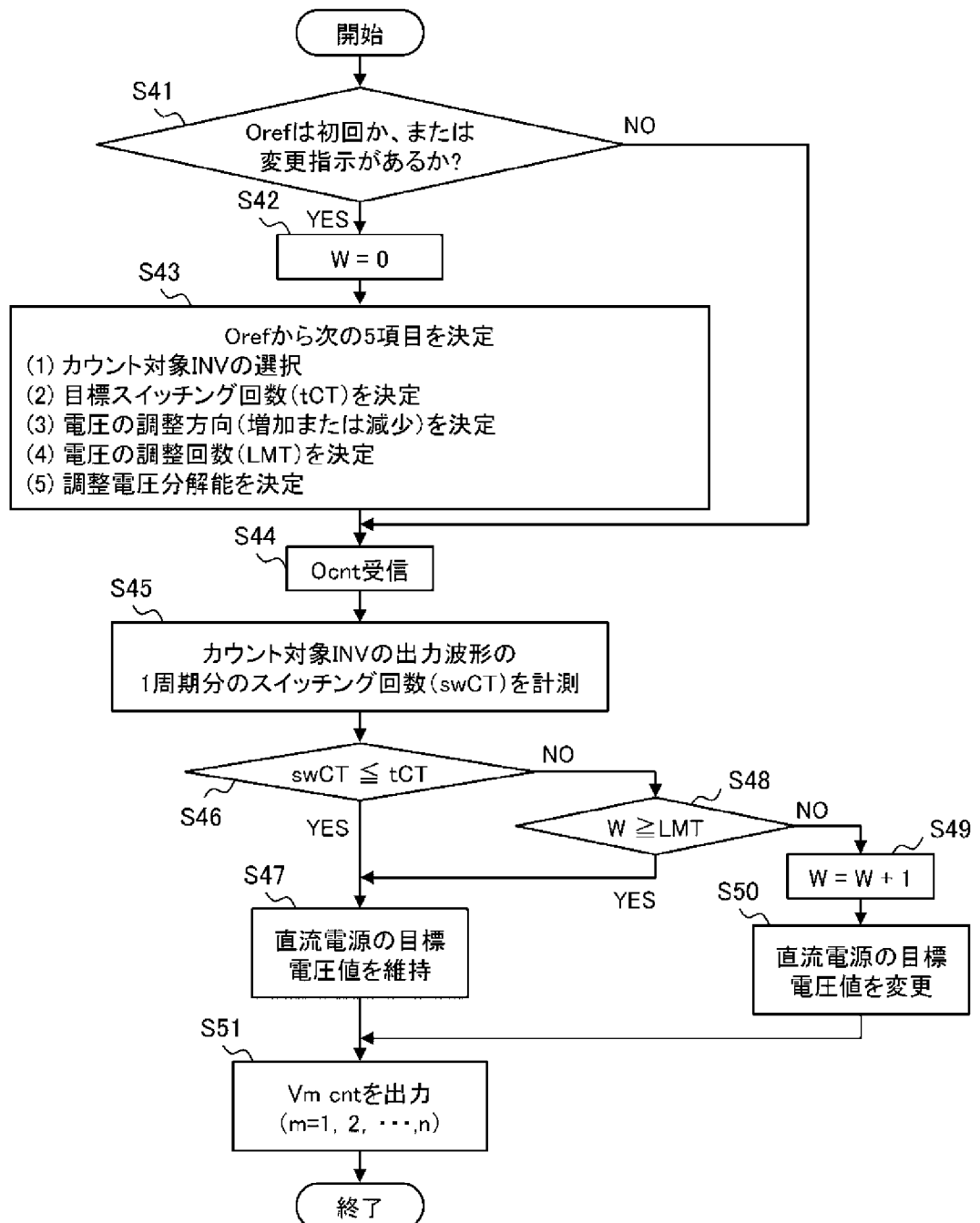
[図36]

図 36



[図37]

図 37



[図38]

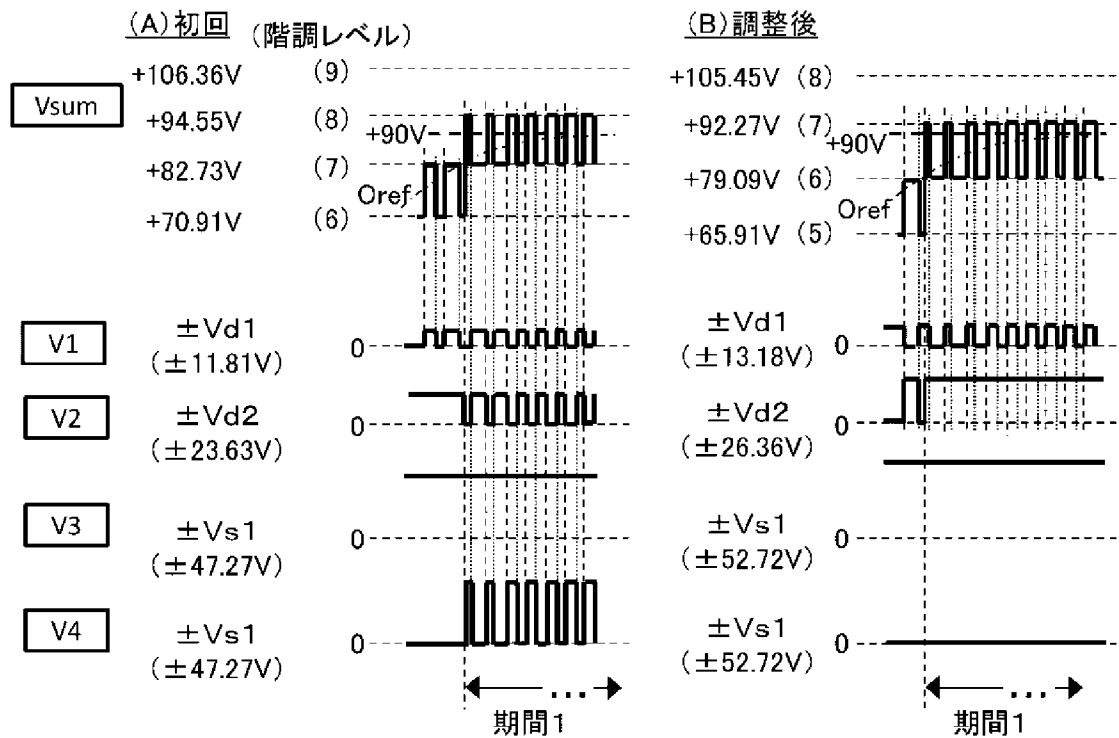
図 38

階調 レベル	電圧絶対値	V 1	V2	V3	V4
	(A) 初回	11.81V	23.63V	47.27V	47.27V
	(B) 調整後	13.18V	26.36V	52.72V	52.72V
	比率	1	2	4	4
0	0	0	0	0	0
1	1	1	0	0	0
2	0	1	0	0	0
3	1	1	0	0	0
4	0	0	1	0	0
5	1	0	1	0	0
6	0	1	1	0	0
7	1	1	1	0	0
8	0	0	1	1	1
9	1	0	1	1	1
10	0	1	1	1	1
11	1	1	1	1	1

初回	調整後
Vsum最大値	
130V	145V
Vsum	
59.09	65.91
70.91	79.09
82.73	92.27
94.55	105.45
106.36	118.64

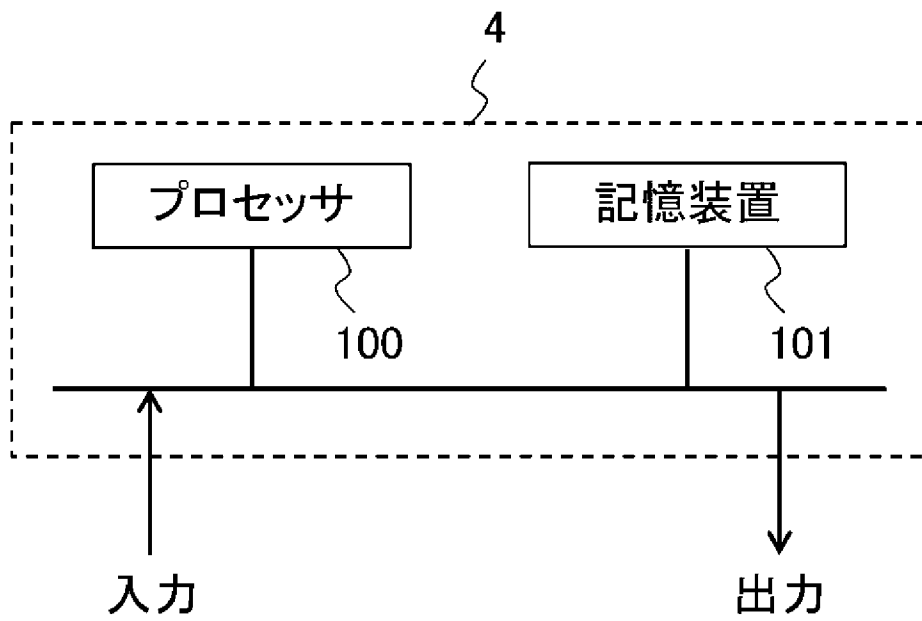
[図39]

図 39



[図40]

図 40



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/029665

A. CLASSIFICATION OF SUBJECT MATTER H02M 7/49 (2007.01)i; H02M 7/501 (2007.01)i FI: H02M7/49; H02M7/501 According to International Patent Classification (IPC) or to both national classification and IPC																																
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H02M7/00-7/98 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)																																
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2012-147559 A (KABUSHIKI KAISHA TOSHIBA) 02 August 2012 (2012-08-02) paragraphs [0009]-[0028], fig. 1-4</td> <td>1-8</td> </tr> <tr> <td>A</td> <td></td> <td>9-13</td> </tr> <tr> <td>Y</td> <td>JP 2019-176708 A (TOHOKU UNIVERSITY) 10 October 2019 (2019-10-10) paragraphs [0013]-[0080], fig. 1-5</td> <td>1-4, 6, 8-11</td> </tr> <tr> <td>A</td> <td></td> <td>5, 7, 12-13</td> </tr> <tr> <td>Y</td> <td>JP 2011-155786 A (MITSUBISHI ELECTRIC CORP.) 11 August 2011 (2011-08-11) paragraphs [0010]-[0018], fig. 1-5</td> <td>1-4, 6-12</td> </tr> <tr> <td>A</td> <td></td> <td>5, 13</td> </tr> <tr> <td>Y</td> <td>US 2018/0131290 A1 (OFFSHORE RENEWABLE ENERGY CATAPULT) 10 May 2018 (2018-05-10) paragraphs [0072]-[0121], fig. 2-8</td> <td>1-3, 6-8, 10-12</td> </tr> <tr> <td>A</td> <td></td> <td>4-5, 9, 13</td> </tr> <tr> <td>A</td> <td>JP 2004-7941 A (MITSUBISHI ELECTRIC CORP.) 08 January 2004 (2004-01-08) entire text, all drawings</td> <td>1-13</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	JP 2012-147559 A (KABUSHIKI KAISHA TOSHIBA) 02 August 2012 (2012-08-02) paragraphs [0009]-[0028], fig. 1-4	1-8	A		9-13	Y	JP 2019-176708 A (TOHOKU UNIVERSITY) 10 October 2019 (2019-10-10) paragraphs [0013]-[0080], fig. 1-5	1-4, 6, 8-11	A		5, 7, 12-13	Y	JP 2011-155786 A (MITSUBISHI ELECTRIC CORP.) 11 August 2011 (2011-08-11) paragraphs [0010]-[0018], fig. 1-5	1-4, 6-12	A		5, 13	Y	US 2018/0131290 A1 (OFFSHORE RENEWABLE ENERGY CATAPULT) 10 May 2018 (2018-05-10) paragraphs [0072]-[0121], fig. 2-8	1-3, 6-8, 10-12	A		4-5, 9, 13	A	JP 2004-7941 A (MITSUBISHI ELECTRIC CORP.) 08 January 2004 (2004-01-08) entire text, all drawings	1-13
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																														
X	JP 2012-147559 A (KABUSHIKI KAISHA TOSHIBA) 02 August 2012 (2012-08-02) paragraphs [0009]-[0028], fig. 1-4	1-8																														
A		9-13																														
Y	JP 2019-176708 A (TOHOKU UNIVERSITY) 10 October 2019 (2019-10-10) paragraphs [0013]-[0080], fig. 1-5	1-4, 6, 8-11																														
A		5, 7, 12-13																														
Y	JP 2011-155786 A (MITSUBISHI ELECTRIC CORP.) 11 August 2011 (2011-08-11) paragraphs [0010]-[0018], fig. 1-5	1-4, 6-12																														
A		5, 13																														
Y	US 2018/0131290 A1 (OFFSHORE RENEWABLE ENERGY CATAPULT) 10 May 2018 (2018-05-10) paragraphs [0072]-[0121], fig. 2-8	1-3, 6-8, 10-12																														
A		4-5, 9, 13																														
A	JP 2004-7941 A (MITSUBISHI ELECTRIC CORP.) 08 January 2004 (2004-01-08) entire text, all drawings	1-13																														
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.																																
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family																																
Date of the actual completion of the international search 29 September 2022		Date of mailing of the international search report 11 October 2022																														
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.																														

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/029665

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2017/0163171 A1 (INDUSTRY-ACADEMIC COOPERATION FOUNDATION, YONSEI UNIVERSITY) 08 June 2017 (2017-06-08) entire text, all drawings	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/029665

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2012-147559	A	02 August 2012	US 2014/0085954 A1 paragraphs [0022]-[0041], fig. 1-4 WO 2012/096151 A1 EP 2665173 A1 CN 103314517 A	
JP	2019-176708	A	10 October 2019	(Family: none)	
JP	2011-155786	A	11 August 2011	(Family: none)	
US	2018/0131290	A1	10 May 2018	WO 2016/181155 A1 CN 107852107 A	
JP	2004-7941	A	08 January 2004	(Family: none)	
US	2017/0163171	A1	08 June 2017	KR 10-1629397 B1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 7/49(2007.01)i; H02M 7/501(2007.01)i FI: H02M7/49; H02M7/501										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H02M7/00-7/98										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2022年									
日本国実用新案登録公報	1996-2022年									
日本国登録実用新案公報	1994-2022年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	JP 2012-147559 A (株式会社東芝) 02.08.2012 (2012 - 08 - 02) 段落 [0009] - [0028], 図1-4	1-8								
A		9-13								
Y	JP 2019-176708 A (国立大学法人東北大学) 10.10.2019 (2019 - 10 - 10) 段落 [0013] - [0080], 図1-5	1-4, 6, 8-11								
A		5, 7, 12-13								
Y	JP 2011-155786 A (三菱電機株式会社) 11.08.2011 (2011 - 08 - 11) 段落 [0010] - [0018], 図1-5	1-4, 6-12								
A		5, 13								
Y	US 2018/0131290 A1 (OFFSHORE RENEWABLE ENERGY CATAPULT) 10.05.2018 (2018 - 05 - 10) 段落[0072]-[0121], 図2-8	1-3, 6-8, 10-12								
A		4-5, 9, 13								
A	JP 2004-7941 A (三菱電機株式会社) 08.01.2004 (2004 - 01 - 08) 全文, 全図	1-13								
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 29.09.2022	国際調査報告の発送日 11.10.2022									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 東 昌秋 5G 3139 電話番号 03-3581-1101 内線 3526									

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2017/0163171 A1 (INDUSTRY-ACADEMIC COOPERATION FOUNDATION, YONSEI UNIVERSITY) 08.06.2017 (2017 - 06 - 08) 全文, 全図	1-13

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/029665

引用文献			公表日	パテントファミリー文献	公表日
JP	2012-147559	A	02.08.2012	US 2014/0085954 A1 段落[0022]-[0041], 図1-4 WO 2012/096151 A1 EP 2665173 A1 CN 103314517 A	
JP	2019-176708	A	10.10.2019	(ファミリーなし)	
JP	2011-155786	A	11.08.2011	(ファミリーなし)	
US	2018/0131290	A1	10.05.2018	WO 2016/181155 A1 CN 107852107 A	
JP	2004-7941	A	08.01.2004	(ファミリーなし)	
US	2017/0163171	A1	08.06.2017	KR 10-1629397 B1	