(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月22日(22.10.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/213603 A1

(51) 国際特許分類:
H01L 29/43 (2006.01)　*H01L 29/78* (2006.01)
H01L 21/28 (2006.01)　*H01L 29/861* (2006.01)
H01L 21/60 (2006.01)　*H01L 29/868* (2006.01)
H01L 29/161 (2006.01)　*H01L 29/872* (2006.01)

(21) 国際出願番号：　PCT/JP2020/016433

(22) 国際出願日：　2020年4月14日(14.04.2020)

(25) 国際出願の言語：　日本語

(26) 国際公開の言語：　日本語

(30) 優先権データ：
特願 2019-080227　2019年4月19日(19.04.2019)　JP

(71) 出願人：ローム株式会社 (**ROHM CO., LTD.**) [JP/JP]；〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者：永田　敏雄 (**NAGATA, Toshio**)；〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

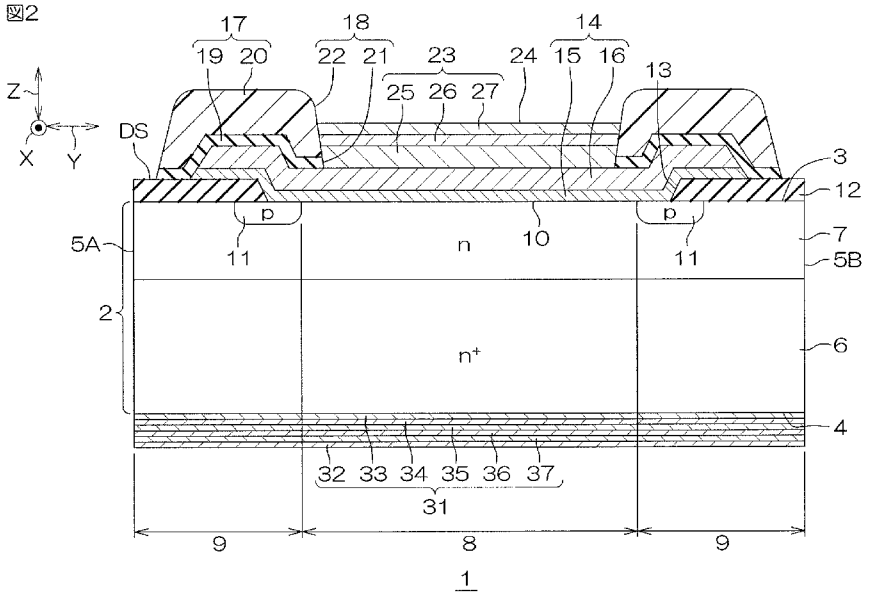
(74) 代理人：特許業務法人あい特許事務所 (**AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS**)；〒5410054 大阪府大阪市中央区南本町二丁目６番１２号 サンマリオンＮＢＦタワー２１階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) **Title:** SIC SEMICONDUCTOR DEVICE

(54) 発明の名称：　ＳｉＣ半導体装置

図2



(57) **Abstract:** This SiC semiconductor device includes an SiC chip that has a first main surface on one side and a second main surface on the other side, a first main surface electrode that includes a first Al layer and is formed on the first main surface, a pad electrode that is formed on the first main surface electrode and is connected to a lead, and a second main surface electrode that includes a second Al layer and is formed on the second main surface.

WO 2020/213603 A1

［続葉有］

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

(57) 要約：ＳｉＣ半導体装置は、一方側の第１主面および他方側の第２主面を有するＳｉＣチップと、第１ＡｌＩ層を含み、前記第１主面の上に形成された第１主面電極と、前記第１主面電極の上に形成され、導線に接続されるパッド電極と、第２ＡｌＩ層を含み、前記第２主面の上に形成された第２主面電極と、を含む。

明　細　書

発明の名称 ： ＳｉＣ半導体装置

技術分野

[0001] 本発明は、ＳｉＣ半導体装置に関する。

背景技術

[0002] 特許文献１は、ＳｉＣ基板（ＳｉＣチップ）と、Ａｌを含み、ＳｉＣ基板の表面の上に形成されたパッド電極と、ＳｉＣ基板の裏面の上に形成されたオーミック電極と、を含む、ＳｉＣ半導体装置を開示している。パッド電極には、ボンディングワイヤ（導線）が接合される。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１５－２０７７８０号公報

発明の概要

発明が解決しようとする課題

[0004] 後工程（アセンブリ工程）では、様々な外力がＳｉＣ半導体装置に加えられる。たとえば、ＳｉＣ半導体装置の実装時には、吸着ノズルを備えた実装機が使用される。ＳｉＣ半導体装置は、吸着ノズルに吸着保持された状態で接続対象物まで搬送された後、接続対象部に押圧実装される。この時、吸着ノズルから接続対象物に向かう外力、および、接続対象物から吸着ノズルに向かう外力がＳｉＣ半導体装置に加えられる。

[0005] また、ＳｉＣ半導体装置の実装後には、キャピラリによって導線がパッド電極に押圧接合される。この時、キャピラリから接続対象物に向かう外力、および、接続対象物からキャピラリに向かう外力がＳｉＣ半導体装置に加えられる。ＳｉＣチップの強度を超える外力がＳｉＣ半導体装置に加えられると、ＳｉＣチップにクラックが発生する。

[0006] 本発明の一実施形態は、外力を緩和できるＳｉＣ半導体装置を提供する。

課題を解決するための手段

[0007] 本発明の一実施形態は、一方側の第１主面および他方側の第２主面を有するＳｉＣチップと、第１ＡｌＩ層を含み、前記第１主面の上に形成された第１主面電極と、前記第１主面電極の上に形成され、導線に接続されるパッド電極と、第２ＡｌＩ層を含み、前記第２主面の上に形成された第２主面電極と、を含む、ＳｉＣ半導体装置を提供する。

[0008] このＳｉＣ半導体装置によれば、第１ＡｌＩ層が第１主面側で外力を緩和する第１緩衝層として形成され、第２ＡｌＩ層が第２主面側で外力を緩和する第２緩衝層として形成されている。これにより、第１主面から第２主面に向かう方向の外力、および、第２主面から第１主面に向かう方向の外力を緩和できる。

[0009] 本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

[0010] [図1]図１は、本発明の第１実施形態に係るＳｉＣ半導体装置を示す平面図である。

[図2]図２は、図１に示すII-II線に沿う断面図であって、第１形態例に係る第２主面電極が組み込まれた形態を示している。

[図3]図３は、図２に示す第２主面電極を図解的に示す断面図である。

[図4A]図４Ａは、第２形態例に係る第２主面電極を図解的に示す断面図である。

[図4B]図４Ｂは、第３形態例に係る第２主面電極を図解的に示す断面図である。

[図4C]図４Ｃは、第４形態例に係る第２主面電極を図解的に示す断面図である。

[図4D]図４Ｄは、第５形態例に係る第２主面電極を図解的に示す断面図である。

[図4E]図４Ｅは、第６形態例に係る第２主面電極を図解的に示す断面図である。

[図4F]図４Ｆは、第７形態例に係る第２主面電極を図解的に示す断面図である。

[図4G]図４Ｇは、第８形態例に係る第２主面電極を図解的に示す断面図である。

[図4H]図４Ｈは、第９形態例に係る第２主面電極を図解的に示す断面図である。

[図4I]図４Ｉは、第１０形態例に係る第２主面電極を図解的に示す断面図である。

[図5]図５は、図１に示すＳｉＣ半導体装置が組み込まれた半導体パッケージを示す図である。

[図6]図６は、本発明の第２実施形態に係るＳｉＣ半導体装置の斜視図であって、第１形態例に係る第２主面電極が組み込まれた形態を示している。

[図7]図７は、図６に示すＳｉＣ半導体装置の平面図である。

[図8]図８は、第１主面電極の上の構造を取り除いた平面図である。

[図9]図９は、図８に示す領域IXの内部構造を示す拡大平面図である。

[図10]図１０は、図９に示すX-X線に沿う断面図である。

[図11]図１１は、図９に示すXI-XI線に沿う断面図である。

[図12]図１２は、図１０に示す領域XIIの拡大図である。

[図13]図１３は、図７に示すXIII-XIII線に沿う断面図である。

[図14]図１４は、ゲートパッド電極を示す断面図である。

[図15]図１５は、ソースパッド電極を示す断面図である。

[図16]図１６は、第２主面電極を図解的に示す断面図である。

[図17A]図１７Ａは、第２形態例に係る第２主面電極を図解的に示す断面図である。

[図17B]図１７Ｂは、第３形態例に係る第２主面電極を図解的に示す断面図である。

[図17C]図１７Ｃは、第４形態例に係る第２主面電極を図解的に示す断面図である。

[図17D]図１７Ｄは、第５形態例に係る第２主面電極を図解的に示す断面図である。

[図17E]図１７Ｅは、第６形態例に係る第２主面電極を図解的に示す断面図である。

[図17F]図１７Ｆは、第７形態例に係る第２主面電極を図解的に示す断面図である。

[図17G]図１７Ｇは、第８形態例に係る第２主面電極を図解的に示す断面図である。

[図17H]図１７Ｈは、第９形態例に係る第２主面電極を図解的に示す断面図である。

[図17I]図１７Ｉは、第１０形態例に係る第２主面電極を図解的に示す断面図である。

[図18]図１８は、図６に示すＳｉＣ半導体装置が組み込まれた半導体パッケージを示す図である。

発明を実施するための形態

[0011] 図１は、本発明の第１実施形態に係るＳｉＣ半導体装置１を示す平面図である。図２は、図１に示すII-II線に沿う断面図であって、第１形態例に係る第２主面電極３１が組み込まれた形態を示している。図３は、図２に示す第２主面電極３１を図解的に示す断面図である。

[0012] 図１および図２を参照して、ＳｉＣ半導体装置１は、ＳｉＣチップ２を含む。ＳｉＣチップ２は、六方晶からなるＳｉＣ単結晶を含む。六方晶からなるＳｉＣ単結晶は、原子配列の周期に応じて、２Ｈ（Hexagonal）－ＳｉＣ単結晶、４Ｈ－ＳｉＣ単結晶、６Ｈ－ＳｉＣ単結晶等を含む複数種のポリタイプを有している。ＳｉＣチップ２は、この形態（this embodiment）では、４Ｈ－ＳｉＣ単結晶からなるが、他のポリタイプを除外するものではない。

[0013] ＳｉＣチップ２は、直方体形状のチップ状に形成されている。ＳｉＣチップ２は、一方側の第１主面３、他方側の第２主面４、ならびに、第１主面３および第２主面４を接続する側面５Ａ，５Ｂ，５Ｃ，５Ｄを有している。第

１主面３および第２主面４は、それらの法線方向Ｚから見た平面視（以下、単に「平面視」という。）において四角形状（この形態では正方形状）に形成されている。

[0014] ＳｉＣチップ２の厚さは、４０μｍ以上３００μｍ以下であってもよい。ＳｉＣチップ２の厚さは、４０μｍ以上１００μｍ以下、１００μｍ以上１５０μｍ以下、１５０μｍ以上２００μｍ以下、２００μｍ以上２５０μｍ以下、または、２５０μｍ以上３００μｍ以下であってもよい。ＳｉＣチップ２の厚さは、６０μｍ以上１５０μｍ以下であることが好ましい。

[0015] 第１主面３および第２主面４は、ＳｉＣ単結晶のｃ面に面している。第１主面３は、ＳｉＣ単結晶のシリコン面（（０００１）面）に面している。第１主面３は、非実装面である。第２主面４は、ＳｉＣ単結晶のカーボン面（（０００－１）面）に面している。第２主面４は、実装面である。第２主面４は、研削痕およびアニール痕のいずれか一方または双方を有する粗面であってもよい。アニール痕は、レーザ照射痕である。第２主面４は、アニール痕を有するオーミック面であってもよい。

[0016] 第１主面３および第２主面４は、ＳｉＣ単結晶のｃ面に対してａ軸方向（［１１－２０］方向）に０°以上１０°以下の角度で傾斜したオフ角を有している。法線方向Ｚは、ＳｉＣ単結晶のｃ軸（［０００１］方向）に対してオフ角分だけ傾斜している。

[0017] オフ角は、０°以上６°以下であってもよい。オフ角は、０°以上２°以下、２°以上４°以下、または、４°以上６°以下であってもよい。オフ角は、０°を超えて４．５°以下であることが好ましい。オフ角は、３°以上４．５°以下であってもよい。この場合、オフ角は、３°以上３．５°以下、または、３．５°以上４°以下であることが好ましい。オフ角は、１．５°以上３°以下であってもよい。この場合、オフ角は、１．５°以上２°以下、または、２°以上２．５°以下であることが好ましい。

[0018] 側面５Ａ～５Ｄは、第１側面５Ａ、第２側面５Ｂ、第３側面５Ｃおよび第４側面５Ｄを含む。第１側面５Ａおよび第２側面５Ｂは、第１方向Ｘに沿っ

て延び、第１方向Ｘに交差する第２方向Ｙに互いに対向している。第３側面５Ｃおよび第４側面５Ｄは、第２方向Ｙに沿って延び、第１方向Ｘに互いに対向している。第２方向Ｙは、より具体的には、第１方向Ｘに直交している。

[0019] 第１側面５Ａおよび第２側面５Ｂは、ＳｉＣ単結晶のａ面によって形成されている。第１側面５Ａおよび第２側面５Ｂは、法線方向Ｚを基準にしたとき、法線方向Ｚに対してＳｉＣ単結晶のｃ軸方向（［０００１］方向）に向けて傾斜した傾斜面を形成していてもよい。第１側面５Ａおよび第２側面５Ｂは、法線方向Ｚを０°としたとき、法線方向Ｚに対してオフ角に応じた角度で傾斜していてもよい。オフ角に応じた角度は、オフ角と等しくてもよいし、０°を超えてオフ角未満の角度であってもよい。

[0020] 第３側面５Ｃおよび第４側面５Ｄは、ＳｉＣ単結晶のｍ面によって形成されていてもよい。第３側面５Ｃおよび第４側面５Ｄは、法線方向Ｚに沿って平面的に延びている。第３側面５Ｃおよび第４側面５Ｄは、より具体的には、第１主面３および第２主面４に対して略垂直に形成されている。

[0021] 側面５Ａ～５Ｄは、劈開面または研削面からなっていてもよい。側面５Ａ～５Ｄの長さは、０．１ｍｍ以上１０ｍｍ以下であってもよい。側面５Ａ～５Ｄの長さは、０．５ｍｍ以上２．５ｍｍ以下であることが好ましい。

[0022] ＳｉＣチップ２は、この形態では、ｎ$^{+}$型のＳｉＣ半導体基板６およびｎ型のＳｉＣエピタキシャル層７を含む積層構造を有している。ＳｉＣ半導体基板６によって、ＳｉＣチップ２の第２主面４が形成されている。ＳｉＣエピタキシャル層７によって、ＳｉＣチップ２の第１主面３が形成されている。ＳｉＣ半導体基板６およびＳｉＣエピタキシャル層７によって、ＳｉＣチップ２の側面５Ａ～５Ｄが形成されている。

[0023] ＳｉＣエピタキシャル層７のｎ型不純物濃度は、ＳｉＣ半導体基板６のｎ型不純物濃度未満である。ＳｉＣ半導体基板６のｎ型不純物濃度は、１．０×10^{18}ｃｍ$^{-3}$以上１．０×10^{21}ｃｍ$^{-3}$以下であってもよい。ＳｉＣエピタキシャル層７のｎ型不純物濃度は、１．０×10^{15}ｃｍ$^{-3}$以上１．０×１

$10^{18}cm^{-3}$以下であってもよい。

[0024] ＳｉＣ半導体基板６の厚さは、４０μｍ以上２５０μｍ以下であってもよい。ＳｉＣ半導体基板６の厚さは、４０μｍ以上１００μｍ以下、１００μｍ以上１５０μｍ以下、１５０μｍ以上２００μｍ以下、または、２００μｍ以上２５０μｍ以下であってもよい。ＳｉＣ半導体基板６の厚さは、４０μｍ以上１５０μｍ以下であることが好ましい。ＳｉＣ半導体基板６を薄化することにより、ＳｉＣ半導体基板６の抵抗値を低減できる。

[0025] ＳｉＣエピタキシャル層７の厚さは、１μｍ以上５０μｍ以下であってもよい。ＳｉＣエピタキシャル層７の厚さは、１μｍ以上５μｍ以下、５μｍ以上１０μｍ以下、１０μｍ以上１５μｍ以下、１５μｍ以上２０μｍ以下、２０μｍ以上３０μｍ以下、３０μｍ以上４０μｍ以下、または、４０μｍ以上５０μｍ以下であってもよい。ＳｉＣエピタキシャル層７の厚さは、５μｍ以上１５μｍ以下であることが好ましい。

[0026] ＳｉＣチップ２は、アクティブ領域８および外側領域９を含む。アクティブ領域８は、機能デバイス（ダイオード）の一例としてのＳＢＤ（Schottky Barrier Diode）を含む領域である。アクティブ領域８は、平面視において側面５Ａ～５Ｄから内方に間隔を空けてＳｉＣチップ２の中央部に形成されている。アクティブ領域８は、平面視において側面５Ａ～５Ｄに平行な４辺を有する四角形状に形成されている。

[0027] 外側領域９は、アクティブ領域８の外側の領域である。外側領域９は、側面５Ａ～５Ｄおよびアクティブ領域８の間の領域に形成されている。外側領域９は、平面視においてアクティブ領域８を取り囲む環状（より具体的に無端状）に形成されている。

[0028] ＳｉＣ半導体装置１は、アクティブ領域８において第１主面３の表層部に形成されたｎ型のダイオード領域１０を含む。ダイオード領域１０は、第１主面３の中央部に形成されている。ダイオード領域１０の平面形状は任意である。ダイオード領域１０は、平面視において側面５Ａ～５Ｄに平行な４辺を有する四角形状に形成されていてもよい。

[0029] ダイオード領域１０は、この形態では、ＳｉＣエピタキシャル層７の一部を利用して形成されている。ダイオード領域１０のｎ型不純物濃度は、ＳｉＣエピタキシャル層７のｎ型不純物濃度と等しい。ダイオード領域１０のｎ型不純物濃度は、ＳｉＣエピタキシャル層７のｎ型不純物濃度を超えていてもよい。この場合、ダイオード領域１０は、ＳｉＣエピタキシャル層７の表層部に対するｎ型不純物の導入によって形成される。

[0030] 外側領域９において第１主面３の表層部には、ｐ型不純物を含むガード領域１１が形成されている。ガード領域１１のｐ型不純物は、活性化されていなくてもよいし、活性化されていてもよい。

[0031] ガード領域１１は、平面視においてダイオード領域１０に沿って延びる帯状に形成されている。ガード領域１１は、より具体的には、平面視においてダイオード領域１０を取り囲む環状（より具体的に無端状）に形成されている。これにより、ガード領域１１は、ガードリング領域として形成されている。

[0032] アクティブ領域８（ダイオード領域１０）は、ガード領域１１によって画定されている。アクティブ領域８（ダイオード領域１０）の平面形状は、ガード領域１１の平面形状によって調整される。ガード領域１１は、平面視において多角環状や円環状に形成されていてもよい。

[0033] ＳｉＣ半導体装置１は、第１主面３の上に形成された主面絶縁層１２を含む。主面絶縁層１２は、酸化シリコン層および窒化シリコン層を含む積層構造を有していてもよい。主面絶縁層１２は、酸化シリコン層または窒化シリコン層からなる単層構造を有していてもよい。主面絶縁層１２は、この形態では、酸化シリコン層からなる単層構造を有している。

[0034] 主面絶縁層１２は、ダイオード領域１０を露出させるコンタクト開口１３を含む。コンタクト開口１３は、ガード領域１１の内周縁も露出させている。コンタクト開口１３の平面形状は、任意である。コンタクト開口１３は、平面視において側面５Ａ～５Ｄに平行な４辺を有する四角形状に形成されていてもよい。

[0035] 主面絶縁層１２の周縁は、側面５Ａ～５Ｄから露出している。主面絶縁層１２の周縁は、この形態では、側面５Ａ～５Ｄに連なっている。主面絶縁層１２の周縁は、側面５Ａ～５Ｄから内方に間隔を空けて形成されていてもよい。この場合、主面絶縁層１２は、第１主面３において外側領域９に位置する部分を露出させる。

[0036] 主面絶縁層１２の厚さは、０．１μｍ以上１０μｍ以下であってもよい。主面絶縁層１２の厚さは、０．１μｍ以上１μｍ以下、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、または、８μｍ以上１０μｍ以下であってもよい。主面絶縁層１２の厚さは、０．５μｍ以上５μｍ以下であることが好ましい。

[0037] ＳｉＣ半導体装置１は、第１主面３の上に形成された第１主面電極１４を含む。第１主面電極１４は、コンタクト開口１３内においてダイオード領域１０およびガード領域１１に接続されている。第１主面電極１４は、コンタクト開口１３から主面絶縁層１２の上に引き出されている。第１主面電極１４の周縁は、側面５Ａ～５Ｄから内方に間隔を空けて主面絶縁層１２の上に形成されている。

[0038] 第１主面電極１４は、より具体的には、第１主面３側からこの順に積層されたショットキーバリア層１５（バリア層）および第１ＡＩ層１６を含む積層構造を有している。第１ＡＩ層１６は、比較的小さいヤング率（剛性率）を有するＡＩのクッション性を利用してＳｉＣチップ２に加えられる外力を第１主面３側から緩和する第１緩衝層として形成されている。

[0039] ショットキーバリア層１５は、第１主面３および主面絶縁層１２に沿って膜状に形成されている。ショットキーバリア層１５は、ダイオード領域１０との間でショットキー接合を形成する。これにより、第１主面電極１４をアノードとし、ダイオード領域１０をカソードとするＳＢＤが形成されている。つまり、第１主面電極１４は、ＳＢＤのアノード電極である。

[0040] ショットキーバリア層１５は、Ｔｉ層、Ｐｄ層、Ｃｒ層、Ｖ層、Ｍｏ層、Ｗ層、Ｐｔ層およびＮｉ層のうちの少なくとも１つを含んでいてもよい。シ

ョットキーバリア層１５の厚さは、０．０１μｍ以上５μｍ以下であってもよい。ショットキーバリア層１５の厚さは、０．０１μｍ以上０．１μｍ以下、０．１μｍ以上１μｍ以下、１μｍ以上２μｍ以下、２μｍ以上３μｍ以下、３μｍ以上４μｍ以下、または、４μｍ以上５μｍ以下であってもよい。

[0041] 第１ＡｌＩ層１６は、ショットキーバリア層１５の上に形成されている。第１ＡｌＩ層１６は、ショットキーバリア層１５に沿って膜状に形成されている。第１ＡｌＩ層１６は、ショットキーバリア層１５の主面の全域を被覆している。第１主面電極１４の周縁は、ショットキーバリア層１５および第１ＡｌＩ層１６によって形成されている。

[0042] 第１ＡｌＩ層１６は、純ＡｌＩ層（純度が９９％以上のＡｌＩからなるＡｌＩ層の事をいう。以下同じ。）、ＡｌＳｉ合金層、ＡｌＣｕ合金層およびＡｌＳｉＣｕ合金層のうちの少なくとも１つを含む。第１ＡｌＩ層１６は、純ＡｌＩ層、ＡｌＳｉ合金層、ＡｌＣｕ合金層およびＡｌＳｉＣｕ合金層のうちの２つ以上が任意の順序で積層された積層構造を有していてもよい。

[0043] 第１ＡｌＩ層１６は、純ＡｌＩ層、ＡｌＳｉ合金層、ＡｌＣｕ合金層またはＡｌＳｉＣｕ合金層からなる単層構造を有していてもよい。第１ＡｌＩ層１６は、ＡｌＳｉ合金層、ＡｌＣｕ合金層またはＡｌＳｉＣｕ合金層からなる単層構造を有していることが好ましい。

[0044] 第１ＡｌＩ層１６の厚さは、ショットキーバリア層１５の厚さを超えている。第１ＡｌＩ層１６の厚さは、０．０５μｍ以上１０μｍ以下であってもよい。第１ＡｌＩ層１６の厚さは、０．０５μｍ以上０．１μｍ以下、０．１μｍ以上１μｍ以下、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、または、８μｍ以上１０μｍ以下であってもよい。第１ＡｌＩ層１６の厚さは、１μｍ以上８μｍ以下であることが好ましい。

[0045] ＳｉＣ半導体装置１は、第１主面３の上において第１主面電極１４を被覆する絶縁層１７を含む。図１では、絶縁層１７がハッチングによって示され

ている。絶縁層１７は、より具体的には、主面絶縁層１２の上に形成されている。絶縁層１７の周縁は、側面５Ａ～５Ｄから内方に間隔を空けて形成されている。これにより、絶縁層１７は、主面絶縁層１２において外側領域９を被覆する部分を露出させている。

[0046] 絶縁層１７の周縁は、側面５Ａ～５Ｄとの間でダイシングストリートＤＳを区画している。ダイシングストリートＤＳによれば、ＳｉＣウエハからＳｉＣ半導体装置１を切り出す際に、絶縁層１７を物理的に切断せずに済む。これにより、ＳｉＣウエハからＳｉＣ半導体装置１を円滑に切り出すことができると同時に、絶縁層１７の剥離や劣化を抑制できる。その結果、絶縁層１７によってＳｉＣチップ２や第１主面電極１４等の保護対象物を適切に保護できる。

[0047] ダイシングストリートＤＳの幅は、１μｍ以上２５μｍ以下であってもよい。ダイシングストリートＤＳの幅は、ダイシングストリートＤＳが延びる方向に直交する方向の幅である。ダイシングストリートＤＳの幅は、１μｍ以上５μｍ以下、５μｍ以上１０μｍ以下、１０μｍ以上１５μｍ以下、１５μｍ以上２０μｍ以下、または、２０μｍ以上２５μｍ以下であってもよい。

[0048] 絶縁層１７は、第１主面電極１４を露出させるパッド開口１８を有している。パッド開口１８は、この形態では、平面視においてコンタクト開口１３によって取り囲まれた領域内において第１主面電極１４を露出させている。パッド開口１８は、平面視においてコンタクト開口１３外の領域でコンタクト開口１３を取り囲んでいてもよい。パッド開口１８の平面形状は任意である。パッド開口１８は、平面視において側面５Ａ～５Ｄに平行な４辺を有する四角形状に形成されていてもよい。

[0049] 絶縁層１７は、この形態では、ＳｉＣチップ２側からこの順に積層されたパッシベーション層１９および樹脂層２０を含む積層構造を有している。

[0050] パッシベーション層１９は、酸化シリコン層および窒化シリコン層のうちの少なくとも１つを含んでいてもよい。パッシベーション層１９は、酸化シ

リコン層および窒化シリコン層を含む積層構造を有していてもよい。パッシベーション層１９は、酸化シリコン層または窒化シリコン層からなる単層構造を有していてもよい。パッシベーション層１９は、主面絶縁層１２とは異なる絶縁材料を含むことが好ましい。パッシベーション層１９は、この形態では、窒化シリコン層からなる単層構造を有している。

[0051] パッシベーション層１９は、主面絶縁層１２および第１主面電極１４に沿って膜状に形成されている。パッシベーション層１９は、第１主面電極１４の一部を露出させる第１開口２１を有している。第１開口２１の平面形状は任意である。第１開口２１は、平面視において側面５Ａ～５Ｄに平行な４辺を有する四角形状に形成されていてもよい。

[0052] パッシベーション層１９の厚さは、０．１μｍ以上２０μｍ以下であってもよい。パッシベーション層１９の厚さは、０．１μｍ以上１μｍ以下、１μｍ以上５μｍ以下、５μｍ以上１０μｍ以下、１０μｍ以上１５μｍ以下、または、１５μｍ以上２０μｍ以下であってもよい。

[0053] 樹脂層２０は、パッシベーション層１９の主面に沿って膜状に形成されている。樹脂層２０は、感光性樹脂を含んでいてもよい。感光性樹脂は、ネガティブタイプまたはポジティブタイプであってもよい。樹脂層２０は、ポリイミド、ポリアミドおよびポリベンゾオキサゾールのうちの少なくとも１つを含んでいてもよい。樹脂層２０は、この形態では、ポリベンゾオキサゾールを含む。

[0054] 樹脂層２０の周縁は、この形態では、パッシベーション層１９の周縁を露出させている。絶縁層１７の周縁は、樹脂層２０の周縁およびパッシベーション層１９の周縁によって形成されている。樹脂層２０は、パッシベーション層１９の周縁を被覆していてもよい。

[0055] 樹脂層２０は、第１主面電極１４の一部を露出させる第２開口２２を有している。第２開口２２の平面形状は任意である。第２開口２２は、平面視において側面５Ａ～５Ｄに平行な４辺を有する四角形状に形成されていてもよい。第２開口２２は、パッシベーション層１９の第１開口２１に連通し、第

１開口２１との間で１つのパッド開口１８を形成している。

[0056] 第２開口２２の内壁は、第１開口２１の内壁に面一に形成されていてもよい。第２開口２２の内壁は、第１開口２１の内壁に対して側面５Ａ～５Ｄ側に位置していてもよい。第２開口２２の内壁は、第１開口２１の内壁に対してＳｉＣチップ２の内方に位置していてもよい。つまり、樹脂層２０は、第１開口２１の内壁を被覆していてもよい。

[0057] 樹脂層２０の厚さは、１μｍ以上５０μｍ以下であってもよい。樹脂層２０の厚さは、１μｍ以上１０μｍ以下、１０μｍ以上２０μｍ以下、２０μｍ以上３０μｍ以下、３０μｍ以上４０μｍ以下、または、４０μｍ以上５０μｍ以下であってもよい。

[0058] ＳｉＣ半導体装置１は、第１主面電極１４の上に形成されたパッド電極２３を含む。パッド電極２３は、第１主面電極１４に電気的に接続されている。パッド電極２３は、パッド開口１８内において第１主面電極１４の上に形成されている。パッド電極２３は、導線に外部接続される端子面２４を有している。

[0059] 端子面２４は、絶縁層１７（樹脂層２０）の主面に対して第１主面電極１４側に位置している。端子面２４は、絶縁層１７（樹脂層２０）の主面よりも上方に突出していてもよい。端子面２４は、絶縁層１７（樹脂層２０）の主面を被覆するオーバラップ部を有していてもよい。

[0060] パッド電極２３は、第１主面電極１４とは異なる金属材料を含む。パッド電極２３は、この形態では、第１主面電極１４側からこの順に積層されたＮｉ層２５、Ｐｄ層２６およびＡｕ層２７を含む積層構造を有している。Ｎｉ、ＰｄおよびＡｕは、ＡｌのヤングＳ率（剛性率）を超えるヤング率（剛性率）をそれぞれ有している。Ｎｉ層２５、Ｐｄ層２６およびＡｕ層２７は、めっき法によって形成されためっき層であってもよい。

[0061] パッド電極２３は、Ｎｉ層２５、Ｐｄ層２６およびＡｕ層２７のうちの少なくとも１つを含んでいればよい。パッド電極２３は、Ｎｉ層２５、Ｐｄ層２６およびＡｕ層２７のうちの少なくとも２つを任意の順序で積層した積層

構造を有していてもよい。パッド電極２３は、Ｎｉ層２５、Ｐｄ層２６またはＡｕ層２７からなる単層構造を有していてもよい。

[0062] パッド電極２３は、Ａｕ層２７によって形成された端子面２４を有していることが好ましい。パッド電極２３は、少なくとも第１主面電極１４側からこの順に積層されたＮｉ層２５およびＡｕ層２７を含む積層構造を有していることが好ましい。

[0063] Ｎｉ層２５の厚さは、０．１μｍ以上１０μｍ以下であってもよい。Ｎｉ層２５の厚さは、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、または、８μｍ以上１０μｍ以下であってもよい。

[0064] Ｐｄ層２６の厚さは、０．１μｍ以上１０μｍ以下であってもよい。Ｐｄ層２６の厚さは、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、または、８μｍ以上１０μｍ以下であってもよい。

[0065] Ａｕ層２７の厚さは、０．０１μｍ以上３μｍ以下であってもよい。Ａｕ層２７の厚さは、０．０１μｍ以上０．０５μｍ以下、０．０５μｍ以上０．１μｍ以下、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上２μｍ以下、または、２μｍ以上３μｍ以下であってもよい。Ａｕ層２７の厚さは、Ｎｉ層２５の厚さ未満であることが好ましい。Ａｕ層２７の厚さは、Ｐｄ層２６の厚さ未満であることが好ましい。

[0066] 図２および図３を参照して、ＳｉＣ半導体装置１は、第２主面４の上に形成された第２主面電極３１を含む。第２主面電極３１は、ＳＢＤのカソード電極として形成されている。第２主面電極３１は、この形態では、第２主面４の全域を被覆している。

[0067] 第２主面電極３１は、側面５Ａ～５Ｄから内方に間隔を空けて形成され、第２主面４の周縁部を露出させていてもよい。この場合、ＳｉＣウエハから

ＳｉＣ半導体装置１を切り出す際に第２主面電極３１を物理的に切断せずに済む。これにより、ＳｉＣウエハからＳｉＣ半導体装置１を円滑に切り出すことができると同時に、第２主面電極３１の剥離や劣化を抑制できる。その結果、第２主面電極３１を第２主面４に適切に接続させることができる。

[0068] このような第２主面電極３１は、一例として、製造工程時において、レジストマスクを介するエッチング法によって第２主面電極３１の不要な部分を除去することによって得ることができる。また、第２主面電極３１は、他の例として、製造工程時において、レジストマスクを用いたリフトオフ法によって第２主面４を部分的に被覆する第２主面電極３１を形成することによって得ることができる。

[0069] 第２主面電極３１は、第２主面４を被覆する第２ＡＩ層３２を含む。第２ＡＩ層３２は、ＳｉＣチップ２を挟んで第１主面電極１４の第１ＡＩ層１６に対向している。第２ＡＩ層３２は、比較的小さいヤング率（剛性率）を有するＡＩのクッション性を利用してＳｉＣチップ２に加えられる外力を第２主面４側から緩和する第２緩衝層として形成されている。

[0070] 第２ＡＩ層３２は、純ＡＩ層、ＡＩＳｉ合金層、ＡＩＣｕ合金層およびＡＩＳｉＣｕ合金層のうちの少なくとも１つを含む。第２ＡＩ層３２は、純ＡＩ層、ＡＩＳｉ合金層、ＡＩＣｕ合金層およびＡＩＳｉＣｕ合金層のうちの２つ以上が任意の順序で積層された積層構造を有していてもよい。第２ＡＩ層３２は、スパッタ法および／または蒸着法によって形成されていてもよい。

[0071] 第２ＡＩ層３２は、純ＡＩ層、ＡＩＳｉ合金層、ＡＩＣｕ合金層またはＡＩＳｉＣｕ合金層からなる単層構造を有していてもよい。第２ＡＩ層３２のＡＩ系金属材料は、第１ＡＩ層１６のＡＩ系金属材料とは異なっていてもよい。第２ＡＩ層３２は、純ＡＩ層からなる単層構造を有していることが好ましい。

[0072] 第２ＡＩ層３２は、第１ＡＩ層１６の厚さ未満の厚さを有していてもよい。第２ＡＩ層３２の厚さは、０．０１μｍ以上５μｍ以下であってもよい。

第２ＡＩ層３２の厚さは、０．０１μｍ以上０．１μｍ以下、０．１μｍ以上１μｍ以下、１μｍ以上２μｍ以下、２μｍ以上３μｍ以下、３μｍ以上４μｍ以下、または、４μｍ以上５μｍ以下であってもよい。

[0073] 第２主面電極３１は、第２ＡＩ層３２に加えて、第２ＡＩ層３２とは異なる金属材料からなる１つまたは複数の電極層をさらに含む。第２主面電極３１は、この形態では、複数の電極層の一例として第２主面４側からこの順に積層されたＴｉ層３３、Ｎｉ層３４、Ｐｄ層３５、Ａｕ層３６およびＡｇ層３７を含む。

[0074] Ｔｉ層３３は、第２主面４との間でオーミック接触を形成するオーミック電極である。第２ＡＩ層３２は、Ｔｉ層３３、Ｎｉ層３４、Ｐｄ層３５、Ａｕ層３６およびＡｇ層３７を挟んで第２主面４を被覆している。

[0075] Ｔｉ、Ｎｉ、Ｐｄ、ＡｕおよびＡｇは、ＡＩのヤング率（剛性率）を超えるヤング率（剛性率）をそれぞれ有している。Ｔｉ層３３、Ｎｉ層３４、Ｐｄ層３５、Ａｕ層３６およびＡｇ層３７は、スパッタ法、蒸着法および／またはめっき法によって形成されていてもよい。

[0076] 第２主面電極３１は、１つまたは複数の電極層として、Ｔｉ層３３、Ｎｉ層３４、Ｐｄ層３５、Ａｕ層３６およびＡｇ層３７のうちの少なくとも１つを含んでいればよい。第２ＡＩ層３２は、少なくともＴｉ層３３を挟んで第２主面４を被覆していることが好ましい。

[0077] 第２主面電極３１がＮｉ層３４、Ｐｄ層３５およびＡｕ層３６のうちの少なくとも１つを含む場合、Ｎｉ層３４、Ｐｄ層３５およびＡｕ層３６のうちの少なくとも１つは、パッド電極２３のＮｉ層２５、Ｐｄ層２６およびＡｕ層２７と同時に形成されためっき層であってもよい。

[0078] Ｔｉ層３３の厚さは、０．０１μｍ以上３μｍ以下であってもよい。Ｔｉ層３３の厚さは、０．０１μｍ以上０．０５μｍ以下、０．０５μｍ以上０．１μｍ以下、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上２μｍ以下、または、２μｍ以上３μｍ以下であってもよい。

[0079] Ｎｉ層３４の厚さは、０．１μｍ以上１０μｍ以下であってもよい。Ｎｉ

層３４の厚さは、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、または、８μｍ以上１０μｍ以下であってもよい。Ｎｉ層３４の厚さは、Ｔｉ層３３の厚さを超えていることが好ましい。

[0080] Ｐｄ層３５の厚さは、０．１μｍ以上１０μｍ以下であってもよい。Ｐｄ層３５の厚さは、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、または、８μｍ以上１０μｍ以下であってもよい。Ｐｄ層３５の厚さは、Ｔｉ層３３の厚さを超えていることが好ましい。

[0081] Ａｕ層３６の厚さは、０．０１μｍ以上３μｍ以下であってもよい。Ａｕ層３６の厚さは、０．０１μｍ以上０．０５μｍ以下、０．０５μｍ以上０．１μｍ以下、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上２μｍ以下、または、２μｍ以上３μｍ以下であってもよい。Ａｕ層３６の厚さは、Ｎｉ層３４の厚さ未満であることが好ましい。Ａｕ層３６の厚さは、Ｐｄ層３５の厚さ未満であることが好ましい。

[0082] Ａｇ層３７の厚さは、０．０１μｍ以上３μｍ以下であってもよい。Ａｇ層３７の厚さは、０．０１μｍ以上０．０５μｍ以下、０．０５μｍ以上０．１μｍ以下、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上２μｍ以下、または、２μｍ以上３μｍ以下であってもよい。Ａｇ層３７の厚さは、Ｎｉ層３４の厚さ未満であることが好ましい。Ａｇ層３７の厚さは、Ｐｄ層３５の厚さ未満であることが好ましい。

[0083] 第２主面電極３１は、図４Ａ～図４Ｉに示される構造を有していてもよい。

[0084] 図４Ａは、第２形態例に係る第２主面電極３１を図解的に示す断面図である。以下では、図１～図３において述べた構造に対応する構造については同一の参照符号を付して、説明を省略する。

[0085] 図４Ａを参照して、第２主面電極３１は、この形態では、第２Ａｌ層３２、Ｔｉ層３３、Ｎｉ層３４、Ｐｄ層３５およびＡｕ層３６を含む積層構造を

有している。Ｔｉ層３３、Ｎｉ層３４、Ｐｄ層３５およびＡｕ層３６は、第２主面４側からこの順に積層されている。第２ＡｌＦ層３２は、Ｔｉ層３３、Ｎｉ層３４、Ｐｄ層３５およびＡｕ層３６を挟んで第２主面４を被覆している。

[0086] 図４Ｂは、第３形態例に係る第２主面電極３１を図解的に示す断面図である。以下では、図１～図３において述べた構造に対応する構造については同一の参照符号を付して、説明を省略する。

[0087] 図４Ｂを参照して、第２主面電極３１は、この形態では、第２ＡｌＦ層３２、Ｔｉ層３３、Ｎｉ層３４、Ａｕ層３６およびＡｇ層３７を含む積層構造を有している。Ｔｉ層３３、Ｎｉ層３４、Ａｕ層３６およびＡｇ層３７は、第２主面４側からこの順に積層されている。第２ＡｌＦ層３２は、Ｔｉ層３３、Ｎｉ層３４、Ａｕ層３６およびＡｇ層３７を挟んで第２主面４を被覆している。

[0088] 図４Ｃは、第４形態例に係る第２主面電極３１を図解的に示す断面図である。以下では、図１～図３において述べた構造に対応する構造については同一の参照符号を付して、説明を省略する。

[0089] 図４Ｃを参照して、第２主面電極３１は、この形態では、第２ＡｌＦ層３２、Ｔｉ層３３、Ｎｉ層３４およびＡｕ層３６を含む積層構造を有している。Ｔｉ層３３、Ｎｉ層３４およびＡｕ層３６は、第２主面４側からこの順に積層されている。第２ＡｌＦ層３２は、Ｔｉ層３３、Ｎｉ層３４およびＡｕ層３６を挟んで第２主面４を被覆している。

[0090] 図４Ｄは、第５形態例に係る第２主面電極３１を図解的に示す断面図である。以下では、図１～図３において述べた構造に対応する構造については同一の参照符号を付して、説明を省略する。

[0091] 図４Ｄを参照して、第２主面電極３１は、この形態では、第２ＡｌＦ層３２およびＴｉ層３３を含む積層構造を有している。Ｔｉ層３３は、第２主面４に接続されている。第２ＡｌＦ層３２は、Ｔｉ層３３を挟んで第２主面４を被覆している。

[0092] 図４Ｅは、第６形態例に係る第２主面電極３１を図解的に示す断面図である。以下では、図１～図３において述べた構造に対応する構造については同一の参照符号を付して、説明を省略する。

[0093] 図４Ｅを参照して、第２主面電極３１は、この形態では、第２ＡＩ層３２、Ｔｉ層３３、Ｎｉ層３４およびＡｕ層３６を含む。Ｔｉ層３３、Ｎｉ層３４およびＡｕ層３６は、第２主面４側からこの順に積層されている。第２ＡＩ層３２は、Ｔｉ層３３およびＮｉ層３４の間に介在し、Ｔｉ層３３を挟んで第２主面４を被覆している。

[0094] この場合、パッド電極２３は、第１主面電極１４側からこの順に積層されたＮｉ層２５およびＡｕ層２７からなる２層構造を有していることが好ましい。第２主面電極３１のＮｉ層３４およびＡｕ層３６は、めっき法によって、パッド電極２３のＮｉ層２５およびＡｕ層２７と同時に形成されることができる。

[0095] 図４Ｆは、第７形態例に係る第２主面電極３１を図解的に示す断面図である。以下では、図１～図３において述べた構造に対応する構造については同一の参照符号を付して、説明を省略する。

[0096] 図４Ｆを参照して、第２主面電極３１は、この形態では、第２ＡＩ層３２、Ｔｉ層３３、Ｎｉ層３４、Ａｕ層３６およびＡｇ層３７を含む。Ｔｉ層３３、Ｎｉ層３４、Ａｕ層３６およびＡｇ層３７は、第２主面４側からこの順に積層されている。第２ＡＩ層３２は、Ｔｉ層３３およびＮｉ層３４の間に介在し、Ｔｉ層３３を挟んで第２主面４を被覆している。

[0097] この場合、パッド電極２３は、第１主面電極１４側からこの順に積層されたＮｉ層２５およびＡｕ層２７からなる２層構造を有していることが好ましい。第２主面電極３１のＮｉ層３４およびＡｕ層３６は、めっき法によって、パッド電極２３のＮｉ層２５およびＡｕ層２７と同時に形成されることができる。

[0098] 図４Ｇは、第８形態例に係る第２主面電極３１を図解的に示す断面図である。以下では、図１～図３において述べた構造に対応する構造については同

一の参照符号を付して、説明を省略する。

[0099] 図４Ｇを参照して、第２主面電極３１は、この形態では、第２ＡＩ層３２、Ｔｉ層３３、Ｎｉ層３４、Ｐｄ層３５、Ａｕ層３６およびＡｇ層３７を含む。Ｔｉ層３３、Ｎｉ層３４、Ａｕ層３６およびＡｇ層３７は、第２主面４側からこの順に積層されている。第２ＡＩ層３２は、Ｔｉ層３３およびＮｉ層３４の間に介在し、Ｔｉ層３３を挟んで第２主面４を被覆している。

[0100] この場合、パッド電極２３は、第１主面電極１４側からこの順に積層されたＮｉ層２５、Ｐｄ層２６およびＡｕ層２７からなる３層構造を有していることが好ましい。第２主面電極３１のＮｉ層３４、Ｐｄ層３５およびＡｕ層３６は、めっき法によって、パッド電極２３のＮｉ層２５、Ｐｄ層２６およびＡｕ層２７と同時に形成されることができる。

[0101] 図４Ｈは、第９形態例に係る第２主面電極３１を図解的に示す断面図である。以下では、図１～図３において述べた構造に対応する構造については同一の参照符号を付して、説明を省略する。

[0102] 図４Ｈを参照して、第２主面電極３１は、この形態では、第２ＡＩ層３２、Ｔｉ層３３、Ｎｉ層３４、Ｐｄ層３５およびＡｕ層３６を含む。Ｔｉ層３３、Ｎｉ層３４、Ｐｄ層３５およびＡｕ層３６は、第２主面４側からこの順に積層されている。第２ＡＩ層３２は、Ｔｉ層３３およびＮｉ層３４の間に介在し、Ｔｉ層３３を挟んで第２主面４を被覆している。

[0103] この場合、パッド電極２３は、第１主面電極１４側からこの順に積層されたＮｉ層２５、Ｐｄ層２６およびＡｕ層２７からなる３層構造を有していることが好ましい。第２主面電極３１のＮｉ層３４、Ｐｄ層３５およびＡｕ層３６は、めっき法によって、パッド電極２３のＮｉ層２５、Ｐｄ層２６およびＡｕ層２７と同時に形成されることができる。

[0104] 図４Ｉは、第１０形態例に係る第２主面電極３１を図解的に示す断面図である。以下では、図１～図３において述べた構造に対応する構造については同一の参照符号を付して、説明を省略する。

[0105] 図４Ｉを参照して、第２主面電極３１は、この形態では、第２ＡＩ層３２

およびシリサイド層３８を含む。シリサイド層３８は、第２主面４に形成されている。シリサイド層３８は、第２主面４から露出するＳｉＣが金属材料によってシリサイド化された層である。シリサイド層３８は、$FeSi_2$層、ＮｉＳｉ層、$NiSi_2$層、$CoSi_2$層、$CrSi_2$層、WSi_2層、$MoSi_2$層、$MnSi_2$層、$NbSi_2$層、$TiSi_2$層およびVSi_2層のうちの少なくとも１つを含んでいてもよい。

[0106] 第２Ａｌ層３２は、シリサイド層３８を挟んで第２主面４を被覆している。第２主面電極３１は、第２Ａｌ層３２およびシリサイド層３８の他、Ｔｉ層３３、Ｎｉ層３４、Ｐｄ層３５、Ａｕ層３６およびＡｇ層３７のうちの少なくとも１つを含んでいてもよい。第２Ａｌ層３２、Ｔｉ層３３、Ｎｉ層３４、Ｐｄ層３５、Ａｕ層３６およびＡｇ層３７の積層順序は任意である。シリサイド層３８を被覆する構造として、第１～第１０形態例のいずれか１つの積層構造が採用されてもよい。

[0107] 図５は、図１に示すＳｉＣ半導体装置１が組み込まれた半導体パッケージ４１を示す図である。図５では、半導体パッケージ４１の内部構造が、パッケージ本体４２を透過して示されている。

[0108] 図５を参照して、半導体パッケージ４１は、この形態では、２端子型のＴＯ－２２０である。半導体パッケージ４１は、パッケージ本体４２、金属プレート４３、第１端子４４、第２端子４５、ＳｉＣ半導体装置１、導電接合材４６および導線４７を含む。

[0109] パッケージ本体４２は、モールド樹脂からなる。パッケージ本体４２は、モールド樹脂の一例としてのエポキシ樹脂を含んでいてもよい。パッケージ本体４２は、直方体形状に形成されている。パッケージ本体４２は、一方側の第１面４８および他方側の第２面４９、ならびに、第１面４８および第２面４９を接続する４つの側面５０Ａ，５０Ｂ，５０Ｃ，５０Ｄを含む。

[0110] ４つの側面５０Ａ～５０Ｄは、より具体的には、第１側面５０Ａ、第２側面５０Ｂ、第３側面５０Ｃおよび第４側面５０Ｄを含む。第１側面５０Ａおよび第２側面５０Ｂは、互いに対向している。第３側面５０Ｃおよび第４側

面５０Ｄは、互いに対向している。

[0111] 金属プレート４３は、Ｆｅ、Ａｕ、Ａｇ、ＣｕおよびＡｌの少なくとも１つを含んでいてもよい。金属プレート４３は、Ｎｉめっき膜、Ａｕめっき膜、Ａｇめっき膜およびＣｕめっき膜のうちの少なくとも１つが形成された外面を有していてもよい。金属プレート４３の平面形状は任意である。金属プレート４３は、この形態では、平面視において四角形状（長方形状）に形成されている。

[0112] 金属プレート４３は、パッケージ本体４２内に位置するパッド部５１、および、パッケージ本体４２外に位置するヒートシンク部５２を一体的に含む。ヒートシンク部５２は、パッド部５１から第２側面５０Ｂを横切ってパッケージ本体４２外に引き出されている。ヒートシンク部５２は、貫通孔５２ａを含む。貫通孔５２ａは、円形状に形成されている。

[0113] 金属プレート４３は、この形態では、第２面４９から露出するようにパッケージ本体４２内に配置されている。金属プレート４３は、第２面４９から露出しないようにパッケージ本体４２内に配置されていてもよい。

[0114] 第１端子４４は、Ｆｅ、Ａｕ、Ａｇ、ＣｕおよびＡｌのうちの少なくとも１つを含んでいてもよい。第１端子４４は、Ｎｉめっき膜、Ａｕめっき膜、Ａｇめっき膜およびＣｕめっき膜のうちの少なくとも１つが形成された外面を有していてもよい。第１端子４４は、パッケージ本体４２内から第１側面５０Ａを横切ってパッケージ本体４２外に引き出されている。第１端子４４は、平面視において第４側面５０Ｄ側の領域に配置されている。第１端子４４は、金属プレート４３の板面に対して第１面４８側の領域に配置されている。

[0115] 第１端子４４は、第１内端部５３、第１外端部５４および第１帯状部５５を含む。第１内端部５３は、パッケージ本体４２内において金属プレート４３に接続されている。第１外端部５４は、パッケージ本体４２外に配置されている。第１帯状部５５は、第１内端部５３および第１外端部５４の間を第１側面５０Ａに直交する方向に延びている。

[0116] 第２端子４５は、Ｆｅ、Ａｕ、Ａｇ、ＣｕおよびＡｌのうちの少なくとも１つを含んでいてもよい。第２端子４５は、Ｎｉめっき膜、Ａｕめっき膜、Ａｇめっき膜およびＣｕめっき膜のうちの少なくとも１つを含んでいてもよい。第２端子４５は、パッケージ本体４２内から第１側面５０Ａを横切ってパッケージ本体４２外に引き出されている。

[0117] 第２端子４５は、平面視において第１端子４４から間隔を空けて第３側面５０Ｃ側の領域に配置されている。第２端子４５は、金属プレート４３の板面に対して第１面４８側の領域に配置されている。

[0118] 第２端子４５は、第２内端部５６、第２外端部５７および第２帯状部５８を含む。第２内端部５６は、金属プレート４３から間隔を空けてパッケージ本体４２内に配置されている。第２外端部５７は、パッケージ本体４２外に配置されている。第２帯状部５８は、第２内端部５６および第２外端部５７の間を第１側面５０Ａに直交する方向に延びている。

[0119] ＳｉＣ半導体装置１は、パッケージ本体４２内において金属プレート４３のパッド部５１の上に配置されている。導電接合材４６は、ＳｉＣ半導体装置１およびパッド部５１の間に介在し、ＳｉＣ半導体装置１の第２主面電極３１をパッド部５１に接合させている。これにより、ＳｉＣ半導体装置１は、金属プレート４３を介して第１端子４４に電気的に接続されている。

[0120] 導電接合材４６は、金属ペーストまたは半田であってもよい。金属ペーストは、Ａｕ、ＡｇおよびＣｕのうちの少なくとも１つを含んでいてもよい。導電接合材４６は、半田からなることが好ましい。半田は、鉛フリー半田であってもよい。半田は、ＳｎＡｇＣｕ、ＳｎＺｎＢｉ、ＳｎＣｕ、ＳｎＣｕＮｉおよびＳｎＳｂＮｉのうちの少なくとも１つを含んでいてもよい。

[0121] 導線４７は、金属ワイヤ（ボンディングワイヤ）または金属クリップからなる。金属ワイヤは、ＡｌワイヤＡｕワイヤ、Ｃｕワイヤまたは半田ワイヤであってもよい。半田ワイヤは、鉛フリー半田ワイヤであってもよい。半田ワイヤは、ＳｎＡｇＣｕ、ＳｎＺｎＢｉ、ＳｎＣｕ、ＳｎＣｕＮｉおよびＳｎＳｂＮｉのうちの少なくとも１つを含んでいてもよい。金属クリップは

、Ａｌクリップ、ＡｕクリップまたはＣｕクリップであってもよい。導線４７は、この形態では、半田ワイヤからなる。

[0122] 導線４７は、パッケージ本体４２内において第２端子４５の第２内端部５６およびＳｉＣ半導体装置１のパッド電極２３に接続されている。これにより、ＳｉＣ半導体装置１は、第２端子４５に電気的に接続されている。

[0123] 図６では、１つの導線４７が第２内端部５６およびパッド電極２３に接続されている例が示されているが、導線４７の個数は任意である。２つ以上の導線４７が第２内端部５６およびパッド電極２３に接続されていてもよい。

[0124] 半導体パッケージ４１は、ＴＯ－２２０以外の形態も採り得る。半導体パッケージ４１は、ＳＯＰ（Small Outline Package）、ＱＦＮ（Quad For Non Lead Package）、ＤＦＰ（Dual Flat Package）、ＤＩＰ（Dual Inline Package）、ＱＦＰ（Quad Flat Package）、ＳＩＰ（Single Inline Package）もしくはＳＯＪ（Small Outline J-leaded Package）、または、これらに類する種々の形態を有していてもよい。

[0125] 以上、ＳｉＣ半導体装置１によれば、第１ＡｌＩ層１６が第１主面３側で外力を緩和する第１緩衝層として形成され、第２ＡｌＩ層３２が第２主面４側で外力を緩和する第２緩衝層として形成されている。これにより、第１主面３から第２主面４に向かう方向の外力、および、第２主面４から第１主面３に向かう方向の外力を緩和できる。

[0126] 一例として、ＳｉＣ半導体装置１を金属プレート４３のパッド部５１に実装する際にＳｉＣチップ２に加えられる外力を第１ＡｌＩ層１６および第２ＡｌＩ層３２によって緩和できる。また、ＳｉＣ半導体装置１のパッド電極２３に導線４７を接合する際にＳｉＣチップ２に加えられる外力を第１ＡｌＩ層１６および第２ＡｌＩ層３２によって緩和できる。その結果、ＳｉＣチップ２のクラックを抑制できる。

[0127] また、ＳｉＣ半導体装置１は、導線４７に外部接合されるパッド電極２３を含む。パッド電極２３は、Ｎｉ層２５、Ｐｄ層２６およびＡｕ層２７のうちの少なくとも１つを含む。これにより、導線４７をパッド電極２３に適切

に接続されることができる。

[0128] 一方、Ｎｉ、ＰｄおよびＡｕは、ＡｌのヤングＳ率（剛性率）を超えるヤング率（剛性率）をそれぞれ有している。したがって、パッド電極２３を備えた構造では、導線４７の接合時に加えられる外力を適切に緩和できない。

[0129] そこで、ＳｉＣ半導体装置１では、ＳｉＣチップ２およびパッド電極２３の間にＡｌを含む第１Ａｌ層１６を介在させている。第１Ａｌ層１６によれば、比較的小さいヤング率（剛性率）を有するＡｌのクッション性を利用してＳｉＣチップ２に加えられる外力を第１主面３側から緩和できる。よって、導線４７をパッド電極２３に適切に接合させることができると同時に、ＳｉＣチップ２のクラックを抑制できる。

[0130] また、ＳｉＣ半導体装置１は、第２Ａｌ層３２に加えて、第２Ａｌ層３２とは異なる金属材料からなる１つまたは複数の電極層を有する第２主面電極３１を含む。１つまたは複数の電極層は、Ｔｉ層３３、Ｎｉ層３４、Ｐｄ層３５、Ａｕ層３６およびＡｇ層３７のうちの少なくとも１つを含む。これにより、第２主面電極３１に対する導電接合材４６の密着力を適切に高めることができる。その結果、ＳｉＣ半導体装置１を金属プレート４３のパッド部５１に適切に実装できる。

[0131] 一方、Ｔｉ、Ｎｉ、Ｐｄ、ＡｕおよびＡｇは、ＡｌのヤングＳ率（剛性率）を超えるヤング率（剛性率）をそれぞれ有している。したがって、第２主面電極３１がＴｉ層３３、Ｎｉ層３４、Ｐｄ層３５、Ａｕ層３６およびＡｇ層３７のうちの少なくとも１つを含む構造では、ＳｉＣ半導体装置１の実装時や導線４７の接合時に加えられる外力を適切に緩和できない。

[0132] そこで、ＳｉＣ半導体装置１では、Ｔｉ層３３、Ｎｉ層３４、Ｐｄ層３５、Ａｕ層３６およびＡｇ層３７のうちの少なくとも１つに加えて、第２Ａｌ層３２を含む第２主面電極３１を形成している。第２Ａｌ層３２によれば、比較的小さいヤング率（剛性率）を有するＡｌのクッション性を利用してＳｉＣチップ２に加えられる外力を第２主面４側から緩和できる。よって、ＳｉＣ半導体装置１をパッド部５１に適切に実装できると同時に、ＳｉＣチッ

プ２のクラックを抑制できる。

[0133] 図６は、本発明の第２実施形態に係るＳｉＣ半導体装置６１の斜視図であって、第１形態例に係る第２主面電極２００が組み込まれた形態を示している。図７は、図６に示すＳｉＣ半導体装置６１の平面図である。図８は、第１主面電極１５０の上の構造を取り除いた平面図である。

[0134] 図９は、図８に示す領域IXの内部構造を示す拡大平面図である。図１０は、図９に示すX-X線に沿う断面図である。図１１は、図９に示すXI-XI線に沿う断面図である。図１２は、図１０に示す領域XIIの拡大図である。

[0135] 図１３は、図７に示すXIII-XIII線に沿う断面図である。図１４は、ゲートパッド電極１９１を示す断面図である。図１５は、ソースパッド電極１９２を示す断面図である。図１６は、第２主面電極２００を図解的に示す断面図である。図１４および図１５は、ゲートパッド電極１９１およびソースパッド電極１９２の概略構造を示す断面図であり、特定箇所の断面を示していない。

[0136] 図６～図１３を参照して、ＳｉＣ半導体装置６１は、ＳｉＣチップ６２を含む。ＳｉＣチップ６２は、六方晶からなるＳｉＣ単結晶を含む。六方晶からなるＳｉＣ単結晶は、原子配列の周期に応じて、２Ｈ（Hexagonal）－ＳｉＣ単結晶、４Ｈ－ＳｉＣ単結晶、６Ｈ－ＳｉＣ単結晶等を含む複数種のポリタイプを有している。ＳｉＣチップ６２は、この形態では、４Ｈ－ＳｉＣ単結晶からなるが、他のポリタイプを除外するものではない。

[0137] ＳｉＣチップ６２は、一方側の第１主面６３、他方側の第２主面６４、ならびに、第１主面６３および第２主面６４を接続する側面６５Ａ，６５Ｂ，６５Ｃ，６５Ｄを有している。第１主面６３および第２主面６４は、それらの法線方向Ｚから見た平面視（以下、単に「平面視」という。）において四角形状（この形態では長方形状）に形成されている。

[0138] ＳｉＣチップ６２の厚さは、４０μｍ以上３００μｍ以下であってもよい。ＳｉＣチップ６２の厚さは、４０μｍ以上１００μｍ以下、１００μｍ以上１５０μｍ以下、１５０μｍ以上２００μｍ以下、２００μｍ以上２５０

μｍ以下、または、２５０μｍ以上３００μｍ以下であってもよい。ＳｉＣチップ６２の厚さは、６０μｍ以上１５０μｍ以下であることが好ましい。

[0139] 第１主面６３および第２主面６４は、この形態では、ＳｉＣ単結晶のｃ面に面している。第１主面６３は、ＳｉＣ単結晶のシリコン面（（０００１）面）に面している。第１主面６３は、非実装面である。第２主面６４は、ＳｉＣ単結晶のカーボン面（（０００－１）面）に面している。第２主面６４は、実装面である。第２主面６４は、研削痕およびアニール痕のいずれか一方または双方を有する粗面であってもよい。アニール痕は、レーザ照射痕である。第２主面６４は、アニール痕を有するオーミック面であってもよい。

[0140] 第１主面６３および第２主面６４は、ＳｉＣ単結晶のｃ面に対してａ軸方向（［１１－２０］方向）に０°以上１０°以下の角度で傾斜したオフ角を有している。法線方向Ｚは、ＳｉＣ単結晶のｃ軸（［０００１］方向）に対してオフ角分だけ傾斜している。

[0141] オフ角は、０°以上６°以下であってもよい。オフ角は、０°以上２°以下、２°以上４°以下、または、４°以上６°以下であってもよい。オフ角は、０°を超えて４．５°以下であることが好ましい。オフ角は、３°以上４．５°以下であってもよい。この場合、オフ角は、３°以上３．５°以下、または、３．５°以上４°以下であることが好ましい。オフ角は、１．５°以上３°以下であってもよい。この場合、オフ角は、１．５°以上２°以下、または、２°以上２．５°以下であることが好ましい。

[0142] 側面６５Ａ～６５Ｄは、第１側面６５Ａ、第２側面６５Ｂ、第３側面６５Ｃおよび第４側面６５Ｄを含む。第１側面６５Ａおよび第２側面６５Ｂは、第１方向Ｘに沿って延び、第１方向Ｘに交差する第２方向Ｙに対向している。第１側面６５Ａおよび第２側面６５Ｂは、平面視においてＳｉＣチップ６２の短辺を形成している。第３側面６５Ｃおよび第４側面６５Ｄは、第２方向Ｙに沿って延び、第１方向Ｘに対向している。第３側面６５Ｃおよび第４側面６５Ｄは、平面視においてＳｉＣチップ６２の長辺を形成している。第２方向Ｙは、より具体的には、第１方向Ｘに直交している。

[0143] 第１方向Ｘは、この形態では、ＳｉＣ単結晶のｍ軸方向（［１－１００］方向）である。第２方向Ｙは、ＳｉＣ単結晶のａ軸方向（［１１－２０］方向）である。つまり、第１側面６５Ａおよび第２側面６５Ｂは、ＳｉＣ単結晶のａ面によって形成され、ＳｉＣ単結晶のａ軸方向に対向している。また、第３側面６５Ｃおよび第４側面６５Ｄは、ＳｉＣ単結晶のｍ面によって形成され、ＳｉＣ単結晶のｍ軸方向に対向している。

[0144] 第１側面６５Ａおよび第２側面６５Ｂは、法線方向Ｚを基準にしたとき、法線方向Ｚに対してＳｉＣ単結晶のｃ軸方向（［０００１］方向）に向けて傾斜した傾斜面を形成していてもよい。第１側面６５Ａおよび第２側面６５Ｂは、法線方向Ｚを０°としたとき、法線方向Ｚに対してオフ角に応じた角度で傾斜していてもよい。オフ角に応じた角度は、オフ角と等しくてもよいし、０°を超えてオフ角未満の角度であってもよい。

[0145] 第３側面６５Ｃおよび第４側面６５Ｄは、法線方向Ｚに沿って平面的に延びている。第３側面６５Ｃおよび第４側面６５Ｄは、より具体的には、第１主面６３および第２主面６４に対して略垂直に形成されている。

[0146] 側面６５Ａ～６５Ｄは、劈開面または研削面からなっていてもよい。側面６５Ａ～６５Ｄの長さは、０．１ｍｍ以上１０ｍｍ以下であってもよい。側面６５Ａ～６５Ｄの長さは、０．５ｍｍ以上２．５ｍｍ以下であることが好ましい。

[0147] ＳｉＣチップ６２は、この形態では、ｎ$^{+}$型のＳｉＣ半導体基板６６およびｎ型のＳｉＣエピタキシャル層６７を含む積層構造を有している。ＳｉＣ半導体基板６６は、ドレイン領域６８として形成されている。ＳｉＣエピタキシャル層６７は、ドリフト領域６９として形成されている。

[0148] ＳｉＣ半導体基板６６によって、ＳｉＣチップ６２の第２主面６４が形成されている。ＳｉＣエピタキシャル層６７によって、ＳｉＣチップ６２の第１主面６３が形成されている。ＳｉＣ半導体基板６６およびＳｉＣエピタキシャル層６７によって、ＳｉＣチップ６２の側面６５Ａ～６５Ｄが形成されている。

[0149] ＳｉＣ半導体基板６６の厚さは、４０μｍ以上２５０μｍ以下であってもよい。ＳｉＣ半導体基板６６の厚さは、４０μｍ以上１００μｍ以下、１００μｍ以上１５０μｍ以下、１５０μｍ以上２００μｍ以下、または、２００μｍ以上２５０μｍ以下であってもよい。ＳｉＣ半導体基板６６の厚さは、４０μｍ以上１５０μｍ以下であることが好ましい。ＳｉＣ半導体基板６６を薄化することにより、ＳｉＣ半導体基板６６の抵抗値を低減できる。

[0150] ＳｉＣエピタキシャル層６７の厚さは、１μｍ以上５０μｍ以下であってもよい。ＳｉＣエピタキシャル層６７の厚さは、１μｍ以上５μｍ以下、５μｍ以上１０μｍ以下、１０μｍ以上１５μｍ以下、１５μｍ以上２０μｍ以下、２０μｍ以上３０μｍ以下、３０μｍ以上４０μｍ以下、または、４０μｍ以上５０μｍ以下であってもよい。ＳｉＣエピタキシャル層６７の厚さは、５μｍ以上１５μｍ以下であることが好ましい。

[0151] ＳｉＣエピタキシャル層６７のｎ型不純物濃度は、ＳｉＣ半導体基板６６のｎ型不純物濃度未満である。ＳｉＣ半導体基板６６のｎ型不純物濃度は、１．０×10^{18}ｃｍ$^{-3}$以上１．０×10^{21}ｃｍ$^{-3}$以下であってもよい。ＳｉＣエピタキシャル層６７のｎ型不純物濃度は、１．０×10^{15}ｃｍ$^{-3}$以上１．０×10^{18}ｃｍ$^{-3}$以下であってもよい。

[0152] ＳｉＣエピタキシャル層６７は、この形態では、法線方向Ｚに沿って異なるｎ型不純物濃度を有する複数の領域を有している。ＳｉＣエピタキシャル層６７は、より具体的には、ｎ型不純物濃度が比較的高い高濃度領域７０、および、高濃度領域７０に対してｎ型不純物濃度が低い低濃度領域７１を含む。

[0153] 高濃度領域７０は、第１主面６３側の領域に形成されている。低濃度領域７１は、高濃度領域７０に対して第２主面６４側の領域に形成されている。高濃度領域７０の厚さは、低濃度領域７１の厚さ未満である。高濃度領域７０の厚さは、ＳｉＣエピタキシャル層６７の総厚さの２分の１未満である。

[0154] 高濃度領域７０のｎ型不純物濃度のピーク値は、１．０×10^{16}ｃｍ$^{-3}$以上１．０×10^{18}ｃｍ$^{-3}$以下であってもよい。低濃度領域７１のｎ型不純物

濃度のピーク値は、１．０×１０^{15}ｃｍ$^{-3}$以上１．０×１０^{16}ｃｍ$^{-3}$以下であってもよい。

[0155] ＳｉＣチップ６２は、アクティブ領域７２および外側領域７３を含む。アクティブ領域７２は、機能デバイス（トランジスタ）の一例としてのＭＩＳＦＥＴ（Metal Insulator Semiconductor Field Effect Transistor）が形成された領域である。

[0156] アクティブ領域７２は、平面視において側面６５Ａ～６５Ｄから内方に間隔を空けてＳｉＣチップ６２の中央部に形成されている。アクティブ領域７２は、平面視において側面６５Ａ～６５Ｄに平行な４辺を有する四角形状（この形態では長方形状）に形成されている。

[0157] 外側領域７３は、アクティブ領域７２の外側の領域である。外側領域７３は、側面６５Ａ～６５Ｄおよびアクティブ領域７２の周縁の間の領域に形成されている。外側領域７３は、平面視においてアクティブ領域７２を取り囲む環状（より具体的に無端状）に形成されている。

[0158] ＳｉＣ半導体装置６１は、アクティブ領域７２において第１主面６３の表層部に形成されたｐ型のボディ領域７４を含む。ボディ領域７４は、アクティブ領域７２を画定している。ボディ領域７４のｐ型不純物濃度のピーク値は、１．０×１０^{17}ｃｍ$^{-3}$以上１．０×１０^{19}ｃｍ$^{-3}$以下であってもよい。ボディ領域７４のｐ型不純物濃度のピーク値は、１．０×１０^{18}ｃｍ$^{-3}$以上であることが好ましい。

[0159] 図９～図１２を参照して、ＳｉＣ半導体装置６１は、アクティブ領域７２において第１主面６３に形成された複数のトレンチゲート構造７５を含む。複数のトレンチゲート構造７５は、第１方向Ｘに沿って延びる帯状にそれぞれ形成され、第２方向Ｙに沿って間隔を空けて形成されている。複数のトレンチゲート構造７５は、平面視において全体としてストライプ状に形成されている。

[0160] 複数のトレンチゲート構造７５は、この形態では、アクティブ領域７２において一方側（第３側面６５Ｃ側）の周縁部から他方側（第４側面６５Ｄ側

）の周縁部に向けて帯状に延びている。複数のトレンチゲート構造７５は、アクティブ領域７２において一方側の周縁部および他方側の周縁部の間の中間部を横切っている。

[0161] 各トレンチゲート構造７５の長さは、１ｍｍ以上１０ｍｍ以下であってもよい。各トレンチゲート構造７５の長さは、１ｍｍ以上２ｍｍ以下、２ｍｍ以上４ｍｍ以下、４ｍｍ以上６ｍｍ以下、６ｍｍ以上８ｍｍ以下、または、８ｍｍ以上１０ｍｍ以下であってもよい。各トレンチゲート構造７５の長さは、２ｍｍ以上６ｍｍ以下であることが好ましい。１つのトレンチゲート構造７５の単位面積当たりの総延長は、０．５μｍ／μｍ^{2}以上０．７５μｍ／μｍ^{2}以下であってもよい。

[0162] 各トレンチゲート構造７５は、アクティブ部７６およびコンタクト部７７を含む。アクティブ部７６は、ＭＩＳＦＥＴのチャネルに沿う部分である。コンタクト部７７は、ＭＩＳＦＥＴのチャネル外の部分である。コンタクト部７７は、トレンチゲート構造７５の端部であり、外部接続を主たる目的としている。

[0163] 各トレンチゲート構造７５は、ゲートトレンチ７８、ゲート絶縁層７９およびゲート電極８０を含む。図９では、ゲート絶縁層７９およびゲート電極８０がハッチングによって示されている。

[0164] ゲートトレンチ７８は、ボディ領域７４を貫通するようにＳｉＣエピタキシャル層６７に形成されている。ゲートトレンチ７８は、側壁および底壁を含む。ゲートトレンチ７８の長辺を形成する側壁は、ＳｉＣ単結晶のａ面によって形成されている。ゲートトレンチ７８の短辺を形成する側壁は、ＳｉＣ単結晶のｍ面によって形成されている。

[0165] ゲートトレンチ７８の側壁は、法線方向Ｚに沿って延びていてもよい。ＳｉＣチップ６２内においてゲートトレンチ７８の側壁が第１主面６３に対して成す角度は、９０°以上９５°以下（たとえば９１°以上９３°以下）であってもよい。ゲートトレンチ７８の側壁は、第１主面６３に対してほぼ垂直に形成されていてもよい。ゲートトレンチ７８は、断面視において底壁側

の開口面積が開口側の開口面積よりも小さいテーパ形状に形成されていてもよい。

[0166] ゲートトレンチ７８の底壁は、高濃度領域７０に位置している。ゲートトレンチ７８の底壁は、ＳｉＣ単結晶のｃ面に面している。ゲートトレンチ７８の底壁は、ＳｉＣ単結晶の（０００１）面に対して［１１－２０］方向に傾斜したオフ角を有している。ゲートトレンチ７８の底壁は、第１主面６３に対して平行に形成されていてもよい。ゲートトレンチ７８の底壁は、第２主面６４に向かう湾曲状に形成されていてもよい。

[0167] 法線方向Ｚに関して、ゲートトレンチ７８の深さは、０．５μｍ以上３．０μｍ以下であってもよい。ゲートトレンチ７８の深さは、０．５μｍ以上１．０μｍ以下、１．０μｍ以上１．５μｍ以下、１．５μｍ以上２．０μｍ以下、２．０μｍ以上２．５μｍ以下、または、２．５μｍ以上３．０μｍ以下であってもよい。

[0168] ゲートトレンチ７８の第２方向Ｙに沿う幅は、０．１μｍ以上２μｍ以下であってもよい。ゲートトレンチ７８の幅は、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１．０μｍ以下、１．０μｍ以上１．５μｍ以下、または、１．５μｍ以上２μｍ以下であってもよい。

[0169] ゲートトレンチ７８の開口エッジ部は、第１主面６３からゲートトレンチ７８の内方に向かって下り傾斜した傾斜部を含む。ゲートトレンチ７８の開口エッジ部は、第１主面６３およびゲートトレンチ７８の側壁を接続する部分である。

[0170] ゲートトレンチ７８の傾斜部は、ＳｉＣチップ６２の内方に向かう湾曲状に形成されている。ゲートトレンチ７８の傾斜部は、ゲートトレンチ７８の内方に向かう湾曲状に形成されていてもよい。ゲートトレンチ７８の傾斜部は、ゲートトレンチ７８の開口エッジ部に対する電界集中を緩和する。

[0171] ゲート絶縁層７９は、酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ジルコニウムおよび酸化タンタルのうちの少なくとも１種を含む。ゲート絶縁層７９は、窒化シリコン層および酸化シリコン層を含む積層構造を有

していてもよい。ゲート絶縁層７９は、酸化シリコン層または窒化シリコン層からなる単層構造を有していてもよい。ゲート絶縁層７９は、この形態では、酸化シリコン層からなる単層構造を有している。

[0172] ゲート絶縁層７９は、ゲートトレンチ７８の内壁に沿って膜状に形成され、ゲートトレンチ７８内においてリセス空間を区画している。ゲート絶縁層７９は、第１領域８１、第２領域８２および第３領域８３を含む。

[0173] 第１領域８１は、ゲートトレンチ７８の側壁に沿って形成されている。第２領域８２は、ゲートトレンチ７８の底壁に沿って形成されている。第３領域８３は、第１主面６３に沿って形成されている。

[0174] 第１領域８１の厚さは、第２領域８２の厚さおよび第３領域８３の厚さ未満である。第１領域８１の厚さは、０．０１μｍ以上０．２μｍ以下であってもよい。第２領域８２の厚さは、０．０５μｍ以上０．５μｍ以下であってもよい。第３領域８３の厚さは、０．０５μｍ以上０．５μｍ以下であってもよい。

[0175] ゲート絶縁層７９は、開口エッジ部においてゲートトレンチ７８内に向けて膨出した膨出部８４を含む。膨出部８４は、ゲート絶縁層７９の第１領域８１および第３領域８３を接続する角部に形成されている。膨出部８４は、ゲートトレンチ７８の内方に向かう湾曲状に形成されている。膨出部８４は、開口エッジ部においてゲートトレンチ７８の開口を狭めている。膨出部８４を有さないゲート絶縁層７９が形成されていてもよい。一様な厚さを有するゲート絶縁層７９が形成されていてもよい。

[0176] ゲート電極８０は、ゲート絶縁層７９を挟んでゲートトレンチ７８に埋め込まれている。ゲート電極８０は、より具体的には、ゲートトレンチ７８内においてゲート絶縁層７９によって区画されたリセス空間に埋め込まれている。

[0177] ゲート電極８０は、ゲートトレンチ７８の開口側に位置する上端部を有している。ゲート電極８０の上端部は、ゲートトレンチ７８の底壁に向かって窪んだ湾曲状に形成されている。ゲート電極８０の上端部は、ゲート絶縁層

７９の膨出部８４に沿って括れた括れ部を有している。

[0178] ゲート電極８０は、ｐ型不純物が添加されたｐ型ポリシリコンを含む。ゲート電極８０のｐ型不純物は、ホウ素、アルミニウム、インジウムおよびガリウムのうちの少なくとも１種を含んでいてもよい。

[0179] ゲート電極８０のｐ型不純物濃度は、ボディ領域７４のｐ型不純物濃度を超えている。ゲート電極８０のｐ型不純物濃度は、１．０×10^{18}ｃｍ$^{-3}$以上１．０×10^{22}ｃｍ$^{-3}$以下であってもよい。ゲート電極８０のシート抵抗は、１０Ω／□以上５００Ω／□以下（この形態では２００Ω／□程度）であってもよい。ゲート電極８０の厚さは、０．５μｍ以上３μｍ以下であってもよい。

[0180] 図９および図１１を参照して、ＳｉＣ半導体装置６１は、アクティブ領域７２において第１主面６３の上に形成されたゲート配線８５を含む。図９では、ゲート配線８５がハッチングによって示されている。ゲート配線８５は、より具体的には、ゲート絶縁層７９の第３領域８３の上に形成されている。ゲート配線８５は、アクティブ領域７２において第１側面６５Ａ、第３側面６５Ｃおよび第４側面６５Ｄに沿って形成され、複数のトレンチゲート構造７５が形成された領域を３方向から区画している。

[0181] ゲート配線８５は、トレンチゲート構造７５のコンタクト部７７から露出するゲート電極８０に接続されている。ゲート配線８５は、この形態では、ゲートトレンチ７８から第１主面６３の上に引き出されたゲート電極８０の引き出し部によって形成されている。ゲート配線８５の上端部は、ゲート電極８０の上端部に接続されている。

[0182] ＳｉＣ半導体装置６１は、ゲート電極８０を被覆する低抵抗層８６を含む。低抵抗層８６は、ゲートトレンチ７８内においてゲート電極８０の上端部を被覆している。低抵抗層８６は、トレンチゲート構造７５の一部を形成している。

[0183] 低抵抗層８６は、ゲート電極８０のシート抵抗未満のシート抵抗を有する導電材料を含む。低抵抗層８６のシート抵抗は、０．０１Ω／□以上１０Ω

／□以下であってもよい。

[0184] 低抵抗層８６は、より具体的には、ポリサイド層を含む。ポリサイド層は、ゲート電極８０の表層部を形成する部分が金属材料によってシリサイド化されることによって形成されている。ポリサイド層は、より具体的には、ゲート電極８０（ｐ型ポリシリコン）に添加されたｐ型不純物を含むｐ型ポリサイド層からなる。ポリサイド層は、１０μΩ・ｃｍ以上１１０μΩ・ｃｍ以下の比抵抗を有していることが好ましい。

[0185] ゲート電極８０および低抵抗層８６が埋め込まれたゲートトレンチ７８内のシート抵抗は、ゲート電極８０単体のシート抵抗以下である。ゲートトレンチ７８内のシート抵抗は、ｎ型不純物が添加されたｎ型ポリシリコンのシート抵抗以下であることが好ましい。

[0186] ゲートトレンチ７８内のシート抵抗は、低抵抗層８６のシート抵抗に近似される。つまり、ゲートトレンチ７８内のシート抵抗は、０．０１Ω／□以上１０Ω／□以下であってもよい。ゲートトレンチ７８内のシート抵抗は、１０Ω／□未満であることが好ましい。

[0187] 低抵抗層８６は、ＴｉＳｉ、$TiSi_2$、ＮｉＳｉ、ＣｏＳｉ、$CoSi_2$、$MoSi_2$およびWSi_2のうちの少なくとも１種を含んでいてもよい。とりわけ、これらの種のうちのＮｉＳｉ、$CoSi_2$および$TiSi_2$は、比抵抗の値および温度依存性が比較的小さいことから、低抵抗層８６を形成するポリサイド層として適している。低抵抗層８６は、他の領域への拡散が少ない性質を有する$CoSi_2$からなることが最も好ましい。

[0188] 低抵抗層８６は、ゲート絶縁層７９に接する接触部を含む。低抵抗層８６の接触部は、より具体的には、ゲート絶縁層７９の第３領域８３（膨出部８４）に接している。低抵抗層８６の接触部は、ボディ領域７４の底部に対して第１主面６３側の領域に形成されている。低抵抗層８６の接触部は、より具体的には、後述するソース領域９７の底部に対して第１主面６３側の領域に形成されている。低抵抗層８６はゲート絶縁層７９を挟んでボディ領域７４とは対向していない。

[0189] これにより、低抵抗層８６およびボディ領域７４の間の電流パスの形成を抑制できる。特に、低抵抗層８６の接触部を、ゲート絶縁層７９において比較的厚い角部に接続させる設計は、電流パスのリスクを低減する上で有効である。

[0190] 法線方向Ｚに関して、低抵抗層８６の厚さは、ゲート電極８０の厚さ未満であることが好ましい。低抵抗層８６の厚さは、０．０１μｍ以上３μｍ以下であってもよい。

[0191] 低抵抗層８６は、ゲート配線８５の上端部も被覆している。低抵抗層８６においてゲート配線８５の上端部を被覆する部分は、低抵抗層８６においてゲート電極８０の上端部を被覆する部分と一体的に形成されている。これにより、低抵抗層８６は、ゲート電極８０の全域およびゲート配線８５の全域を被覆している。

[0192] ｎ型ポリシリコンとは相異なる仕事関数を有するｐ型ポリシリコンをゲートトレンチ７８に埋め込むことにより、ゲート閾値電圧Ｖｔｈを１Ｖ程度増加させることができる。しかし、ｐ型ポリシリコンは、ｎ型ポリシリコンのシート抵抗よりも数十倍（おおよそ２０倍）高いシート抵抗を有している。そのため、ｐ型ポリシリコンをゲート電極８０の材料として採用した場合、ゲートトレンチ７８内の寄生抵抗（以下、単に「ゲート抵抗」という。）の増加に伴ってエネルギ損失が増大する。

[0193] そこで、ＳｉＣ半導体装置６１では、ゲート電極８０（ｐ型ポリシリコン）の上に低抵抗層８６（ｐ型ポリサイド）を形成している。低抵抗層８６によれば、ゲート閾値電圧Ｖｔｈの増加（たとえば１Ｖ程度の増加）を許容させながら、ゲートトレンチ７８内のシート抵抗を低減できる。

[0194] たとえば、低抵抗層８６を有する構造によれば、低抵抗層８６を有さない場合と比較してシート抵抗を１００分の１以下に低下させることができる。また、低抵抗層８６を有する構造によれば、ｎ型ポリシリコンを含むゲート電極８０と比較してシート抵抗を５分の１以下に低下させることができる。

[0195] これにより、ゲート抵抗を低減できるから、トレンチゲート構造７５に沿

って電流を効率的に拡散させることができる。つまり、低抵抗層８６は、ゲートトレンチ７８内に電流を拡散する電流拡散層として形成されている。特に、ミリメートルオーダの長さ（１ｍｍ以上の長さ）を有するゲートトレンチ７８の場合には電流の伝達に時間を要するが、低抵抗層８６によればスイッチング遅延を適切に抑制できる。

[0196] また、低抵抗層８６を有する構造によれば、ゲート閾値電圧Ｖｔｈを高める上でボディ領域７４のｐ型不純物濃度を増加させなくて済む。よって、チャネル抵抗の増加を抑制しながら、ゲート閾値電圧Ｖｔｈを適切に増加させることができる。

[0197] ＳｉＣ半導体装置６１は、互いに隣り合う複数のトレンチゲート構造７５の間の領域にそれぞれ形成された複数のトレンチソース構造９１を含む。複数のトレンチソース構造９１は、１つのトレンチゲート構造７５を挟み込む態様で、第２方向Ｙ（ＳｉＣ単結晶のａ軸方向）に間隔を空けて形成されている。

[0198] 複数のトレンチソース構造９１は、第１方向Ｘ（ＳｉＣ単結晶のｍ軸方向）に沿って延びる帯状にそれぞれ形成されている。複数のトレンチソース構造９１は、平面視において全体としてストライプ状に形成されている。第２方向Ｙに関して、互いに隣り合うトレンチソース構造９１の中央部間のピッチは、１．５μｍ以上３μｍ以下であってもよい。

[0199] 各トレンチソース構造９１は、ソーストレンチ９２、ソース絶縁層９３およびソース電極９４を含む。図９では、ソース絶縁層９３およびソース電極９４がハッチングによって示されている。

[0200] ソーストレンチ９２は、ボディ領域７４を貫通するようにＳｉＣエピタキシャル層６７に形成されている。ソーストレンチ９２は、側壁および底壁を含む。ソーストレンチ９２の長辺を形成する側壁は、ＳｉＣ単結晶のａ面によって形成されている。ソーストレンチ９２の短辺を形成する側壁は、ＳｉＣ単結晶のｍ面によって形成されている。

[0201] ソーストレンチ９２の側壁は、法線方向Ｚに沿って延びていてもよい。Ｓ

ｉＣチップ６２内においてソーストレンチ９２の側壁が第１主面６３に対して成す角度は、９０°以上９５°以下（たとえば９１°以上９３°以下）であってもよい。ソーストレンチ９２の側壁は、第１主面６３に対してほぼ垂直に形成されていてもよい。ソーストレンチ９２は、断面視において底壁側の開口面積が開口側の開口面積よりも小さいテーパ形状に形成されていてもよい。

[0202] ソーストレンチ９２の底壁は、高濃度領域７０に位置している。ソーストレンチ９２の底壁は、ゲートトレンチ７８の底壁に対して第２主面６４側の領域に位置している。ソーストレンチ９２の底壁は、法線方向Ｚに関して、ゲートトレンチ７８の底壁および低濃度領域７１の間の領域に位置している。

[0203] ソーストレンチ９２の底壁は、ＳｉＣ単結晶のｃ面に面している。ソーストレンチ９２の底壁は、ＳｉＣ単結晶の（０００１）面に対して［１１－２０］方向に傾斜したオフ角を有している。ソーストレンチ９２の底壁は、第１主面６３に対して平行に形成されていてもよい。ソーストレンチ９２の底壁は、第２主面６４に向かう湾曲状に形成されていてもよい。

[0204] ソーストレンチ９２の深さは、ゲートトレンチ７８の深さを超えている。ゲートトレンチ７８の深さに対するソーストレンチ９２の深さの比は、ソーストレンチ９２が高濃度領域７０内に位置するという条件において、１．５以上であってもよい。ゲートトレンチ７８の深さに対するソーストレンチ９２の深さの比は、２以上であることが好ましい。ソーストレンチ９２の深さは、ゲートトレンチ７８の深さと等しくてもよい。法線方向Ｚに関して、ソーストレンチ９２の深さは、０．５μｍ以上１０μｍ以下（たとえば２μｍ程度）であってもよい。

[0205] ソーストレンチ９２の第２方向Ｙに沿う幅は、ゲートトレンチ７８の第２方向Ｙに沿う幅を超えていてもよいし、ゲートトレンチ７８の第２方向Ｙに沿う幅未満であってもよい。ソーストレンチ９２の第２方向Ｙに沿う幅は、ゲートトレンチ７８の第２方向Ｙに沿う幅と等しいことが好ましい。ソース

トレンチ９２の第２方向Ｙに沿う幅は、０．１μｍ以上２μｍ以下（たとえば０．５μｍ程度）であってもよい。

[0206] ソース絶縁層９３は、酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ジルコニウムまたは酸化タンタルのうちの少なくとも１種を含む。ソース絶縁層９３は、窒化シリコン層および酸化シリコン層を含む積層構造を有していてもよい。ソース絶縁層９３は、酸化シリコン層または窒化シリコン層からなる単層構造を有していてもよい。ソース絶縁層９３は、この形態では、酸化シリコン層からなる単層構造を有している。

[0207] ソース絶縁層９３は、ソーストレンチ９２の内壁に沿って膜状に形成され、ソーストレンチ９２内においてリセス空間を区画している。ソース絶縁層９３は、第１領域９５および第２領域９６を含む。

[0208] 第１領域９５は、ソーストレンチ９２の側壁に沿って形成されている。第２領域９６は、ソーストレンチ９２の底壁に沿って形成されている。第１領域９５の厚さは、第２領域９６の厚さよりも小さい。第１領域９５の厚さは、０．０１μｍ以上０．２μｍ以下であってもよい。第２領域９６の厚さは、０．０５μｍ以上０．５μｍ以下であってもよい。

[0209] 第１領域９５の厚さは、ゲート絶縁層７９の第１領域９５の厚さとほぼ等しくてもよい。第２領域９６の厚さは、ゲート絶縁層７９の第２領域９６の厚さとほぼ等しくてもよい。一様な厚さを有するソース絶縁層９３が形成されていてもよい。

[0210] ソース電極９４は、ソース絶縁層９３を挟んでソーストレンチ９２に埋め込まれている。ソース電極９４は、より具体的には、ソーストレンチ９２においてソース絶縁層９３によって区画されたリセス空間に埋め込まれている。

[0211] ソース電極９４は、ソーストレンチ９２の開口側に位置する上端部を有している。ソース電極９４の上端部は、第１主面６３に対してソーストレンチ９２の底壁側に形成されている。ソース電極９４の上端部は、第１主面６３よりも上方に位置していてもよい。

[0212] ソース電極９４の上端部は、ソーストレンチ９２の底壁に向かって窪んだ湾曲状に形成されている。ソース電極９４の上端部は、第１主面６３に対して平行に形成されていてもよい。法線方向Ｚに関して、ソース電極９４の厚さは、０．５μｍ以上１０μｍ以下（たとえば１μｍ程度）であってもよい。

[0213] ソース電極９４は、材質的にＳｉＣに近い性質を有するポリシリコンを含むことが好ましい。これにより、ＳｉＣチップ６２内において生じる応力を低減できる。ソース電極９４は、この形態では、ｐ型不純物が添加されたｐ型ポリシリコンを含む。この場合、ゲート電極８０と同時にソース電極９４を形成できる。

[0214] ソース電極９４のｐ型不純物濃度は、ボディ領域７４のｐ型不純物濃度を超えている。ソース電極９４のｐ型不純物濃度は、ゲート電極８０のｐ型不純物濃度と等しくてもよい。ソース電極９４のｐ型不純物濃度は、１．０×$10^{18}$$cm^{-3}$以上１．０×$10^{22}$$cm^{-3}$以下であってもよい。

[0215] ソース電極９４のｐ型不純物は、ホウ素、アルミニウム、インジウムおよびガリウムのうちの少なくとも１種を含んでいてもよい。ソース電極９４のシート抵抗は、１０Ω／□以上５００Ω／□以下（この形態では２００Ω／□程度）であってもよい。ソース電極９４のシート抵抗は、ゲート電極８０のシート抵抗と等しくてもよい。

[0216] ソース電極９４は、ｐ型ポリシリコンに代えてまたはこれに加えて、ｎ型ポリシリコン、タングステン、アルミニウム、銅、アルミニウム合金および銅合金のうちの少なくとも１種を含んでいてもよい。

[0217] ＳｉＣ半導体装置６１は、ボディ領域７４の表層部においてゲートトレンチ７８の側壁に沿う領域に形成されたｎ$^{+}$型のソース領域９７を含む。ソース領域９７のｎ型不純物濃度のピーク値は、１．０×$10^{18}$$cm^{-3}$以上１．０×$10^{21}$$cm^{-3}$以下であってもよい。ソース領域９７のｎ型不純物濃度のピーク値は、１．０×$10^{20}$$cm^{-3}$以上であることが好ましい。

[0218] ソース領域９７は、ゲートトレンチ７８の一方側の側壁および他方側の側

壁に沿って複数形成されている。複数のソース領域９７は、第１方向Ｘに沿って延びる帯状にそれぞれ形成されている。複数のソース領域９７は、平面視において全体としてストライプ状に形成されている。各ソース領域９７は、ゲートトレンチ７８の側壁および各ソーストレンチ９２の側壁から露出している。

[0219] ソース領域９７においてゲートトレンチ７８の側壁に沿う部分は、高濃度領域７０との間でＭＩＳＦＥＴのチャネルを画定している。チャネルのＯＮ／ＯＦＦは、ゲート電極８０によって制御される。

[0220] ＳｉＣ半導体装置６１は、第１主面６３の表層部において各ソーストレンチ９２に沿う領域に形成されたｐ$^{+}$型のコンタクト領域９８を含む。各コンタクト領域９８のｐ型不純物濃度のピーク値は、ボディ領域７４のｐ型不純物濃度のピーク値を超えている。各コンタクト領域９８のｐ型不純物濃度のピーク値は、１．０×１０^{18}ｃｍ$^{-3}$以上１．０×１０^{21}ｃｍ$^{-3}$以下であってもよい。

[0221] コンタクト領域９８は、この形態では、１つのソーストレンチ９２に対して複数形成されている。複数のコンタクト領域９８は、対応するソーストレンチ９２に沿って間隔を空けて形成されている。複数のコンタクト領域９８は、ゲートトレンチ７８から間隔を空けて形成されている。

[0222] 各コンタクト領域９８は、対応するソーストレンチ９２の側壁および底壁を被覆している。各コンタクト領域９８の底部は、対応するソーストレンチ９２の底壁に対して平行に形成されていてもよい。

[0223] 各コンタクト領域９８においてソーストレンチ９２の側壁を被覆する部分は、ボディ領域７４の底部に対して第１主面６３側の領域に形成されている。各コンタクト領域９８においてソーストレンチ９２の側壁を被覆する部分は、隣り合うゲートトレンチ７８に向けて引き出されている。各コンタクト領域９８においてソーストレンチ９２の側壁を被覆する部分は、ゲートトレンチ７８およびソーストレンチ９２の間の中間領域まで延びていてもよい。各コンタクト領域９８は、ボディ領域７４およびソース領域９７に電気的に

接続されている。

[0224] ＳｉＣ半導体装置６１は、アクティブ領域７２において第１主面６３の表層部に形成されたディープウェル領域９９を含む。ディープウェル領域９９は、複数のソーストレンチ９２に対して１対１対応の関係で複数形成されている。各ディープウェル領域９９は、平面視において対応するソーストレンチ９２に沿って延びる帯状に形成されている。

[0225] 各ディープウェル領域９９は、高濃度領域７０に形成されている。各ディープウェル領域９９は、各コンタクト領域９８を挟んで各ソーストレンチ９２を被覆している。各ディープウェル領域９９は、対応するコンタクト領域９８を挟んでソーストレンチ９２の側壁および底壁を被覆している。各ディープウェル領域９９は、第１主面３の表層部においてボディ領域７４に連なっている。

[0226] 各ディープウェル領域９９は、ゲートトレンチ７８の底壁に対して第２主面６４側に位置する底部を有している。各ディープウェル領域９９の底部は、各ソーストレンチ９２の底壁に対して平行に形成されていてもよい。複数のディープウェル領域９９は、一定の深さで形成されていることが好ましい。

[0227] 各ディープウェル領域９９のｐ型不純物濃度のピーク値は、コンタクト領域９８のｐ型不純物濃度のピーク値未満であってもよい。各ディープウェル領域９９のｐ型不純物濃度のピーク値は、ボディ領域７４のｐ型不純物濃度のピーク値と等しくてもよい。各ディープウェル領域９９のｐ型不純物濃度のピーク値は、ボディ領域７４のｐ型不純物濃度のピーク値を超えていてもよいし、ボディ領域７４のｐ型不純物濃度のピーク値未満であってもよい。

[0228] 各ディープウェル領域９９のｐ型不純物濃度のピーク値は、１．０×10^{17}ｃｍ$^{-3}$以上１．０×10^{19}ｃｍ$^{-3}$以下であってもよい。各ディープウェル領域９９のｐ型不純物濃度のピーク値は、１．０×10^{18}ｃｍ$^{-3}$以上であることが好ましい。

[0229] 各ディープウェル領域９９は、高濃度領域７０との間でｐｎ接合部を形成

している。このｐｎ接合部からは、ゲートトレンチ７８に向けて空乏層が拡がる。空乏層は、ゲートトレンチ７８の底壁にオーバラップしてもよい。

[0230] ＳｉＣ半導体装置６１は、アクティブ領域７２の周縁部において第１主面６３の表層部に形成されたｐ型の周縁ウェル領域１００を含む。周縁ウェル領域１００は、トレンチゲート構造７５のコンタクト部７７を被覆し、アクティブ部７６を露出させている。

[0231] 周縁ウェル領域１００は、対応するコンタクト部７７においてゲートトレンチ７８の側壁および底壁を被覆している。周縁ウェル領域１００の底部は、ディープウェル領域９９の底壁に対して第１主面６３側に位置している。各周縁ウェル領域１００は、第１主面６３の表層部においてボディ領域７４およびディープウェル領域９９に電気的に接続されている。

[0232] 周縁ウェル領域１００のｐ型不純物濃度は、ディープウェル領域９９のｐ型不純物濃度とほぼ等しくてもよい。周縁ウェル領域１００のｐ型不純物濃度のピーク値は、１．０×10^{17}ｃｍ$^{-3}$以上１．０×10^{19}ｃｍ$^{-3}$以下であってもよい。周縁ウェル領域１００のｐ型不純物濃度のピーク値は、１．０×10^{18}ｃｍ$^{-3}$以上であることが好ましい。

[0233] ｐｎ接合ダイオードだけを備えるＳｉＣ半導体装置では、トレンチを備えていないという構造上、ＳｉＣチップ６２内における電界集中の問題は少ない。各ディープウェル領域９９は、トレンチゲート型のＭＩＳＦＥＴをｐｎ接合ダイオードの構造に近づける。

[0234] これにより、トレンチゲート型のＭＩＳＦＥＴにおいて、ＳｉＣチップ６２内における電界を緩和できる。したがって、互いに隣り合う複数のディープウェル領域９９の間のピッチを狭めることは、電界集中を緩和する上で有効である。

[0235] また、ゲートトレンチ７８の底壁に対して第２主面６４側に底部を有するディープウェル領域９９によれば、空乏層によって、ゲートトレンチ７８に対する電界集中を適切に緩和できる。複数のディープウェル領域９９は、一定の深さで形成されていることが好ましい。これにより、ＳｉＣチップ６２

の耐圧（たとえば破壊耐量）が各ディープウェル領域９９によって制限されることを抑制できるから、耐圧の向上を適切に図ることができる。周縁ウェル領域１００も、ディープウェル領域９９と同様の効果を奏する。

[0236] ソーストレンチ９２を利用することにより、ＳｉＣチップ６２の比較的深い領域にディープウェル領域９９を適切に形成できる。また、ソーストレンチ９２に沿ってディープウェル領域９９を形成できるから、複数のディープウェル領域９９の深さにバラツキが生じるのを適切に抑制できる。

[0237] また、高濃度領域７０の一部が、互いに隣り合う複数のディープウェル領域９９の間の領域に介在している。これにより、互いに隣り合う複数のディープウェル領域９９の間の領域において、ＪＦＥＴ（Junction Field Effect Transistor）抵抗を低減できる。

[0238] また、この形態では、各ディープウェル領域９９の底部が高濃度領域７０に位置している。これにより、高濃度領域７０における各ディープウェル領域９９の直下の領域において第１主面６３に対して平行な横方向に電流経路を形成できる。その結果、電流拡がり抵抗を低減できる。低濃度領域７１は、このような構造において、ＳｉＣチップ６２の耐圧を高める。

[0239] ＳｉＣ半導体装置６１は、アクティブ領域７２においてソース電極９４の上端部を縁取るように第１主面６３に形成された複数のソースサブトレンチ１０１を含む。複数のソースサブトレンチ１０１は、複数のソース電極９４に対して１対１対応の関係で形成されている。ソースサブトレンチ１０１は、対応するソーストレンチ９２に連通し、対応するソーストレンチ９２の側壁の一部を形成している。

[0240] ソースサブトレンチ１０１は、この形態では、平面視においてソース電極９４の上端部を取り囲む環状（より具体的に無端状）に形成されている。ソースサブトレンチ１０１は、ソース絶縁層９３の一部を掘り下げることによって形成されている。ソースサブトレンチ１０１は、より具体的には、第１主面６３からソース絶縁層９３の上端部およびソース電極９４の上端部を掘り下げることによって形成されている。

[0241] ソースサブトレンチ１０１は、断面視において底面積が開口面積よりも小さい先細り形状に形成されている。ソースサブトレンチ１０１の底壁は、第２主面６４に向かう湾曲状に形成されていてもよい。ソースサブトレンチ１０１は、ソース領域９７、コンタクト領域９８、ソース絶縁層９３、ソース電極９４およびコンタクト領域９８を露出させている。

[0242] ソース電極９４の上端部は、ソース電極９４の下端部に対して内側に括れた形状を有している。ソース電極９４の下端部は、ソース電極９４において各ソーストレンチ９２の底壁側に位置する部分である。ソース電極９４の上端部の第２方向Ｙに沿う幅は、ソース電極９４の下端部の第２方向Ｙに沿う幅未満であってもよい。

[0243] 各ソーストレンチ９２の開口エッジ部は、第１主面６３から各ソーストレンチ９２の内方に向かって下り傾斜した傾斜部を含む。各ソーストレンチ９２の開口エッジ部は、第１主面６３および各ソーストレンチ９２の側壁を接続する部分である。各ソーストレンチ９２の傾斜部は、ソースサブトレンチ１０１によって形成されている。

[0244] 各ソーストレンチ９２の傾斜部は、この形態では、ＳｉＣチップ６２の内方に向かって窪んだ湾曲状に形成されている。各ソーストレンチ９２の傾斜部は、ソースサブトレンチ１０１に向かう湾曲状に形成されていてもよい。各ソーストレンチ９２の傾斜部は、各ソーストレンチ９２の開口エッジ部に対する電界集中を緩和する。

[0245] 図１３を参照して、アクティブ領域７２は、第１主面６３の一部を形成するアクティブ主面１１１を有している。外側領域７３は、第１主面６３の一部を形成する外側主面１１２を有している。外側主面１１２は、側面６５Ａ～６５Ｄに接続されている。

[0246] アクティブ主面１１１および外側主面１１２は、ＳｉＣ単結晶のｃ面にそれぞれ面している。アクティブ主面１１１および外側主面１１２は、ＳｉＣ単結晶の（０００１）面に対して［１１－２０］方向に傾斜したオフ角をそれぞれ有している。

[0247] 外側領域７３は、第１主面６３を第２主面６４側に掘り下げることによって形成されている。したがって、外側主面１１２は、アクティブ主面１１１に対して第２主面６４側に窪んだ領域に形成されている。外側主面１１２は、ゲートトレンチ７８の底壁に対して第２主面６４側に位置している。

[0248] 外側主面１１２は、この形態では、各ソーストレンチ９２の底壁とほぼ等しい深さ位置に形成されている。外側主面１１２は、各ソーストレンチ９２の底壁とほぼ同一平面上に位置している。外側主面１１２は、各ソーストレンチ９２の底壁に対して、０μｍ以上１μｍ以下の範囲で、第２主面６４側に位置していてもよい。外側主面１１２は、高濃度領域７０を露出させている。

[0249] アクティブ領域７２は、この形態では、外側領域７３によって台地状に区画されている。アクティブ領域７２は、外側主面１１２よりも上方に向かって突出した台地状のアクティブ台地１１３として形成されている。

[0250] アクティブ台地１１３は、アクティブ主面１１１および外側主面１１２を接続するアクティブ側壁１１４を含む。アクティブ側壁１１４は、アクティブ領域７２および外側領域７３の間の境界領域を区画している。第１主面６３は、アクティブ主面１１１、外側主面１１２およびアクティブ側壁１１４によって形成されている。

[0251] アクティブ側壁１１４は、この形態では、アクティブ主面１１１（外側主面１１２）の法線方向Ｚに沿って延びている。アクティブ側壁１１４は、ＳｉＣ単結晶のｍ面およびａ面によって形成されている。アクティブ側壁１１４は、アクティブ主面１１１から外側主面１１２に向かって下り傾斜した傾斜面を有していてもよい。アクティブ側壁１１４は、高濃度領域７０を露出させている。アクティブ側壁１１４は、ボディ領域７４を露出させていてもよい。

[0252] ＳｉＣ半導体装置６１は、外側主面１１２の表層部に形成されたｐ$^{+}$型のダイオード領域１２１を含む。ダイオード領域１２１は、高濃度領域７０に形成されている。ダイオード領域１２１は、外側領域７３においてアクティブ

側壁１１４および側面６５Ａ～６５Ｄの間の領域に形成されている。

[0253] ダイオード領域１２１は、アクティブ側壁１１４および側面６５Ａ～６５Ｄから間隔を空けて形成されている。ダイオード領域１２１は、平面視においてアクティブ領域７２に沿って帯状に延びている。ダイオード領域１２１は、この形態では、平面視においてアクティブ領域７２を取り囲む環状（より具体的に無端状）に形成されている。

[0254] ダイオード領域１２１は、ゲートトレンチ７８の底壁に対して第２主面６４側に位置している。ダイオード領域１２１の底部は、各ソーストレンチ９２の底壁に対して第２主面６４側に位置している。ダイオード領域１２１の底部は、コンタクト領域９８の底部とほぼ等しい深さ位置に形成されていてもよい。

[0255] ダイオード領域１２１の底部は、コンタクト領域９８の底部とほぼ同一平面上に位置していてもよい。ダイオード領域１２１の底部は、コンタクト領域９８の底部に対して第２主面６４側に位置していてもよい。ダイオード領域１２１の底部は、コンタクト領域９８の底部に対して、０μｍ以上１μｍ以下の範囲で第２主面６４側に位置していてもよい。

[0256] ダイオード領域１２１は、高濃度領域７０との間でｐｎ接合部を形成している。これにより、ダイオード領域１２１をアノードとし、高濃度領域７０をカソードとするｐｎ接合ダイオードが形成されている。ダイオード領域１２１のｐ型不純物濃度のピーク値は、１．０×10^{17}ｃｍ$^{-3}$以上１．０×10^{21}ｃｍ$^{-3}$以下であってもよい。

[0257] ＳｉＣ半導体装置６１は、外側主面１１２の表層部に形成されたｐ型の外側ウェル領域１２２を含む。外側ウェル領域１２２のｐ型不純物濃度のピーク値は、１．０×10^{17}ｃｍ$^{-3}$以上１．０×10^{19}ｃｍ$^{-3}$以下であってもよい。外側ウェル領域１２２のｐ型不純物濃度のピーク値は、ダイオード領域１２１のｐ型不純物濃度のピーク値未満であってもよい。外側ウェル領域１２２のｐ型不純物濃度のピーク値は、ディープウェル領域９９のｐ型不純物濃度のピーク値とほぼ等しくてもよい。

[0258] 外側ウェル領域１２２は、平面視においてアクティブ側壁１１４およびダイオード領域１２１の間の領域に形成されている。外側ウェル領域１２２は、平面視においてアクティブ領域７２に沿って帯状に延びている。外側ウェル領域１２２は、この形態では、平面視においてアクティブ領域７２を取り囲む環状（より具体的に無端状）に形成されている。

[0259] 外側ウェル領域１２２は、高濃度領域７０に形成されている。外側ウェル領域１２２は、ゲートトレンチ７８の底壁に対して第２主面６４側に位置している。外側ウェル領域１２２の底部は、各ソーストレンチ９２の底壁に対して第２主面６４側に位置している。外側ウェル領域１２２の底部は、ダイオード領域１２１の底部に対して第２主面６４側に位置している。外側ウェル領域１２２の底部は、ディープウェル領域９９の底部とほぼ等しい深さ位置に形成されていてもよい。

[0260] 外側ウェル領域１２２の内周縁は、アクティブ側壁１１４および外側主面１１２を接続する角部を被覆している。外側ウェル領域１２２の内周縁は、さらに、アクティブ側壁１１４に沿って延び、ボディ領域７４に接続されている。外側ウェル領域１２２の内周縁は、アクティブ側壁１１４からダイオード領域１２１側に向けて間隔を空けて形成されていてもよい。

[0261] 外側ウェル領域１２２の外周縁は、第２主面６４側からダイオード領域１２１を被覆している。外側ウェル領域１２２は、ダイオード領域１２１に電気的に接続されている。外側ウェル領域１２２は、ｐｎ接合ダイオードの一部を形成していてもよい。外側ウェル領域１２２の外周縁は、ダイオード領域１２１からアクティブ側壁１１４側に間隔を空けて形成されていてもよい。

[0262] ＳｉＣ半導体装置６１は、外側主面１１２の表層部に形成されたＦＬ構造１２３（field limit structure）を含む。ＦＬ構造１２３は、平面視においてダイオード領域１２１および側面６５Ａ～６５Ｄの間の領域に形成されている。ＦＬ構造１２３は、この形態では、側面６５Ａ～６５Ｄからダイオード領域１２１側に向けて間隔を空けて形成されている。ＦＬ構造１２３は、

高濃度領域７０に形成されている。

[0263] ＦＬ構造１２３は、１つまたは複数（たとえば２個以上２０個以下）のＦＬ領域１２４（field limit region）を含む。ＦＬ構造１２３は、この形態では、５つのＦＬ領域１２４Ａ，１２４Ｂ，１２４Ｃ，１２４Ｄ，１２４Ｅを有するＦＬ領域群を含む。ＦＬ領域１２４Ａ～１２４Ｅは、ダイオード領域１２１から離れる方向に沿って間隔を空けてこの順に形成されている。

[0264] ＦＬ領域１２４Ａ～１２４Ｅは、平面視においてアクティブ領域７２の周縁に沿って帯状にそれぞれ延びている。ＦＬ領域１２４Ａ～１２４Ｅは、より具体的には、平面視においてアクティブ領域７２を取り囲む環状（より具体的に無端状）にそれぞれ形成されている。ＦＬ領域１２４Ａ～１２４Ｅは、それぞれ、ＦＬＲ領域（field limiting ring region）とも称される。

[0265] ＦＬ領域１２４Ａ～１２４Ｅの底部は、ダイオード領域１２１の底部に対して第２主面６４側に位置している。ＦＬ領域１２４Ａ～１２４Ｅのうちの最内側のＦＬ領域１２４Ａは、第２主面６４側からダイオード領域１２１を被覆している。これにより、ＦＬ領域１２４Ａは、ダイオード領域１２１に電気的に接続されている。ＦＬ領域１２４Ａは、ｐｎ接合ダイオードの一部を形成していてもよい。

[0266] ＦＬ領域１２４Ａ～１２４Ｅの全体は、ゲートトレンチ７８の底壁に対して第２主面６４側に位置している。ＦＬ領域１２４Ａ～１２４Ｅの底部は、ソーストレンチ９２の底壁に対して第２主面６４側に位置している。

[0267] ＦＬ構造１２３は、外側領域７３において電界集中を緩和する。ＦＬ領域１２４の個数、幅、深さ、ｐ型不純物濃度等は、緩和すべき電界に応じて種々の値を取り得る。ＦＬ構造１２３は、平面視においてアクティブ側壁１１４およびダイオード領域１２１の間の領域に形成された１つまたは複数のＦＬ領域１２４を含んでいてもよい。

[0268] ＳｉＣ半導体装置６１は、外側主面１１２を被覆する外側絶縁層１３１を含む。外側絶縁層１３１は、アクティブ側壁１１４および外側主面１１２に沿って膜状に形成されている。外側絶縁層１３１は、アクティブ主面１１１

の上において、ゲート絶縁層７９（第３領域８３）に連なっている。外側絶縁層１３１は、外側領域７３においてダイオード領域１２１、外側ウェル領域１２２およびＦＬ構造１２３を被覆している。

[0269] 外側絶縁層１３１は、酸化シリコンを含んでいてもよい。外側絶縁層１３１は、窒化シリコン等の他の絶縁膜を含んでいてもよい。外側絶縁層１３１は、この形態では、ゲート絶縁層７９と同一の絶縁材料種によって形成されている。

[0270] 外側絶縁層１３１の周縁は、側面６５Ａ～６５Ｄから露出している。外側絶縁層１３１の周縁は、この形態では、側面６５Ａ～６５Ｄに連なっている。外側絶縁層１３１の周縁は、側面６５Ａ～６５Ｄから内方に間隔を空けて形成されていてもよい。この場合、外側絶縁層１３１は、外側主面１１２を露出させる。

[0271] ＳｉＣ半導体装置６１は、アクティブ側壁１１４を被覆するサイドウォール構造１３２をさらに含む。サイドウォール構造１３２は、アクティブ台地１１３を外側領域７３側から保護し、補強する。また、サイドウォール構造１３２は、アクティブ主面１１１および外側主面１１２の間に形成された段差を緩和する段差緩和構造を形成する。

[0272] アクティブ領域７２および外側領域７３の間の境界領域を被覆する上層構造（被覆層）が形成される場合、上層構造は、サイドウォール構造１３２を被覆する。サイドウォール構造１３２は、上層構造の平坦性を高める。サイドウォール構造１３２は、アクティブ主面１１１から外側主面１１２に向かって下り傾斜した傾斜面を有していてもよい。サイドウォール構造１３２の傾斜面によって、段差を適切に緩和できる。

[0273] サイドウォール構造１３２の傾斜面は、ＳｉＣチップ６２側に向かって窪んだ湾曲状に形成されていてもよい。サイドウォール構造１３２の傾斜面は、ＳｉＣチップ６２とは反対側に向かう湾曲状に形成されていてもよい。サイドウォール構造１３２の傾斜面は、アクティブ主面１１１側から外側主面１１２側に向けて平面的に延びていてもよい。

[0274] サイドウォール構造１３２は、アクティブ側壁１１４に沿って形成されている。サイドウォール構造１３２は、この形態では、平面視においてアクティブ領域７２を取り囲む環状（より具体的に無端状）に形成されている。サイドウォール構造１３２は、ポリシリコンを含むことが好ましい。この場合、ゲート電極８０やソース電極９４と同時に、サイドウォール構造１３２を形成できる。

[0275] ＳｉＣ半導体装置６１は、第１主面６３の上に形成された層間絶縁層１４０を含む。層間絶縁層１４０は、アクティブ領域７２および外側領域７３を被覆している。層間絶縁層１４０は、アクティブ主面１１１および外側主面１１２に沿って膜状に形成されている。

[0276] 層間絶縁層１４０は、アクティブ領域７２および外側領域７３の間の境界領域において、サイドウォール構造１３２に沿って形成されている。層間絶縁層１４０は、サイドウォール構造１３２を被覆する上層構造の一部を形成している。

[0277] 層間絶縁層１４０の周縁は、側面６５Ａ～６５Ｄから露出している。層間絶縁層１４０の周縁は、側面６５Ａ～６５Ｄに連なっている。層間絶縁層１４０の周縁は、側面６５Ａ～６５Ｄから内方に間隔を空けて形成されていてもよい。この場合、層間絶縁層１４０は、外側主面１１２（外側絶縁層１３１）を露出させる。

[0278] 層間絶縁層１４０は、酸化シリコンまたは窒化シリコンを含んでいてもよい。層間絶縁層１４０は、酸化シリコンの一例としてのＵＳＧ（Undoped Silicate Glass）、ＰＳＧ（Phosphor Silicate Glass）および／またはＢＰＳＧ（Boron Phosphor Silicate Glass）を含んでいてもよい。

[0279] 層間絶縁層１４０は、ゲートコンタクト孔１４１、ソースコンタクト孔１４２およびダイオードコンタクト孔１４３を含む。ゲートコンタクト孔１４１は、アクティブ領域７２においてゲート配線８５を露出させている。ゲートコンタクト孔１４１は、ゲート配線８５に沿う帯状に形成されていてもよい。ゲートコンタクト孔１４１の開口エッジ部は、ゲートコンタクト孔１４

１内に向かう湾曲状に形成されている。

[0280] ソースコンタクト孔１４２は、アクティブ領域７２においてソース領域９７、コンタクト領域９８およびトレンチソース構造９１を露出させている。ソースコンタクト孔１４２は、トレンチソース構造９１に沿って延びる帯状に形成されていてもよい。ソースコンタクト孔１４２の開口エッジ部は、ソースコンタクト孔１４２内に向かう湾曲状に形成されている。

[0281] ダイオードコンタクト孔１４３は、外側領域７３においてダイオード領域１２１を露出させている。ダイオードコンタクト孔１４３は、ダイオード領域１２１に沿って延びる帯状（より具体的には無端状）に形成されていてもよい。ダイオードコンタクト孔１４３は、外側ウェル領域１２２および／またはＦＬ構造１２３を露出させていてもよい。ダイオードコンタクト孔１４３の開口エッジ部は、ダイオードコンタクト孔１４３内に向かう湾曲状に形成されている。

[0282] ＳｉＣ半導体装置６１は、第１主面６３の上に形成された第１主面電極１５０を含む。第１主面電極１５０は、より具体的には、層間絶縁層１４０の上に形成されている。第１主面電極１５０は、互いに電気的に絶縁されたゲート主面電極１５１およびソース主面電極１５２を含む。

[0283] ゲート主面電極１５１には、ゲート電圧が印加される。ゲート電圧は、１０Ｖ以上５０Ｖ以下（たとえば３０Ｖ程度）であってもよい。ソース主面電極１５２には、ソース電圧が印加される。ソース電圧は、基準電圧（たとえばＧＮＤ電圧）であってもよい。

[0284] ゲート主面電極１５１は、アクティブ領域７２に形成されている。ゲート主面電極１５１は、ゲートパッド１５３およびゲートフィンガー１５４を含む。ゲートパッド１５３は、平面視において第１側面６５Ａ側の領域に形成されている。ゲートパッド１５３は、より具体的には、平面視において第１側面６５Ａの中央部に沿う領域に沿って形成されている。ゲートパッド１５３は、平面視において側面６５Ａ～６５Ｄのうちの任意の２つを接続する角部に沿う領域に形成されていてもよい。ゲートパッド１５３は、平面視にお

いて四角形状に形成されていてもよい。

[0285] ゲートフィンガー１５４は、ゲートパッド１５３から引き出されており、アクティブ領域７２の周縁に沿って帯状に延びている。ゲートフィンガー１５４は、この形態では、アクティブ領域７２の内方を３方向から区画するように第１側面６５Ａ、第３側面６５Ｃおよび第４側面６５Ｄに沿って形成されている。

[0286] ゲートフィンガー１５４は、一対の開放端１５５，１５６を有している。一対の開放端１５５，１５６は、アクティブ領域７２の内方を挟んでゲートパッド１５３と対向する領域に形成されている。一対の開放端１５５，１５６は、この形態では、平面視において第２側面６５Ｂに沿う領域に形成されている。

[0287] ゲートフィンガー１５４は、層間絶縁層１４０の上からゲートコンタクト孔１４１に入り込んでいる。ゲートフィンガー１５４は、ゲートコンタクト孔１４１内においてゲート配線８５に電気的に接続されている。これにより、ゲートパッド１５３からの電気信号は、ゲートフィンガー１５４を介してゲート電極８０およびゲート配線８５に伝達される。

[0288] ソース主面電極１５２は、アクティブ領域７２および外側領域７３に形成されている。ソース主面電極１５２は、ソースパッド１５７、ソース配線１５８およびソース接続部１５９を含む。ソースパッド１５７は、ゲート主面電極１５１から間隔を空けてアクティブ領域７２に形成されている。ソースパッド１５７は、ゲート主面電極１５１によって区画されたＣ字形状の領域を被覆するように、平面視においてＣ字形状に形成されている。

[0289] ソースパッド１５７は、層間絶縁層１４０の上からソースコンタクト孔１４２およびソースサブトレンチ１０１に入り込んでいる。ソースパッド１５７は、ソースコンタクト孔１４２およびソースサブトレンチ１０１内において、ソース領域９７、コンタクト領域９８およびソース電極９４に電気的に接続されている。

[0290] 前述のソース電極９４は、ソースパッド１５７の一部の領域を利用して形

成されていてもよい。ソース電極９４は、ソースパッド１５７において各ソーストレンチ９２に入り込んだ部分によって形成されていてもよい。

[0291] ソース配線１５８は、外側領域７３に形成されている。ソース配線１５８は、アクティブ領域７２に沿って帯状に延びている。ソース配線１５８は、平面視においてアクティブ領域７２を取り囲む環状（より具体的に無端状）に形成されている。

[0292] ソース配線１５８は、層間絶縁層１４０の上からダイオードコンタクト孔１４３に入り込んでいる。ソース配線１５８は、ダイオードコンタクト孔１４３内において、ダイオード領域１２１に電気的に接続されている。

[0293] ソース接続部１５９は、ソースパッド１５７およびソース配線１５８を接続している。ソース接続部１５９は、ソースパッド１５７からゲートフィンガー１５４の開放端１５５，１５６を横切り、ソース配線１５８に接続されている。ソース接続部１５９は、アクティブ領域７２からサイドウォール構造１３２を横切って外側領域７３に引き出されている。ソース接続部１５９は、サイドウォール構造１３２を被覆する上層構造の一部を形成している。

[0294] アクティブ領域７２に形成されたＭＩＳＦＥＴは、その構造上、ｎｐｎ型の寄生トランジスタを含む。外側領域７３で生じたアバランシェ電流がアクティブ領域７２に流れ込むと、寄生トランジスタがオン状態となる。この場合、ラッチアップによってＭＩＳＦＥＴの動作が不安定になる。そこで、ＳｉＣ半導体装置６１では、ソース主面電極１５２の構造を利用してアバランシェ電流吸収構造を形成している。

[0295] 外側領域７３で生じたアバランシェ電流は、ダイオード領域１２１を介してソース配線１５８によって吸収される。ソース配線１５８によって吸収されたアバランシェ電流は、ソース接続部１５９を介してソースパッド１５７に至る。ソースパッド１５７に導線が電気的に接続されている場合、アバランシェ電流は導線を介して外部に至る。

[0296] これにより、アバランシェ電流に起因する寄生トランジスタの駆動を抑制できる。よって、ラッチアップを抑制できるから、ＭＩＳＦＥＴの安定性を

高めることができる。

[0297] 図１４および図１５を参照して、第１主面電極１５０（ゲート主面電極１５１およびソース主面電極１５２）は、ＳｉＣチップ６２側からこの順に積層されたバリア層１６０および第１ＡｌＩ層１６１を含む積層構造を有している。第１ＡｌＩ層１６１は、比較的小さいヤング率（剛性率）を有するＡｌのクッション性を利用してＳｉＣチップ６２に加えられる外力を第１主面６３側から緩和する第１緩衝層として形成されている。

[0298] バリア層１６０は、Ｔｉ層またはＴｉＮ層を含む単層構造を有していてもよい。バリア層１６０は、ＳｉＣチップ６２側からこの順に積層されたＴｉ層およびＴｉＮ層を含む積層構造を有していてもよい。バリア層１６０の厚さは、０．０１μｍ以上６μｍ以下であってもよい。バリア層１６０の厚さは、０．０１μｍ以上０．１μｍ以下、０．１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、または、４μｍ以上６μｍ以下であってもよい。

[0299] 第１ＡｌＩ層１６１は、バリア層１６０の抵抗値よりも小さい抵抗値を有している。第１ＡｌＩ層１６１は、純ＡｌＩ層、ＡｌＳｉ合金層、ＡｌＣｕ合金層およびＡｌＳｉＣｕ合金層のうちの少なくとも１つを含む。第１ＡｌＩ層１６１は、純ＡｌＩ層、ＡｌＳｉ合金層、ＡｌＣｕ合金層およびＡｌＳｉＣｕ合金層のうちの２つ以上が任意の順序で積層された積層構造を有していてもよい。

[0300] 第１ＡｌＩ層１６１は、純ＡｌＩ層、ＡｌＳｉ合金層、ＡｌＣｕ合金層またはＡｌＳｉＣｕ合金層からなる単層構造を有していてもよい。第１ＡｌＩ層１６１は、ＡｌＳｉ合金層、ＡｌＣｕ合金層またはＡｌＳｉＣｕ合金層からなる単層構造を有していることが好ましい。

[0301] 第１ＡｌＩ層１６１の厚さは、バリア層１６０の厚さを超えている。第１ＡｌＩ層１６１の厚さは、０．０５μｍ以上１０μｍ以下であってもよい。第１ＡｌＩ層１６１の厚さは、０．０５μｍ以上０．１μｍ以下、０．１μｍ以上１μｍ以下、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、または、８μｍ以上１０μｍ以下であっ

てもよい。第１Ａｌ層１６１の厚さは、１μｍ以上８μｍ以下であることが好ましい。

[0302] ＳｉＣ半導体装置６１は、層間絶縁層１４０の上に形成された絶縁層１７０を含む。図９では、絶縁層１７０がハッチングによって示されている。絶縁層１７０の周縁は、側面６５Ａ～６５Ｄから内方に間隔を空けて形成されている。これにより、絶縁層１７０は、平面視においてＳｉＣチップ６２（より具体的には層間絶縁層１４０）の周縁を露出させている。

[0303] 絶縁層１７０の周縁は、側面６５Ａ～６５Ｄとの間でダイシングストリートＤＳを区画している。ダイシングストリートＤＳによれば、ＳｉＣウエハからＳｉＣ半導体装置６１を切り出す際に絶縁層１７０を物理的に切断せずに済む。これにより、ＳｉＣウエハからＳｉＣ半導体装置６１を円滑に切り出すことができると同時に、絶縁層１７０の剥離や劣化を抑制できる。その結果、絶縁層１７０によってＳｉＣチップ１０２や第１主面電極１５０等の保護対象物を適切に保護できる。

[0304] ダイシングストリートＤＳの幅は、１μｍ以上２５μｍ以下であってもよい。ダイシングストリートＤＳの幅、ダイシングストリートＤＳが延びる方向に直交する方向の幅である。ダイシングストリートＤＳの幅は、１μｍ以上５μｍ以下、５μｍ以上１０μｍ以下、１０μｍ以上１５μｍ以下、１５μｍ以上２０μｍ以下、または、２０μｍ以上２５μｍ以下であってもよい。

[0305] 絶縁層１７０は、ゲート主面電極１５１およびソース主面電極１５２を選択的に被覆している。絶縁層１７０は、パッド開口１７１を含む。パッド開口１７１は、より具体的には、ゲートパッド開口１７２およびソースパッド開口１７３を含む。ゲートパッド開口１７２は、ゲートパッド１５３を露出させている。ソースパッド開口１７３は、ソースパッド１５７を露出させている。ゲートパッド開口１７２の平面形状は、任意である。ソースパッド開口１７３の平面形状は、任意である。

[0306] 絶縁層１７０は、この形態では、ＳｉＣチップ６２側からこの順に積層さ

れたパッシベーション層１７４および樹脂層１７５を含む積層構造を有している。

[0307] パッシベーション層１７４は、酸化シリコン層および窒化シリコン層のうちの少なくとも１つを含んでいてもよい。パッシベーション層１７４は、酸化シリコン層および窒化シリコン層を含む積層構造を有していてもよい。パッシベーション層１７４は、酸化シリコン層または窒化シリコン層からなる単層構造を有していてもよい。パッシベーション層１７４は、層間絶縁層１４０とは異なる絶縁材料を含むことが好ましい。パッシベーション層１７４は、この形態では、窒化シリコン層からなる単層構造を有している。

[0308] パッシベーション層１７４は、層間絶縁層１４０に沿って膜状に形成されている。パッシベーション層１７４は、層間絶縁層１４０を挟んでアクティブ領域７２および外側領域７３を被覆している。パッシベーション層１７４は、アクティブ領域７２からサイドウォール構造１３２を横切って外側領域７３に引き出されている。パッシベーション層１７４は、サイドウォール構造１３２を被覆する上層構造の一部を形成している。

[0309] パッシベーション層１７４は、第１ゲート開口１７６および第１ソース開口１７７を有している。第１ゲート開口１７６は、ゲートパッド１５３を露出させている。第１ソース開口１７７は、ソースパッド１５７を露出させている。第１ゲート開口１７６の平面形状は、任意である。第１ソース開口１７７の平面形状は、任意である。

[0310] パッシベーション層１７４の厚さは、０．１μｍ以上２０μｍ以下であってもよい。パッシベーション層１７４の厚さは、０．１μｍ以上１μｍ以下、１μｍ以上５μｍ以下、５μｍ以上１０μｍ以下、１０μｍ以上１５μｍ以下、または、１５μｍ以上２０μｍ以下であってもよい。

[0311] 樹脂層１７５は、パッシベーション層１７４の主面に沿って膜状に形成されている。樹脂層１７５は、アクティブ領域７２からサイドウォール構造１３２を横切って外側領域７３に引き出されている。樹脂層１７５は、サイドウォール構造１３２を被覆する上層構造の一部を形成している。

[0312] 樹脂層１７５は、感光性樹脂を含んでいてもよい。感光性樹脂は、ネガティブタイプまたはポジティブタイプであってもよい。樹脂層１７５は、ポリイミド、ポリアミドおよびポリベンゾオキサゾールのうちの少なくとも１つを含んでいてもよい。樹脂層１７５は、この形態では、ポリベンゾオキサゾールを含む。

[0313] 樹脂層１７５の周縁は、この形態では、パッシベーション層１７４の周縁を露出させている。絶縁層１７０の周縁は、樹脂層１７５の周縁およびパッシベーション層１７４の周縁によって形成されている。樹脂層１７５は、パッシベーション層１７４の周縁を被覆していてもよい。

[0314] 樹脂層１７５は、第２ゲート開口１７８および第２ソース開口１７９を有している。第２ゲート開口１７８は、パッシベーション層１７４の第１ゲート開口１７６に連通し、第１ゲート開口１７６との間でゲートパッド開口１７２を形成している。第２ソース開口１７９は、パッシベーション層１７４の第１ソース開口１７７に連通し、第１ソース開口１７７との間でソースパッド開口１７３を形成している。

[0315] 第２ゲート開口１７８の内壁は、第１ゲート開口１７６の内壁に面一に形成されていてもよい。第２ゲート開口１７８の内壁は、平面視において第１ゲート開口１７６外に位置していてもよい。第２ゲート開口１７８の内壁は、平面視において第１ゲート開口１７６内に位置していてもよい。つまり、樹脂層１７５は、第１ゲート開口１７６の内壁を被覆していてもよい。

[0316] 第２ソース開口１７９の内壁は、第１ソース開口１７７の内壁に面一に形成されていてもよい。第２ソース開口１７９の内壁は、平面視において第１ソース開口１７７外に位置していてもよい。第２ソース開口１７９の内壁は、平面視において第１ソース開口１７７内に位置していてもよい。つまり、樹脂層１７５は、第１ソース開口１７７の内壁を被覆していてもよい。

[0317] 樹脂層１７５の厚さは、１μｍ以上５０μｍ以下であってもよい。樹脂層１７５の厚さは、１μｍ以上１０μｍ以下、１０μｍ以上２０μｍ以下、２０μｍ以上３０μｍ以下、３０μｍ以上４０μｍ以下、または、４０μｍ以

上５０μｍ以下であってもよい。

[0318] ＳｉＣ半導体装置６１は、外側主面１１２に形成された凹凸構造１８０（Uneven Structure）を含む。凹凸構造１８０は、より具体的には、外側主面１１２を被覆する層間絶縁層１４０を利用して形成された凹凸（Unevenness）を含む。凹凸構造１８０は、さらに具体的には、層間絶縁層１４０に形成されたアンカー孔１８１を含む。

[0319] アンカー孔１８１は、層間絶縁層１４０において外側領域７３を被覆する部分を掘り下げることによって形成されている。アンカー孔１８１は、平面視においてダイオード領域１２１および側面６５Ａ～６５Ｄの間の領域に形成されていてもよい。アンカー孔１８１は、この形態では、平面視においてＦＬ構造１２３および側面６５Ａ～６５Ｄの間の領域に形成されている。

[0320] アンカー孔１８１は、層間絶縁層１４０によって区画されていてもよい。アンカー孔１８１は、この形態では、外側主面１１２を露出させている。アンカー孔１８１は、外側主面１１２を第２主面６４に向けて掘り下げていてもよい。アンカー孔１８１の開口エッジ部は、アンカー孔１８１内に向かう湾曲状に形成されている。

[0321] アンカー孔１８１は、平面視においてアクティブ領域７２に沿って帯状に延びている。アンカー孔１８１は、この形態では、平面視においてアクティブ領域７２を取り囲む環状（より具体的に無端状）に形成されている。アンカー孔１８１の個数は任意である。１つのアンカー孔１８１が層間絶縁層１４０に形成されていてもよいし、複数のアンカー孔１８１が層間絶縁層１４０に形成されていてもよい。

[0322] 樹脂層１７５は、アンカー孔１８１に噛合うアンカー部１８２を有している。樹脂層１７５は、この形態では、パッシベーション層１７４を介してアンカー孔１８１に噛合っている。パッシベーション層１７４は、より具体的には、層間絶縁層１４０の上からアンカー孔１８１に入り込んでいる。パッシベーション層１７４は、アンカー孔１８１内において外側主面１１２に接している。パッシベーション層１７４の主面においてアンカー孔１８１を被

覆する部分には、アンカー孔１８１に向かって窪んだリセス１８３が形成されている。

[0323] 樹脂層１７５の一部は、パッシベーション層１７４のリセス１８３内においてアンカー部１８２を形成している。これにより、第１主面６３に対する樹脂層１７５の接続強度を高めることができるから、樹脂層１７５の剥離を適切に抑制できる。

[0324] 図１４および図１５を参照して、ＳｉＣ半導体装置６１は、第１主面電極１５０の上に形成されたパッド電極１９０を含む。パッド電極１９０は、より具体的には、ゲートパッド電極１９１およびソースパッド電極１９２を含む。

[0325] ゲートパッド電極１９１は、ゲート主面電極１５１の上に形成され、ゲート主面電極１５１に電気的に接続されている。ゲートパッド電極１９１は、より具体的には、ゲートパッド開口１７２内においてゲートパッド１５３の上に形成されている。ゲートパッド電極１９１は、導線に外部接続されるゲート端子面１９３を有している。

[0326] ゲート端子面１９３は、絶縁層１７０（樹脂層１７５）の主面に対してゲートパッド１５３側に位置している。ゲート端子面１９３は、絶縁層１７０（樹脂層１７５）の主面よりも上方に突出していてもよい。ゲート端子面１９３は、絶縁層１７０（樹脂層１７５）の主面を被覆するオーバラップ部を有していてもよい。

[0327] ソースパッド電極１９２は、ソース主面電極１５２の上に形成され、ソース主面電極１５２に電気的に接続されている。ソースパッド電極１９２は、より具体的には、ソースパッド開口１７３内においてソースパッド１５７の上に形成されている。ソースパッド電極１９２は、導線に外部接続されるソース端子面１９４を有している。

[0328] ソース端子面１９４は、絶縁層１７０（樹脂層１７５）の主面に対してソースパッド１５７側に位置している。ソース端子面１９４は、絶縁層１７０（樹脂層１７５）の主面よりも上方に突出していてもよい。ソース端子面１

９４は、絶縁層１７０（樹脂層１７５）の主面を被覆するオーバラップ部を有していてもよい。

[0329] パッド電極１９０（ゲートパッド電極１９１およびソースパッド電極１９２）は、第１主面電極１５０とは異なる金属材料を含む。パッド電極１９０は、この形態では、第１主面電極１５０側からこの順に積層されたＮｉ層１９５、Ｐｄ層１９６およびＡｕ層１９７を含む積層構造を有している。Ｎｉ、ＰｄおよびＡｕは、ＡｌのヤングＥ率（剛性率）を超えるヤング率（剛性率）をそれぞれ有している。Ｎｉ層１９５、Ｐｄ層１９６およびＡｕ層１９７は、めっき法によって形成されためっき層であってもよい。

[0330] パッド電極１９０は、Ｎｉ層１９５、Ｐｄ層１９６およびＡｕ層１９７のうちの少なくとも１つを含んでいればよい。パッド電極１９０は、Ｎｉ層１９５、Ｐｄ層１９６およびＡｕ層１９７のうちの少なくとも２つを任意の順序で積層した積層構造を有していてもよい。パッド電極１９０は、Ｎｉ層１９５、Ｐｄ層１９６またはＡｕ層１９７からなる単層構造を有していてもよい。

[0331] ゲートパッド電極１９１は、Ａｕ層１９７によって形成されたゲート端子面１９３を有していることが好ましい。ソースパッド電極１９２は、Ａｕ層１９７によって形成されたソース端子面１９４を有していることが好ましい。パッド電極１９０は、少なくとも第１主面電極１５０側からこの順に積層されたＮｉ層１９５およびＡｕ層１９７を含む積層構造を有していることが好ましい。

[0332] Ｎｉ層１９５の厚さは、０．１μｍ以上１０μｍ以下であってもよい。Ｎｉ層１９５の厚さは、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、または、８μｍ以上１０μｍ以下であってもよい。

[0333] Ｐｄ層１９６の厚さは、０．１μｍ以上１０μｍ以下であってもよい。Ｐｄ層１９６の厚さは、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μ

ｍ以下、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、または、８μｍ以上１０μｍ以下であってもよい。

[0334] Ａｕ層１９７の厚さは、０．０１μｍ以上３μｍ以下であってもよい。Ａｕ層１９７の厚さは、０．０１μｍ以上０．０５μｍ以下、０．０５μｍ以上０．１μｍ以下、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上２μｍ以下、または、２μｍ以上３μｍ以下であってもよい。Ａｕ層１９７の厚さは、Ｎｉ層１９５の厚さ未満であることが好ましい。Ａｕ層１９７の厚さは、Ｐｄ層１９６の厚さ未満であることが好ましい。

[0335] ＳｉＣ半導体装置６１は、第２主面６４の上に形成された第２主面電極２００を含む。第２主面電極２００は、ＭＩＳＦＥＴのドレイン電極として形成されている。第２主面電極２００は、この形態では、第２主面６４の全域を被覆している。

[0336] 第２主面電極２００は、側面６５Ａ～６５Ｄから内方に間隔を空けて形成され、第２主面６４の周縁部を露出させていてもよい。この場合、ＳｉＣウエハからＳｉＣ半導体装置６１を切り出す際に第２主面電極２００を物理的に切断せずに済む。これにより、ＳｉＣウエハからＳｉＣ半導体装置６１を円滑に切り出すことができると同時に、第２主面電極２００の剥離や劣化を抑制できる。その結果、第２主面電極２００を第２主面６４に適切に接続させることができる。

[0337] このような第２主面電極２００は、一例として、製造工程時において、レジストマスクを介するエッチング法によって第２主面電極２００の不要な部分を除去することによって得ることができる。また、第２主面電極２００は、他の例として、製造工程時において、レジストマスクを用いたリフトオフ法によって第２主面６４を部分的に被覆する第２主面電極２００を形成することによって得ることができる。

[0338] 第２主面電極２００は、第２主面６４を被覆する第２ＡＩ層２０１を含む。第２ＡＩ層２０１は、ＳｉＣチップ６２を挟んでゲート主面電極１５１の

第１ＡｌＩ層１６１およびソース主面電極１５２の第１ＡｌＩ層１６１に対向している。第２ＡｌＩ層２０１は、比較的小さいヤング率（剛性率）を有するＡｌのクッション性を利用してＳｉＣチップ６２に加えられる外力を第２主面６４側から緩和する第２緩衝層として形成されている。

[0339] 第２ＡｌＩ層２０１は、純ＡｌＩ層、ＡｌＳｉ合金層、ＡｌＣｕ合金層およびＡｌＳｉＣｕ合金層のうちの少なくとも１つを含む。第２ＡｌＩ層２０１は、純ＡｌＩ層、ＡｌＳｉ合金層、ＡｌＣｕ合金層およびＡｌＳｉＣｕ合金層のうちの２つ以上が任意の順序で積層された積層構造を有していてもよい。第２ＡｌＩ層２０１は、スパッタ法および／または蒸着法によって形成されていてもよい。

[0340] 第２ＡｌＩ層２０１は、純ＡｌＩ層、ＡｌＳｉ合金層、ＡｌＣｕ合金層またはＡｌＳｉＣｕ合金層からなる単層構造を有していてもよい。第２ＡｌＩ層２０１のＡｌＩ系金属材料は、第１ＡｌＩ層１６１のＡｌＩ系金属材料とは異なっていてもよい。第２ＡｌＩ層２０１は、純ＡｌＩ層からなる単層構造を有していることが好ましい。

[0341] 第２ＡｌＩ層２０１は、第１ＡｌＩ層１６１の厚さ未満の厚さを有していてもよい。第２ＡｌＩ層２０１の厚さは、０．０１μｍ以上５μｍ以下であってもよい。第２ＡｌＩ層２０１の厚さは、０．０１μｍ以上０．１μｍ以下、０．１μｍ以上１μｍ以下、１μｍ以上２μｍ以下、２μｍ以上３μｍ以下、３μｍ以上４μｍ以下、または、４μｍ以上５μｍ以下であってもよい。

[0342] 第２主面電極２００は、第２ＡｌＩ層２０１に加えて、第２ＡｌＩ層２０１とは異なる金属材料からなる１つまたは複数の電極層をさらに含む。第２主面電極２００は、この形態では、複数の電極層の一例として第２主面６４側からこの順に積層されたＴｉ層２０２、Ｎｉ層２０３、Ｐｄ層２０４、Ａｕ層２０５およびＡｇ層２０６を含む。

[0343] Ｔｉ層２０２は、第２主面６４との間でオーミック接触を形成するオーミック電極である。第２ＡｌＩ層２０１は、Ｔｉ層２０２、Ｎｉ層２０３、Ｐｄ層２０４、Ａｕ層２０５およびＡｇ層２０６を挟んで第２主面６４を被覆し

ている。

[0344] Ｔｉ、Ｎｉ、Ｐｄ、ＡｕおよびＡｇは、ＡｌのヤングＥ率（剛性率）を超えるヤング率（剛性率）をそれぞれ有している。Ｔｉ層２０２、Ｎｉ層２０３、Ｐｄ層２０４、Ａｕ層２０５およびＡｇ層２０６は、スパッタ法、蒸着法および／またはめっき法によって形成されていてもよい。

[0345] 第２主面電極２００は、１つまたは複数の電極層として、Ｔｉ層２０２、Ｎｉ層２０３、Ｐｄ層２０４、Ａｕ層２０５およびＡｇ層２０６のうちの少なくとも１つを含んでいればよい。第２Ａｌ層２０１は、少なくともＴｉ層２０２を挟んで第２主面６４を被覆していることが好ましい。

[0346] 第２主面電極２００がＮｉ層２０３、Ｐｄ層２０４およびＡｕ層２０５のうちの少なくとも１つを含む場合、Ｎｉ層２０３、Ｐｄ層２０４およびＡｕ層２０５のうちの少なくとも１つは、パッド電極１９０のＮｉ層１９５、Ｐｄ層１９６およびＡｕ層１９７と同時に形成されためっき層であってもよい。

[0347] Ｔｉ層２０２の厚さは、０．０１μｍ以上３μｍ以下であってもよい。Ｔｉ層２０２の厚さは、０．０１μｍ以上０．０５μｍ以下、０．０５μｍ以上０．１μｍ以下、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上２μｍ以下、または、２μｍ以上３μｍ以下であってもよい。

[0348] Ｎｉ層２０３の厚さは、０．１μｍ以上１０μｍ以下であってもよい。Ｎｉ層２０３の厚さは、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、または、８μｍ以上１０μｍ以下であってもよい。Ｎｉ層２０３の厚さは、Ｔｉ層２０２の厚さを超えていることが好ましい。

[0349] Ｐｄ層２０４の厚さは、０．１μｍ以上１０μｍ以下であってもよい。Ｐｄ層２０４の厚さは、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ

以下、６μｍ以上８μｍ以下、または、８μｍ以上１０μｍ以下であってもよい。Ｐｄ層２０４の厚さは、Ｔｉ層２０２の厚さを超えていることが好ましい。

[0350] Ａｕ層２０５の厚さは、０．０１μｍ以上３μｍ以下であってもよい。Ａｕ層２０５の厚さは、０．０１μｍ以上０．０５μｍ以下、０．０５μｍ以上０．１μｍ以下、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上２μｍ以下、または、２μｍ以上３μｍ以下であってもよい。Ａｕ層２０５の厚さは、Ｎｉ層２０３の厚さ未満であることが好ましい。Ａｕ層２０５の厚さは、Ｐｄ層２０４の厚さ未満であることが好ましい。

[0351] Ａｇ層２０６の厚さは、０．０１μｍ以上３μｍ以下であってもよい。Ａｇ層２０６の厚さは、０．０１μｍ以上０．０５μｍ以下、０．０５μｍ以上０．１μｍ以下、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上２μｍ以下、または、２μｍ以上３μｍ以下であってもよい。Ａｇ層２０６の厚さは、Ｎｉ層２０３の厚さ未満であることが好ましい。Ａｇ層２０６の厚さは、Ｐｄ層２０４の厚さ未満であることが好ましい。

[0352] 第２主面電極２００は、図１７Ａ～図１７Ｉに示される構造を有していてもよい。

[0353] 図１７Ａは、第２形態例に係る第２主面電極２００を図解的に示す断面図である。以下では、図６～図１６において述べた構造に対応する構造については同一の参照符号を付して、説明を省略する。

[0354] 図１７Ａを参照して、第２主面電極２００は、この形態では、第２Ａｌ層２０１、Ｔｉ層２０２、Ｎｉ層２０３、Ｐｄ層２０４およびＡｕ層２０５を含む積層構造を有している。Ｔｉ層２０２、Ｎｉ層２０３、Ｐｄ層２０４およびＡｕ層２０５は、第２主面６４側からこの順に積層されている。第２Ａｌ層２０１は、Ｔｉ層２０２、Ｎｉ層２０３、Ｐｄ層２０４およびＡｕ層２０５を挟んで第２主面６４を被覆している。

[0355] 図１７Ｂは、第３形態例に係る第２主面電極２００を図解的に示す断面図である。以下では、図６～図１６において述べた構造に対応する構造につい

ては同一の参照符号を付して、説明を省略する。

[0356] 図１７Ｂを参照して、第２主面電極２００は、この形態では、第２Ａｌ層２０１、Ｔｉ層２０２、Ｎｉ層２０３、Ａｕ層２０５およびＡｇ層２０６を含む積層構造を有している。Ｔｉ層２０２、Ｎｉ層２０３、Ａｕ層２０５およびＡｇ層２０６は、第２主面６４側からこの順に積層されている。第２Ａｌ層２０１は、Ｔｉ層２０２、Ｎｉ層２０３、Ａｕ層２０５およびＡｇ層２０６を挟んで第２主面６４を被覆している。

[0357] 図１７Ｃは、第４形態例に係る第２主面電極２００を図解的に示す断面図である。以下では、図６～図１６において述べた構造に対応する構造については同一の参照符号を付して、説明を省略する。

[0358] 図１７Ｃを参照して、第２主面電極２００は、この形態では、第２Ａｌ層２０１、Ｔｉ層２０２、Ｎｉ層２０３およびＡｕ層２０５を含む積層構造を有している。Ｔｉ層２０２、Ｎｉ層２０３およびＡｕ層２０５は、第２主面６４側からこの順に積層されている。第２Ａｌ層２０１は、Ｔｉ層２０２、Ｎｉ層２０３およびＡｕ層２０５を挟んで第２主面６４を被覆している。

[0359] 図１７Ｄは、第５形態例に係る第２主面電極２００を図解的に示す断面図である。以下では、図６～図１６において述べた構造に対応する構造については同一の参照符号を付して、説明を省略する。

[0360] 図１７Ｄを参照して、第２主面電極２００は、この形態では、第２Ａｌ層２０１およびＴｉ層２０２を含む積層構造を有している。Ｔｉ層２０２は、第２主面６４に接続されている。第２Ａｌ層２０１は、Ｔｉ層２０２を挟んで第２主面６４を被覆している。

[0361] 図１７Ｅは、第６形態例に係る第２主面電極２００を図解的に示す断面図である。以下では、図６～図１６において述べた構造に対応する構造については同一の参照符号を付して、説明を省略する。

[0362] 図１７Ｅを参照して、第２主面電極２００は、この形態では、第２Ａｌ層２０１、Ｔｉ層２０２、Ｎｉ層２０３およびＡｕ層２０５を含む。Ｔｉ層２０２、Ｎｉ層２０３およびＡｕ層２０５は、第２主面６４側からこの順に積

層されている。第２ＡＩ層２０１は、Ｔｉ層２０２およびＮｉ層２０３の間に介在し、Ｔｉ層２０２を挟んで第２主面６４を被覆している。

[0363] この場合、パッド電極１９０は、第１主面電極１５０側からこの順に積層されたＮｉ層１９５およびＡｕ層１９７からなる２層構造を有していることが好ましい。第２主面電極２００のＮｉ層２０３およびＡｕ層２０５は、めっき法によって、パッド電極１９０のＮｉ層１９５およびＡｕ層１９７と同時に形成されることができる。

[0364] 図１７Ｆは、第７形態例に係る第２主面電極２００を図解的に示す断面図である。以下では、図６～図１６において述べた構造に対応する構造については同一の参照符号を付して、説明を省略する。

[0365] 図１７Ｆを参照して、第２主面電極２００は、この形態では、第２ＡＩ層２０１、Ｔｉ層２０２、Ｎｉ層２０３、Ａｕ層２０５およびＡｇ層２０６を含む。Ｔｉ層２０２、Ｎｉ層２０３、Ａｕ層２０５およびＡｇ層２０６は、第２主面６４側からこの順に積層されている。第２ＡＩ層２０１は、Ｔｉ層２０２およびＮｉ層２０３の間に介在し、Ｔｉ層２０２を挟んで第２主面６４を被覆している。

[0366] この場合、パッド電極１９０は、第１主面電極１５０側からこの順に積層されたＮｉ層１９５およびＡｕ層１９７からなる２層構造を有していることが好ましい。第２主面電極２００のＮｉ層２０３およびＡｕ層２０５は、めっき法によって、パッド電極１９０のＮｉ層１９５およびＡｕ層１９７と同時に形成されることができる。

[0367] 図１７Ｇは、第８形態例に係る第２主面電極２００を図解的に示す断面図である。以下では、図６～図１６において述べた構造に対応する構造については同一の参照符号を付して、説明を省略する。

[0368] 図１７Ｇを参照して、第２主面電極２００は、この形態では、第２ＡＩ層２０１、Ｔｉ層２０２、Ｎｉ層２０３、Ｐｄ層２０４、Ａｕ層２０５およびＡｇ層２０６を含む。Ｔｉ層２０２、Ｎｉ層２０３、Ａｕ層２０５およびＡｇ層２０６は、第２主面６４側からこの順に積層されている。第２ＡＩ層２

０１は、Ｔｉ層２０２およびＮｉ層２０３の間に介在し、Ｔｉ層２０２を挟んで第２主面６４を被覆している。

[0369] この場合、パッド電極１９０は、第１主面電極１５０側からこの順に積層されたＮｉ層１９５、Ｐｄ層１９６およびＡｕ層１９７からなる３層構造を有していることが好ましい。第２主面電極２００のＮｉ層２０３、Ｐｄ層２０４およびＡｕ層２０５は、めっき法によって、パッド電極１９０のＮｉ層１９５、Ｐｄ層１９６およびＡｕ層１９７と同時に形成されることができる。

[0370] 図１７Ｈは、第９形態例に係る第２主面電極２００を図解的に示す断面図である。以下では、図６～図１６において述べた構造に対応する構造については同一の参照符号を付して、説明を省略する。

[0371] 図１７Ｈを参照して、第２主面電極２００は、この形態では、第２Ａｌ層２０１、Ｔｉ層２０２、Ｎｉ層２０３、Ｐｄ層２０４およびＡｕ層２０５を含む。Ｔｉ層２０２、Ｎｉ層２０３、Ｐｄ層２０４およびＡｕ層２０５は、第２主面６４側からこの順に積層されている。第２Ａｌ層２０１は、Ｔｉ層２０２およびＮｉ層２０３の間に介在し、Ｔｉ層２０２を挟んで第２主面６４を被覆している。

[0372] この場合、パッド電極１９０は、第１主面電極１５０側からこの順に積層されたＮｉ層１９５、Ｐｄ層１９６およびＡｕ層１９７からなる３層構造を有していることが好ましい。第２主面電極２００のＮｉ層２０３、Ｐｄ層２０４およびＡｕ層２０５は、めっき法によって、パッド電極１９０のＮｉ層１９５、Ｐｄ層１９６およびＡｕ層１９７と同時に形成されることができる。

[0373] 図１７Ｉは、第１０形態例に係る第２主面電極２００を図解的に示す断面図である。以下では、図６～図１６において述べた構造に対応する構造については同一の参照符号を付して、説明を省略する。

[0374] 図１７Ｉを参照して、第２主面電極２００は、この形態では、第２Ａｌ層２０１およびシリサイド層２０７を含む。シリサイド層２０７は、第２主面

６４に形成されている。シリサイド層２０７は、第２主面６４から露出するＳｉＣを金属材料によってシリサイド化することによって形成されている。シリサイド層２０７は、$FeSi_2$層、ＮｉＳｉ層、$NiSi_2$層、$CoSi_2$層、$CrSi_2$層、WSi_2層、$MoSi_2$層、$MnSi_2$層、$NbSi_2$層、$TiSi_2$層およびVSi_2層のうちの少なくとも１つを含んでいてもよい。

[0375] 第２Ａｌ層２０１は、シリサイド層２０７を挟んで第２主面６４を被覆している。第２主面電極２００は、第２Ａｌ層２０１およびシリサイド層２０７の他、Ｔｉ層２０２、Ｎｉ層２０３、Ｐｄ層２０４、Ａｕ層２０５およびＡｇ層２０６のうちの少なくとも１つを含んでいてもよい。第２Ａｌ層２０１、Ｔｉ層２０２、Ｎｉ層２０３、Ｐｄ層２０４、Ａｕ層２０５およびＡｇ層２０６の積層順序は任意である。シリサイド層２０７を被覆する構造として、第１～第１０形態例のいずれか１つの積層構造が採用されてもよい。

[0376] 図１８は、図６に示すＳｉＣ半導体装置６１が組み込まれた半導体パッケージ２１１を示す図である。図１８では、半導体パッケージ２１１の内部構造が、パッケージ本体２１２を透過して示されている。

[0377] 図１８を参照して、半導体パッケージ２１１は、この形態では、３端子型のＴＯ－２２０である。半導体パッケージ２１１は、パッケージ本体２１２、金属プレート２１３、第１端子２１４、第２端子２１５、第３端子２１６、ＳｉＣ半導体装置６１、導電接合材２１７、第１導線２１８および第２導線２１９を含む。

[0378] パッケージ本体２１２は、モールド樹脂からなる。パッケージ本体２１２は、モールド樹脂の一例としてのエポキシ樹脂を含んでいてもよい。パッケージ本体２１２は、直方体形状に形成されている。パッケージ本体２１２は、一方側の第１面２２１および他方側の第２面２２２、ならびに、第１面２２１および第２面２２２を接続する４つの側面２２３Ａ，２２３Ｂ，２２３Ｃ，２２３Ｄを含む。

[0379] ４つの側面２２３Ａ～２２３Ｄは、より具体的には、第１側面２２３Ａ、第２側面２２３Ｂ、第３側面２２３Ｃおよび第４側面２２３Ｄを含む。第１

側面２２３Ａおよび第２側面２２３Ｂは、互いに対向している。第３側面２２３Ｃおよび第４側面２２３Ｄは、互いに対向している。

[0380] 金属プレート２１３は、Ｆｅ、Ａｕ、Ａｇ、ＣｕおよびＡｌのうちの少なくとも１つを含んでいてもよい。金属プレート２１３は、Ｎｉめっき膜、Ａｕめっき膜、Ａｇめっき膜およびＣｕめっき膜のうちの少なくとも１つが形成された外面を有していてもよい。金属プレート２１３の平面形状は任意である。金属プレート２１３は、この形態では、平面視において四角形状（長方形状）に形成されている。

[0381] 金属プレート２１３は、より具体的には、パッケージ本体２１２内に位置するパッド部２２４、および、パッケージ本体２１２外に位置するヒートシンク部２２５を一体的に含む。ヒートシンク部２２５は、パッド部２２４から第２側面２２３Ｂを横切ってパッケージ本体２１２外に引き出されている。ヒートシンク部２２５は、貫通孔２２５ａを含む。貫通孔２２５ａは、円形状に形成されている。ヒートシンク部２２５の平面面積は、パッド部２２４の平面面積を超えていてもよい。

[0382] 金属プレート２１３は、この形態では、第２面２２２から露出するようにパッケージ本体２１２内に配置されている。金属プレート２１３は、第２面２２２から露出しないようにパッケージ本体２１２内に配置されていてもよい。

[0383] 第１端子２１４は、Ｆｅ、Ａｕ、Ａｇ、ＣｕおよびＡｌのうちの少なくとも１つを含んでいてもよい。第１端子２１４は、Ｎｉめっき膜、Ａｕめっき膜、Ａｇめっき膜およびＣｕめっき膜のうちの少なくとも１つが形成された外面を有していてもよい。第１端子２１４は、パッケージ本体２１２内から第１側面２２３Ａを横切ってパッケージ本体２１２外に引き出されている。

[0384] 第１端子２１４は、平面視において第１側面２２３Ａの中央部に配置されている。第１端子２１４は、金属プレート２１３の板面に対して第１面２２１側の領域に配置されている。

[0385] 第１端子２１４は、第１内端部２２６、第１外端部２２７および第１帯状

部２２８を含む。第１内端部２２６は、パッケージ本体２１２内において金属プレート２１３に接続されている。第１外端部２２７は、パッケージ本体２１２外に配置されている。第１帯状部２２８は、第１内端部２２６および第１外端部２２７の間を第１側面２２３Ａに直交する方向に延びている。

[0386] 第２端子２１５は、Ｆｅ、Ａｕ、Ａｇ、ＣｕおよびＡｌのうちの少なくとも１つを含んでいてもよい。第２端子２１５は、Ｎｉめっき膜、Ａｕめっき膜、Ａｇめっき膜およびＣｕめっき膜のうちの少なくとも１つが形成された外面を有していてもよい。第２端子２１５は、パッケージ本体２１２内から第１側面２２３Ａを横切ってパッケージ本体２１２外に引き出されている。

[0387] 第２端子２１５は、平面視において第１端子２１４から間隔を空けて第３側面２２３Ｃ側の領域に配置されている。第２端子２１５は、金属プレート２１３の板面に対して第１面２２１側の領域に配置されている。

[0388] 第２端子２１５は、第２内端部２２９、第２外端部２３０および第２帯状部２３１を含む。第２内端部２２９は、金属プレート２１３から間隔を空けてパッケージ本体２１２内に配置されている。第２外端部２３０は、パッケージ本体２１２外に配置されている。第２帯状部２３１は、第２内端部２２９および第２外端部２３０の間を第１側面２２３Ａに直交する方向に延びている。

[0389] 第３端子２１６は、Ｆｅ、Ａｕ、Ａｇ、ＣｕおよびＡｌの少なくとも１つを含んでいてもよい。第３端子２１６は、Ｎｉめっき膜、Ａｕめっき膜、Ａｇめっき膜およびＣｕめっき膜の少なくとも１つが形成された外面を有していてもよい。第３端子２１６は、パッケージ本体２１２内から第１側面２２３Ａを横切ってパッケージ本体２１２外に引き出されている。

[0390] 第３端子２１６は、平面視において第１端子２１４から間隔を空けて第４側面２２３Ｄ側の領域に配置されている。第３端子２１６は、金属プレート２１３の板面に対して第１面２２１側の領域に配置されている。

[0391] 第３端子２１６は、第３内端部２３２、第３外端部２３３および第３帯状部２３４を含む。第３内端部２３２は、金属プレート２１３から間隔を空け

てパッケージ本体２１２内に配置されている。第３外端部２３３は、パッケージ本体２１２外に配置されている。第３帯状部２３４は、第３内端部２３２および第３外端部２３３の間を第１側面２２３Ａに直交する方向に延びている。

[0392] ＳｉＣ半導体装置６１は、パッケージ本体２１２内において金属プレート２１３のパッド部２２４の上に配置されている。導電接合材２１７は、ＳｉＣ半導体装置６１およびパッド部２２４の間に介在し、ＳｉＣ半導体装置６１の第２主面電極２００をパッド部２２４に接合させている。これにより、ＳｉＣ半導体装置６１は、金属プレート２１３を介して第１端子２１４に電気的に接続されている。

[0393] 導電接合材２１７は、金属ペーストまたは半田であってもよい。金属ペーストは、Ａｕ、ＡｇおよびＣｕのうちの少なくとも１つを含んでいてもよい。導電接合材２１７は、半田からなることが好ましい。半田は、鉛フリー半田であってもよい。半田は、ＳｎＡｇＣｕ、ＳｎＺｎＢｉ、ＳｎＣｕ、ＳｎＣｕＮｉおよびＳｎＳｂＮｉのうちの少なくとも１つを含んでいてもよい。

[0394] 第１導線２１８は、金属ワイヤ（ボンディングワイヤ）または金属クリップからなる。金属ワイヤは、Ａｌワイヤ、Ａｕワイヤ、Ｃｕワイヤまたは半田ワイヤであってもよい。半田ワイヤは、鉛フリー半田ワイヤであってもよい。半田ワイヤは、ＳｎＡｇＣｕ、ＳｎＺｎＢｉ、ＳｎＣｕ、ＳｎＣｕＮｉおよびＳｎＳｂＮｉのうちの少なくとも１つを含んでいてもよい。金属クリップは、Ａｌクリップ、ＡｕクリップまたはＣｕクリップであってもよい。第１導線２１８は、この形態では、半田ワイヤからなる。

[0395] 第１導線２１８は、パッケージ本体２１２内において第２端子２１５の第２内端部２２９およびＳｉＣ半導体装置６１のゲートパッド電極１９１に接続されている。これにより、ＳｉＣ半導体装置６１は、第２端子２１５に電気的に接続されている。

[0396] 図１８では、１つの第１導線２１８が第２内端部２２９およびゲートパッド電極１９１に接続されている例が示されているが、第１導線２１８の個数

は任意である。２つ以上の第１導線２１８が第２内端部２２９およびゲートパッド電極１９１に接続されていてもよい。

[0397] 第２導線２１９は、金属ワイヤ（ボンディングワイヤ）または金属クリップからなる。金属ワイヤは、ＡｌワイヤＡｕワイヤ、Ｃｕワイヤまたは半田ワイヤであってもよい。半田ワイヤは、鉛フリー半田ワイヤであってもよい。半田ワイヤは、ＳｎＡｇＣｕ、ＳｎＺｎＢｉ、ＳｎＣｕ、ＳｎＣｕＮｉおよびＳｎＳｂＮｉのうちの少なくとも１つを含んでいてもよい。金属クリップは、Ａｌクリップ、Ａｕクリップまたは Ｃｕクリップであってもよい。第２導線２１９は、この形態では、半田ワイヤからなる。

[0398] 第２導線２１９は、パッケージ本体２１２内において第３端子２１６の第３内端部２３２およびＳｉＣ半導体装置６１のソースパッド電極１９２に接続されている。これにより、ＳｉＣ半導体装置６１は、第３端子２１６に電気的に接続されている。

[0399] 図１８では、２つの第２導線２１９が第３内端部２３２およびソースパッド電極１９２に接続されている例が示されているが、第２導線２１９の個数は任意である。１つまたは３つ以上の第２導線２１９が第３内端部２３２およびソースパッド電極１９２に接続されていてもよい。

[0400] 半導体パッケージ２１１は、ＴＯ－２２０以外の形態も採り得る。半導体パッケージ２１１は、ＳＯＰ（Small Outline Package）、ＱＦＮ（Quad For Non Lead Package）、ＤＦＰ（Dual Flat Package）、ＤＩＰ（Dual Inline Package）、ＱＦＰ（Quad Flat Package）、ＳＩＰ（Single Inline Package）もしくはＳＯＪ（Small Outline J-leaded Package）、または、これらに類する種々の形態を有していてもよい。

[0401] 以上、ＳｉＣ半導体装置６１によれば、第１ＡｌＩ層１６１が第１主面６３側で外力を緩和する第１緩衝層として形成され、第２ＡｌＩ層２０１が第２主面６４側で外力を緩和する第２緩衝層として形成されている。これにより、第１主面６３から第２主面６４に向かう方向の外力、および、第２主面６４から第１主面６３に向かう方向の外力を緩和できる。

[0402] 一例として、ＳｉＣ半導体装置６１を金属プレート２１３のパッド部２２４に実装する際にＳｉＣチップ６２に加えられる外力を第１Ａｌ層１６１および第２Ａｌ層２０１によって緩和できる。また、ＳｉＣ半導体装置６１のパッド電極１９０に第１導線２１８および第２導線２１９を接合する際にＳｉＣチップ６２に加えられる外力を第１Ａｌ層１６１および第２Ａｌ層２０１によって緩和できる。その結果、ＳｉＣチップ６２のクラックを抑制できる。

[0403] また、ＳｉＣ半導体装置６１は、第１導線２１８および第２導線２１９に外部接合されるパッド電極１９０（ゲートパッド電極１９１およびソースパッド電極１９２）を含む。パッド電極１９０は、Ｎｉ層１９５、Ｐｄ層１９６およびＡｕ層１９７のうちの少なくとも１つを含む。これにより、第１導線２１８および第２導線２１９をパッド電極１９０に適切に接続されることができる。

[0404] 一方、Ｎｉ、ＰｄおよびＡｕは、Ａｌのヤング率（剛性率）を超えるヤング率（剛性率）をそれぞれ有している。したがって、パッド電極１９０を備えた構造では、第１導線２１８および第２導線２１９の接合時に加えられる外力を適切に緩和できない。

[0405] そこで、ＳｉＣ半導体装置６１では、ＳｉＣチップ６２およびパッド電極１９０の間にＡｌを含む第１Ａｌ層１６１を介在させている。第１Ａｌ層１６１によれば、比較的小さいヤング率（剛性率）を有するＡｌのクッション性を利用してＳｉＣチップ６２に加えられる外力を第１主面６３側から緩和できる。よって、第１導線２１８および第２導線２１９をパッド電極１９０に適切に接合させることができると同時に、ＳｉＣチップ６２のクラックを抑制できる。

[0406] また、ＳｉＣ半導体装置６１は、第２Ａｌ層２０１に加えて、第２Ａｌ層２０１とは異なる金属材料からなる１つまたは複数の電極層を有する第２主面電極２００を含む。１つまたは複数の電極層は、Ｔｉ層２０２、Ｎｉ層２０３、Ｐｄ層２０４、Ａｕ層２０５およびＡｇ層２０６のうちの少なくとも

１つを含む。これにより、第２主面電極２００に対する導電接合材２１７の密着力を適切に高めることができる。その結果、ＳｉＣ半導体装置６１を金属プレート２１３のパッド部２２４に適切に実装できる。

[0407] 一方、Ｔｉ、Ｎｉ、Ｐｄ、ＡｕおよびＡｇは、ＡｌのヤングＥ率（剛性率）を超えるヤング率（剛性率）をそれぞれ有している。したがって、第２主面電極２００がＴｉ層２０２、Ｎｉ層２０３、Ｐｄ層２０４、Ａｕ層２０５およびＡｇ層２０６のうちの少なくとも１つを含む構造では、ＳｉＣ半導体装置６１の実装時や第１導線２１８および第２導線２１９の接合時に加えられる外力を適切に緩和できない。

[0408] そこで、ＳｉＣ半導体装置６１では、Ｔｉ層２０２、Ｎｉ層２０３、Ｐｄ層２０４、Ａｕ層２０５およびＡｇ層２０６のうちの少なくとも１つに加えて、第２Ａｌ層２０１を含む第２主面電極２００を形成している。第２Ａｌ層２０１によれば、比較的小さいヤング率（剛性率）を有するＡｌのクッション性を利用してＳｉＣチップ６２に加えられる外力を第２主面６４側から緩和できる。よって、ＳｉＣ半導体装置６１をパッド部２２４に適切に実装できると同時に、ＳｉＣチップ６２のクラックを抑制できる。

[0409] 本発明の実施形態はさらに他の形態で実施することもできる。

[0410] 前述の第１実施形態では、絶縁層１７がパッシベーション層１９および樹脂層２０を含む積層構造を有している例について説明した。しかし、絶縁層１７は、パッシベーション層１９または樹脂層２０からなる単層構造を有していてもよい。

[0411] 前述の第１実施形態では、ダイオードの一例としてのＳＢＤが形成された例について説明した。しかし、ｎ型のダイオード領域１０に代えてｐ型のダイオード領域１０が形成されてもよい。この場合、ＳＢＤに代えてｐｎ接合ダイオードを提供できる。

[0412] 前述の第２実施形態では、絶縁層１７０がパッシベーション層１７４および樹脂層１７５を含む積層構造を有している例について説明した。しかし、絶縁層１７０は、パッシベーション層１７４または樹脂層１７５からなる単

層構造を有していてもよい。

[0413] 前述の第２実施形態では、ｐ型不純物が添加されたｐ型ポリシリコンを含むゲート電極８０およびゲート配線８５が形成された例について説明した。しかし、ゲート閾値電圧Ｖｔｈの増加を重視しない場合には、ゲート電極８０およびゲート配線８５は、ｐ型ポリシリコンに代えてまたはこれに加えて、ｎ型不純物が添加されたｎ型ポリシリコンを含んでいてもよい。

[0414] この場合、低抵抗層８６は、ゲート電極８０（ｎ型ポリシリコン）において表層部を形成する部分を金属材料によってシリサイド化することによって形成されていてもよい。つまり、低抵抗層８６は、ｎ型ポリサイドを含んでいてもよい。このような構造の場合、ゲート抵抗を低減できる。

[0415] 前述の第２実施形態では、絶縁ゲート型トランジスタの一例としてのＭＩＳＦＥＴが形成された例について説明した。しかし、n^+型のドレイン領域６８に代えてp^+型のコレクタ領域が採用されてもよい。この構造によれば、ＭＩＳＦＥＴに代えて、ＩＧＢＴ（Insulated Gate Bipolar Transistor）を提供できる。この場合、前述の第２実施形態において、ＭＩＳＦＥＴの「ソース」がＩＧＢＴの「エミッタ」に読み替えられ、ＭＩＳＦＥＴの「ドレイン」がＩＧＢＴの「コレクタ」に読み替えられる。

[0416] 前述の各実施形態において、各半導体部分の導電型が反転された構造が採用されてもよい。つまり、ｐ型の部分がｎ型とされ、ｎ型の部分がｐ型とされてもよい。

[0417] 以下、この明細書および図面から抽出される特徴の例を示す。

[0418] 後工程（アセンブリ工程）では、様々な外力が半導体装置に加えられる。たとえば、半導体装置の実装時には、吸着ノズルを備えた実装機が使用される。半導体装置は、吸着ノズルに吸着保持された状態で接続対象物まで搬送された後、接続対象部に押圧実装される。この時、吸着ノズルから接続対象物に向かう外力、および、接続対象物から吸着ノズルに向かう外力が半導体装置に加えられる。

[0419] また、半導体装置の実装後には、キャピラリによって導線がパッド電極に

押圧接合される。この時、キャピラリから接続対象物に向かう外力、および、接続対象物からキャピラリに向かう外力が半導体装置に加えられる。チップの強度を超える外力が半導体装置に加えられると、チップにクラックが発生する。以下では、外力を緩和できる半導体装置を提供する。

[0420] ［Ａ１］一方側の第１主面および他方側の第２主面を有するチップと、第１ＡＩ層を含み、前記第１主面の上に形成された第１主面電極と、前記第１主面電極の上に形成され、導線に接続されるパッド電極と、第２ＡＩ層を含み、前記第２主面の上に形成された第２主面電極と、を含む、半導体装置。

[0421] この半導体装置によれば、第１ＡＩ層が第１主面側で外力を緩和する第１緩衝層として形成され、第２ＡＩ層が第２主面側で外力を緩和する第２緩衝層として形成されている。これにより、第１主面から第２主面に向かう方向の外力、および、第２主面から第１主面に向かう方向の外力を緩和できる。

[0422] ［Ａ２］前記第１主面の上において前記第１主面電極を被覆し、前記第１主面電極の一部を露出させるパッド開口を有する絶縁層をさらに含み、前記パッド電極は、前記パッド開口内において前記第１主面電極の上に形成されている、Ａ１に記載の半導体装置。

[0423] ［Ａ３］前記チップは、前記第１主面および前記第２主面を接続する側面を有し、前記絶縁層は、前記第１主面の上において前記側面から間隔を空けて形成された周縁を有している、Ａ２に記載の半導体装置。

[0424] ［Ａ４］前記絶縁層は、樹脂層を含む、Ａ２またはＡ３に記載の半導体装置。

[0425] ［Ａ５］前記パッド電極は、前記第１主面電極とは異なる金属材料を含む、Ａ１～Ａ４のいずれか一つに記載の半導体装置。

[0426] ［Ａ６］前記パッド電極は、Ｎｉ層、Ｐｄ層およびＡｕ層のうちの少なくとも１つを含む、Ａ１～Ａ５のいずれか一つに記載の半導体装置。

[0427] ［Ａ７］前記パッド電極は、前記第１主面電極側からこの順に積層されたＮｉ層およびＡｕ層を含む、Ａ１～Ａ６のいずれか一つに記載の半導体装置。

[0428] ［Ａ８］前記パッド電極は、前記第１主面電極側からこの順に積層されたＮｉ層、Ｐｄ層およびＡｕ層を含む、Ａ１～Ａ７のいずれか一つに記載の半導体装置。

[0429] ［Ａ９］前記第２主面電極は、前記第２ＡｌＩ層とは異なる金属材料からなる１つまたは複数の電極層を含み、前記第２ＡｌＩ層は、１つまたは複数の前記電極層を被覆している、Ａ１～Ａ８のいずれか一つに記載の半導体装置。

[0430] ［Ａ１０］１つまたは複数の前記電極層は、Ｔｉ層、Ｎｉ層、Ｐｄ層、Ａｕ層およびＡｇ層のうちの少なくとも１つを含む、Ａ９に記載の半導体装置。

[0431] ［Ａ１１］１つまたは複数の前記電極層は、少なくとも前記第２主面との間でオーミック接触を形成するオーミック電極層を含み、前記第２ＡｌＩ層は、少なくとも前記オーミック電極層を被覆している、Ａ９またはＡ１０に記載の半導体装置。

[0432] ［Ａ１２］前記第２ＡｌＩ層は、前記第１ＡｌＩ層未満の厚さを有している、Ａ１～Ａ１１のいずれか一つに記載の半導体装置。

[0433] ［Ａ１３］前記第２ＡｌＩ層は、純ＡｌＩ層、ＡｌＳｉ合金層、ＡｌＣｕ合金層およびＡｌＳｉＣｕ合金層のうちの少なくとも１つを含む、Ａ１～Ａ１２のいずれか一つに記載の半導体装置。

[0434] ［Ａ１４］前記第２ＡｌＩ層は、純ＡｌＩ層からなる、Ａ１～Ａ１３のいずれか一つに記載の半導体装置。

[0435] ［Ａ１５］前記第１ＡｌＩ層は、純ＡｌＩ層、ＡｌＳｉ合金層、ＡｌＣｕ合金層およびＡｌＳｉＣｕ合金層のうちの少なくとも１つを含む、Ａ１～Ａ１４のいずれか一つに記載の半導体装置。

[0436] ［Ａ１６］前記第１主面に形成されたダイオードをさらに含み、前記第１主面電極は、前記ダイオードのアノードに電気的に接続されたアノード電極を形成し、前記第２主面電極は、前記ダイオードのカソードに電気的に接続されたカソード電極を形成している、Ａ１～Ａ１５のいずれか一つに記載の半導体装置。

[0437] ［Ａ１７］前記第１主面に形成されたＭＩＳＦＥＴをさらに含み、前記第１主面電極は、前記ＭＩＳＦＥＴのゲートに電気的に接続されたゲート主面電極、および、前記ＭＩＳＦＥＴのソースに電気的に接続されたソース主面電極を含み、前記パッド電極は、前記ゲート主面電極の上に形成されたゲートパッド電極、および、前記ソース主面電極の上に形成されたソースパッド電極を含み、前記第２主面電極は、前記ＭＩＳＦＥＴのドレインに電気的に接続されたドレイン電極を形成している、Ａ１～Ａ１６のいずれか一つに記載の半導体装置。

[0438] ［Ａ１８］前記チップは、前記第２主面側から前記第１主面側に向けてこの順に積層された半導体基板およびエピタキシャル層を含む積層構造を有している、Ａ１～Ａ１７のいずれか一つに記載の半導体装置。

[0439] ［Ａ１９］前記チップの厚さは、３００μｍ以下である、Ａ１～Ａ１８のいずれか一つに記載の半導体装置。

[0440] ［Ａ２０］前記チップは、ＳｉＣ単結晶によって形成されたＳｉＣチップからなる、Ａ１～Ａ１９のいずれか一つに記載の半導体装置。

[0441] この出願は、２０１９年４月１９日に日本国特許庁に提出された特願２０１９－０８０２２７号に対応しており、この出願の全開示はここに引用により組み込まれる。本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の範囲は添付の請求の範囲によってのみ限定される。

符号の説明

[0442] １ ＳｉＣ半導体装置
２ ＳｉＣチップ
３ 第１主面
４ 第２主面
５Ａ 第１側面
５Ｂ 第２側面

５Ｃ　第３側面

５Ｄ　第４側面

６　ＳｉＣ半導体基板

７　ＳｉＣエピタキシャル層

１４　第１主面電極

１６　第１ＡｌＩ層

１７　絶縁層

１８　パッド開口

２０　樹脂層

２３　パッド電極

２５　Ｎｉ層

２６　Ｐｄ層

２７　Ａｕ層

３１　第２主面電極

３２　第２ＡｌＩ層

３３　Ｔｉ層

３４　Ｎｉ層

３５　Ｐｄ層

３６　Ａｕ層

３７　Ａｇ層

６１　ＳｉＣ半導体装置

６２　ＳｉＣチップ

６３　第１主面

６４　第２主面

６５Ａ　第１側面

６５Ｂ　第２側面

６５Ｃ　第３側面

６５Ｄ　第４側面

６６　　ＳｉＣ半導体基板

６７　　ＳｉＣエピタキシャル層

１５０　第１主面電極

１５１　ゲート主面電極

１５２　ソース主面電極

１６１　第１ＡｌＩ層

１７０　絶縁層

１７１　パッド開口

１７２　ゲートパッド開口

１７３　ソースパッド開口

１７５　樹脂層

１９０　パッド電極

１９１　ゲートパッド電極

１９２　ソースパッド電極

１９５　Ｎｉ層

１９６　Ｐｄ層

１９７　Ａｕ層

２００　第２主面電極

２０１　第２ＡｌＩ層

２０２　Ｔｉ層

２０３　Ｎｉ層

２０４　Ｐｄ層

２０５　Ａｕ層

２０６　Ａｇ層

請求の範囲

[請求項1] 一方側の第１主面および他方側の第２主面を有するＳｉＣチップと、

第１ＡｌＩ層を含み、前記第１主面の上に形成された第１主面電極と、

前記第１主面電極の上に形成され、導線に接続されるパッド電極と、

第２ＡｌＩ層を含み、前記第２主面の上に形成された第２主面電極と、を含む、ＳｉＣ半導体装置。

[請求項2] 前記第１主面の上において前記第１主面電極を被覆し、前記第１主面電極の一部を露出させるパッド開口を有する絶縁層をさらに含み、

前記パッド電極は、前記パッド開口内において前記第１主面電極の上に形成されている、請求項１に記載のＳｉＣ半導体装置。

[請求項3] 前記ＳｉＣチップは、前記第１主面および前記第２主面を接続する側面を有し、

前記絶縁層は、前記第１主面の上において前記側面から間隔を空けて形成された周縁を有している、請求項２に記載のＳｉＣ半導体装置。

[請求項4] 前記絶縁層は、樹脂層を含む、請求項２または３に記載のＳｉＣ半導体装置。

[請求項5] 前記パッド電極は、前記第１主面電極とは異なる金属材料を含む、請求項１～４のいずれか一項に記載のＳｉＣ半導体装置。

[請求項6] 前記パッド電極は、Ｎｉ層、Ｐｄ層およびＡｕ層のうちの少なくとも１つを含む、請求項１～５のいずれか一項に記載のＳｉＣ半導体装置。

[請求項7] 前記パッド電極は、前記第１主面電極側からこの順に積層されたＮｉ層およびＡｕ層を含む、請求項１～６のいずれか一項に記載のＳｉＣ半導体装置。

[請求項8] 前記パッド電極は、前記第１主面電極側からこの順に積層されたＮｉ層、Ｐｄ層およびＡｕ層を含む、請求項１～７のいずれか一項に記載のＳｉＣ半導体装置。

[請求項9] 前記第２主面電極は、前記第２ＡｌＩ層とは異なる金属材料からなる１つまたは複数の電極層を含み、

前記第２ＡｌＩ層は、１つまたは複数の前記電極層を被覆している、請求項１～８のいずれか一項に記載のＳｉＣ半導体装置。

[請求項10] １つまたは複数の前記電極層は、Ｔｉ層、Ｎｉ層、Ｐｄ層、Ａｕ層およびＡｇ層のうちの少なくとも１つを含む、請求項９に記載のＳｉＣ半導体装置。

[請求項11] １つまたは複数の前記電極層は、少なくとも前記第２主面との間でオーミック接触を形成するオーミック電極層を含み、

前記第２ＡｌＩ層は、少なくとも前記オーミック電極層を被覆している、請求項９または１０に記載のＳｉＣ半導体装置。

[請求項12] 前記第２ＡｌＩ層は、前記第１ＡｌＩ層未満の厚さを有している、請求項１～１１のいずれか一項に記載のＳｉＣ半導体装置。

[請求項13] 前記第２ＡｌＩ層は、純ＡｌＩ層、ＡｌＳｉ合金層、ＡｌＣｕ合金層およびＡｌＳｉＣｕ合金層のうちの少なくとも１つを含む、請求項１～１２のいずれか一項に記載のＳｉＣ半導体装置。

[請求項14] 前記第２ＡｌＩ層は、純ＡｌＩ層からなる、請求項１～１３のいずれか一項に記載のＳｉＣ半導体装置。

[請求項15] 前記第１ＡｌＩ層は、純ＡｌＩ層、ＡｌＳｉ合金層、ＡｌＣｕ合金層およびＡｌＳｉＣｕ合金層のうちの少なくとも１つを含む、請求項１～１４のいずれか一項に記載のＳｉＣ半導体装置。

[請求項16] 前記第１主面に形成されたダイオードをさらに含み、

前記第１主面電極は、前記ダイオードのアノードに電気的に接続されたアノード電極を形成し、

前記第２主面電極は、前記ダイオードのカソードに電気的に接続さ

れたカソード電極を形成している、請求項１～１５のいずれか一項に記載のＳｉＣ半導体装置。

[請求項17] 前記第１主面に形成されたＭＩＳＦＥＴをさらに含み、

前記第１主面電極は、前記ＭＩＳＦＥＴのゲートに電気的に接続されたゲート主面電極、および、前記ＭＩＳＦＥＴのソースに電気的に接続されたソース主面電極を含み、

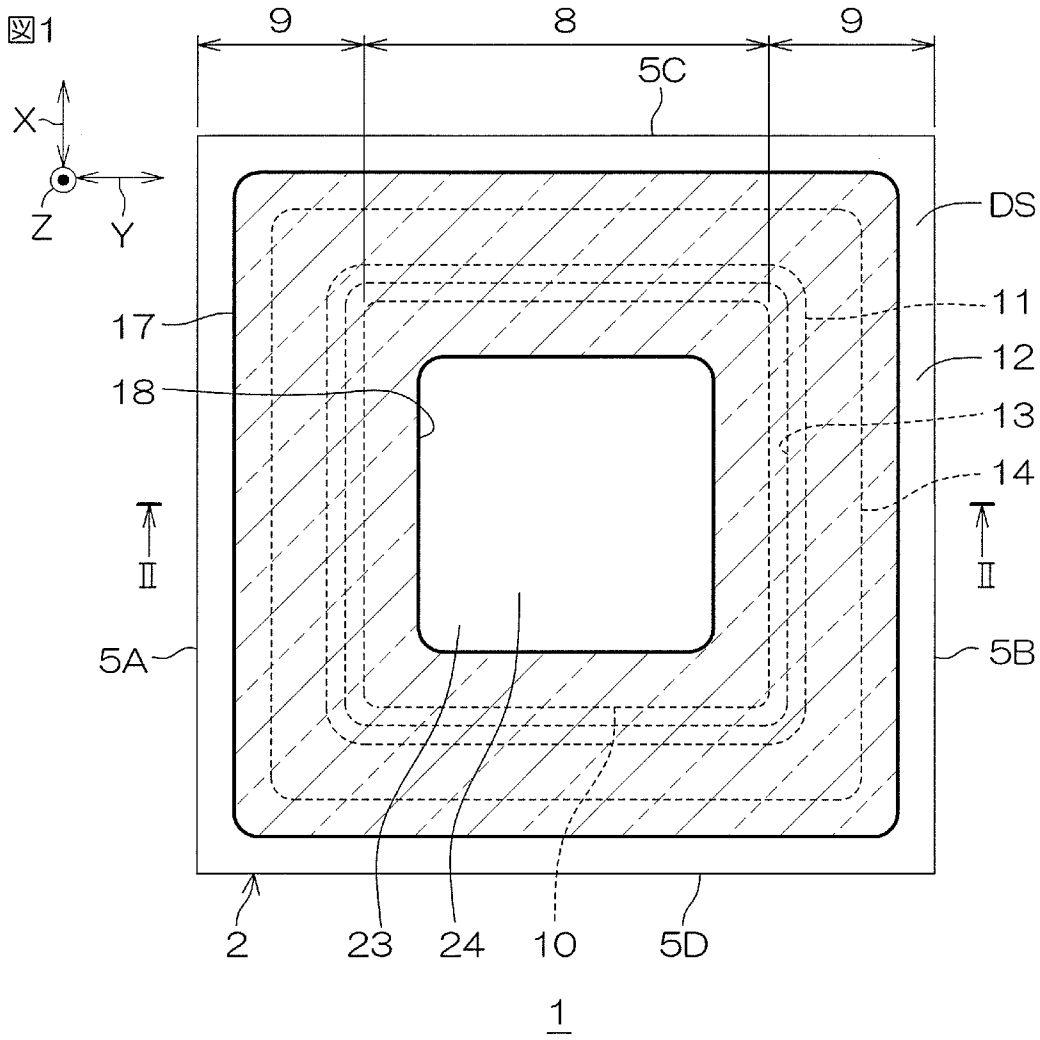
前記パッド電極は、前記ゲート主面電極の上に形成されたゲートパッド電極、および、前記ソース主面電極の上に形成されたソースパッド電極を含み、

前記第２主面電極は、前記ＭＩＳＦＥＴのドレインに電気的に接続されたドレイン電極を形成している、請求項１～１６のいずれか一項に記載のＳｉＣ半導体装置。

[請求項18] 前記ＳｉＣチップは、前記第２主面側から前記第１主面側に向けてこの順に積層されたＳｉＣ半導体基板およびＳｉＣエピタキシャル層を含む積層構造を有している、請求項１～１７のいずれか一項に記載のＳｉＣ半導体装置。

[請求項19] 前記ＳｉＣチップの厚さは、３００μｍ以下である、請求項１～１８のいずれか一項に記載のＳｉＣ半導体装置。

[図1]



[図2]

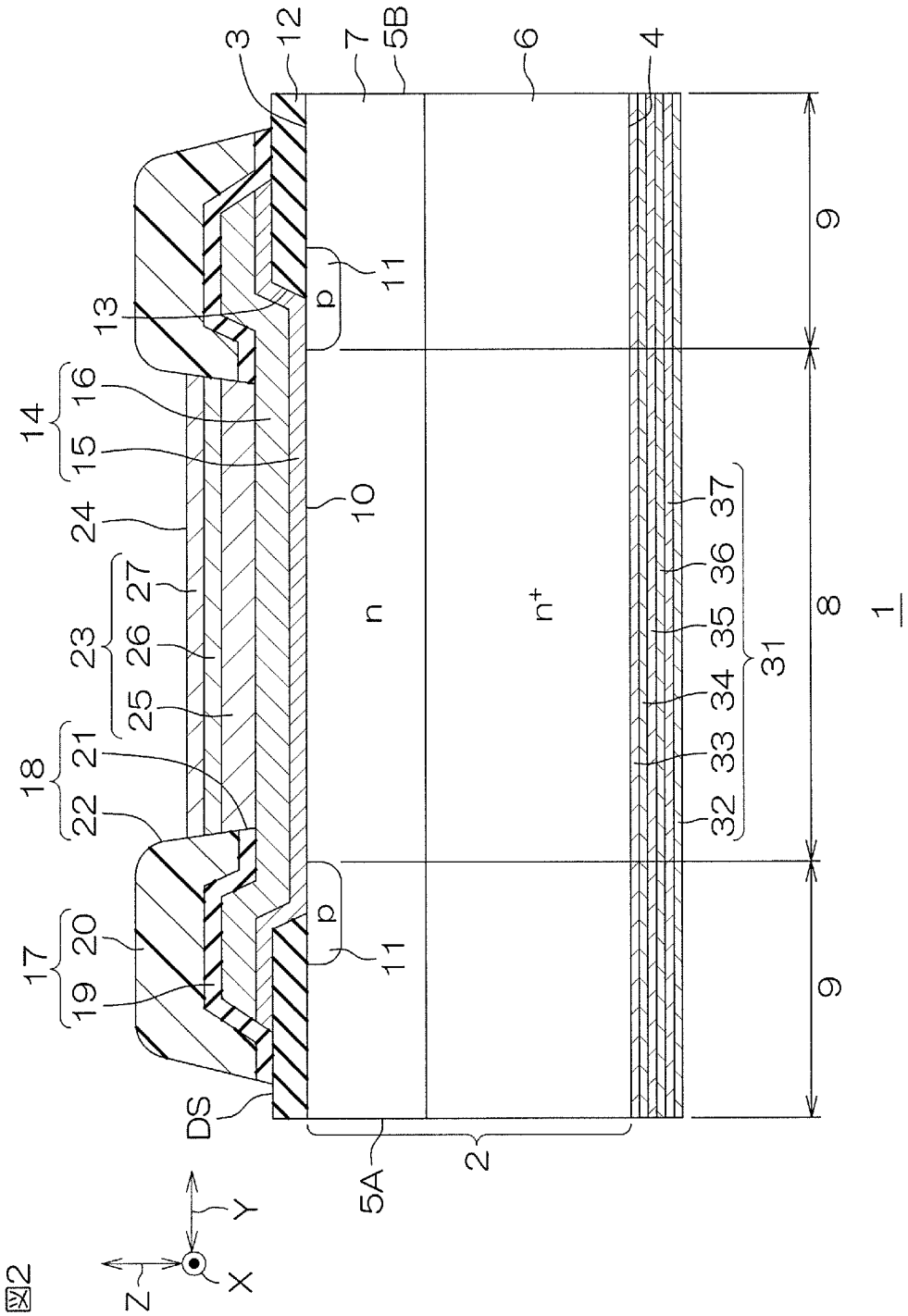
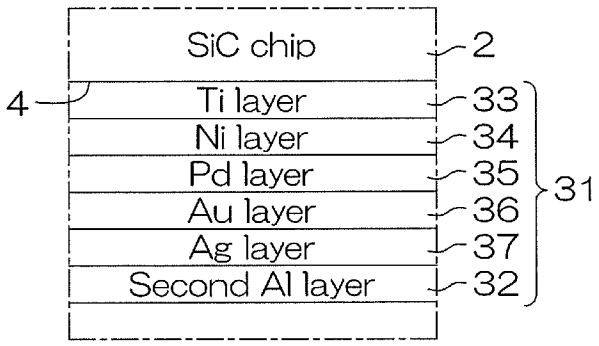

3
12
7
5B
6
4
9
p
11
13
14
16
15
24
10
n
n+
37
36
35
34
33
32
31
8
1
23
27
26
25
18
21
22
17
20
19
DS
5A
2
Y
X
Z

図2

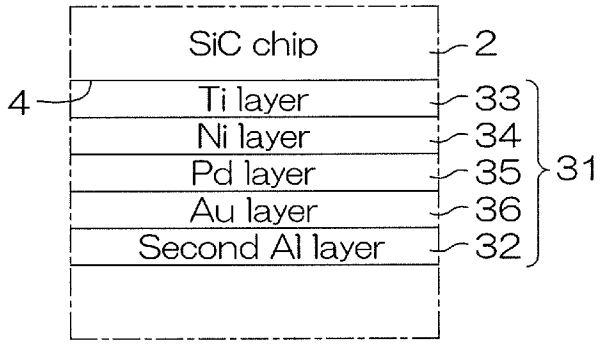
[図3]

図3


SiC chip
2
4
Ti layer
33
Ni layer
34
Pd layer
35
Au layer
36
Ag layer
37
Second Al layer
32
31

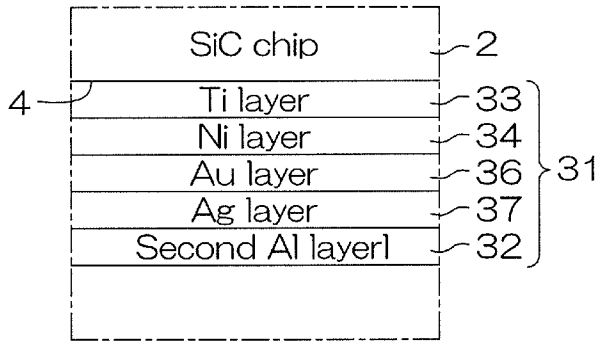
[図4A]

図4A



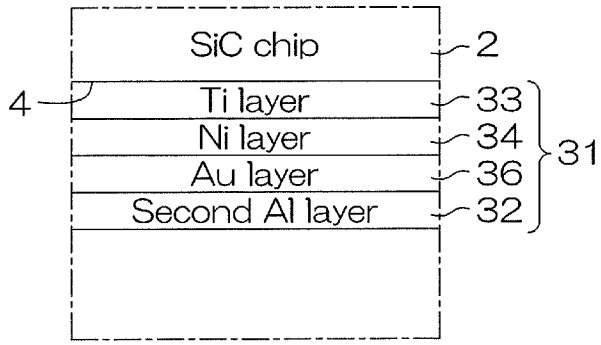
[図4B]

図4B



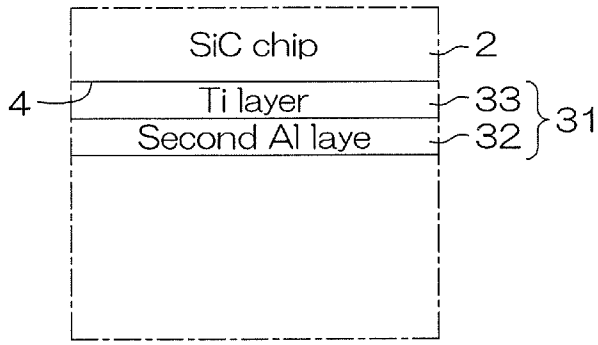
[図4C]

図4C



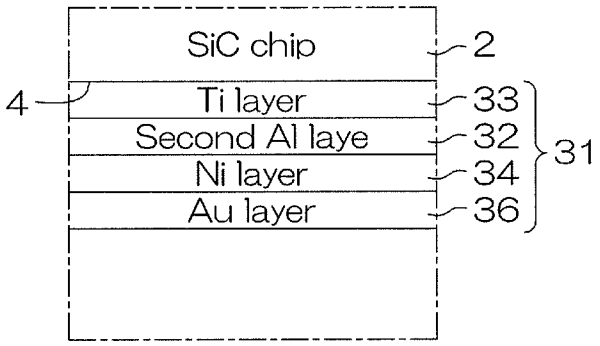
[図4D]

図4D



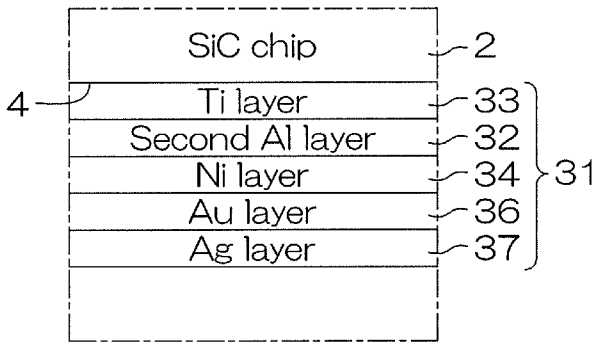
[図4E]

図4E



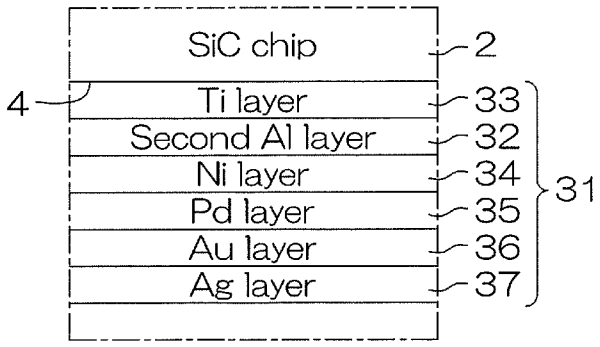
[図4F]

図4F



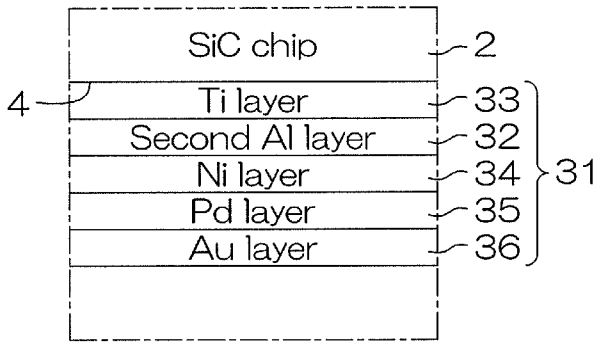
[図4G]

図4G



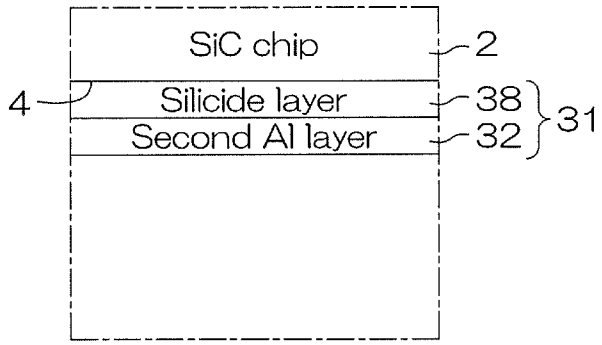
[図4H]

図4H



[図4I]

図4 I


SiC chip
2
4
Silicide layer
38
Second Al layer
32
31

[図5]

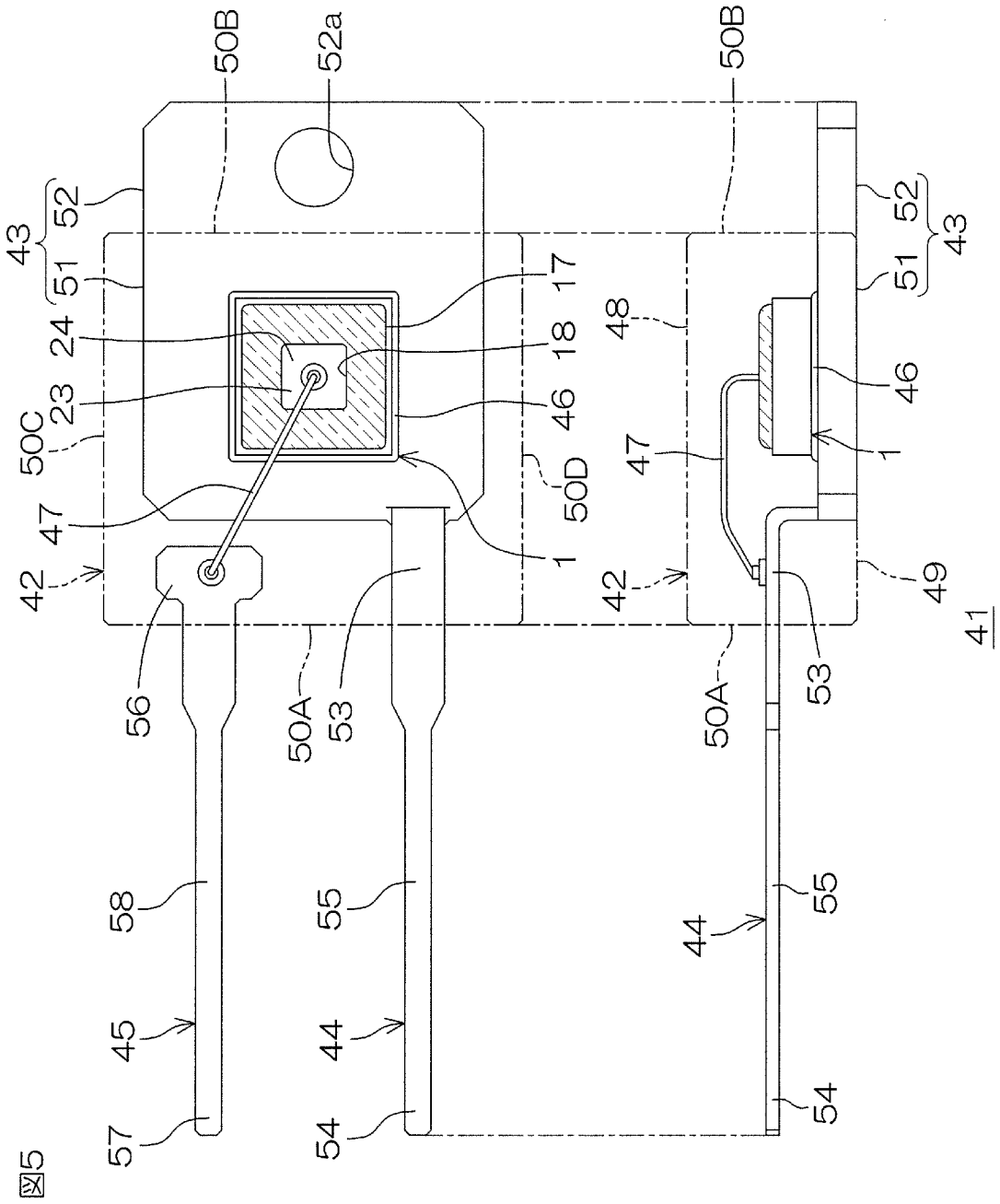

50B
52a
50B
43
52
51
24
23
50C
47
42
56
50A
53
58
45
57
55
44
54
17
18
46
50D
1
48
47
42
50A
53
44
55
54
46
1
49
41

図5

[図6]

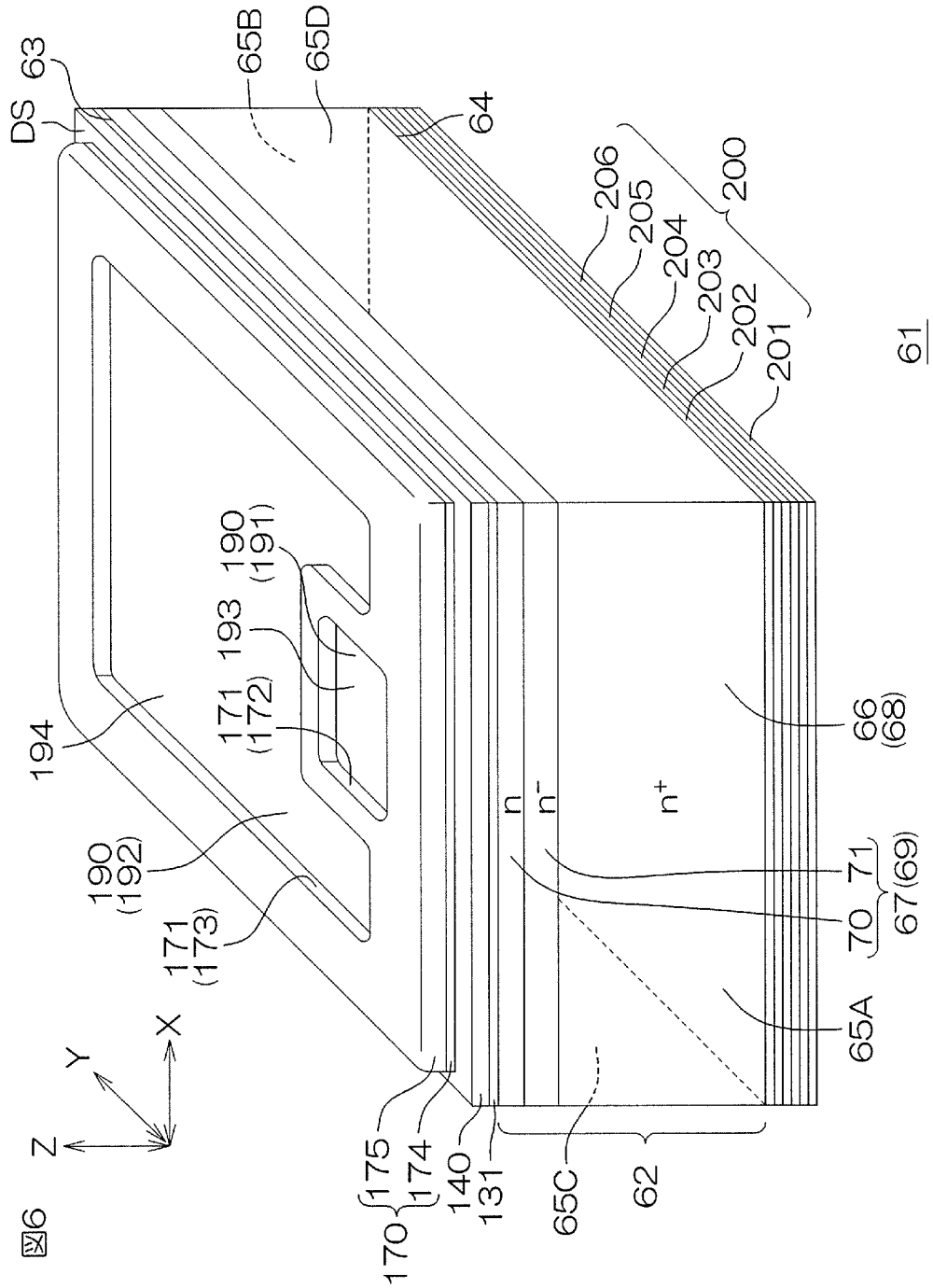

63
DS
65B
65D
64
206
205
204
203
202
201
200
61
190
(191)
193
171
(172)
194
190
(192)
171
(173)
66
(68)
n
n⁻
n⁺
71
70
67(69)
65A
Y
X
Z
175
174
170
140
131
65C
62

図6

[図7]

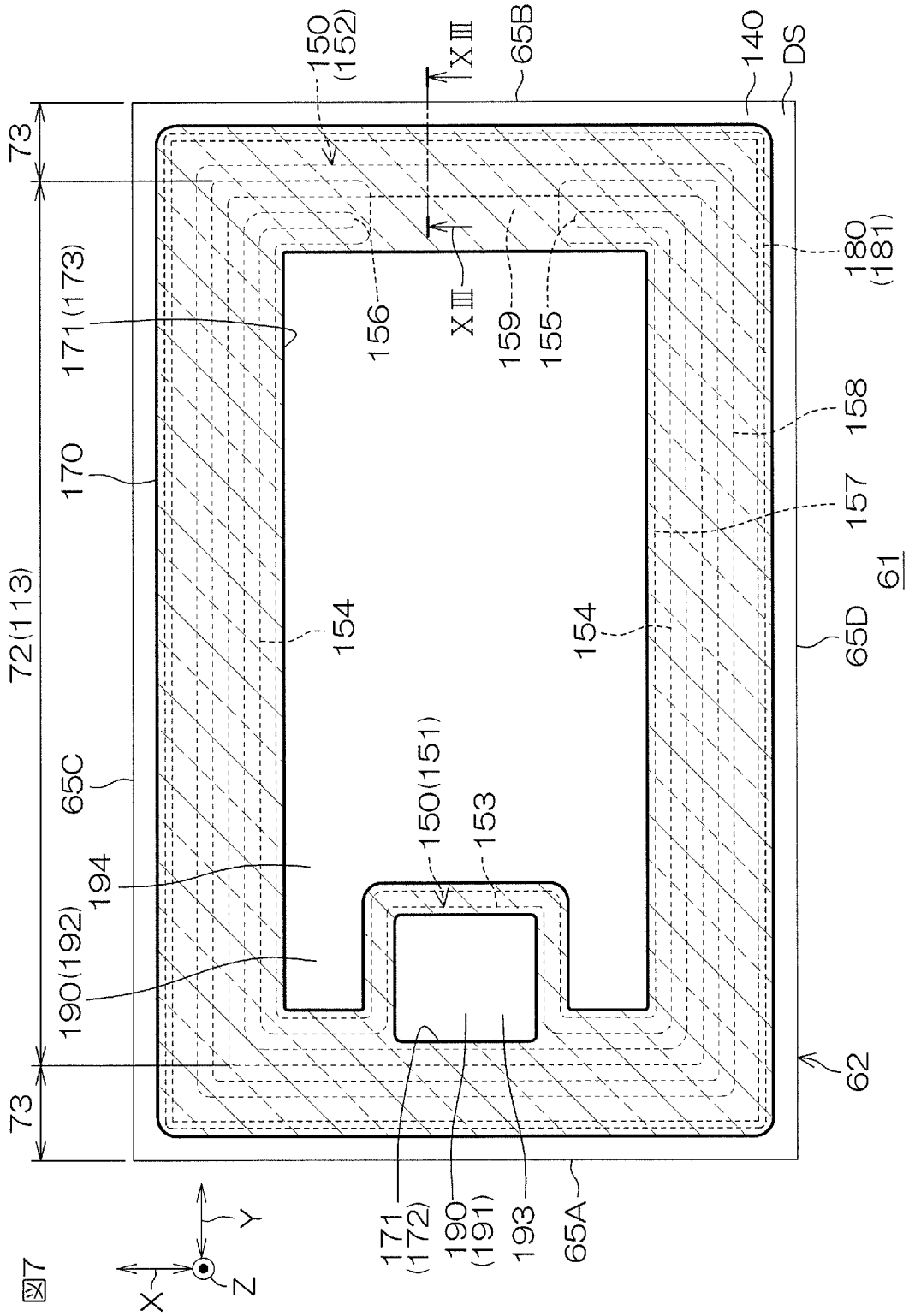

150
(152)
XIII
65B
140
DS
73
180
(181)
171(173)
156
XIII
159
155
158
170
157
72(113)
154
154
61
65D
65C
150(151)
153
194
190(192)
73
62
171
(172)
190
(191)
193
65A
Y
X
Z

図7

[図8]

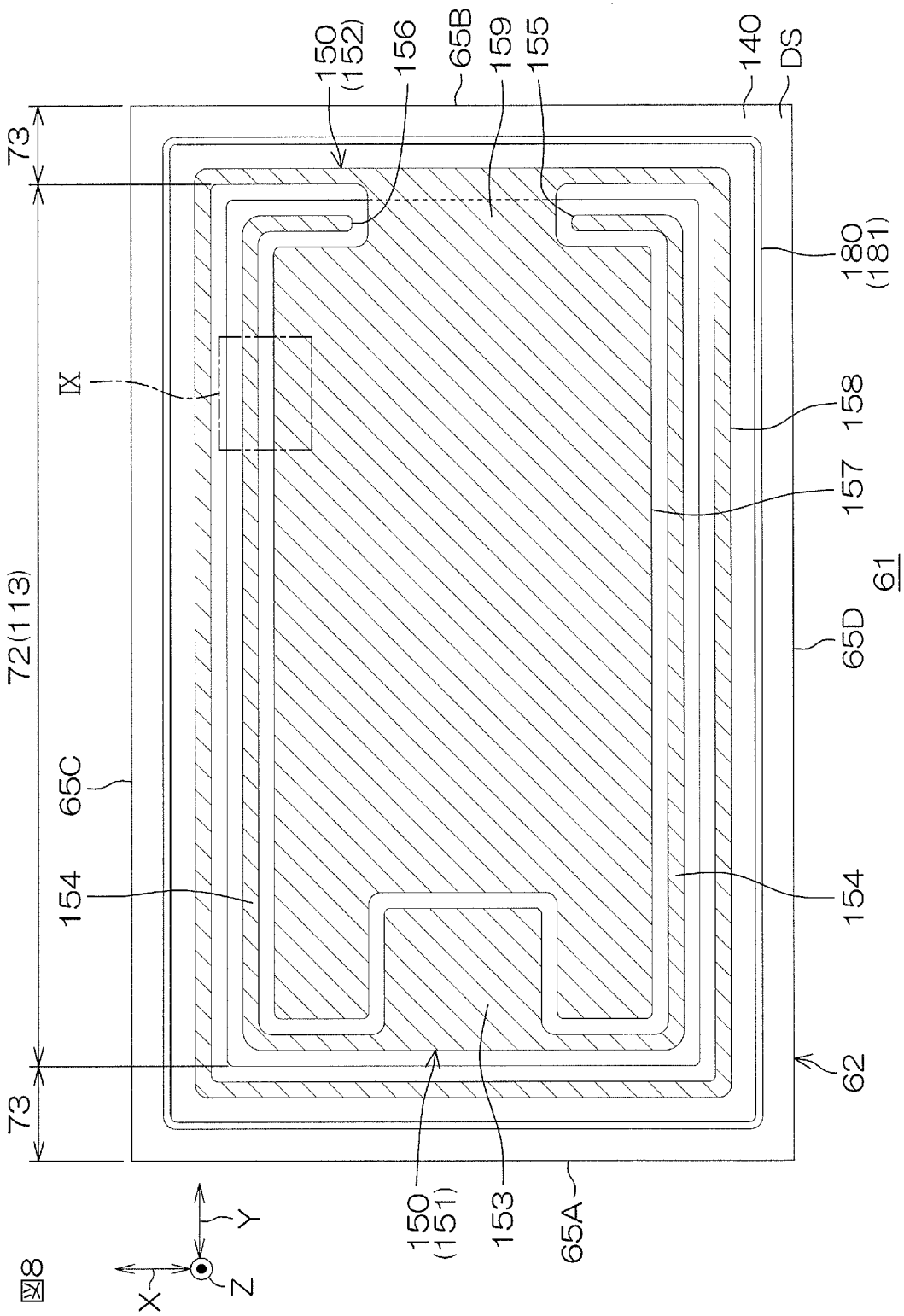

150
(152)
156
65B
159
155
140
DS
73
180
(181)
IX
158
157
72(113)
61
65D
65C
154
154
62
73
150
(151)
153
65A
Y
X
Z

図8

[図9]

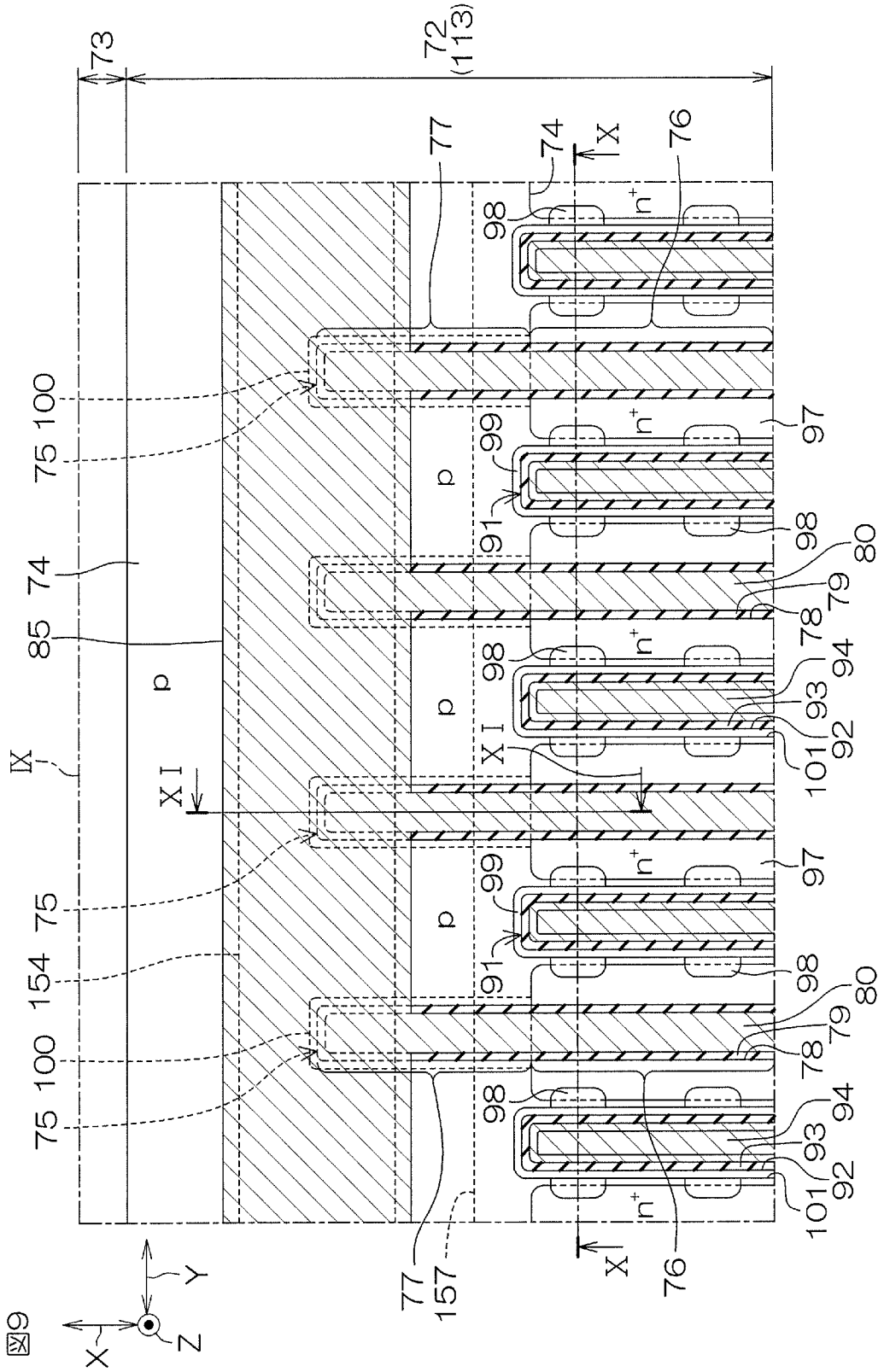

73
72
(113)
77
74
X
76
98
n+
97
99
91
p
75
100
74
80
79
78
85
94
93
92
101
IX
XI
154
Y
Z

図9

[図10]

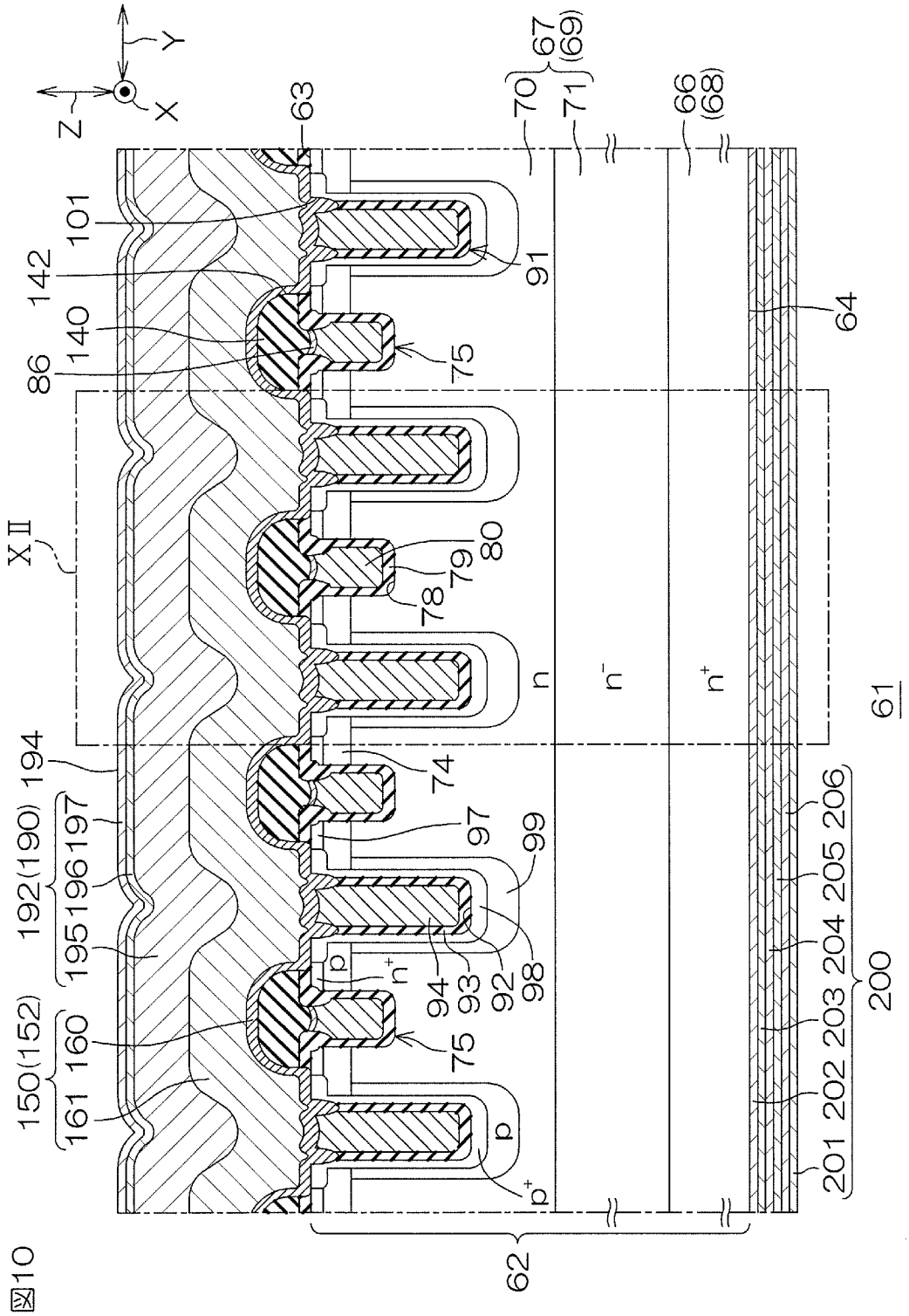

Y
Z
X
63
70
67
(69)
71
66
(68)
101
142
140
86
91
75
64
XII
80
79
78
n
n⁻
n⁺
61
194
74
97
99
192(190)
197
196
195
p
n⁺
94
93
92
98
150(152)
160
161
75
p
p⁺
201
202
203
204
205
206
200
62

図10

[図11]

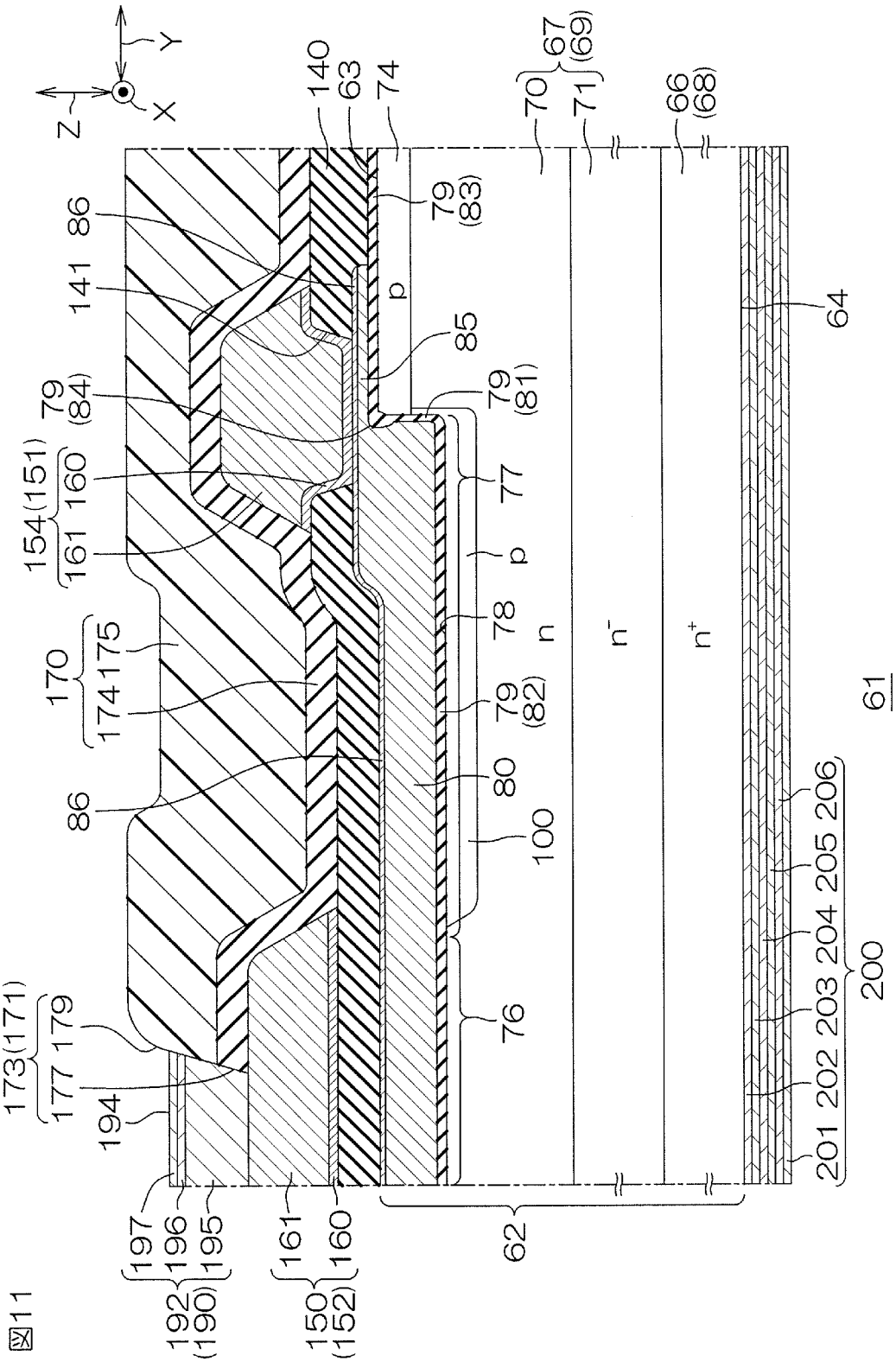
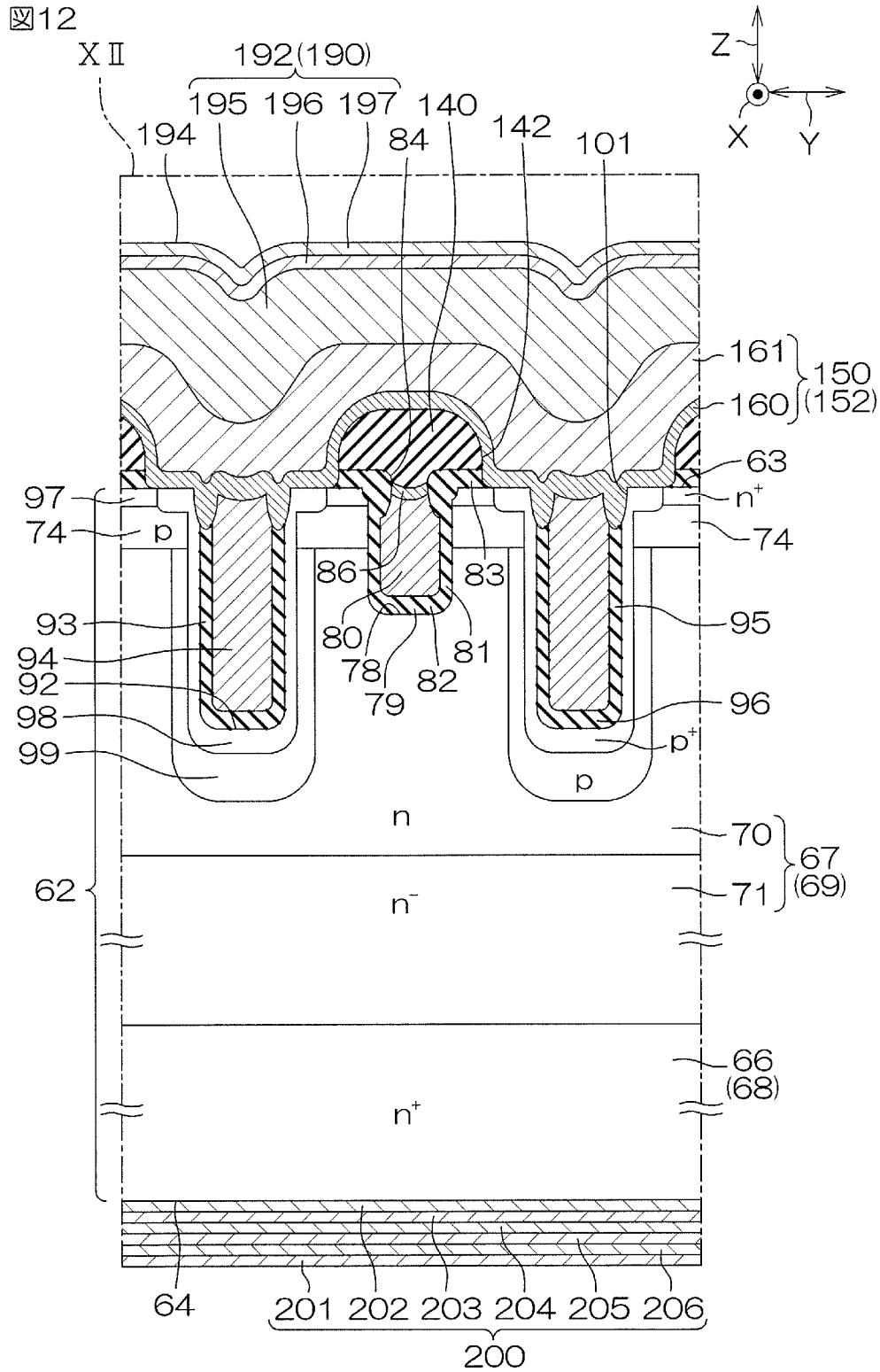

Y
Z
X
140
63
74
70
67
(69)
71
66
(68)
79
(83)
86
141
85
64
79
(84)
79
(81)
154(151)
161
160
77
p
78
n
n⁻
n⁺
170
174
175
79
(82)
86
80
100
61
206
205
204
203
202
201
200
173(171)
177
179
194
76
197
196
195
192
(190)
161
160
150
(152)
62

図11

[図12]


図12
XII
192(190)
195
196
197
140
142
194
84
101
Z
X
Y
161
150
160
(152)
63
97
n+
74
p
74
86
83
93
95
80
81
94
78
82
92
79
96
98
p+
99
p
n
70
67
62
(69)
71
n-
66
(68)
n+
64
201
202
203
204
205
206
200

[図13]

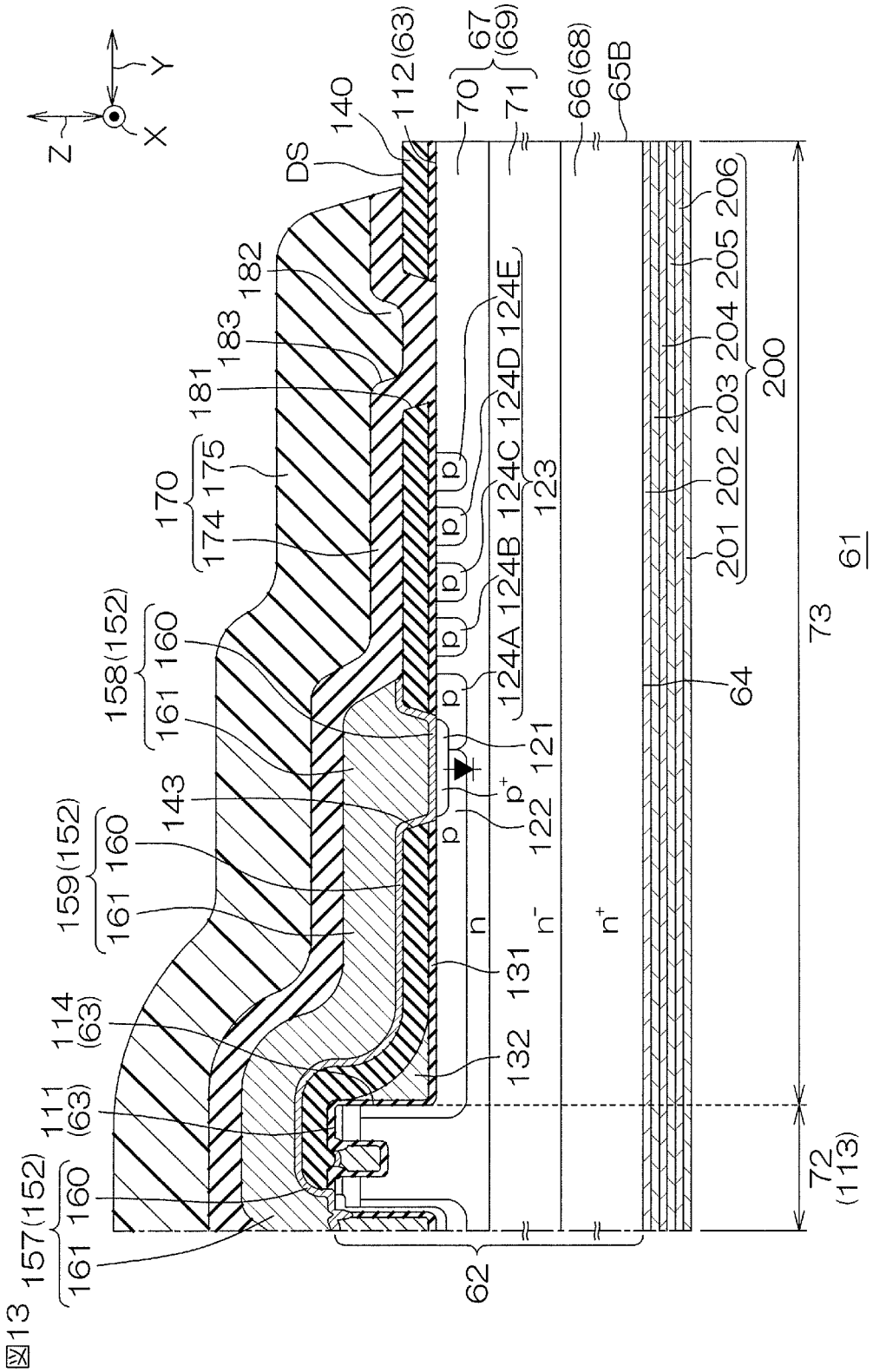

Z
Y
X
DS
140
112(63)
70
67
(69)
71
66(68)
65B
182
183
181
170
174
175
158(152)
161
160
159(152)
161
160
143
114
(63)
111
(63)
157(152)
161
160
124E
124D
124C
124B
124A
123
121
122
131
132
p
n
n⁻
n⁺
p⁺
200
201
202
203
204
205
206
64
73
61
72
(113)
62

図13

[図14]

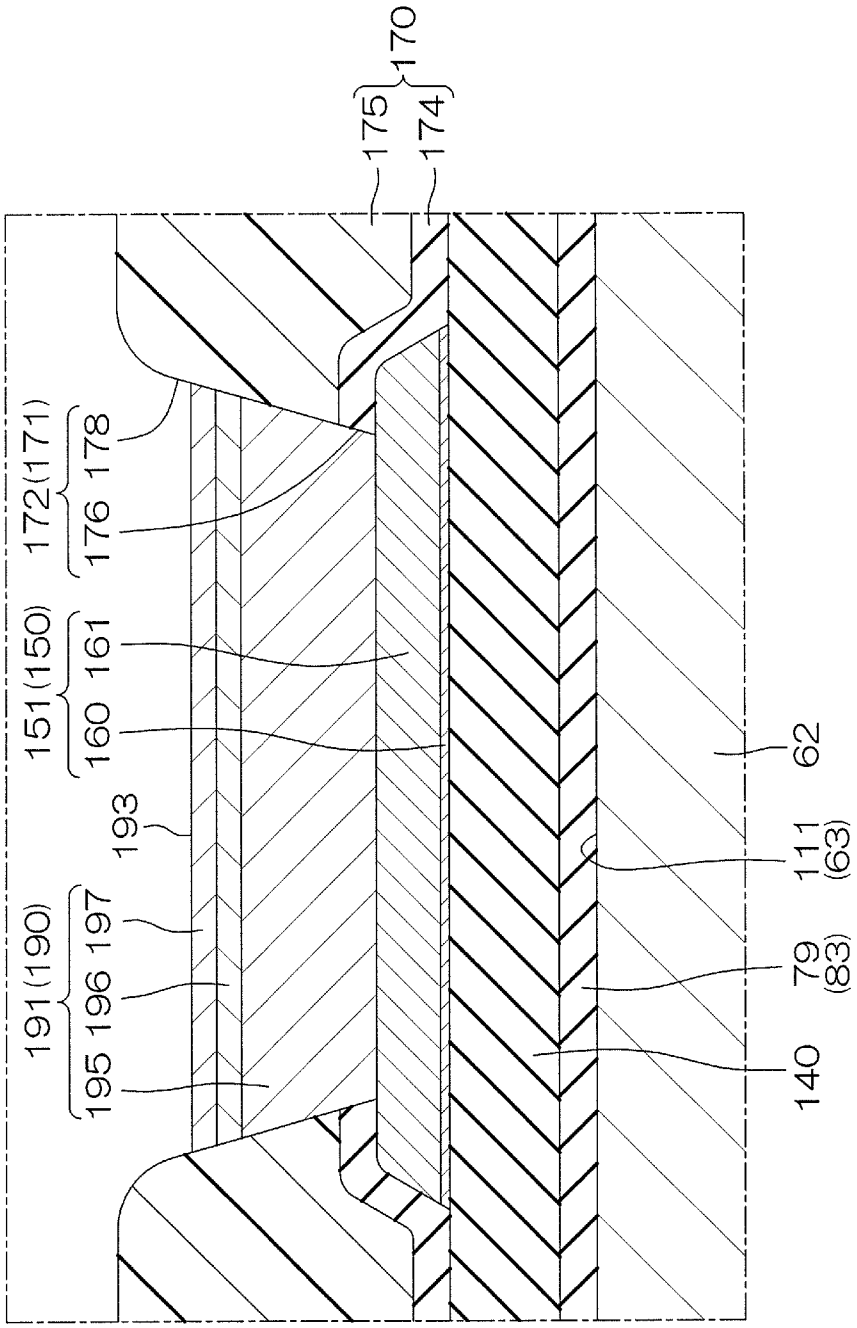

170
175
174
172(171)
178
176
151(150)
161
160
193
191(190)
197
196
195
62
111
(63)
79
(83)
140

図14

[図15]

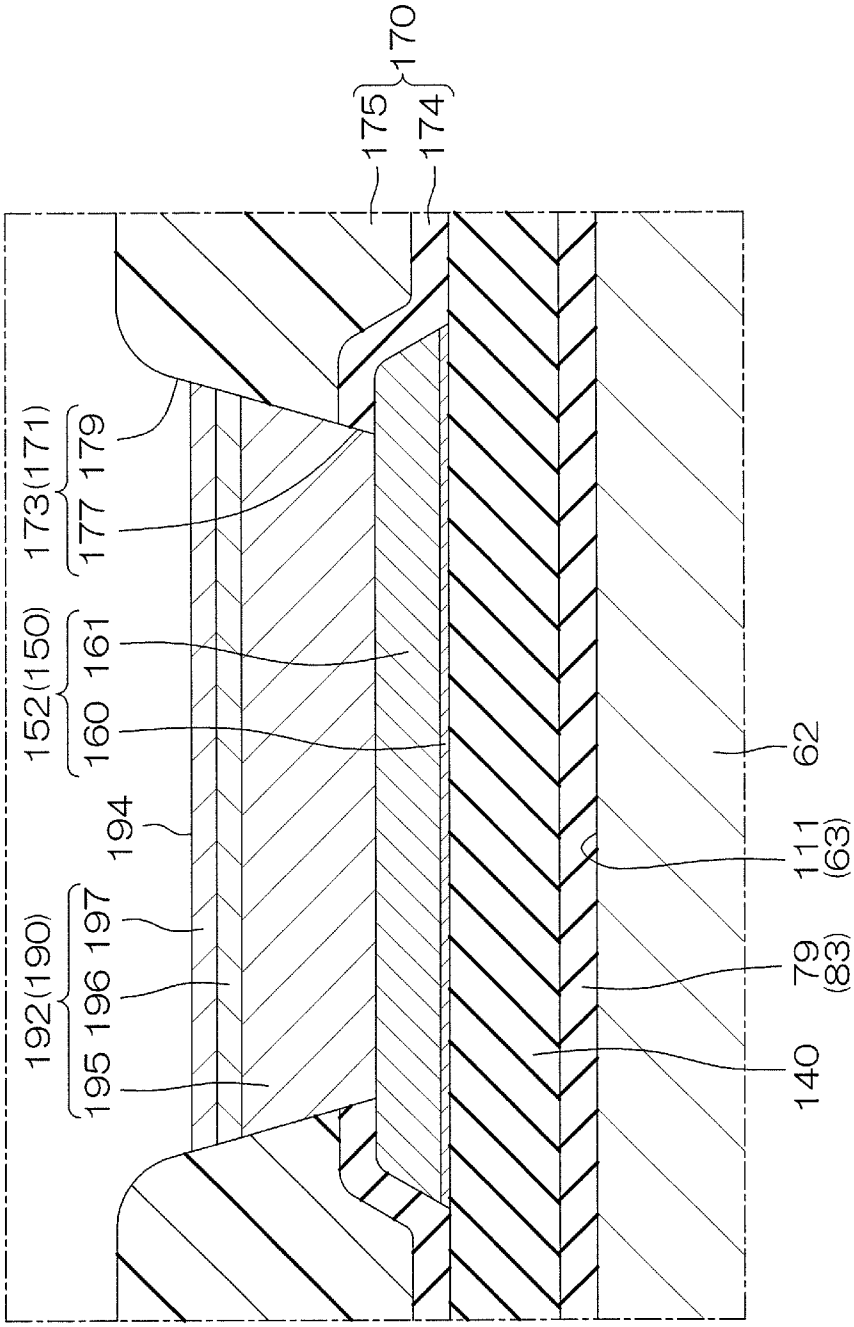
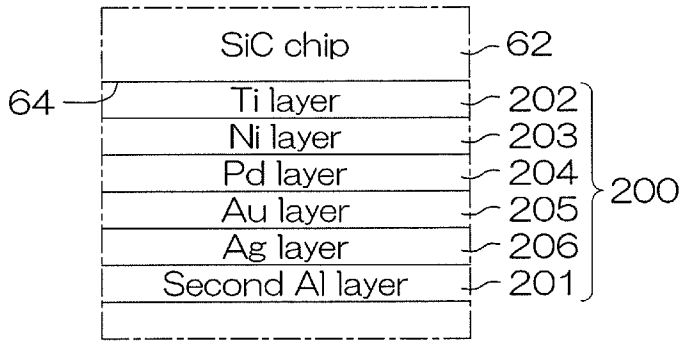

170
175
174
173(171)
177 179
152(150)
160 161
194
192(190)
195 196 197
62
111
(63)
79
(83)
140

図15

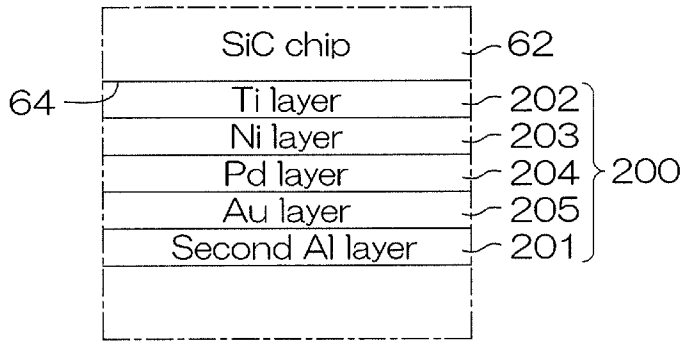
[図16]

図16



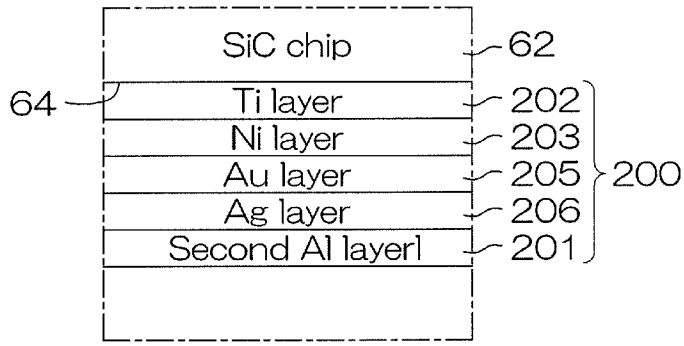
[図17A]

図17A



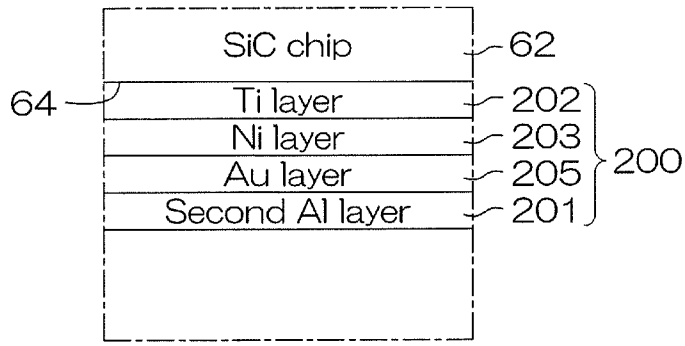
[図17B]

図17B



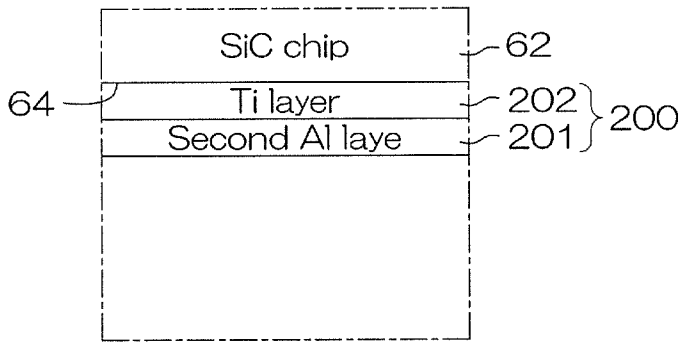
[図17C]

図17C



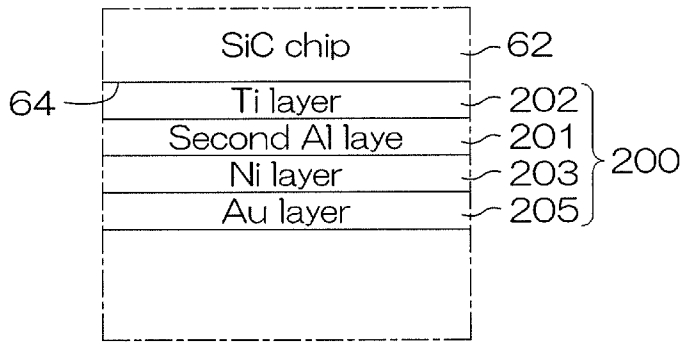
[図17D]

図17D



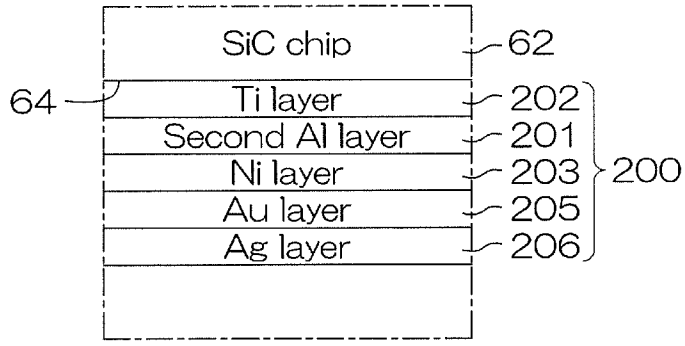
[図17E]

図17E



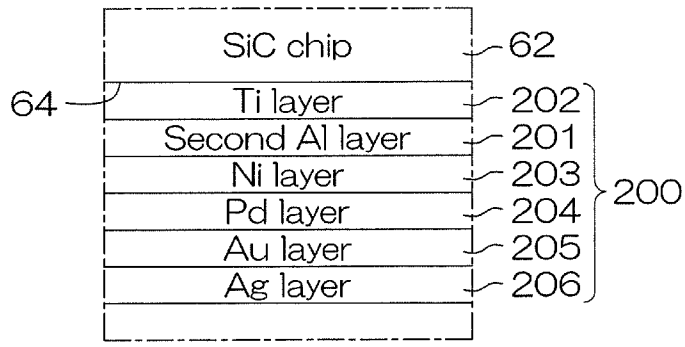
[図17F]

図17F



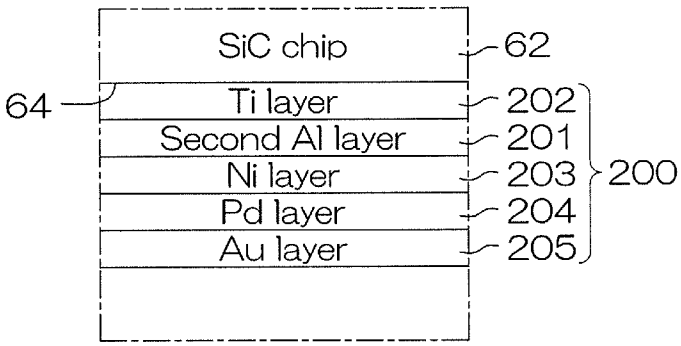
[図17G]

図17G



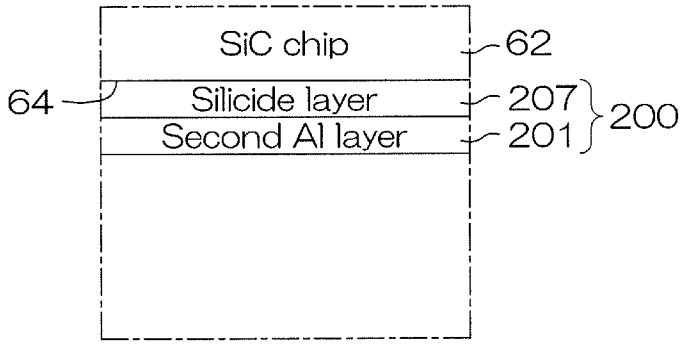
[図17H]

図17H



[図17I]

図17I



[図18]

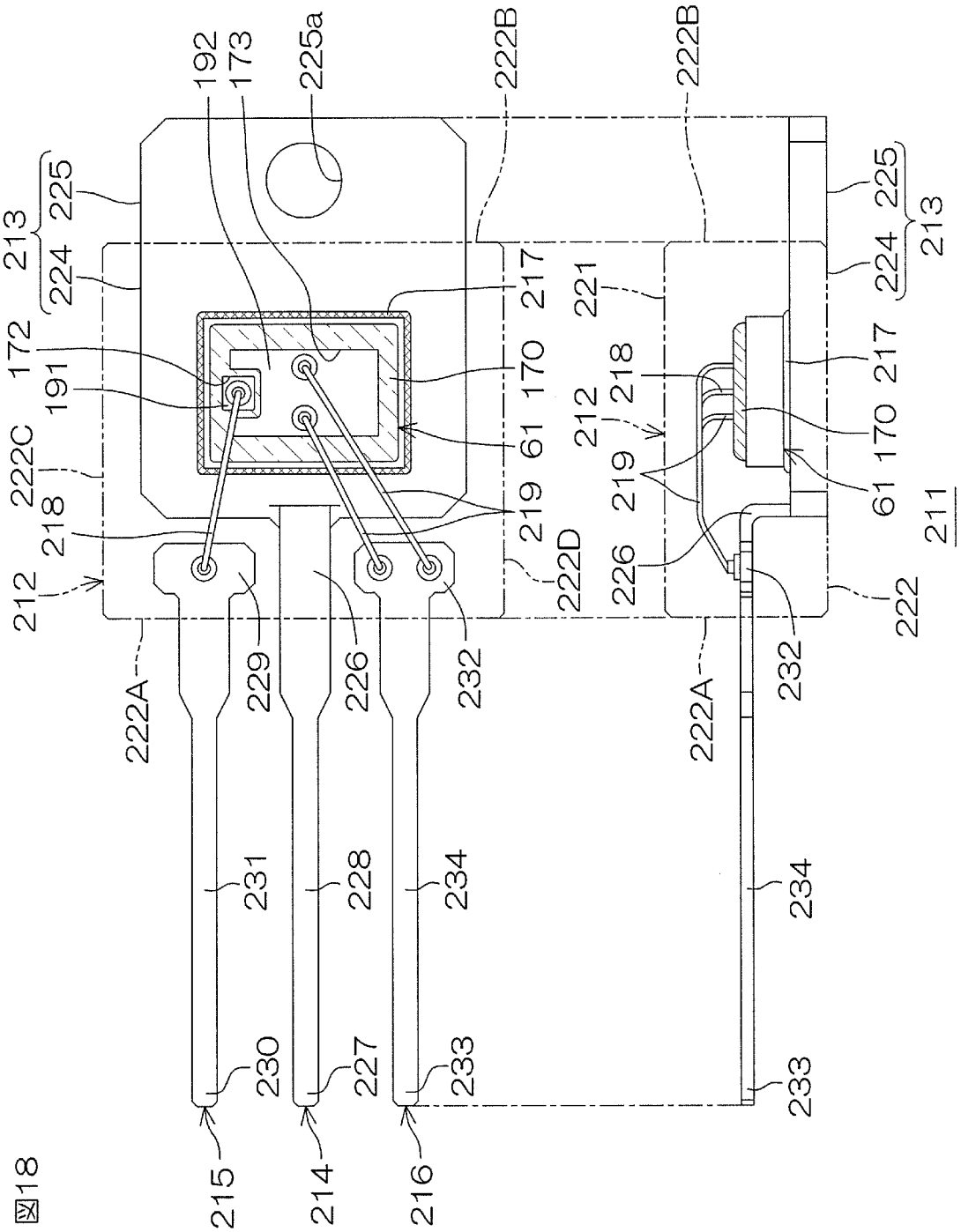

192
173
225a
222B
222B
213
225
224
225
213
224
217
221
172
191
222C
218
212
222D
219
61
170
217
218
212
219
61
170
211
226
222
222A
229
226
232
222A
232
231
228
234
234
230
227
233
233
215
214
216

図18

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/016433

A. CLASSIFICATION OF SUBJECT MATTER
H01L 29/43(2006.01)i; H01L 21/28(2006.01)i; H01L 21/60(2006.01)i; H01L 29/161(2006.01)i; H01L 29/78(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i; H01L 29/872(2006.01)i
FI: H01L29/44 L; H01L29/46; H01L29/78 652Q; H01L29/78 652T; H01L29/78 658J; H01L29/86 301D; H01L29/91 F; H01L21/28 301R; H01L21/60 301P
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/43; H01L21/28; H01L21/60; H01L29/161; H01L29/78; H01L29/861; H01L29/868; H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2017-118060 A (ROHM CO., LTD.) 29.06.2017 (2017-06-29) paragraphs [0015]-[0058], fig. 1-8	1-18, 19
Y	paragraphs [0015]-[0058], fig. 1-8	17
Y	JP 2013-45973 A (PANASONIC CORP.) 04.03.2013 (2013-03-04) paragraphs [0027]-[0034], fig. 1-3	17
A	JP 2018-120929 A (TOYOTA MOTOR CORP.) 02.08.2018 (2018-08-02) paragraphs [0009]-[0012], [0018], fig. 1-2	1-19

☐ Further documents are listed in the continuation of Box C.
☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
08 July 2020 (08.07.2020)	21 July 2020 (21.07.2020)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/016433

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2017-118060 A	29 Jun. 2017	US 2017/0186847 A1 paragraphs [0039]-[0104], fig. 1-8	
JP 2013-45973 A	04 Mar. 2013	(Family: none)	
JP 2018-120929 A	02 Aug. 2018	US 2018/0211930 A1 paragraphs [0015]-[0018], [0024], fig. 1-2	
		CN 108447794 A	

国際調査報告

国際出願番号
PCT/JP2020/016433

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/43(2006.01)i; H01L 21/28(2006.01)i; H01L 21/60(2006.01)i; H01L 29/161(2006.01)i; H01L 29/78(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i; H01L 29/872(2006.01)i
FI: H01L29/44 L; H01L29/46; H01L29/78 652Q; H01L29/78 652T; H01L29/78 658J; H01L29/86 301D; H01L29/91 F; H01L21/28 301R; H01L21/60 301P

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/43; H01L21/28; H01L21/60; H01L29/161; H01L29/78; H01L29/861; H01L29/868; H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2017-118060 A (ローム株式会社) 29.06.2017 (2017-06-29) 段落[0015]-[0058], 図1-8	1-18, 19
Y	段落[0015]-[0058], 図1-8	17
Y	JP 2013-45973 A (パナソニック株式会社) 04.03.2013 (2013-03-04) 段落[0027]-[0034], 図1-3	17
A	JP 2018-120929 A (トヨタ自動車株式会社) 02.08.2018 (2018-08-02) 段落[0009]-[0012], [0018], 図1-2	1-19

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
08.07.2020	21.07.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
早川　朋一　50 9733
電話番号 03-3581-1101 内線 3559

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/016433

引用文献	公表日	パテントファミリー文献	公表日
JP 2017-118060 A	29.06.2017	US 2017/0186847 A1 段落[0039]-[0104], 図1-8	
JP 2013-45973 A	04.03.2013	（ファミリーなし）	
JP 2018-120929 A	02.08.2018	US 2018/0211930 A1 段落[0015]-[0018], [0024], 図1-2 CN 108447794 A	