(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
3. April 2014 (03.04.2014)

WIPO | PCT

(10) Internationale Veröffentlichungsnummer
WO 2014/049038 A1

(51) Internationale Patentklassifikation:
H01L 33/00 (2010.01) *H01L 33/20* (2010.01)
H01L 21/784 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2013/070042

(22) Internationales Anmeldedatum:
26. September 2013 (26.09.2013)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2012 217 524.5
27. September 2012 (27.09.2012) DE
10 2012 220 909.3
15. November 2012 (15.11.2012) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: **ZINI, Lorenzo**; Hombergerweg 7, 93049 Regensburg (DE). **BÖHM, Bernd**; Embacher Str. 14, 93083 Obertraubling (DE).

(74) Anwalt: **EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH**; Schlossschmidstr. 5, 80639 Munich (DE).

(81) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart)*: ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

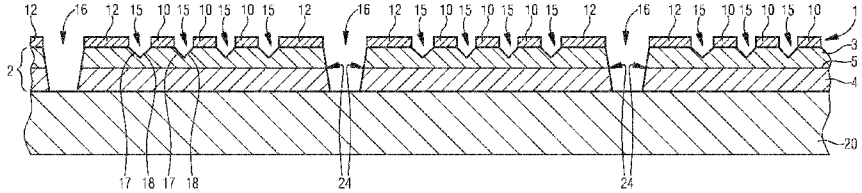
Veröffentlicht:

— *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

(54) Title: METHOD FOR SEPARATING REGIONS OF A SEMICONDUCTOR LAYER

(54) Bezeichnung : VERFAHREN ZUM VEREINZELN VON BEREICHEN EINER HALBLEITERSCHICHT

FIG 2



(57) Abstract: The invention relates to a method for separating regions of a semiconductor layer and for introducing an outcoupling structure into an upper side of the semiconductor layer, the outcoupling structure being provided to couple light out of the semiconductor layer. The upper side of the semiconductor layer is covered by a mask having first openings for introducing the outcoupling structure and at least a second opening, which is provided to introduce a separating trench into the semiconductor layer. With the aid of an etching method, the outcoupling structure is introduced into the upper side of the semiconductor layer in the region of the first openings and simultaneously a separating trench passing through the semiconductor layer is introduced into the semiconductor layer via the second opening, and a region of the semiconductor layer is separated.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zum Vereinzeln von Bereichen einer Halbleiterschicht und zum Einbringen einer Auskoppelstruktur in eine Oberseite der Halbleiterschicht, wobei die Auskoppelstruktur vorgesehen ist, um Licht aus der Halbleiterschicht auszukoppeln, wobei die Oberseite der Halbleiterschichtmit einer Maske bedeckt wird, wobei die Maske erste Öffnungen zum Einbringen der Auskoppelstruktur aufweist, wobei die Maske wenigstens eine zweite Öffnung aufweist, wobei die zweite Öffnung vorgesehen ist, um einen Trenngraben in die Halbleiterschicht einzubringen, wobei mithilfe eines Ätzverfahren gleichzeitig die Auskoppelstruktur in den Bereich der ersten Öffnungen in die Oberseite der Halbleiterschicht eingebracht wird und über die zweite Öffnung ein durch die Halbleiterschicht gehender Trenngraben in die Halbleiterschicht eingebracht wird und ein Bereich der Halbleiterschicht vereinzelt wird.

WO 2014/049038 A1

Beschreibung

Verfahren zum Vereinzeln von Bereichen einer Halbleiterschicht

Die Erfindung betrifft ein Verfahren zum Vereinzeln von Bereichen einer Halbleiterschicht gemäß Patentanspruch 1 und einen optoelektronischen Halbleiterchip gemäß Anspruch 8.

Diese Patentanmeldung beansprucht die Prioritäten der deutschen Patentanmeldungen 10 2012 217 524.5 und 10 2012 220 909.3, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Aus DE 10 2011 010 503 A1 ist es bekannt, eine Halbleiterschicht eines optoelektronischen Halbleiterchips mit einer Maske zu versehen und eine Auskoppelstruktur in eine Auskoppelseite der Halbleiterschicht einzubringen. Anschließend wird die Maske entfernt und es wird mit Hilfe einer zweiten Maske ebenfalls mit einem Ätzverfahren die Halbleiterschicht in einzelne Bereiche vereinzelt, aus denen später einzelne Halbleiterchips hergestellt werden.

Die Aufgabe der Erfindung besteht darin, ein einfacheres und schnelleres Verfahren zum Vereinzeln von Bereichen einer Halbleiterschicht und zum Einbringen einer Auskoppelstruktur in die Halbleiterschicht bereitzustellen.

Die Aufgabe wird mit dem Verfahren gemäß Anspruch 1 und dem Halbleiterchip gemäß Anspruch 10 gelöst. Weitere vorteilhafte Ausführungsformen sind in den abhängigen Ansprüchen angegeben.

Das beschriebene Verfahren weist den Vorteil auf, dass nur mit einer Maske und in einem Verfahrensschritt die Auskoppelstruktur in die Halbleiterschicht eingebracht wird und gleichzeitig wenigstens ein Bereich der Halbleiterschicht vereinzelt wird. Somit ist das beschriebene Verfahren ein-

fach, kostengünstig und schnell durchzuführen. Im Gegensatz zum Stand der Technik ist es nicht erforderlich, mehrere Masken zu verwenden und/oder mehrere Ätzverfahren durchzuführen. Mit Hilfe des beschriebenen Verfahrens wird beispielsweise ein optoelektronischer Halbleiterchip mit einer Halbleiterschicht zum Erzeugen von Licht hergestellt. Durch die gleichzeitige Aufrauung und die Einbringung eines Grabens um den Halbleiterchip, d. h. die Mesa-Ätzung erhält man einen nicht aufgerauten Rand um den Halbleiterchip. Aufgrund dieser scharfen Chipkante lässt sich die Chipkante in einer abschließenden optischen Kontrolle leichter auf Defekte oder Verschmutzungen kontrollieren. Dadurch wird die Zuverlässigkeit der optischen Kontrolle erhöht.

Im Stand der Technik ist der Chiprand auch aufgeraut und dadurch sieht die Chipkante in der Kontrolle sehr wellig aus, so dass eine klare definierbare Grenze für die automatische Kontrolle nur schwer zu erkennen ist.

Die Maske wird in einer Ausführungsform in einem Verfahrensschritt aufgebracht und weist somit eine einheitliche Dicke auf.

In einer Weiterbildung wird als Maske eine Hartmaske verwendet. Die Hartmaske ist einfach herzustellen, kostengünstig und ermöglicht eine genaue Strukturierung der Auskoppelstruktur und der Vereinzelung eines Bereiches der Halbleiterschicht.

In einer weiteren Ausführungsform handelt es sich bei der Hartmaske um eine Lackmaske.

In einer weiteren Ausführungsform wird als Ätzmittel ein gasförmiges oder flüssiges Ätzmedium verwendet. Die Verwendung von gasförmigen oder flüssigen Ätzmedien stellt eine bekannte Technik dar und ermöglicht eine kostengünstige Durchführung des Verfahrens.

In einer weiteren Ausführungsform handelt es sich bei dem Ätzverfahren um ein Trockenätzverfahren.

In einer weiteren Ausführungsform wird bei dem Trockenätzverfahren ein Plasma verwendet. Beispielsweise handelt es sich dabei um ein Cl-Plasma.

Das beschriebene Verfahren eignet sich besonders für die Einbringung einer Auskoppelstruktur in eine epitaktisch aufgebrachte Halbleiterschicht. Beispielsweise kann die epitaktisch gewachsene Halbleiterschicht in Form einer Galliumnitridschicht ausgebildet sein.

In einer weiteren Ausführungsform wird nach dem Entfernen der Maske ein weiterer Strukturierungsschritt durchgeführt, um die bisher bedeckten Bereiche der Halbleiterschicht mit einer Auskoppelstruktur zu versehen. Auf diese Weise wird die Effizienz zum Auskoppeln von Licht verbessert.

Die oben beschriebenen Eigenschaften, Merkmale und Vorteile dieser Erfindung sowie die Art und Weise, wie diese erreicht werden, werden klarer und deutlicher verständlich im Zusammenhang mit der folgenden Beschreibung der Ausführungsbeispiele, die im Zusammenhang mit den Zeichnungen näher erläutert werden, wobei

Figur 1 in einer schematischen Darstellung einen ersten Verfahrensschritt,

Figur 2 in einer schematischen Darstellung einen zweiten Verfahrensschritt,

Figur 3 eine schematische Draufsicht auf eine Halbleiterschicht mit einer Maske darstellt, und

Figur 4 eine schematische Darstellung von Halbleiterchips.

Figur 1 zeigt in einer schematischen Schnittansicht eine Halbleiterschicht 2, auf deren Oberseite eine strukturierte Maske 1 aufgebracht ist. Die Halbleiterschicht 2 kann auf einem Träger 20 angeordnet sein, wie dargestellt. Der Träger 20 kann beispielsweise Ge, Si, GaAs, AlN oder SiN aufweisen oder aus einer entsprechenden Schicht aus Ge, Si, GaAs, AlN oder SiN bestehen. Die Maske 1 ist beispielsweise in Form einer Hartmaske ausgebildet. Die Hartmaske kann beispielsweise Siliziumnitrid oder Siliziumoxid aufweisen. Weiterhin kann es sich bei der Hartmaske auch um eine Lackmaske handeln. Die Strukturierung der Maske wird mit lithographischem Verfahren unter Verwendung von Photolack und entsprechenden Ätzmedien ausgeführt. Beispielsweise kann zur Strukturierung oder zur Entfernung der Maske ein Ätzvorgang mit Flusssäure (HF) oder einer mit Ammoniak gepufferten Flusssäure durchgeführt werden.

Die Halbleiterschicht 2 weist beispielsweise eine obere erste dotierte Halbleiterschicht 3 auf. Angrenzend an die erste Halbleiterschicht 3 ist eine zweite dotierte Halbleiterschicht 4 vorgesehen. Die erste Halbleiterschicht 3 kann negativ dotiert sein und die zweite Halbleiterschicht 4 kann positiv dotiert sein. Ebenso kann die erste Halbleiterschicht 3 positiv dotiert sein und die zweite Halbleiterschicht 4 negativ dotiert sein. Im Grenzbereich zwischen der ersten und der zweiten Halbleiterschicht 3,4 ist eine aktive Zone 5 zur Erzeugung von Licht ausgebildet. Abhängig von der gewählten Ausführungsform können auch komplexere Schichtstrukturen für die Ausbildung einer aktiven Zone 5 vorgesehen sein. Insbesondere kann die aktive Zone 5 aus einer Abfolge von Schichten mit unterschiedlichen Dotierungen ausgebildet sein. Die Halbleiterschicht 2 stellt beispielsweise eine optoelektronische Halbleiterschicht insbesondere einen LED Halbleiterchip dar.

Auf der ersten Halbleiterschicht 3 ist die strukturierte Maske 1 aufgebracht. Abhängig von der gewählten Ausführungsform

kann die Halbleiterschicht 2 auch andere oder zusätzliche Schichten insbesondere eine Spiegelschicht aufweisen.

Die Maske 1 weist erste Maskenelemente 10 und zweite Maskenelemente 12 auf. Zwischen einem ersten Maskenelement 10 und einem weiteren ersten Maskenelement 10 bzw. zwischen einem ersten Maskenelement 10 und einem zweiten Maskenelement 12 ist jeweils eine erste Öffnung 40 vorgesehen. Die Breite der ersten Öffnung 40, d.h. ein erster Abstand 13 zwischen einem ersten Maskenelementen 10 und einem weiteren ersten Maskenelement 10 bzw. zwischen einem ersten Maskenelement 10 und einem zweiten Maskenelement 12 liegt in einem ersten Bereich. Beispielsweise sind die ersten Abstände 13 zwischen zwei ersten Maskenelementen 10 und einem ersten Maskenelement 10 und einem zweiten Maskenelement 12 gleich groß. Das zweite Maskenelement 12 ist jeweils umlaufend um einen Bereich der Halbleiterschicht 2 angeordnet. Das zweite Maskenelement 12 kann eine Breite von beispielsweise 10 µm bis 5 µm haben.

Die ersten Maskenelemente 10 weisen vorzugsweise die gleiche Breite entlang einer in Figur 1 dargestellten x-Achse auf. Die Breite des zweiten Maskenelementes 12 entlang der x-Achse ist größer als die Breite der ersten Maskenelemente 10 entlang der x-Achse. Zwischen zwei zweiten Maskenelementen 12 ist eine zweite Öffnung 41 vorgesehen. Die zweite Öffnung 41 weist in der x-Achse eine größere zweite Breite 14 als die erste Öffnung 40 auf. Somit weisen zwei benachbarte zweite Maskenelemente 12 einen größeren zweiten Abstand 14 als zwei benachbarte erste Maskenelemente 10 auf. Zudem weisen zwei benachbarte zweite Maskenelemente 12 einen größeren zweiten Abstand 14 als ein zweites Maskenelement 12 von einem ersten Maskenelement 10 auf. Der erste Abstand 13 ist somit kleiner als der zweite Abstand 14. Der erste Abstand 13 ist in der Weise festgelegt, dass bei einem Ätzvorgang eine gewünschte Ausnehmung in die Halbleiterschicht 2 eingebracht wird, die einen Teil einer optischen Auskoppelstruktur darstellt. Der zweite Abstand 14 ist in der Weise gewählt, dass gleichzeitig bei dem Ätzvorgang zur Einbringung der optischen Auskoppel-

struktur ein Trenngraben in die Halbleiterschicht 2 eingebracht wird, der sich durch die gesamte Dicke der Halbleiterschicht 2 erstreckt. Der zweite Abstand kann beispielsweise zwischen 1,5 µm und 2,5 µm liegen. Die Größe des zweiten Abstands 14 hängt von der Dicke und dem Material der Halbleiterschicht 2 und von dem verwendeten Ätzverfahren, insbesondere von dem Ätzmedium ab. Als Ätzmedium kann beispielsweise KOH oder Phosphorsäure für ein nasschemisches Ätzverfahren verwendet werden.

Figur 2 zeigt die Anordnung der Figur 1 nach Durchführung des Ätzvorganges. Zwischen zwei ersten Maskenelementen 10 und zwischen einem ersten Maskenelement 10 und einem zweiten Maskenelement 12 wird jeweils eine Ausnehmung 15 in die Halbleiterschicht 2 eingebracht. Zudem wird zwischen zwei zweiten Maskenelementen 12 ein Trenngraben 16 in die Halbleiterschicht 2 eingebracht.

Die Ausnehmungen 15 weisen Begrenzungsflächen 17, 18 auf, die eine Auskopplung eines von der aktiven Zone 5 erzeugten Lichtes unterstützen. Der Trenngraben 16 erstreckt sich über die gesamte Dicke der Halbleiterschicht 2. Ist der Trenngraben 16 als geschlossener Ring in der Ebene der Halbleiterschicht 2 ausgebildet, so wird durch die Ausbildung des Trenngrabens 16 ein erster und ein zweiter Bereich 19, 20 der Halbleiterschicht 2 vereinzelt, d. h. eine Mesa-Ätzung durchgeführt. Durch den Trenngraben 16 wird ein Bereich der Halbleiterschicht 2 vereinzelt, wodurch ein Halbleiterchip wie z. B. ein LED Chip vereinzelt wird. Bei Vorsehen eines Trägers 20 können die einzelnen Bereiche des Trägers 20 durch ein weiteres Ätzverfahren und/oder durch ein Lasertrennverfahren entlang des Trenngrabens 16 vereinzelt werden. Nach dem Vereinzeln der Bereiche der Halbleiterschicht kann ein optoelektronischer Halbleiterchip, insbesondere eine LED mit einem Bereich der Halbleiterschicht hergestellt werden.

Durch die geneigt angeordneten Begrenzungsflächen 17, 18 wird der Anteil an elektromagnetischer Strahlung, der an der äuße-

ren Oberfläche der Schicht 2 total reflektiert wird, verringert. Die Begrenzungsflächen 17, 18 schließen mit der Ebene der Schicht 2 einen Winkel von beispielsweise 35° bis 75°, vorzugsweise 50° bis 70° ein. Der konkrete Winkel ist durch eine Kristallrichtung der dotierten ersten Halbleiterschicht 3 und den chemischen Abtrag vorgegeben. Die Ätztiefe, d. h. die Tiefe der Ausnehmungen 15 kann im Bereich von Mikrometern liegen. Die Ausnehmungen 15 können pyramidenförmige Vertiefungen aufweisen. Bei einer Ätztiefe im Mikrometerbereich und bei Winkeln aus obigen Wertebereichen weisen die Ausnehmungen 15 die Form von Pyramiden auf, die für die Auskopplung von elektromagnetischer Strahlung im sichtbaren Wellenlängenbereich, also bei Wellenlängen zwischen 0,3 µm und etwa 0,8 µm besonders geeignet sind. Durchmesser einer Basis der pyramidenförmigen Ausnehmungen 15 liegt ebenfalls im Mikrometerbereich. Der Durchmesser ist damit deutlich größer als die Wellenlänge der elektromagnetischen Strahlung. Die Basis der pyramidenförmigen Ausnehmung weist, bei der Ausbildung der ersten Halbleiterschicht 3 aus Galliumnitrid, eine hexagonale Form auf. Nach dem Entfernen der Maske 1 werden mehrere vereinzelte Halbleiterchips erhalten, wobei ein mittiger Bereich jedes Halbleiterchips aufgeraut ist. Der aufgeraute mittige Bereich ist von ein einem glatten, nicht aufgerauten Rand umgeben, der während der Ätzung von dem zweiten Maskenelement 12 abgedeckt war.

In einer weiteren Ausführungsform wird die Maske 1 anschließend entfernt und die dann frei gelegten Bereiche der Oberfläche der ersten Halbleiterschicht 3 mit einem weiteren Ätzschritt aufgeraut. Damit werden auch die im ersten Ätzschritt bedeckten Bereiche mit einer Auskoppelstruktur versehen.

Die Halbleiterschicht kann als epitaktisch gewachsene Schichtstruktur mit mehreren Schichten ausgeführt sein. Dabei können die einzelnen Schichten aus einem III-V-Halbleitermaterial bestehen. Beispielsweise kann eine Schicht der Halbleiterschicht auf Basis von GaN, GaInN oder AlN ausgeführt sein. Zudem kann eine Schicht auf Basis von InGaAlN aufgebaut

sein. Unter InGaAlN-basierten Schichtstrukturen fallen insbesondere solche, bei denen die epitaktisch hergestellte Schichtstruktur in der Regel eine Schichtenfolge aus unterschiedlichen Einzelschichten aufweist, die mindestens eine Einzelschicht enthält, die ein Material aus dem III-V-Verbindungshalbleitermaterialsystem InxAlyGa1-x-yN mit 0 <= x <= 1, 0 <= y <= 1 und x + y <= 1 aufweist. Die Schichtstrukturen, die zumindest eine aktive Schicht oder einen aktiven Bereich auf Basis von InGaAlN aufweist, kann beispielsweise elektromagnetische Strahlung in einem ultravioletten bis grünen Wellenlängenbereich emittieren.

Alternativ oder zusätzlich können die Schichten der Halbleiterschicht auch auf InGaAlP basieren, das heißt, dass die Schichtstruktur unterschiedliche Einzelschichten aufweisen kann, wovon mindestens eine Einzelschicht ein Material aus dem III-V-Verbindungshalbleitermaterialsystem InxAlyGa1-x-yP mit 0 <= x <= 1, 0 <= y <= 1 und x + y <= 1 aufweist. Die Schichtstruktur, die zumindest eine aktive Schicht oder einen aktiven Bereich auf Basis von InGaAlP aufweist, kann beispielsweise bevorzugt elektromagnetische Strahlung mit einer oder mehreren spektralen Komponenten in einen grünen bis roten Wellenlängenbereich emittieren.

Alternativ oder zusätzlich können die Schichten der Halbleiterschicht auch andere III-V-Verbindungshalbleitermaterial-systeme, beispielsweise ein AlGaAs-basiertes Material, oder II-VI-Verbindungshalbleitermaterialsysteme aufweisen. Insbesondere kann eine aktive Schicht, die ein AlGaAs-basiertes Material aufweist, geeignet sein, elektromagnetische Strahlung mit einer oder mehreren spektralen Komponenten in einem roten bis infraroten Wellenlängenbereich zu emittieren. Ein II-VI-Verbindungshalbleitermaterialsystem kann wenigstens ein Element aus der zweiten Hauptgruppe, wie beispielsweise Be, Mg, Ca, Sr, und ein Element aus der sechsten Hauptgruppe, wie beispielsweise O, S, Se, aufweisen. Insbesondere umfasst ein II-VI-Verbindungshalbleitermaterialsystem eine binäre, ternä-

re oder quaternäre Verbindung, die wenigstens ein Element aus der zweiten Hauptgruppe und wenigstens ein Element aus der sechsten Hauptgruppe umfasst. Eine solche binäre, ternäre oder quaternäre Verbindung kann zudem beispielsweise ein oder mehrere Dotierstoffe sowie zusätzliche Bestandteile aufweisen. Beispielsweise gehören zu den II-VI-Verbindungshalbleitermaterialien ZnSe, ZnTe, ZnO, ZnMgO, ZnS, CdS, ZnCdS, MgBeO.

Figur 3 zeigt in einer schematischen Darstellung eine Draufsicht auf eine Halbleiterschicht 2, die mit einer Maske 1 versehen ist. Die Maske 1 ist in Form von mehreren Maskenbereichen 30 ausgebildet ist. Jeder Maskenbereich 30 deckt einen Bereich der Halbleiterschicht 2 ab, der durch den folgenden Ätzvorgang des Halbleiterchips vereinzelt wird. Die Maske 1 weist in dem dargestellten Ausführungsbeispiel identische Maskenbereiche 30 auf. Jeder Maskenbereich 30 ist identisch ausgebildet und weist im Wesentlichen eine rechteckige Maskenschicht auf, in der jeweils 12 erste Öffnungen 40 eingebracht sind. In dem dargestellten Ausführungsbeispiel sind jeweils 4 erste Öffnungen 40 nebeneinander angeordnet, wobei drei Reihen von vier ersten Öffnungen 40 vorgesehen sind. Jeweils zwei Maskenbereiche 30 sind durch eine zweite Öffnung 41 voneinander getrennt. Die zweiten Öffnungen 41 bilden ein rechtwinkliges Streifenmuster. Jeweils zwei Maskenbereiche 30 weisen einen zweiten Abstand 14 sowohl in einer x-Achse als auch in einer y-Achse voneinander auf. Die x- und die y-Achse stehen senkrecht aufeinander und sind schematisch in Figur 3 eingezeichnet. Die ersten Öffnungen 40 weisen jeweils sowohl in der x-Richtung als auch in der y-Richtung einen ersten Abstand 13 auf. Durch die zweiten Öffnungen 41 wird erreicht, dass die Halbleiterschicht 2 zwischen den Maskenbereichen 30 bei dem anhand von Figur 2 durchgeführten und erläuterten Ätzvorgang durch die Ausbildung des Trenngrabens durchtrennt wird, d. h. einzelne Halbleiterchips der Halbleiterschicht 2 werden vereinzelt. Zudem werden durch die ersten Öffnungen 40 entsprechende pyramidenförmige Ausnehmungen 15 in die Halbleiterschicht 2 eingebracht, d. h. ein mittiger Bereich des

Halbleiterchips wird aufgeraut. Der mittige Bereich ist von einem glatten, nicht aufgerauten Bereich umgeben. In Figur 3 ist mit A-A eine Schnittlinie eingezeichnet, die der Schnittdarstellung der Figur 1 entspricht.

Abhängig von der gewählten Ausführungsform kann die Maske 1 auch eine andere Struktur aufweisen, wobei die zweiten Abstände 14 in der Weise zwischen benachbarten Maskenbereichen gewählt sind, dass die Halbleiterschicht 2 beim Ätzen der Auskoppelstruktur mit entsprechenden umlaufenden und durch die gesamte Halbleiterschicht 2 gehenden Trenngräben 16 versehen werden.

Figur 4 zeigt in einer schematischen Darstellung einen Träger 20, auf dem zwei Halbleiterchips 21 gemäß dem beschriebenen Verfahren aus einer Halbleiterschicht 2 herausstrukturiert wurden. Jeder Halbleiterchip 21 weist auf einer Oberseite einen mittigen Bereich 23 auf, der von einem Randbereich 22 umgeben ist. Der mittige Bereich 23 weist die Auskoppelstruktur in Form einer Ausnehmung 15 auf, die mit Hilfe der Maske und der ersten Öffnungen 40 in die Oberseite der Halbleiterschicht 2 eingebracht wurden. Der mittige Bereich 23 ist somit aufgeraut. Der Randbereich 22 war während des Ätzvorganges durch das zweite Maskenelement 12 von einem umlaufenden Randbereich der Ätzmaske abgedeckt und ist deshalb nicht aufgeraut. Dies führt dazu, dass der glatte Randbereich 22 von dem aufgerauten Randbereich 23 optisch leichter unterschieden werden kann. Somit wird eine scharfe Chipkante optisch erkannt, wodurch eine optische Kontrolle leicht automatisch durchgeführt werden kann. Eine optische Kontrolle ist beispielsweise zur Überprüfung von Defekten oder Verschmutzungen erforderlich. Jeder Halbleiterchip 21 wird von einem umlaufenden, geätzten Randbereich 24 umgeben. Der Randbereich 24 wurde gleichzeitig mit der Auskoppelstruktur geätzt.

Obwohl die Erfindung im Detail durch das bevorzugte Ausführungsbeispiel näher illustriert und beschrieben wurde, so ist die Erfindung nicht durch die offenbarten Beispiele einge-

schränkt und andere Variationen können vom Fachmann hieraus abgeleitet werden, ohne den Schutzumfang der Erfindung zu verlassen.

Bezugszeichenliste

1	Maske
2	Halbleiterschicht
3	1. Halbleiterschicht
4	2. Halbleiterschicht
5	aktive Zone
10	1. Maskenelement
12	2. Maskenelement
13	1. Abstand
14	2. Abstand
15	Ausnehmung
16	Trenngraben
17	1. Begrenzungsfläche
18	2. Begrenzungsfläche
20	Träger
21	Halbleiterchips
22	Randbereich
23	mittiger Bereich
24	Randbereich
30	Maskenbereich
40	1. Öffnung
41	2. Öffnung
42	Rand

Patentansprüche

1. Verfahren zum Vereinzeln von Bereichen einer Halbleiterschicht (2) mit einer aktiven Zone (5) zur Erzeugung von Licht und zum Einbringen einer Auskoppelstruktur (15) in eine Oberseite der Halbleiterschicht (2), wobei die Auskoppelstruktur (15) vorgesehen ist, um Licht aus der Halbleiterschicht (2) auszukoppeln, wobei die Oberseite der Halbleiterschicht (2) mit einer Maske (1) bedeckt wird, wobei die Maske (1) erste Öffnungen (40) zum Einbringen der Auskoppelstruktur (15) aufweist, wobei die Maske (1) wenigstens eine zweite Öffnung (41) aufweist, wobei die zweite Öffnung (41) vorgesehen ist, um einen Trenngraben (16) um einen Bereich der Halbleiterschicht (2) einzubringen, wobei mithilfe eines Ätzverfahren gleichzeitig die Auskoppelstruktur (15) über die ersten Öffnungen (40) in die Oberseite der Halbleiterschicht (2) eingebracht wird, und wobei die zweite Öffnung (41) so groß gewählt ist, dass gleichzeitig der Trenngraben (16) im Bereich der zweiten Öffnung (41) über die gesamte Dicke der Halbleiterschicht (2) eingebracht wird und somit ein Bereich der Halbleiterschicht (2) vereinzelt wird.

2. Verfahren nach Anspruch 1, wobei der vereinzelte Bereich der Halbleiterschicht (2) einen aufgerauten mittigen Bereich (23) aufweist, der von einem glatten, nicht aufgerauten Rand (22) umgeben ist.

3. Verfahren nach einem der vorhergehenden Ansprüche, wobei eine Maske (1, 10, 12) mit im Wesentlichen gleicher Dicke im Bereich der ersten (40) und der zweiten Öffnungen (41) verwendet wird.

4. Verfahren nach einem der vorhergehenden Ansprüche, wobei als Maske (1) eine Hartmaske verwendet wird.

5. Verfahren nach Anspruch 4, wobei es sich bei der Hartmaske um eine Lackmaske handelt.

6. Verfahren nach einem der vorhergehenden Ansprüche, wobei als Ätzmittel ein gasförmiges oder flüssiges Ätzmedium verwendet wird.

7. Verfahren nach einem der vorhergehenden Ansprüche, wobei es sich bei dem Ätzverfahren um ein Trockenätzverfahren handelt.

8. Verfahren nach Anspruch 7, wobei bei dem Trockenätzverfahren ein Plasma verwendet wird.

9. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Halbleiterschicht (2) wenigstens an der Oberseite eine epitaktisch aufgebrachte Schicht aufweist.

10. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Halbleiterschicht (2) wenigstens eine GaN-Schicht aufweist.

11. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Maske (1, 10, 12) entfernt wird und in einem weiteren Ätzschritt auch die bisher bedeckten Bereiche der Oberseite der Halbleiterschicht über ein Ätzverfahren mit einer Auskoppelstruktur versehen werden.

12. Verfahren nach einem der vorhergehenden Ansprüche, wobei der vereinzelte Bereich der Halbleiterschicht (2) einen Halbleiterchip (21) insbesondere einen LED-Halbleiterchip darstellt.

13. Optoelektronischer Halbleiterchip mit einer Halbleiterschicht (2) mit einer aktiven Zone (5) zum Erzeugen von Licht, mit einer Auskoppelstruktur (15, 23) zum Auskoppeln von Licht und mit einem umlaufenden geätzten Randbereich (24), wobei die Auskoppelstruktur und der um-

laufende Randbereich (24) nach einem Verfahren gemäß einem der vorhergehenden Ansprüche hergestellt wurde.

14. Halbleiterchip nach Anspruch 13, wobei ein mittiger Bereich (23) die aufgeraute Auskoppelstruktur (15) aufweist, wobei der mittige Bereich (23) von einem nicht aufgerauten Randbereich (22) umgeben ist.

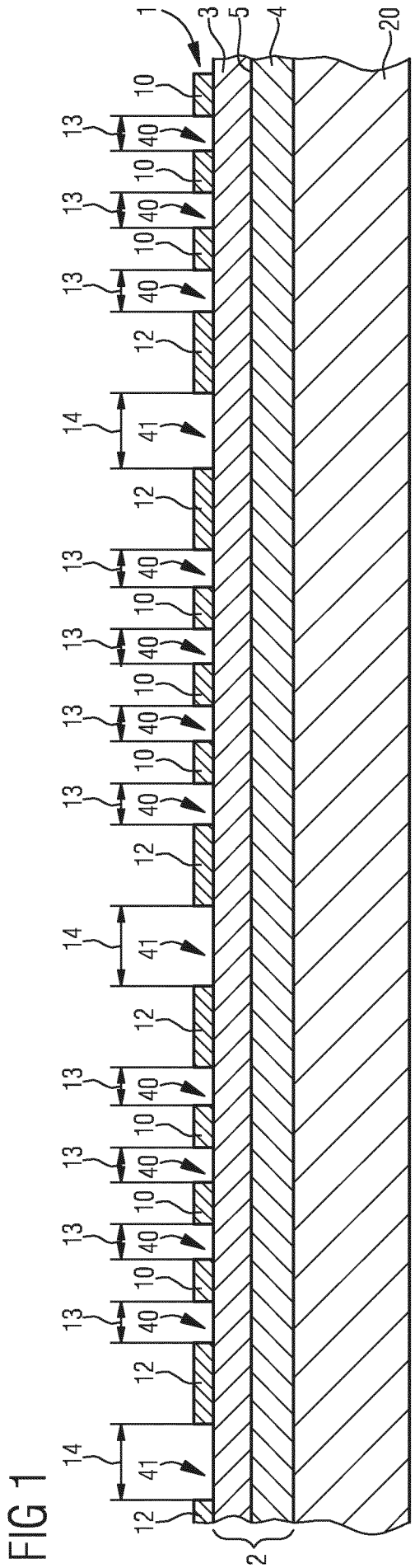


FIG 1

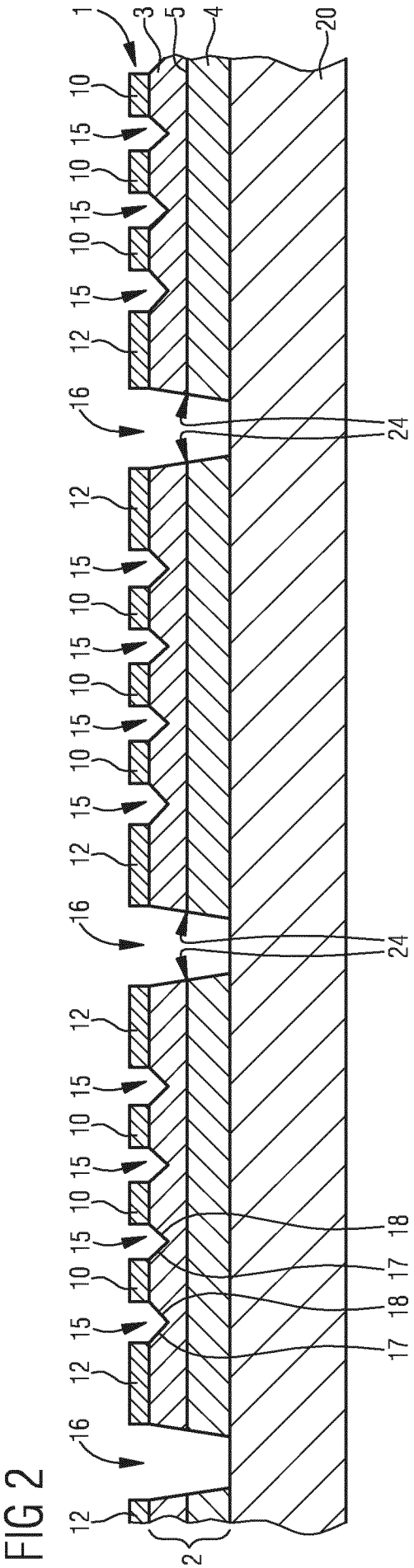


FIG 2

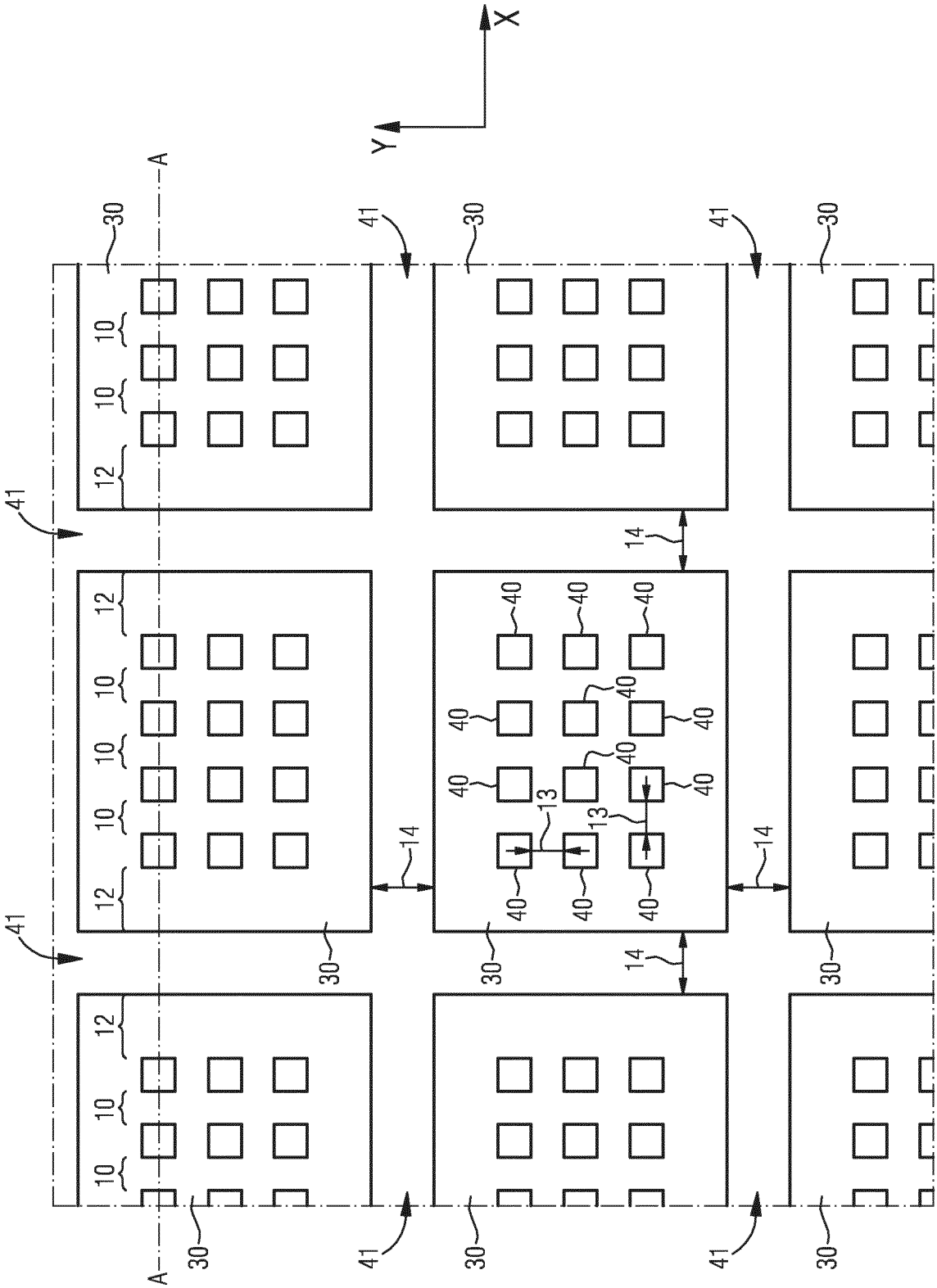


FIG 3

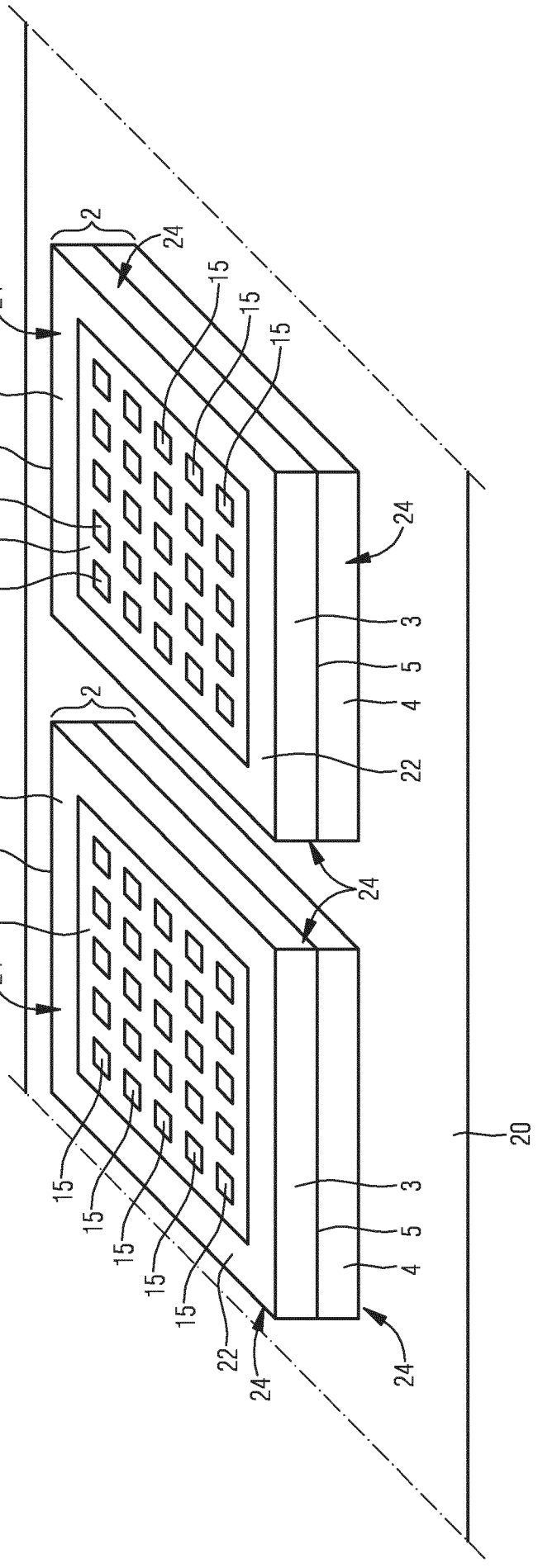

2
24
15
15
15
22
21
15
23
15
24
3
5
4
22
2
22
21
23
24
15
15
15
15
15
15
22
24
24
20

FIG 4

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2013/070042

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L33/00 H01L21/784 H01L33/20
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, INSPEC, IBM-TDB, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 10 2009 023355 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 2 December 2010 (2010-12-02)	13,14
A	paragraphs [0047] - [0055], [0060] - [0064] figures 1,2	1-12

X	EP 2 360 748 A2 (LG INNOTEK CO LTD [KR]) 24 August 2011 (2011-08-24)	13,14
A	paragraphs [0095], [0096] figures 7,8	1-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 December 2013	20/12/2013

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Adams, Richard

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2013/070042

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE 102009023355 A1	02-12-2010	DE 102009023355 A1	02-12-2010
		US 2012070927 A1	22-03-2012
		WO 2010136304 A1	02-12-2010
EP 2360748 A2	24-08-2011	CN 102157658 A	17-08-2011
		EP 2360748 A2	24-08-2011
		JP 2011166150 A	25-08-2011
		KR 100986560 B1	07-10-2010
		TW 201133942 A	01-10-2011
		US 2011193123 A1	11-08-2011

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2013/070042

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H01L33/00 H01L21/784 H01L33/20
ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
EPO-Internal, INSPEC, IBM-TDB, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 10 2009 023355 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 2. Dezember 2010 (2010-12-02)	13,14
A	Absätze [0047] - [0055], [0060] - [0064] Abbildungen 1,2	1-12

X	EP 2 360 748 A2 (LG INNOTEK CO LTD [KR]) 24. August 2011 (2011-08-24)	13,14
A	Absätze [0095], [0096] Abbildungen 7,8	1-12

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
13. Dezember 2013	20/12/2013

Name und Postanschrift der Internationalen Recherchenbehörde	Bevollmächtigter Bediensteter
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Adams, Richard

1

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/EP2013/070042

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 102009023355 A1	02-12-2010	DE 102009023355 A1	02-12-2010
		US 2012070927 A1	22-03-2012
		WO 2010136304 A1	02-12-2010
EP 2360748 A2	24-08-2011	CN 102157658 A	17-08-2011
		EP 2360748 A2	24-08-2011
		JP 2011166150 A	25-08-2011
		KR 100986560 B1	07-10-2010
		TW 201133942 A	01-10-2011
		US 2011193123 A1	11-08-2011