

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】平成 18 年 6 月 22 日 (2006.6.22)

【公開番号】特開 2004-103024 (P2004-103024A)  
 【公開日】平成 16 年 4 月 2 日 (2004.4.2)  
 【年通号数】公開・登録公報 2004-013  
 【出願番号】特願 2003-319655 (P2003-319655)  
 【国際特許分類】

**G 0 6 F 11/28 (2006.01)**

**G 0 6 F 9/38 (2006.01)**

【F I】

G 0 6 F 11/28 3 2 0 A

G 0 6 F 11/28 J

G 0 6 F 9/38 3 8 0 C

【手続補正書】

【提出日】平成 18 年 5 月 9 日 (2006.5.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

プロセッサ・システム内のソフトウェア・ブレークポイントを実行する方法であって、前記プロセッサ・システムは、メイン・メモリに接続された少なくとも 1 つのプロセッサ、および、前記プロセッサに関連する命令キャッシュを有し、ブレークポイント・コードは、前記命令キャッシュ内の特定位置に挿入可能であり、この方法が、

前記特定位置に関連する制御指標を、対応アドレスに対する第 1 のフェッチ要求に応答して、前記ブレークポイント・コードが前記命令キャッシュから前記プロセッサへ返されることを可能にする第 1 の状態にセットするステップ；

続いて、前記特定位置に関連する前記制御指標を、前記対応アドレスへの第 2 のフェッチ要求が前記メイン・メモリからサービスされることを命令する第 2 の状態に、セットするステップ；および

前記対応アドレスに対する前記第 2 のフェッチ要求が前記メイン・メモリからサービスされることの決定がされた後に、前記第 2 の状態にセットされている前記制御指標から前記制御指標状態を変更するステップ、を含むことを特徴とする方法。

【請求項 2】

前記第 1 のフェッチ要求に応答して、前記ブレークポイント・コードが前記命令キャッシュから前記プロセッサへ返されることの決定が前記第 1 の状態にセットされている前記制御指標に基づいてされた後に、前記制御指標を前記第 2 の状態へセットすることを特徴とする請求項 1 記載の方法。

【請求項 3】

前記制御指標が、前記命令キャッシュの与えられたセットに関連する 1 つまたはそれ以上のデバッグ制御ビットを含むことを特徴とする請求項 1 記載の方法。

【請求項 4】

前記第 1 の状態が、デバッグ・ロック状態を含み、かつ前記第 2 の状態が使用禁止状態を含むことを特徴とする請求項 1 記載の方法。

【請求項 5】

前記制御指標は、前記ソフトウェア・ブレークポイントを利用しない動作を特定する動作状態の通常モードを含む少なくとも1つの追加状態を特定することを特徴とする請求項1記載の方法。

【請求項6】

前記制御指標が前記第1の状態にある間に、前記命令キャッシュ内のミス・イベントは、前記命令キャッシュ内の前記特定位置内で前記ブレークポイント・コードの置換をしないことを特徴とする請求項1記載の方法。

【請求項7】

前記命令キャッシュ内の前記特定位置に挿入される前記ブレークポイント・コードが、命令アドレスに関連するキャッシュ不可能属性を有する前記命令アドレスに対して挿入されることを特徴とする請求項1記載の方法。

【請求項8】

前記ブレークポイント・コードが、前記プロセッサ・システムと接続するデバッガの前記制御下で、前記命令キャッシュ内の前記特定位置に挿入されることを特徴とする請求項1記載の方法。

【請求項9】

メイン・メモリ；

前記メイン・メモリに接続された少なくとも1つのプロセッサ；および

前記プロセッサに関連する命令キャッシュを含むプロセッサ・システムであって、

ブレークポイントは前記命令キャッシュ内の特定位置に挿入でき、

前記特定位置に関連する制御指標は、対応アドレスに対するフェッチ要求に 응답して、前記命令キャッシュから前記プロセッサへ前記ブレークポイント・コードが返されることを可能にする第1の状態へセットでき、およびつづいて前記対応アドレスへのフェッチ要求が前記メイン・メモリからサービスされるように、命令をする第2の状態へセットでき；および

前記制御指標状態は、前記メイン・メモリからサービスされるように前記対応アドレスに対する前記第2のフェッチ要求をする決定がなされた後に、前記第2の状態にセットされている前記制御指標から変更されることを特徴とするプロセッサ・システム。

【請求項10】

製品であって、

メイン・メモリに接続されている少なくとも1つのプロセッサを有するプロセッサ・システム内のソフトウェア・ブレークポイントを実行するための1つまたはそれ以上のソフトウェア・プログラムを格納するための機械が読み出し可能な格納媒体と前記プロセッサと関連し、ブレークポイント・コードは前記命令キャッシュ内の特定位置に挿入可能になっている、命令キャッシュとを含み、

前記1つまたはそれ以上のソフトウェア・プログラムは、

前記特定位置に関連する制御指標を、対応アドレスに対する第1のフェッチ要求に 응답して前記命令キャッシュから前記プロセッサへ、前記ブレークポイント・コードが返されることを可能にする第1の状態にセットするステップ；

続いて、前記特定位置に関連する前記制御指標を、前記メイン・メモリからサービスされるように前記対応アドレスに対する第2のフェッチ要求を命令する第2の状態に、セットするステップ；および

前記制御指標状態を、前記対応アドレスに対する前記第2のフェッチ要求が前記メイン・メモリからサービスされることの決定がされた後に、前記第2の状態へ前記制御指標がセットされていることにより変更するステップ、において実行されることを特徴とする製品。