

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-203241

(P2006-203241A)

(43) 公開日 平成18年8月3日(2006.8.3)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 N	5 F O 4 8
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 7 K	5 F 1 1 0
HO 1 L 27/08 (2006.01)	HO 1 L 29/78 6 1 6 A	
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 3 3 1 E	
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 1 0 2 C	

審査請求 有 請求項の数 13 O L (全 48 頁) 最終頁に続く

(21) 出願番号 特願2006-71717 (P2006-71717)
 (22) 出願日 平成18年3月15日 (2006.3.15)
 (62) 分割の表示 特願平11-104759の分割
 原出願日 平成11年4月13日 (1999.4.13)
 (31) 優先権主張番号 特願平10-181457
 (32) 優先日 平成10年6月12日 (1998.6.12)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願平10-303065
 (32) 優先日 平成10年10月23日 (1998.10.23)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願平11-77791
 (32) 優先日 平成11年3月23日 (1999.3.23)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 中嶋 節男
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 坂本 直哉
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

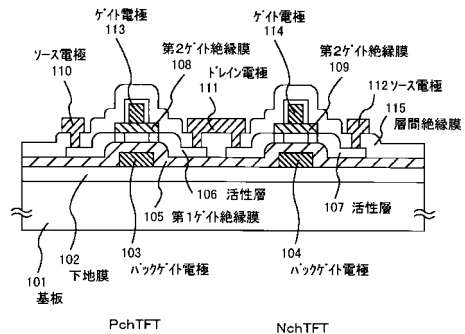
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 しきい値制御可能なTFTを有する半導体装置を提供する。

【解決手段】 本発明に係る半導体装置は、基板上に設けられた第1の導電層と、前記第1の導電層上に設けられた第1の絶縁膜と、前記第1の絶縁膜上に設けられ、ソース領域、ドレイン領域、低濃度不純物領域及びチャネル形成領域を有する結晶性珪素膜と、前記結晶性珪素膜上に設けられた第2の絶縁膜と、前記第2の絶縁膜上に設けられた第2の導電層と、を有し、前記低濃度不純物領域は、前記第1の導電層と一部重なって、かつ、前記第1の導電層の端部の外側に延在して設けられ、第2の導電層には重なっていないことを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板上に設けられた第 1 の導電層と、
前記第 1 の導電層上に設けられた第 1 の絶縁膜と、
前記第 1 の絶縁膜上に設けられ、ソース領域、ドレイン領域、低濃度不純物領域及びチャンネル形成領域を有する結晶性珪素膜と、
前記結晶性珪素膜上に設けられた第 2 の絶縁膜と、
前記第 2 の絶縁膜上に設けられた第 2 の導電層と、を有し、
前記低濃度不純物領域は、前記第 1 の導電層と一部重なって、かつ、前記第 1 の導電層の端部の外側に延在して設けられ、第 2 の導電層には重なっていないことを特徴とする半 10
導体装置。

【請求項 2】

基板上に設けられた第 1 の導電層と、
前記第 1 の導電層上に設けられた第 1 の絶縁膜と、
前記第 1 の絶縁膜上に設けられ、ソース領域、ドレイン領域、低濃度不純物領域及びチャンネル形成領域を有する結晶性珪素膜と、
前記結晶性珪素膜上に設けられた第 2 の絶縁膜と、
前記第 2 の絶縁膜上に設けられたアルミニウムを含む第 2 の導電層と、を有し、
前記低濃度不純物領域は、前記第 1 の導電層と一部重なって、かつ、前記第 1 の導電層の端部の外側に延在して設けられ、第 2 の導電層には重なっていないことを特徴とする半 20
導体装置。

【請求項 3】

基板上に設けられた第 1 の導電層と、
前記第 1 の導電層上に設けられた第 1 の絶縁膜と、
前記第 1 の絶縁膜上に設けられ、ソース領域、ドレイン領域、低濃度不純物領域及びチャンネル形成領域を有する結晶性珪素膜と、
前記結晶性珪素膜上に設けられた第 2 の絶縁膜と、
前記第 2 の絶縁膜上に設けられた第 2 の導電層と、
前記第 2 の導電層上に設けられた第 3 の絶縁膜と、を有し、
前記低濃度不純物領域は、前記第 1 の導電層と一部重なって、かつ、前記第 1 の導電層の端部の外側に延在して設けられ、第 2 の導電層には重なっていないことを特徴とする半 30
導体装置。

【請求項 4】

基板上に設けられた第 1 の導電層と、
前記第 1 の導電層上に設けられた第 1 の絶縁膜と、
前記第 1 の絶縁膜上に設けられ、ソース領域、ドレイン領域、低濃度不純物領域及びチャンネル形成領域を有する結晶性珪素膜と、
前記結晶性珪素膜上に設けられた第 2 の絶縁膜と、
前記第 2 の絶縁膜上に設けられた第 2 の導電層と、
前記第 2 の導電層上に設けられた第 3 の絶縁膜と、
前記第 3 の絶縁膜上に設けられた画素電極と、を有し、
前記低濃度不純物領域は、前記第 1 の導電層と一部重なって、かつ、前記第 1 の導電層の端部の外側に延在して設けられ、第 2 の導電層には重なっていないことを特徴とする表示装置。 40

【請求項 5】

請求項 4 において、
前記画素電極は、ITO からなることを特徴とする半導体装置。

【請求項 6】

請求項 3 乃至 5 のいずれか一項において、
前記第 3 の絶縁膜は、有機樹脂膜からなることを特徴とする半導体装置。 50

【請求項 7】

請求項 3 乃至 6 のいずれか一項において、
前記第 3 の絶縁膜の膜厚は、 $0.5 \sim 3 \mu\text{m}$ であることを特徴とする半導体装置。

【請求項 8】

請求項 3 乃至 7 のいずれか一項において、
前記ソース及びドレイン領域には、ソース電極及びドレイン電極がそれぞれ電氣的に接続されており、
前記ソース及びドレイン電極は、前記第 3 の絶縁膜の下方に設けられていることを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至 8 のいずれか一項において、
前記第 1 の絶縁膜は、酸化珪素を含むことを特徴とする半導体装置。

10

【請求項 10】

請求項 1 乃至 9 のいずれか一項において、
前記結晶性珪素膜の膜厚は、 $10 \sim 75 \text{nm}$ であることを特徴とする半導体装置。

【請求項 11】

請求項 1 乃至 10 のいずれか一項において、
前記第 2 の絶縁膜は、珪素を含むことを特徴とする半導体装置。

【請求項 12】

請求項 1 乃至 11 のいずれか一項の半導体装置を用いたパーソナルコンピュータ。

20

【請求項 13】

請求項 1 乃至 11 のいずれか一項の半導体装置を用いた携帯情報端末。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁基板上に作製される薄膜トランジスタ(TFT)を有する半導体装置に関する。また、薄膜トランジスタを有する半導体表示装置に関する。特に、アクティブマトリクス型の半導体表示装置に関する。また、アクティブマトリクス型半導体表示装置の駆動回路に関する。

【背景技術】

30

【0002】

最近安価なガラス基板上に半導体薄膜を形成し、薄膜トランジスタ(TFT)を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置(液晶パネル)の需要が高まってきたことによる。

【0003】

アクティブマトリクス型液晶パネルは、図 33 に示すようにマトリクス状に配置された数十～数百万個もの画素領域にそれぞれ画素 TFT が配置され(この回路をアクティブマトリクス回路という)、すべての画素にはスイッチング用の素子が設けられており、画素情報はスイッチング素子のオン/オフによって制御されるものをいう。このような表示装置の表示媒体としては液晶を用いることが多い。このスイッチング素子として、特に三端子素子、すなわち、ゲート、ソース、ドレインを有する薄膜トランジスタ(TFT)が用いられる。

40

【0004】

アクティブマトリクス回路は、ガラス基板上に形成されたアモルファスシリコンまたは、ポリシリコンを利用した薄膜トランジスタによって構成されている。

【0005】

また、最近、石英基板を利用し、多結晶珪素膜でもって薄膜トランジスタを作製するアクティブマトリクス型液晶表示装置も実現されている。この場合、画素 TFT を駆動する周辺駆動回路も、アクティブマトリクス回路と同一基板上に形成することができる。

【0006】

50

また、レーザーアニール等の技術を利用することにより、ガラス基板上に結晶性珪素膜を用いた薄膜トランジスタを作製する技術も知られている。この技術を利用すると、ガラス基板にアクティブマトリクス回路と周辺駆動回路とを集積化することができる。

【0007】

本発明の記述において、マトリクスにおける行とは、当該行に平行に配置された走査線（ゲート線）が当該行の薄膜トランジスタのゲート電極に接続されているものを言い、列とは当該行に平行に配置された信号線（ソース線）が当該列の薄膜トランジスタのソース（もしくはドレイン）電極に接続されているものを言う。さらに、走査線を駆動する回路を走査線駆動回路、信号線を駆動する回路を信号線駆動回路と称する。また、薄膜トランジスタをTFTと称する。バックゲート電極とは、薄膜トランジスタの構造がトップゲート型のときはボトム側すなわち基板側に、薄膜トランジスタの構造ボトムゲート型のときは、トップ側に対となる電極として形成された電極をいう。

10

【0008】

図34に示すのはアクティブマトリクス型液晶表示装置の第一の従来例である。この例のアクティブマトリクス型液晶表示装置は薄膜トランジスタをアモルファスシリコンを用いたものを使用し、走査線駆動回路、信号線駆動回路を単結晶の集積回路（501, 503）で構成し、ガラス基板の周囲にタブを用いて装着する（図34（a））、もしくはCOG（チップオンガラス）技術で装着している502はアクティブマトリクス回路である。（図34（b））。

【0009】

このような液晶表示装置の場合、以下のような問題点があった。問題点の一つは、アクティブマトリクスの信号線、走査線をタブまたはボンディングワイヤを介して接続を行うため、信頼性上問題になることがあった。たとえば液晶表示装置がVGA（ビデオグラフィックアレイ）の場合、信号線の数は1920本、走査線は480本あり、その本数は解像度の向上とともに年々増加していく傾向がある。

20

【0010】

また、ビデオカメラに用いるビューファインダや液晶を用いたプロジェクタを作る場合、表示装置をコンパクトにまとめる必要があり、タブを用いた液晶表示装置ではスペースの面から不利になっていた。

【0011】

これらの問題点を解決するアクティブマトリクス型液晶表示装置として、薄膜トランジスタをポリシリコンで構成したものが開発されている。その一例を図35に示す。図35（a）に示すように、信号線駆動回路401、走査線駆動回路402をポリシリコン薄膜トランジスタを用いて、アクティブマトリクス回路を構成する画素薄膜トランジスタと同時にガラス基板上に形成している。ポリシリコン薄膜トランジスタの形成は1000度以上のプロセスを用いて石英基板上に素子形成する高温ポリシリコンプロセスと600度以下のプロセスを用いてガラス基板上に素子形成する低温ポリシリコンプロセスがある。

30

【0012】

ポリシリコン薄膜トランジスタは、アモルファス薄膜トランジスタの移動度が $0.5 \text{ cm}^2 / \text{V s e c}$ 程度であるのに対して、その移動度を $30 \text{ cm}^2 / \text{V s e c}$ 以上にすることが可能であり、数MHz程度の信号であれば動作が可能である。

40

【0013】

アクティブマトリクス型液晶表示装置を駆動する駆動回路はデジタル方式とアナログ方式がある。ただし、デジタル方式では回路の素子数がアナログ方式にくらべて著しく多くなるため、ポリシリコンを用いた駆動回路では、アナログ方式が一般的である。また、走査線駆動回路、信号線駆動回路の回路構成ではシフトレジスタを用いたものが一般的である（図35（b）参照）。図35（b）でDFFはディレイフリップフロップを示しており、クロック端子に加えられるパルスに同期して動作している。1段目のDFFにスタートパルスHIが入力されると、クロックに同期して出力はHIとなり、この出力は2段目、3段目、・・・N段目へと伝達され、N段のシフトレジスタ動作となる。

50

【発明の開示】

【発明が解決しようとする課題】

【0014】

近年、アクティブマトリクス型液晶表示装置がノート型のパーソナルコンピュータに多用されてきている。パーソナルコンピュータにおいては、複数のソフトウェアを同時に起動したり、デジタルカメラからの映像を取り込んで加工したりと、多階調の液晶表示装置が要求されている。

【0015】

さらに、最近では、携帯情報端末、モバイルコンピュータ、カーナビゲーションなどの普及に伴い、小型で、高精細・高解像度・高画質なアクティブマトリクス型液晶表示装置が求められている。

10

【0016】

また、小型で高精細・高解像度・高画質なアクティブマトリクス型液晶表示装置を用いたプロジェクターが注目を浴びてきている。

【0017】

上述したような用途に用いられるアクティブマトリクス型液晶表示装置は、アクティブマトリクス型液晶表示装置を構成するTFTに高性能が要求されるのは言うまでもない。TFTの性能面としては、移動度、しきい値電圧等が挙げられる。特に、しきい値電圧に関しては、かなりシビアな性能が要求されている。つまり、しきい値電圧のずれは、駆動回路の誤動作、画素電極の誤動作につながり、良好な画像が得られないことが多い。

20

【0018】

前述した従来の液晶表示装置には以下のような問題点があった。ポリシリコンを使用した薄膜トランジスタは一般に、単結晶のトランジスタに比べて、しきい値の制御が難しく、本来エンハンスメント型であるべきものが、デプレッション型になり、ゲート、ソース間電圧が0であってもドレインに電流が流れることがあった。これは、単結晶にくらべて、結晶性が不均一であることや、安価なガラス基板を使用する低温ポリシリコンでは、ガラスの耐熱性が低いため、ゲート酸化膜に熱酸化膜を使用できないこと、ガラス基板からの不純物汚染、および汚染を防止するために成膜される下地膜などが持つ固定電荷などの理由による。

【0019】

図36はTFTのゲート電圧 - ドレイン電流特性 ($V_g - I_d$ 曲線) である。例えば、図36(a)であるべき薄膜トランジスタ特性が、しきい値のずれにより図36(b)になったとすると、図37のインバータ回路の初段において入力が H_i の状態では電流が流れないが、入力が L_o の状態では電流が電源からGNDに流れてしまう。また、次段では逆に入力が H_i の状態では電流が流れてしまう。アクティブマトリクス型液晶表示装置の駆動回路を薄膜トランジスタで基板内に内蔵した場合、その段数はVGAのとき、信号側と走査側をあわせて2400段になり、1つ1つの薄膜トランジスタの電流は小さくとも、その合計値は大きく、表示装置の消費電力を低減するという面からみると大きな問題となっていた。

30

【0020】

一方、しきい値が大きな値となりすぎると、薄膜トランジスタのオン電流が小さくなり、駆動回路の動作周波数が低くなるという問題があった。駆動回路の動作周波数は負荷容量を薄膜トランジスタのオン電流で駆動するため、負荷容量および電源電圧が一定の場合、オン電流の大きさを動作周波数は決定される。よって、大きすぎるしきい値は動作周波数の低下を招いていた。さらに、表示装置の小型化にともない、駆動回路の縮小化(薄膜トランジスタサイズの縮小化)も要求されている。

40

【課題を解決するための手段】

【0021】

本発明は、上記従来技術の問題点に鑑みてなされたもので、その目的とするところは、バックゲート電極への電圧印加により薄膜トランジスタのしきい値を制御することで、駆

50

動回路の消費電力を低減し、あるいは駆動回路の動作周波数を向上することにある。また、大電流を取り出すことで薄膜トランジスタのサイズ縮小化をはかることにある。

【0022】

本発明のある実施形態によると、複数の画素薄膜トランジスタがマトリクス状に配置されたアクティブマトリクス回路と、複数の薄膜トランジスタで構成された信号線駆動回路と、複数の薄膜トランジスタで構成された走査線駆動回路と、前記複数の薄膜トランジスタのしきい値を制御するしきい値制御回路と、を同一基板上に有することを特徴とするアクティブマトリクス型半導体表示装置が提供される。

【0023】

また、本発明のある実施形態によると、複数の画素薄膜トランジスタがマトリクス状に配置されたアクティブマトリクス回路と、複数の薄膜トランジスタで構成された信号線駆動回路と、複数の薄膜トランジスタで構成された走査線駆動回路と、前記複数の薄膜トランジスタのしきい値を制御するしきい値制御回路と、を有するアクティブマトリクス型半導体表示装置であって、前記複数の薄膜トランジスタは、しきい値を制御するための制御用端子を有し、前記しきい値制御回路は、前記制御用端子に任意の電圧を印加することを特徴とするアクティブマトリクス型半導体表示装置が提供される。

10

【0024】

また、前記アクティブマトリクス型半導体表示装置であって、前記しきい値制御回路は可変抵抗を有し、この可変抵抗を調整することにより前記制御用端子に任意の電圧を印加することを特徴とするアクティブマトリクス型半導体表示装置が提供される。

20

【0025】

また、前記アクティブマトリクス型半導体表示装置であって、前記しきい値制御回路は、前記薄膜トランジスタと、前記薄膜トランジスタの電流を電圧に変換する負荷と、負荷に発生する電圧を増幅する増幅器とを有し、前記増幅器からの出力を前記薄膜トランジスタに負帰還し、かつ前記しきい値制御用端子に出力することを特徴とするアクティブマトリクス型半導体表示装置が提供される。

【0026】

また、前記アクティブマトリクス型半導体表示装置であって、前記複数の画素薄膜トランジスタおよび前記複数の薄膜トランジスタは、Nチャンネル薄膜トランジスタを有しており、前記Nチャンネル薄膜トランジスタの前記しきい値制御端子には、グランド電位より高い電圧を印加することを特徴としたアクティブマトリクス型半導体表示装置が提供される。

30

【0027】

また、前記アクティブマトリクス型半導体表示装置であって、前記複数の画素薄膜トランジスタおよび前記複数の薄膜トランジスタは、Nチャンネル薄膜トランジスタを有しており、前記Nチャンネル薄膜トランジスタの前記しきい値制御端子には、グランド電位より低い電圧を印加することを特徴としたアクティブマトリクス型半導体表示装置が提供される。

【0028】

また、前記アクティブマトリクス型半導体表示装置であって、前記複数の画素薄膜トランジスタおよび前記複数の薄膜トランジスタは、Pチャンネル薄膜トランジスタを有しており、前記Pチャンネル薄膜トランジスタの前記しきい値制御端子には、電源電位より高い電圧を印加することを特徴としたアクティブマトリクス型半導体表示装置が提供される。

40

【0029】

また、前記アクティブマトリクス型半導体表示装置であって、前記複数の画素薄膜トランジスタおよび前記複数の薄膜トランジスタは、Pチャンネル薄膜トランジスタを有しており、前記Pチャンネル薄膜トランジスタの前記しきい値制御端子には、電源電位より低い電圧を印加することを特徴としたアクティブマトリクス型半導体表示装置が提供される。

【0030】

また、本発明のある実施形態によると、複数の画素薄膜トランジスタがマトリクス状に

50

配置されたアクティブマトリクス回路と、第一の複数の薄膜トランジスタで構成された信号線駆動回路と、第二の複数の薄膜トランジスタで構成された走査線駆動回路と、前記複数の画素薄膜トランジスタ、前記第一の複数の薄膜トランジスタおよび前記第二の複数の薄膜トランジスタのしきい値を制御するしきい値制御回路と、を同一基板上に有することを特徴とするアクティブマトリクス型半導体表示装置が提供される。

【0031】

また、本発明のある実施形態によると、複数の画素薄膜トランジスタがマトリクス状に配置されたアクティブマトリクス回路と、第一の複数の薄膜トランジスタで構成された信号線駆動回路と、第二の複数の薄膜トランジスタで構成された走査線駆動回路と、前記複数の画素薄膜トランジスタ、前記第一の複数の薄膜トランジスタおよび前記第二の複数の薄膜トランジスタのしきい値を制御するしきい値制御回路と、を有するアクティブマトリクス型半導体表示装置であって、前記第一の複数の薄膜トランジスタおよび前記第二の複数の薄膜トランジスタは、それぞれしきい値を制御するための制御用端子を有し、前記しきい値制御回路は、前記制御用端子に任意の電圧を印加することを特徴とするアクティブマトリクス型半導体表示装置が提供される。

10

【0032】

また、前記アクティブマトリクス型半導体表示装置であって、前記しきい値制御回路は、前記第一の複数の薄膜トランジスタと前記第二の複数の薄膜トランジスタとをそれぞれ独立に制御することを特徴としたアクティブマトリクス型半導体表示装置が提供される。

【0033】

また、前記アクティブマトリクス型半導体表示装置であって、前記しきい値制御回路は、前記第一の複数の薄膜トランジスタと前記第二の複数の薄膜トランジスタとを共通に制御することを特徴としたアクティブマトリクス型半導体表示装置が提供される。

20

【0034】

また、前記アクティブマトリクス型半導体表示装置であって、前記複数の薄膜トランジスタはゲート電極の反対側に前記しきい値制御端子としてバックゲート電極を有しており、前記バックゲート電極に任意の電圧を印加することを特徴とするアクティブマトリクス型半導体表示装置が提供される。

【0035】

また、前記アクティブマトリクス型半導体表示装置であって、前記第一の複数の薄膜トランジスタと前記第二の複数の薄膜トランジスタとはゲート電極の反対側に前記しきい値制御端子としてバックゲート電極を有しており、前記バックゲート電極に任意の電圧を印加することを特徴とするアクティブマトリクス型半導体表示装置が提供される。

30

【0036】

また、本発明のある実施形態によると、バックゲート電極を有する第一のPチャネル薄膜トランジスタと、バックゲート電極を有する第二のPチャネル薄膜トランジスタと、バックゲート電極を有する第一のNチャネル薄膜トランジスタと、を有するインバータ回路であって、前記第一のPチャネル薄膜トランジスタのバックゲート電極にバックゲート電圧が印加されたときのしきい値電圧 V_{thP1} と前記第二のPチャネル薄膜トランジスタとのバックゲート電極にバックゲート電圧が印加されたときのしきい値電圧 V_{thP2} とには、

40

$$V_{thP1} > V_{thP2}$$

の関係が成り立つインバータ回路が提供される。

【0037】

また、本発明のある実施形態によると、バックゲート電極を有する第一のPチャネル薄膜トランジスタと、バックゲート電極を有する第二のPチャネル薄膜トランジスタと、バックゲート電極を有する第一のNチャネル薄膜トランジスタと、バックゲート電極を有する第二のNチャネル薄膜トランジスタと、で構成されるインバータ回路であって、前記第一のPチャネル薄膜トランジスタのバックゲート電極にバックゲート電圧が印加されたときのしきい値電圧 V_{thP1} と、前記第二のPチャネル薄膜トランジスタとのバックゲート電極にバックゲート電圧が印加されたときのしきい値電圧 V_{thP2} と、前記第一のNチャネル

50

薄膜トランジスタのバックゲート電極にバックゲート電圧が印加されたときのしきい値電圧 V_{thN1} と、前記第二の N チャンネル薄膜トランジスタのバックゲート電極にバックゲート電圧が印加されたときのしきい値電圧 V_{thN2} とには、

$$\begin{aligned} &|V_{thP1} > V_{thP2}| \\ &|V_{thN1} < V_{thN2}| \end{aligned}$$

の関係が成り立つインバータ回路が提供される。

【0038】

また、前記アクティブマトリクス型半導体表示装置であって、前記第一の P チャンネル薄膜トランジスタと、前記第二の P チャンネル薄膜トランジスタと、前記第一の N チャンネル薄膜トランジスタと、は相補型トランジスタを構成しており、前記第一の N チャンネル薄膜トランジスタは第一の制御用端子を有しており、前記第一の P チャンネル薄膜トランジスタおよび前記第二の P チャンネル薄膜トランジスタは、第二の制御用端子をそれぞれ有しており、前記しきい値制御回路は、前記第一の制御用端子および前記第二の制御用端子にそれぞれ任意の電圧を印加することを特徴とするインバータ回路が提供される。

10

【0039】

また、前記アクティブマトリクス型半導体表示装置であって、前記第一の P チャンネル薄膜トランジスタと、前記第二の P チャンネル薄膜トランジスタと、前記第一の N チャンネル薄膜トランジスタと、前記第二の N チャンネル薄膜トランジスタと、は相補型トランジスタを構成しており、前記第一の N チャンネル薄膜トランジスタおよび前記第二の N チャンネル薄膜トランジスタは、第一の制御用端子をそれぞれ有しており、前記第一の P チャンネル薄膜トランジスタおよび前記第二の P チャンネル薄膜トランジスタは、第二の制御用端子をそれぞれ有しており、前記しきい値制御回路は、前記第一の制御用端子および前記第二の制御用端子にそれぞれ任意の電圧を印加することを特徴とするインバータ回路が提供される。

20

【0040】

また、本発明のある実施形態によると、複数の画素薄膜トランジスタがマトリクス状に配置されたアクティブマトリクス回路と、複数の薄膜トランジスタで構成された信号線駆動回路と、複数の薄膜トランジスタで構成された走査線駆動回路と、前記複数の薄膜トランジスタのしきい値を制御するしきい値制御回路と、を有するアクティブマトリクス型半導体表示装置であって、前記複数の画素薄膜トランジスタのそれぞれは、ゲート電極とバックゲート電極とを有しており、前記ゲート電極と前記バックゲート電極とは互いに接続されており、かつ前記複数の薄膜トランジスタのそれぞれは、ゲート電極とバックゲート電極とを有しており、前記ゲート電極と前記バックゲート電極とは互いに接続されていることを特徴としたアクティブマトリクス型半導体表示装置が提供される。

30

【0041】

また、前記アクティブマトリクス型半導体表示装置であって、前記複数の画素薄膜トランジスタのそれぞれの前記ゲート電極と前記バックゲート電極とに同一の走査線信号が加えられることを特徴としたアクティブマトリクス型半導体表示装置が提供される。

【0042】

また、前記アクティブマトリクス型半導体表示装置であって、前記複数の画素薄膜トランジスタのそれぞれの前記ゲート電極と前記バックゲート電極に振幅の異なる同極性の走査線信号が加えられることを特徴としたアクティブマトリクス型半導体表示装置が提供される。

40

【0043】

また、前記アクティブマトリクス型半導体表示装置であって、前記信号線駆動回路は、前記複数の薄膜トランジスタの一部により構成されたアナログスイッチを有し、前記アナログスイッチを構成する薄膜トランジスタのそれぞれの前記ゲート電極と前記バックゲート電極とに同一の信号が加えられることを特徴としたアクティブマトリクス型半導体表示装置が提供される。

【0044】

また、前記アクティブマトリクス型半導体表示装置であって、前記信号線駆動回路は、

50

前記複数の薄膜トランジスタの一部により構成されたアナログスイッチを有し、前記アナログスイッチを構成する薄膜トランジスタのそれぞれの前記ゲート電極と前記バックゲート電極には、振幅の異なる同極性の信号が加えられることを特徴としたアクティブマトリクス型半導体表示装置が提供される。

【0045】

また、本発明のある実施形態によると、複数の薄膜トランジスタで構成された信号線駆動回路と、複数の薄膜トランジスタで構成された走査線駆動回路と、前記複数の薄膜トランジスタのしきい値を制御するしきい値制御回路と、を同一基板上に有することを特徴とするアクティブマトリクス型半導体表示装置の駆動回路が提供される。

【0046】

また、本発明のある実施形態によると、複数の薄膜トランジスタで構成された信号線駆動回路と、複数の薄膜トランジスタで構成された走査線駆動回路と、前記複数の薄膜トランジスタのしきい値を制御するしきい値制御回路と、を有するアクティブマトリクス型半導体表示装置の駆動回路であって、前記複数の薄膜トランジスタは、しきい値を制御するための制御用端子を有し、前記しきい値制御回路は、前記制御用端子に任意の電圧を印加することを特徴とするアクティブマトリクス型半導体表示装置の駆動回路が提供される。

【0047】

また、前記アクティブマトリクス型半導体表示装置の駆動回路であって、前記複数の薄膜トランジスタは、Nチャンネル薄膜トランジスタを有しており、前記Nチャンネル薄膜トランジスタの前記しきい値制御端子には、グランド電位より高い電圧を印加することを特徴としたアクティブマトリクス型半導体表示装置の駆動回路が提供される。

【0048】

また、前記アクティブマトリクス型半導体表示装置の駆動回路であって、前記複数の薄膜トランジスタは、Nチャンネル薄膜トランジスタを有しており、前記Nチャンネル薄膜トランジスタの前記しきい値制御端子には、グランド電位より低い電圧を印加することを特徴としたアクティブマトリクス型半導体表示装置の駆動回路が提供される。

【0049】

また、前記アクティブマトリクス型半導体表示装置の駆動回路であって、前記複数の薄膜トランジスタは、Pチャンネル薄膜トランジスタを有しており、前記Pチャンネル薄膜トランジスタの前記しきい値制御端子には、電源電位より高い電圧を印加することを特徴としたアクティブマトリクス型半導体表示装置の駆動回路が提供される。

【0050】

また、前記アクティブマトリクス型半導体表示装置の駆動回路であって、前記複数の薄膜トランジスタは、Pチャンネル薄膜トランジスタを有しており、前記Pチャンネル薄膜トランジスタの前記しきい値制御端子には、電源電位より低い電圧を印加することを特徴としたアクティブマトリクス型半導体表示装置の駆動回路が提供される。

【0051】

また、前記アクティブマトリクス型半導体表示装置の駆動回路であって、前記しきい値制御回路は、前記薄膜トランジスタと、前記薄膜トランジスタの電流を電圧に変換する負荷と、負荷に発生する電圧を増幅する増幅器とを有し、前記増幅器からの出力を前記薄膜トランジスタに負帰還し、かつ前記しきい値制御用端子に出力することを特徴とするアクティブマトリクス型半導体表示装置の駆動回路が提供される。

【0052】

また、前記アクティブマトリクス型半導体表示装置の駆動回路であって、前記しきい値制御回路は、前記薄膜トランジスタと、前記薄膜トランジスタの電流を電圧に変換する負荷と、負荷に発生する電圧を増幅して前記駆動回路に印加し、かつ前記薄膜トランジスタのしきい値制御用端子に負帰還させる増幅器とを有することを特徴とするアクティブマトリクス型半導体表示装置の駆動回路が提供される。

【0053】

また、本発明のある実施形態によると、第一の複数の薄膜トランジスタで構成された信

10

20

30

40

50

号線駆動回路と、第二の複数の薄膜トランジスタで構成された走査線駆動回路と、前記第一の複数の薄膜トランジスタおよび前記第二の複数の薄膜トランジスタのしきい値を制御するしきい値制御回路と、を同一基板上に有することを特徴とするアクティブマトリクス型半導体表示装置の駆動回路が提供される。

【0054】

また、本発明のある実施形態によると、第一の複数の薄膜トランジスタで構成された信号線駆動回路と、第二の複数の薄膜トランジスタで構成された走査線駆動回路と、前記第一の複数の薄膜トランジスタおよび前記第二の複数の薄膜トランジスタのしきい値を制御するしきい値制御回路と、を有するアクティブマトリクス型半導体表示装置の駆動回路であって、前記複数の薄膜トランジスタは、しきい値を制御するための制御用端子を有し、前記しきい値制御回路は、前記制御用端子に任意の電圧を印加することを特徴とするアクティブマトリクス型半導体表示装置の駆動回路が提供される。

10

【0055】

また、前記アクティブマトリクス型半導体表示装置の駆動回路であって、前記しきい値制御回路は、前記第一の複数の薄膜トランジスタと前記第二の複数の薄膜トランジスタとをそれぞれ独立に制御することを特徴としたアクティブマトリクス型半導体表示装置の駆動回路が提供される。

【0056】

また、前記アクティブマトリクス型半導体表示装置の駆動回路であって、前記しきい値制御回路は、前記第一の複数の薄膜トランジスタと前記第二の複数の薄膜トランジスタとを共通に制御することを特徴としたアクティブマトリクス型半導体表示装置の駆動回路が提供される。

20

【0057】

また、前記アクティブマトリクス型半導体表示装置の駆動回路であって、前記複数の薄膜トランジスタはゲート電極の反対側に前記しきい値制御端子としてバックゲート電極を有しており、前記バックゲート電極に任意の電圧を印加することを特徴とするアクティブマトリクス型半導体表示装置の駆動回路が提供される。

【0058】

また、前記アクティブマトリクス型半導体表示装置の駆動回路であって、前記第一の複数の薄膜トランジスタと前記第二の複数の薄膜トランジスタとはゲート電極の反対側に前記しきい値制御端子としてバックゲート電極を有しており、前記バックゲート電極に任意の電圧を印加することを特徴とするアクティブマトリクス型半導体表示装置の駆動回路が提供される。

30

【0059】

また、本発明のある実施形態によると、複数の薄膜トランジスタで構成された信号線駆動回路と、複数の薄膜トランジスタで構成された走査線駆動回路と、前記複数の薄膜トランジスタのしきい値を制御するしきい値制御回路と、を有するアクティブマトリクス型半導体表示装置の駆動回路であって、前記複数の画素薄膜トランジスタのそれぞれは、ゲート電極とバックゲート電極を有しており、前記ゲート電極と前記バックゲート電極とは互いに接続されており、かつ前記複数の薄膜トランジスタのそれぞれは、ゲート電極とバックゲート電極を有しており、前記ゲート電極と前記バックゲート電極とは互いに接続されていることを特徴としたアクティブマトリクス型半導体表示装置の駆動回路が提供される。

40

【0060】

また、前記アクティブマトリクス型半導体表示装置の駆動回路であって、前記信号線駆動回路は、前記複数の薄膜トランジスタの一部により構成されたアナログスイッチを有し、前記アナログスイッチを構成する薄膜トランジスタのそれぞれの前記ゲート電極と前記バックゲート電極とに同一の信号を加えられることを特徴としたアクティブマトリクス型半導体表示装置の駆動回路が提供される。

【0061】

50

また、前記アクティブマトリクス型半導体表示装置の駆動回路であって、前記信号線駆動回路は、前記複数の薄膜トランジスタの一部により構成されたアナログスイッチを有し、前記アナログスイッチを構成する薄膜トランジスタのそれぞれの前記ゲート電極と前記バックゲート電極には、振幅の異なる同極性の信号を加えられることを特徴としたアクティブマトリクス型半導体表示装置の駆動回路が提供される。

【0062】

また、本発明のある実施形態によると、絶縁基板上に形成された、バックゲート電極と、第1のゲート絶縁膜と、半導体活性層と、第2のゲート絶縁膜と、ゲート電極とを有する複数のTFTを有する半導体装置であって、前記バックゲート電極には任意の電圧が印加される半導体装置が提供される。

10

【0063】

また、前記半導体装置であって、前記複数のTFTは、第1のPチャンネル型TFTおよび第2のPチャンネル型TFTを含み、前記第1のPチャンネル型TFTのバックゲート電極にバックゲート電圧が印加された時のしきい値電圧 V_{thP1} と前記第2のPチャンネル型TFTのバックゲート電極にバックゲート電圧が印加された時のしきい値電圧 V_{thP2} とは

$$V_{thP1} > V_{thP2}$$
 の関係が成り立つ半導体装置が提供される。

【0064】

また、前記半導体装置であって、前記複数のTFTは、第1のPチャンネル型TFT、第2のPチャンネル型TFT、第1のNチャンネル型TFT、第2のNチャンネル型TFTを含み、前記第1のPチャンネル型TFTのバックゲート電極にバックゲート電圧が印加された時のしきい値電圧 V_{thP1} と前記第2のPチャンネル型TFTのバックゲート電極にバックゲート電圧が印加された時のしきい値電圧 V_{thP2} と、前記第1のNチャンネル型TFTのバックゲート電極にバックゲート電圧が印加された時のしきい値電圧 V_{thN1} と前記第2のNチャンネル型TFTのバックゲート電極にバックゲート電圧が印加された時のしきい値電圧 V_{thN2} とは、

20

$$\begin{aligned} &|V_{thP1} > V_{thP2}| \\ &|V_{thN1} < V_{thN2}| \end{aligned}$$

の関係が成り立つ半導体装置が提供される。

【0065】

また、本発明のある実施形態によると、マトリクス状に配置された複数の画素TFTと、前記複数の画素TFTを駆動する、複数のTFTによって構成される周辺回路と、を備えた半導体表示装置であって、前記複数の画素TFTは、それぞれゲート電極とバックゲート電極とを有しており、前記複数のTFTは、それぞれゲート電極とバックゲート電極とを有しており、前記バックゲート電極には、任意の電圧が印加されることを特徴とする半導体表示装置が提供される。

30

【発明の効果】

【0066】

本発明のバックゲート電極を有するTFTによって構成される半導体装置によると、TFTのしきい値電圧を制御することができ、回路の動作をコントロールすることができる。

40

【0067】

また、本発明のバックゲートを有するTFTによって構成される半導体表示装置によると、ドライバ回路やたの周辺回路を構成するTFTのしきい値電圧を制御できるだけでなく、画素TFTのしきい値電圧を制御することができるので、より良好な画像を得ることができる。

【0068】

また、本発明によると、動作していない回路を構成するTFTのしきい値電圧を制御し、動作していない回路を構成するドレイン電流の総和を小さくし、消費電力を低減することができる。

50

【0069】

さらに本発明では、薄膜トランジスタから大きな電流値を取り出すことができ、また、それを任意に制御することも可能であり、TFTサイズの縮小化をはかることもできる。

【発明を実施するための最良の形態】

【0070】

図1に、本発明の半導体装置の構造を示す。図1には、本発明の半導体装置の代表例として、Pch型TFTとNch型TFTとを有するCMOS回路が示されている。

【0071】

図1において、101は基板であり、ガラス基板や石英基盤のような絶縁基板が用いられる。102は下地膜である。103および104はバックゲート電極である。105は第1ゲート絶縁膜である。106および107は半導体活性層であり、ソース領域、ドレイン領域、低濃度不純物領域、およびチャネル形成領域から成る。108および109は第2ゲート絶縁膜である。110～112はソース電極およびドレイン電極である。113および114はゲート電極である。115は層間絶縁膜である。バックゲート電極103および104には、任意の電圧が印加できるように設計されている。

【0072】

本発明は半導体装置にアクティブマトリクス型半導体表示装置を用いた例である。特に、アクティブマトリクス型液晶表示装置を例にとって説明する。図2はアクティブマトリクス型液晶表示装置を示したものである。図2のアクティブマトリクス型液晶表示装置は、マトリクス状に画素部が配置されており、この画素部に表示信号を供給する信号線を駆動するための信号線駆動回路201および走査信号を供給する走査線を駆動するための走査線駆動回路202が設けられている。信号線駆動回路は、第一の複数の薄膜トランジスタで構成されている。走査線駆動回路は、第二の複数の薄膜トランジスタで構成されている。信号線駆動回路および走査線駆動回路には、これらの薄膜トランジスタのしきい値を制御するためのしきい値制御回路203が接続されている。図2においてしきい値制御回路は、信号線駆動回路を構成する第一の複数の薄膜トランジスタと走査線駆動回路を構成する第二の複数の薄膜トランジスタを共通に制御している。本発明では、このしきい値制御回路により第一の複数の薄膜トランジスタおよび第二の複数の薄膜トランジスタのしきい値を制御して、信号線駆動回路および走査線駆動回路の消費電力を低減させたりあるいは動作周波数を向上させたりする。

【0073】

薄膜トランジスタには、しきい値を制御するための制御用端子が設けられている。しきい値制御回路は、この制御用端子に所望の電圧を印加する。具体的には、制御用端子は、薄膜トランジスタのゲート電極とは反対側にしきい値制御端子としていわゆるバックゲート電極として形成され、この制御用端子にしきい値制御回路から所望の電圧を印加することにより、チャネルを変化させてしきい値を制御する。

【0074】

バックゲート電極とは薄膜トランジスタのゲート電極（トップゲート電極、ボトムゲート電極）に対して反対側に形成される電極のことを総称しており、例えば薄膜トランジスタがトップゲート構造のときは、ボトム側すなわち基板側に形成され、薄膜トランジスタがボトムゲート構造のときはトップ側に形成されるものである。このような構成の下、しきい値制御回路により制御用端子に電圧を印加すると、薄膜トランジスタのチャネルに影響を与える。この結果、薄膜トランジスタのしきい値の制御が可能になる。

【0075】

この場合、駆動回路の消費電力を低減させたい場合と動作周波数を向上させたい場合とで印加すべき電圧が異なる。さらに、この印加電圧は、薄膜トランジスタの極性によっても異なる。具体的には、薄膜トランジスタがN型の場合、消費電力を低減させるためにはグラウンド電位より低い電圧を印加し、また動作周波数を向上させるためにはグラウンド電位より高い電圧を印加する。一方、薄膜トランジスタがP型の場合、消費電力を低減させるためには電源電位よりも高い電圧を印加し、また動作周波数を向上させるためには電源電

位より低い電圧を印加する。

【0076】

なお、しきい値の制御は、駆動回路の電流値もしくは個別の薄膜トランジスタの電流値をモニターすることにより行ってもよいし、負帰還をかけることによって自動的に行ってもよい。前者の場合には、しきい値制御回路に可変抵抗を設けて、この可変抵抗を調整することにより制御用端子に所望の電圧を印加する。また、後者の場合には、基準値を設定するためのモニター用薄膜トランジスタと、このモニター用薄膜トランジスタの電流を電圧に変換する負荷と、負荷に発生する電圧を増幅して駆動回路に印加すると共にモニター用薄膜トランジスタのしきい値制御用端子に負帰還させる増幅器とによってしきい値制御回路を構成すればよい。後者の場合には、しきい値制御回路を、駆動回路と同一基板上に薄膜トランジスタにより形成するのが望ましい。

10

【0077】

また、薄膜トランジスタを相補型トランジスタ(CMOS)で構成する場合には、N型トランジスタに第1の制御用端子を、P型トランジスタに第2の制御用端子をそれぞれ設けて、しきい値制御回路により第1及び第2の制御用端子にそれぞれ所望の電圧を印加するようにすればよい。

【0078】

また、上記駆動回路は、信号線を駆動するための信号線駆動回路と、走査線を駆動するための走査線駆動回路とを有する。この場合、これらの駆動回路に一つのしきい値制御回路を接続して各薄膜トランジスタのしきい値を共通に制御してもよいし、各駆動回路に別々のしきい値制御回路を接続して各薄膜トランジスタのしきい値を独立に制御してもよい。特に、後者の場合には、第1のしきい値制御回路により信号線駆動回路の動作周波数を向上させるように制御し、第2のしきい値制御回路により走査線駆動回路の消費電力を低減させるように制御することが可能になる。このように独立に制御するのは、信号線駆動回路と走査線駆動回路とは動作周波数が異なるからである。つまり、信号線駆動回路においては動作周波数が重要となり、走査線駆動回路では消費電力の方が重要となるのである。

20

【0079】

図3は、本発明におけるバックゲート電極を有した薄膜トランジスタを平面図として示したものである。図中における701がバックゲート電極である。以下702はポリシリコン(活性層)島状領域、703はゲート電極、704・705はコンタクトホール、706は配線電極をそれぞれ示している。ゲート電極703とは反対側に形成されたバックゲート電極701に電圧を印加することで、この薄膜トランジスタのしきい値を制御しようとするものである。

30

【0080】

この構造における薄膜トランジスタの電気特性について例をあげて述べておく。図26はNチャネル薄膜トランジスタ、Pチャネル薄膜トランジスタのゲート電圧-ドレイン電流特性($V_g - I_d$ 曲線)の一例を示したものである。図26(A)において1601は、バックゲート電極に電圧を印加しないときのNチャネル薄膜トランジスタ特性であり、この例ではNチャネル薄膜トランジスタはノーマリーオンとなっている。1602・1603はバックゲート電極にそれぞれ+2V、+5Vの正電圧を印加したときの、1604・1605はバックゲート電極にそれぞれ-2V、-5Vの負電圧を印加したときのNチャネル薄膜トランジスタ特性を示している。つまり、バックゲート電極に正電圧を印加したとき、Nチャネル薄膜トランジスタのしきい値は左(マイナス)方向へとシフトし、負電圧を印加したとき右(プラス)方向へとシフトしている。これらの曲線によると、バックゲート電極に正あるいは負の電圧を印加することによって、Nc h T F Tのしきい値電圧を変化させることができることが理解される。

40

【0081】

図26(B)には、Pチャネル薄膜トランジスタ特性が示してある。図中1611はバックゲート電極に電圧を印加しないときのPチャネル薄膜トランジスタ特性である。16

50

14・1615はバックゲート電極にそれぞれ+2V、+5Vの正電圧を印加したときの、1612・1613はバックゲート電極にそれぞれ-2V、-5Vの負電圧を印加したときのPチャネル薄膜トランジスタ特性を示している。つまり、バックゲート電極に正電圧を印加したとき、Pチャネル薄膜トランジスタのしきい値は左(マイナス)方向へとシフトし、負電圧を印加したとき右(プラス)方向へとシフトしている。これらの曲線によると、前述のNchTFTの場合と同様に、バックゲート電極に正あるいは負の電圧を印加することによって、NchTFTのしきい値電圧を変化させることができることが理解される。

【0082】

図26(A)および(B)では、バックゲート電圧を正電圧+2V、+5Vおよび負電圧-2V、-5Vのときのみについて特性を示したが、発明者がより詳細にバックゲート電圧を変化させて、同様の薄膜トランジスタ特性($V_g - I_d$ 曲線)を測定したところでは、Nチャネル薄膜トランジスタとPチャネル薄膜トランジスタそれぞれにおいて、バックゲート電圧を変化させたときのしきい値 V_{th} 変化は、図27でプロットしたような知見が得られている。図27(A)はNチャネル薄膜トランジスタ、図27(B)はPチャネル薄膜トランジスタの特性を示したものである。Nチャネル薄膜トランジスタおよびPチャネル薄膜トランジスタどちらの場合もバックゲート電圧に正電圧を印加するとしきい値はマイナス方向へとシフトし、負電圧を印加するとプラス方向へとシフトしている。

【0083】

よって、バックゲート電極に電圧を印加することで、Nチャネル薄膜トランジスタ、Pチャネル薄膜トランジスタそれぞれについて、しきい値電圧を変化させることができることがわかった。本発明は、この現象を利用して薄膜トランジスタのしきい値電圧 V_{th} を制御しようとするものである。

【0084】

前述した薄膜トランジスタ特性をふまえて、本発明をいくつかの基本回路に適用し、その動作とともにさらに説明を付け加えておく。図4は駆動回路を構成する基本回路の一例として、インバータ列を例にとり説明したものである。ここでは、インバータを例にとっているが、インバータ以外、シフトレジスタ、デコーダ等でも同じことがいえる。通常、CMOSインバータ回路は入力(IN)、出力(OUT)、電源(V_{dd})、GNDの4端子によって構成されるが、本発明では、Nチャネル薄膜トランジスタのしきい値制御端子およびPチャネル薄膜トランジスタのしきい値制御端子を加えて6端子とし、Pチャネル薄膜トランジスタしきい値制御端子からPチャネル薄膜トランジスタにはバックゲート電圧 V_{BGP} が印加され、Nチャネル薄膜トランジスタしきい値制御端子からNチャネル薄膜トランジスタにはバックゲート電圧 V_{BGN} が印加される。このしきい値制御端子を制御することによって、回路を構成する薄膜トランジスタのしきい値を制御している。

【0085】

インバータ回路のさらなる例として図16を説明する。図16(A)には、2つのPチャネル薄膜トランジスタ(符号:PchTFT1およびPchTFT2)および1つのNチャネル薄膜トランジスタ(符号:NchTFT)によって構成されたインバータ回路が示されており、図16(B)には、2つのPチャネル薄膜トランジスタ(符号:PchTFT1およびPchTFT2)および2つのNチャネル薄膜トランジスタ(符号:NchTFT1およびNchTFT2)によって構成されたインバータ回路が示されている。

【0086】

図16(A)においては、Pチャネル薄膜トランジスタ1(PchTFT1)にはバックゲート電圧 V_{BGP1} が印加されている。また、Pチャネル薄膜トランジスタ2(PchTFT2)にはバックゲート電圧 V_{BGP2} が印加されている。また、Nチャネル薄膜トランジスタ(NchTFT2)にはバックゲート電圧 V_{BGN} が印加されている。

【0087】

図10(A)に示される本実施例のインバータ回路においては、Pチャネル薄膜トランジスタ1(PchTFT1)のしきい値電圧 V_{thP1} が、Pチャネル薄膜トランジスタ2(P

10

20

30

40

50

chTFT2)のしきい値電圧 V_{thP2} と、

$$V_{thP1} > V_{thP2}$$

の関係が成り立つようにバックゲート電圧を制御する。こうすることによって、インバータ回路の消費電力を小さくすることができる。

【0088】

また、図10(B)に示される本実施例のインバータ回路においては、Pチャンネル薄膜トランジスタ1(PchTFT1)にはバックゲート電圧 V_{BGP1} が印加されている。また、Pチャンネル薄膜トランジスタ2(PchTFT2)にはバックゲート電圧 V_{BGP2} が印加されている。また、Nチャンネル薄膜トランジスタ1(NchTFT1)にはバックゲート電圧 V_{BGN1} が印加されている。また、Nチャンネル薄膜トランジスタ2(NchTFT2)にはバックゲート電圧 V_{BGN2} が印加されている。

10

【0089】

図10(B)に示される本実施例のインバータ回路においては、Pチャンネル薄膜トランジスタ1(PchTFT1)、Pチャンネル薄膜トランジスタ2(PchTFT2)、Nチャンネル薄膜トランジスタ1(NchTFT1)およびNチャンネル薄膜トランジスタ2(NchTFT2)のそれぞれのしきい値電圧 V_{thP1} 、 V_{thP2} 、 V_{thN1} 、 V_{thN2} が次のような関係にあるようにバックゲート電圧を制御する。

$$|V_{thP1} > V_{thP2}|$$

$$|V_{thN1} < V_{thN2}|$$

こうすることによって、インバータ回路の消費電力を小さくすることができる。

20

【0090】

図5には本発明に用いられる駆動回路を構成する基本回路の一例として、NAND回路が示してある。図5(A)はNAND回路を論理記号により示したものであり、図5(B)はその等価回路を示したものである。

【0091】

NAND回路を構成する複数の薄膜トランジスタは、上述のバックゲート電極を有している。NAND回路を構成する複数の薄膜トランジスタには、図5(A)および図5(B)で示されるようにPチャンネル薄膜トランジスタにはバックゲート電圧 V_{BGP} が印加され、Nチャンネル薄膜トランジスタにはバックゲート電圧 V_{BGN} が印加される。なお、図5に示すNAND回路においては、Pチャンネル薄膜トランジスタとNチャンネル薄膜トランジスタとに異なるバックゲート電圧が印加されるようにしたが、Pチャンネル薄膜トランジスタ・Nチャンネル薄膜トランジスタともに同じバックゲート電圧が印加されるように設計してもよい。

30

【0092】

これらの薄膜トランジスタにバックゲート電圧を印加することによって、NAND回路が作動するしきい値電圧を変化させることができる。

【0093】

図6に示すのはしきい値制御回路の例である。この例では制御電圧は時間的に変化しないので、電圧源1201をもちいて必要な電圧を与えるか(図6(a))、可変抵抗1202を用いて電圧を与えても良い(図6(b))。この例において、しきい値を制御する場合には、駆動回路の電流値もしくは個別薄膜トランジスタの電流値をモニターしながら、電圧の設定をおこない最適化をはかる。

40

【0094】

図7は、アクティブマトリクス型液晶表示装置の信号線駆動回路および走査線駆動回路の両方に対応したしきい値制御回路を組み込んだものである。この例では信号線駆動回路1301を構成する第一の複数の薄膜トランジスタ、走査線駆動回路1302を構成する第二の複数の薄膜トランジスタに図3の構成が用いられる。また、信号線駆動回路1301を構成する第一の複数の薄膜トランジスタと走査線駆動回路1302を構成する第二の複数の薄膜トランジスタとを独立に制御している。図7においては、信号線駆動回路1301を構成する第一の複数の薄膜トランジスタ、走査線駆動回路1302を構成する第二

50

の薄膜トランジスタのしきい値制御端子（図3におけるバックゲート電極701）を引き出し、引き出したバックゲート電極701の端子に電圧を印加することによって、薄膜トランジスタのしきい値を制御している。前述したように、薄膜トランジスタのノーマリオン対策として、信号線駆動回路1301、走査線駆動回路1302の消費電力を低減させたい場合には、Nチャンネル薄膜トランジスタのしきい値制御端子にはGND電位より低い電圧を印加し、Pチャンネル薄膜トランジスタのしきい値制御端子には電源電位より高い電圧を印加することで、しきい値を制御することができる。。

【0095】

また、信号線駆動回路1301、走査線駆動回路1302の動作周波数を高くしたい場合には、Nチャンネル薄膜トランジスタのしきい値制御端子にはGND電位より高い電圧を印加し、Pチャンネル薄膜トランジスタのしきい値制御端子には電源電位より低い電圧を印加することで、しきい値を制御している。

10

【0096】

ここでは、信号線駆動回路1301を構成する第一の複数の薄膜トランジスタと走査線駆動回路1302を構成する第二の複数の薄膜トランジスタのしきい値制御電圧は独立して制御しているが、配置エリア面積の広さによっては、共通化して組み込んでよい。一般に、信号線駆動回路1301と走査線駆動回路1302では、信号線駆動回路1301の動作周波数がMHzオーダーであるのに対して、走査線駆動回路1302の動作周波数はkHzオーダーである。よって、信号線駆動回路1301は動作周波数を高める必要があるが、走査線駆動回路1302はその必要がない。したがって、しきい値制御を行う場合、信号線駆動回路1301においては動作周波数が重要となり、走査線駆動回路1302においては消費電力が重要となる。1303は走査線駆動回路のしきい値制御回路で、1304は信号線駆動回路のしきい値制御回路で、1305はアクティブマトリクス回路である。なお、この構成をパネルユニットとしてさらに発展させた表示モジュールを下記の実施例8に記載しておいた。

20

【0097】

図8は、しきい値制御回路を外部の可変抵抗や、可変電圧源ではなく、駆動回路と同一基板上に薄膜トランジスタを用いて構成したものである。この場合、回路は制御の基準となるモニター薄膜トランジスタ1401、モニター薄膜トランジスタ1401の電流を電圧に変換する負荷1402、負荷1402に発生する電圧を増幅し、駆動回路およびモニター薄膜トランジスタ1401のしきい値制御端子に電圧印加する増幅器1404から構成されている。

30

【0098】

以下、その動作について説明する。この薄膜トランジスタ1401がノーマリオンになっていると、モニター薄膜トランジスタ1401にはドレイン電流が流れ、負荷1402に電圧が発生する。この電圧は増幅器1404の差動入力非反転入力端子に入力され、負荷1402の電圧と基準電圧1403の差分の電圧が増幅され出力される。増幅された差分電圧出力は非反転入力に対応のため、下がる方向に出力される。増幅器1404の出力はモニター薄膜トランジスタ1401と駆動回路の電圧制御端子に接続され、且つ、電圧を下げるため、しきい値制御端子は電圧が下がり、薄膜トランジスタのしきい値を大きくし、薄膜トランジスタのドレイン電流を抑える方向に動作をさせる。このように、モニター薄膜トランジスタ1401と増幅器1404を組み合わせ負帰還をかけることによってしきい値の自動制御が可能である。

40

【0099】

以上、ノーマリオンを想定し、帰還回路を構成したが、モニター薄膜トランジスタ1401のゲート電圧をソース電位でない電位に固定し、基準電圧を適切に設定すれば、しきい値を自由に設定することも可能である。

【0100】

図9は、図8に示したしきい値制御回路を薄膜トランジスタをもちいて、具現化したものである。増幅器はN型薄膜トランジスタで差動回路を構成し、P型薄膜トランジスタで

50

能動負荷を構成した演算増幅器である。1501はモニタTFT、1502は負荷、1503は基準電源、1504は増幅器をそれぞれ示している。

【0101】

ここで、以下の実施例をもって本発明の半導体装置についてより具体的に説明する。ただし、以下の実施例は、本発明のある実施形態に過ぎず、本発明の半導体装置および半導体表示装置が以下の実施例に限定されるわけではない。

【実施例1】

【0102】

本実施例では、本発明の半導体装置の構造を有する半導体表示装置の例として、アクティブマトリクス型液晶表示装置について説明する。

10

【0103】

本実施例では、絶縁表面を有する基板上に、本発明の構造を有する複数のTFTを形成し、画素マトリクス回路、駆動回路、およびロジック回路等をモノリシックに構成する例を図11～図15に示す。なお、本実施例では、画素マトリクス回路の1つの画素と、他の回路（駆動回路、ロジック回路等）の基本回路であるCMOS回路とが同時に形成される様子を示す。また、本実施例では、Pチャンネル型TFTとNチャンネル型TFTとがそれぞれ1つのゲート電極を備えている場合について、その作製工程を説明するが、ダブルゲート型やトリプルゲート型のような複数のゲート電極を備えたTFTによるCMOS回路をも同様に作製することができる。

【0104】

20

図11(A)を参照する。まず、絶縁表面を有する基板として石英基板301を準備する。石英基板の代わりに熱酸化膜を形成したシリコン基板を用いることもできる。石英基板上に一旦非晶質珪素膜を形成し、それを完全に熱酸化して絶縁膜とする様な方法をとっても良い。さらに、絶縁膜として窒化珪素膜を形成した石英基板、セラミックス基板またはシリコン基板を用いても良い。次に、下地膜302を形成する。本実施例では、SiO₂が用いられた。

【0105】

図11(B)を参照する。次に、バックゲート電極303～305を形成する。本実施例では、バックゲート電極303～305には、Taが用いられた。なお、Ta以外にも、TaとTa_Nとの積層膜やTiなど高融点の金属または複数の金属の積層膜を用いても良い。次に、第1ゲート絶縁膜306を形成する。本実施例では、第1ゲート絶縁膜として70nmのSiO₂を用いた。

30

【0106】

図11(C)を参照する。次に、非晶質珪素膜307を形成する。非晶質珪素膜307は、最終的な膜厚（熱酸化後の膜減りを考慮した膜厚）が10～75nm（好ましくは15～45nm）となる様に調節する。

【0107】

なお、非晶質珪素膜307の成膜に際して膜中の不純物濃度の管理を徹底的に行うことが重要である。本実施例の場合、非晶質珪素膜307中では、後の結晶化を阻害する不純物であるC（炭素）およびN（窒素）の濃度はいずれも 5×10^{18} atoms/cm³未満（代表的には 5×10^{17} atoms/cm³以下、好ましくは 2×10^{17} atoms/cm³以下）、O（酸素）は 1.5×10^{19} atoms/cm³未満（代表的には 1×10^{18} atoms/cm³以下、好ましくは 5×10^{17} atoms/cm³以下）となる様に管理する。なぜならば各不純物がこれ以上の濃度で存在すると、後の結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となるからである。本明細書中において膜中の上記の不純物元素濃度は、SIMS（質量2次イオン分析）の測定結果における最小値で定義される。

40

【0108】

上記構成を得るため、本実施例で用いる減圧熱CVD炉は定期的にドライクリーニングを行い、成膜室の清浄化を図っておくことが望ましい。ドライクリーニングは、200～

50

400 程度に加熱した炉内に100~300 s c c mの ClF_3 (フッ化塩素) ガスを流し、熱分解によって生成したフッ素によって成膜室のクリーニングを行えば良い。

【0109】

なお、本出願人の知見によれば炉内温度300 とし、 ClF_3 ガスの流量を300 s c c mとした場合、約2 μ m厚の付着物 (主に珪素を主成分する) を4時間で完全に除去することができる。

【0110】

また、非晶質珪素膜307中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質珪素膜307の成膜は減圧熱CVD法であることが好ましい。なお、成膜条件を最適化することでプラズマCVD法を用いることも可能である。

10

【0111】

次に、非晶質珪素膜307の結晶化工程を行う。結晶化の手段としては特開平7-130652号公報記載の技術を用いる。同公報の実施例1および実施例2のどちらの手段でも良いが、本実施例では、同広報の実施例2に記載した技術内容 (特開平8-78329号公報に詳しい) を利用するのが好ましい。

【0112】

特開平8-78329号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜308を100 nmに形成する。マスク絶縁膜308は触媒元素を添加するために複数箇所の開口部を有している。この開口部の位置によって結晶領域の位置を決定することができる。

20

【0113】

図11(D)を参照する。そして、非晶質珪素膜307の結晶化を助長する触媒元素としてニッケル(Ni)を含有した溶液(Ni酢酸塩エタノール溶液)をスピンコート法により塗布する。なお、触媒元素としてはニッケル以外にも、コバルト(Co)、鉄(Fe)、パラジウム(Pd)、ゲルマニウム(Ge)、白金(Pt)、銅(Cu)、金(Au)等を用いることができる。

【0114】

また、上記触媒元素の添加工程は、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

30

【0115】

図12(A)を参照する。次に、触媒元素の添加工程が終了したら、450 で1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500~960 (代表的には550~650) の温度で4~24時間の加熱処理を加えて非晶質珪素膜307の結晶化を行う。本実施例では窒素雰囲気で570 で14時間の加熱処理を行う。

【0116】

この時、非晶質珪素膜307の結晶化は、ニッケルを添加した領域310および311で発生した核から優先的に進行し、基板301の基板面に対してほぼ平行に成長した多結晶珪素膜からなる結晶領域312~314が形成される。この結晶領域312~314を横成長領域と呼ぶ。横成長領域は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある。

40

【0117】

なお、上述の特開平7-130652号公報の実施形態に記載された技術を用いた場合も微視的には横成長領域と呼びうる領域が形成されている。しかしながら、核発生が面内において不均一に起こるので結晶粒界の制御性の面で難がある。

【0118】

なお、マスク絶縁膜308を用いずに、Ni酢酸溶液を非晶質珪素膜の前面に塗布し、

50

結晶化させることもできる。

【0119】

図12(B)を参照する。次に、触媒元素のゲッタリングプロセスを行う。まず、リンイオンのドーピングを選択的に行う。マスク絶縁膜308が形成された状態で、リンのドーピングを行う。すると、多結晶珪素膜の上記マスク絶縁膜308で覆われていない部分315および316のみに、リンがドーピングされる(これらの領域をリン添加領域315および316)。このとき、ドーピングの加速電圧と、酸化膜で成るマスクの厚さを最適化し、リンがマスク絶縁膜308を実質的に突き抜けないようにする。このマスク絶縁膜308は、必ずしも酸化膜でなくてよいが、酸化膜は活性層に直接触れても汚染の原因にならないので都合がよい。

10

【0120】

リンのドーピング量は、 1×10^{14} から 1×10^{15} ions/cm²程度とすると良い。本実施例では、 5×10^{14} ions/cm²のドーピングをイオンドーピング装置を用いて行った。

【0121】

なお、イオンドープの際の加速電圧は10kVとした。10kVの加速電圧であれば、リンは1000の酸化膜マスクをほとんど通過することができない。

【0122】

次に、図12(C)を参照する。その後、600の窒素雰囲気にて1~12時間(本実施例では12時間)熱アニールし、ニッケル元素のゲッタリングを行った。こうすることによって、図12(C)において矢印で示されるように、ニッケルがリンに吸い寄せられることになる。600度の温度のもとでは、リン原子は膜中をほとんど動かないが、ニッケル原子は数100μm程度またはそれ以上の距離を移動することができる。このことからリンがニッケルのゲッタリングに最も適した元素の1つであることが理解できる。

20

【0123】

次に、多結晶珪素膜をパターンニングする。このとき、リンの添加領域315および316、すなわちニッケルがゲッタリングされた領域が残らないようにする。このようにして、ニッケル元素をほとんど含まない多結晶珪素膜の活性層317~319が得られた。得られた多結晶珪素膜の活性層317~319が後にTFETの活性層となる。(図12(D))

【0124】

活性層317~319を形成したら、その上に珪素を含む絶縁膜でなる第2ゲート絶縁膜を成膜する。そして、酸化性雰囲気において、800~1100(好ましくは950~1050)で加熱処理を行い、活性層と第1ゲート絶縁膜および活性層と第1ゲート絶縁膜の界面に熱酸化膜(図示せず)を形成する。

30

【0125】

なお、触媒元素ゲッタリングするための加熱処理(触媒元素のゲッタリングプロセス)を、この段階で行っても良い。その場合、加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による金属元素のゲッタリング効果を利用する。なお、ハロゲン元素によるゲッタリング効果を十分に得るためには、上記加熱処理を700を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッタリング効果が得られなくなる恐れがある。また、この場合ハロゲン元素を含むガスとして、代表的にはHCl、HF、NF₃、HBr、Cl₂、ClF₃、BCl、F₂、Br₂等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることができる。この工程においては、例えばHClを用いた場合、活性層中のニッケルが塩素の作用によりゲッタリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されると考えられる。また、ハロゲン元素を用いて触媒元素のゲッタリングプロセスを行う場合、触媒元素のゲッタリングプロセスを、マスク絶縁膜308を除去した後、活性層をパターンニングする前に行なってもよい。また、触媒元素のゲッタリングプロセスを、活性層をパターンニングした後に行なってもよい。また、いずれのゲッタリングプロセスを組み合わせを行なってもよい。

40

50

【0126】

次に、図示しないアルミニウムを主成分とする金属膜を成膜し、パターニングによって後のゲート電極の原型を形成する。本実施例では2wt%のスカンジウムを含有したアルミニウム膜を用いる。

【0127】

次に、特開平7-135318号公報記載の技術により多孔性の陽極酸化膜321~323、無孔性の陽極酸化膜324~326、およびゲート電極327~329を形成する(図13(A))。

【0128】

こうして図13(A)の状態が得られたら、次にゲート電極327~329および多孔性の陽極酸化膜321~323をマスクとして第2ゲート絶縁膜320をエッチングする。そして、多孔性の陽極酸化膜321~323を除去して図13(B)の状態を得る。なお、図13(B)において330~332で示されるのは加工後の第2ゲート絶縁膜である。

【0129】

図13(C)を参照する。次に、一導電性を付与する不純物元素の添加工程を行う。不純物元素としてはNチャネル型ならばP(リン)またはAs(砒素)、P型ならばB(ボロン)またはGa(ガリウム)を用いれば良い。

【0130】

本実施例では、Nチャネル型およびPチャネル型のTF Tを形成するための不純物添加をそれぞれ2回の工程に分けて行う。

【0131】

最初に、Nチャネル型のTF Tを形成するための不純物添加を行う。まず、1回目の不純物添加(本実施例ではP(リン)を用いる)を高加速電圧80keV程度で行い、 n^- 領域を形成する。この n^- 領域は、Pイオン濃度が $1 \times 10^{18} \text{ atoms/cm}^3 \sim 1 \times 10^{19} \text{ atoms/cm}^3$ となるように調節する。

【0132】

さらに、2回目の不純物添加を低加速電圧10keV程度で行い、 n^+ 領域を形成する。この時は、加速電圧が低いので、ゲート絶縁膜がマスクとして機能する。また、この n^+ 領域は、シート抵抗が500以下(好ましくは300以下)となるように調節する。

【0133】

以上の工程を経て、CMOS回路を構成するNチャネル型TF Tのソース領域およびドレイン領域333および334、低濃度不純物領域335、チャネル形成領域336が形成される。また、画素TF Tを構成するNチャネル型TF Tのソース領域およびドレイン領域337および338、低濃度不純物領域339、チャネル形成領域340が確定する(図13(C))。

【0134】

なお、図13(C)に示す状態ではCMOS回路を構成するPチャネル型TF Tの活性層は、Nチャネル型TF Tの活性層と同じ構成となっている。

【0135】

次に、図13(D)に示すように、Nチャネル型TF Tを覆ってレジストマスク341を設け、P型を付与する不純物イオン(本実施例ではボロンを用いる)の添加を行う。

【0136】

この工程も前述の不純物添加工程と同様に2回に分けて行うが、Nチャネル型をPチャネル型に反転させる必要があるため、前述のPイオンの添加濃度の数倍程度の濃度のB(ボロン)イオンを添加する。

【0137】

こうしてCMOS回路を構成するPチャネル型TF Tのソース領域およびドレイン領域342および343、低濃度不純物領域344、チャネル形成領域345が形成される(図13(D))。

10

20

30

40

50

【0138】

次に、ファースアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物イオンの活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【0139】

図14(A)を参照する。次に、第1層間絶縁膜346として酸化珪素膜と窒化珪素膜との積層膜を形成し、コンタクトホールを形成した後、ソース電極およびドレイン電極347~351を形成して図14(A)に示す状態を得る。なお、層間絶縁膜346として有機性樹脂膜を用いることもできる。

【0140】

図14(A)に示す状態が得られたら、有機性樹脂膜からなる第2層間絶縁膜352を0.5~3 μ mの厚さに形成する。有機性樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等が用いられる。有機性樹脂膜の利点は、成膜方法が簡単である点、容易に膜厚を厚くできる点、比誘電率が低いので寄生容量を低減できる点、平坦性に優れている点などが挙げられる。なお、上述した以外の有機性樹脂膜を用いることもできる。

【0141】

また、第2の層間絶縁膜352に遮光性を有する膜でなるブラックマトリクス形成しても良い。ブラックマトリクスとしては、チタン膜、黒色顔料を含む樹脂膜等をいれることもできる。

【0142】

次に、そして第2層間絶縁膜352にコンタクトホールを形成し、画素電極353を120nmの厚さに形成する。なお、本実施例は透過型のアクティブマトリクス液晶表示装置の例であるため画素電極353を構成する導電膜としてITO等の透明導電膜を用いる。

【0143】

次に、基板全体を350の水素雰囲気中で1~2時間加熱し、素子全体の水素化を行うことで膜中(特に活性層中)のダングリングボンド(不対結合手)を補償する。以上の工程を経て同一基板上にCMOS回路および画素マトリクス回路を作製することができる。

【0144】

次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、アクティブマトリクス型液晶表示装置を作製する工程を説明する。

【0145】

図14(B)の状態のアクティブマトリクス基板に配向膜354を形成する。本実施例では、配向膜354には、ポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板355、透明導電膜356、配向膜357とで構成される。

【0146】

なお、本実施例では、配向膜には、ポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施した。なお、本実施例では、比較的小さなプレチルト角を持つようなポリイミドを用いた。

【0147】

次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ(共に図示せず)などを介して貼り合わせる。その後、両基板の間に液晶358を注入し、封止剤(図示せず)によって完全に封止する。本実施例では、液晶358としてネマチック液晶を用いた。

【0148】

よって、図14(C)に示すような透過型のアクティブマトリクス型液晶表示装置が完成する。

【0149】

〔活性層の結晶構造に関する知見〕上記作製工程に従って形成した活性層は、微視的に見れば複数の棒状または偏平棒状結晶が互いに概略平行に特定方向への規則性をもって並

10

20

30

40

50

んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認することができる。

【0150】

ここで、棒状または偏平棒状結晶同士の結晶粒界を800万倍に拡大したHR-TEM写真を図38(A)に示す。なお、本明細書中において結晶粒界とは、棒状または偏平棒状結晶が接した境界に形成される粒界を指すものと定義する。従って、例えば横成長領域がぶつかりあって形成される様なマクロな意味あいでの粒界とは区別して考える。

【0151】

ところで前述のHR-TEM（高分解能透過型電子顕微鏡法）とは、試料に対して垂直に電子線を照射し、透過電子や弾性散乱電子の干渉を利用して原子・分子配列を評価する手法である。

10

【0152】

HR-TEMでは結晶格子の配列状態を格子縞として観察することが可能である。従って、結晶粒界を観察することで、結晶粒界における原子同士の結合状態を推測することができる。なお、格子縞は白と黒の縞模様となって現れるが、コントラストの相違であって原子の位置を示すものではない。

【0153】

図38(A)は本願発明で得られる結晶性珪素膜（横成長領域）の代表的なTEM写真であり、異なる二つの結晶粒が接して結晶粒界を形成している。この時、二つの結晶粒は結晶軸に多少のずれが含まれているものの互いに概略{110}配向であった。

20

【0154】

なお、後述するが複数の結晶粒を調べた結果、殆ど全てが概略{110}配向であることをX線回折や電子線回折によって確認している。また、多数観察した中には(011)面や(200)面などもあるはずだが、それら等価な面はまとめて{110}面と表すことにする。

【0155】

ところで、図38(A)に図示した様に、面内には{111}面に対応する格子縞が観察されている。なお、{111}面に対応する格子縞とは、その格子縞に沿って結晶粒を切断した場合に断面に{111}面が現れる様な格子縞を指している。格子縞がどの様な面に対応するかは、簡易的に格子縞と格子縞の間隔から確認できる。

30

【0156】

なお、図38(A)において格子縞の見え方に差が見られるのは、結晶粒の微妙な傾きの違いによるものである。即ち、片方の結晶粒の結晶面に垂直に電子線が照射される様に設定すると、他方の結晶粒は僅かに斜めから電子線が照射される状態になるため、格子縞の見え方が変わるのである。

【0157】

ここで{111}面に対応する格子縞に注目する。図38(A)において白く見える結晶粒（上側）の{111}面に対応する格子縞は、黒く見える結晶粒（下側）の{111}面に対応する格子縞と約70°の角度で交わっている。

【0158】

この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。換言すれば、結晶粒界において結晶格子に連続性があるとも言える。

40

【0159】

なお、参考までに従来的高温ポリシリコン膜のHR-TEM写真を図38(B)に示す。図38(B)の場合、後述するが結晶面に規則性がなく、{110}面が主体となる配向ではなかった。ただし、ここでは図38(A)と比較するために{111}面に対応する格子縞が現れる様な結晶粒を観察した。

【0160】

50

図38(B)を詳細に観察して見ると、図中において矢印で示す様に、結晶粒界では格子縞が途切れた部分が多数確認できる。この様な部分では未結合手(結晶欠陥と呼べる)が存在することになる、トラップ準位としてキャリアの移動を阻害する可能性が高い。

【0161】

ただし、確かに本実施例の作製方法による結晶性珪素膜にも図38(B)に示した様な未結合手は存在する。これは本実施例の作製方法による結晶性珪素膜が多結晶である以上しかたのないことである。しかしながら、本実施例の作製方法による結晶性珪素膜を広範囲に渡って詳細にTEM観察した結果、その様な未結合手は殆ど存在しないことが判明している。

【0162】

本出願人が調べた限りでは、全体の90%以上(典型的には95%以上)の結晶粒界に結晶格子の連続性が見られ、図38(B)に示した様な未結合手は殆ど見つけることができなかった。この事からも本実施例の作製方法による結晶性珪素膜は従来の高温ポリシロンとは明らかに異なる半導体膜であると言えよう。

【0163】

次に、本実施例の作製方法による結晶性珪素膜を電子線回折によって調べた結果を図39に示す。ここでは、図39(A)に本実施例の作製方法による結晶性珪素膜の代表的な電子線回折パターンを示し、図39(B)に参考として従来の高温ポリシリコン膜の代表的な電子線回折パターンを示す。

【0164】

なお、図39(A)および(B)は電子線の照射スポットの径を約1.5 μm として測定を行っているため、格子縞レベルに比べて十分マクロな領域の情報を拾っていると考えてよい。

【0165】

図39(A)の場合、110入射に対応する回折斑点が比較きれいに現れており、結晶軸が110軸である(結晶面が{110}面である)ことが確認できる。

【0166】

なお、各斑点は同心円状の広がりを僅かにもっているが、これは結晶軸まわりにある程度の回転角度の分布をもつためと予想される。その広がりの程度はパターンから見積もっても5°以内である。

【0167】

一方、図39(B)に示す電子線回折パターンの場合、回折斑点には明瞭な規則性が見られず、ほぼランダムに配向していることが確認できる。即ち、{110}面以外の面方位の結晶が不規則に混在すると予想される。

【0168】

これらの結果が示す様に、本実施例の作製方法による結晶性珪素膜は殆ど全ての結晶粒が概略{110}面に配向している。全体として70%以上(好ましくは90%以上)の結晶粒が{110}面に配向していない限り、図39(A)の様な電子線回折パターンを得ることはできない。

【0169】

なお、本発明者らは特開平7-321339号公報に記載した手法に従ってX線回折を行い、本実施例による結晶性珪素膜について配向比率を算出した。同公報では下記数1に示す様な算出方法で配向比率を定義している。

【0170】

10

20

30

40

【数 1】

{220} 配向存在比=1 (一定)

$$\{111\} \text{ 配向存在比} = \frac{\text{試料の } \{111\} \text{ の } \{220\} \text{ に対する相対強度}}{\text{粉末の } \{111\} \text{ の } \{220\} \text{ に対する相対強度}}$$

10

$$\{311\} \text{ 配向存在比} = \frac{\text{試料の } \{311\} \text{ の } \{220\} \text{ に対する相対強度}}{\text{粉末の } \{311\} \text{ の } \{220\} \text{ に対する相対強度}}$$

{220} 配向比率=

20

$$\frac{\{220\} \text{ 配向存在比}}{\{220\} \text{ 配向存在比} + \{111\} \text{ 配向存在比} + \{311\} \text{ 配向存在比}}$$

30

【0171】

X線回折の結果によると、{220}に相当するピーク(勿論、{110}面と等価である)が最も強く現れ、明らかに{110}面が主たる配向であり、配向比率は0.7以上(典型的には0.9以上)であることが判明した。

【0172】

以上に示してきた通り、本願発明の結晶性珪素膜と従来のポリシリコン膜とは全く異なる結晶構造(結晶構成)を有していることが判る。この点からも本実施例の作製方法による結晶性珪素膜は全く新しい半導体膜であると言える。

【0173】

本出願人は以上の様な結晶構造および特徴を有する本発明の結晶性珪素膜を連続粒界結晶シリコン(Continuous Grain Silicon: CGS)と呼んでいる。

40

【0174】

なお、本実施例の様に半導体薄膜を形成するにあたって結晶化温度以上の温度でのアニール工程を行うことは、結晶粒内の欠陥低減に非常に有効である。その事について説明する。

【0175】

図40(A)は本実施例に従って作製された結晶性珪素膜を100万倍に拡大したTEM写真である。結晶粒内には殆ど積層欠陥や転位などに起因する欠陥が見られず、非常に結晶性が高いことが判る。この傾向は膜面全体について言えることであり、欠陥数をゼロにすることは現状では困難であるが、実質的にゼロと見なせる程度にまで低減することは

50

可能である。

【0176】

即ち、図40(A)に示す結晶性珪素膜は結晶粒内の欠陥が殆ど無視しうる程度にまで低減され、且つ、結晶粒界が高い連続性によってキャリア移動の障壁になり得ないため、単結晶または実質的に単結晶と見なせる。

【0177】

一方、図40(B)はゲッタリング工程までを終了した時点での結晶性珪素膜を100万倍に拡大したTEM写真である。結晶粒内(黒い部分と白い部分はコントラストの差に起因して現れる)には矢印で示される様な欠陥が多数確認できる。この様な欠陥は主としてシリコン結晶格子面の原子の積み重ね順序が食い違っている積層欠陥であるが、転位などの場合もある。

10

【0178】

この様に、図40(A)と(B)の写真に示した結晶性珪素膜は結晶粒界はほぼ同等の連続性を有しているが、結晶粒内の欠陥数には大きな差がある。本実施例の作製方法による結晶性珪素膜が図40(B)に示した結晶性珪素膜よりも遙に高い電気特性を示す理由はこの欠陥数の差によるところが大きい。

【0179】

この現象は、結晶性珪素膜が熱酸化される際に発生する余剰シリコン原子が欠陥へと移動し、Si-Si結合の生成に大きく寄与していると考えられる。この概念は高温ポリシリコン膜の結晶粒内に欠陥が少ない理由として知られている。

20

【0180】

また、本出願人は結晶化温度を超える温度(代表的には700~1100)で加熱処理を行うことで結晶性珪素膜とその下地との間が固着し、密着性が高まることで欠陥が消滅するというモデルも考えている。

【0181】

結晶性珪素膜と下地膜となる酸化珪素膜とでは、熱膨張係数に10倍近くの差がある。従って、非晶質珪素膜から結晶性珪素膜に変成した段階では、結晶性珪素膜が冷却される時に非常に大きな応力が結晶性珪素膜にかかる。

【0182】

本実施例の作製方法による結晶性珪素膜(図40(A))は、結晶化工程に要した温度以上での熱処理を行う前の結晶性珪素膜(図40(B))に較べて格段に結晶粒内の欠陥数が少ないという特徴を有している。

30

【0183】

この欠陥数の差は電子スピン共鳴分析(Electron Spin Resonance: ESR)によってスピン密度の差となって現れる。現状では実施例1の作製工程に従って作製された結晶性珪素膜のスピン密度は少なくとも 5×10^{17} spins/cm³以下(好ましくは 3×10^{17} spins/cm³以下)であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0184】

〔TFETの電気特性に関する知見〕本実施例の作製方法によるTFETは単結晶シリコンを用いたMOSFETに匹敵する電気特性を示す。本発明者らが試作したTFETからは次に示す様なデータが得られている。

40

【0185】

(1) TFETのスイッチング性能(オン/オフ動作の切り換えの俊敏性)の指標となるサブスレッシュコールド係数が、Nチャネル型TFETおよびPチャネル型TFETともに60~100mV/decade(代表的には60~85mV/decade)と小さい。

(2) TFETの動作速度の指標となる電界効果移動度(μ_{FE})が、Nチャネル型TFETで100~250cm²/Vs(代表的には120~200cm²/Vs)、Pチャネル型TFETで80~200cm²/Vs(代表的には100~150cm²/Vs)と大きい。

(3) TFETの駆動電圧の指標となるしきい値電圧(V_{th})が、Nチャネル型TFETで

50

-0.5~1.5V、Pチャネル型TFTで-1.5~0.5Vと小さい。

【0186】

以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0187】

〔回路特性に関する知見〕次に、本実施例の作製方法による半導体薄膜を利用して作製したTFTを用いて作製したリングオシレータによる周波数特性を示す。リングオシレータとはCMOS構造でなるインバータ回路を奇数段リング状に接続した回路であり、インバータ回路1段あたりの遅延時間を求めるのに利用される。実験に使用したリングオシレータの構成は次の様になっている。

段数：9段

TFTのゲート絶縁膜の膜厚：30nm及び50nm

TFTのゲート長：0.6 μ m

【0188】

このリングオシレータによって発振周波数を調べた結果、最大値で1.04GHzの発振周波数を得ることができた。また、実際にLSI回路のTEGの一つであるシフトレジスタを作製して動作周波数を確認した。その結果、ゲート絶縁膜の膜厚30nm、ゲート長0.6 μ m、電源電圧5V、段数50段のシフトレジスタ回路において動作周波数100MHzの出力パルスが得られた。

【0189】

以上の様なリングオシレータおよびシフトレジスタの驚異的なデータは、本発明のTFTが単結晶シリコンを利用したIGFETに匹敵する、若しくは凌駕する性能を有していることを示している。

【0190】

〔TFT特性とCGSの関係に関する知見〕上述の様な優れたTFT特性及び回路特性は、TFTの活性層として、結晶粒界において結晶格子に連続性を有する半導体薄膜を利用している点によるところが大きい。その理由について以下に考察する。

【0191】

結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary」である。

【0192】

上記論文によれば、平面状粒界には{111}双晶粒界、{111}積層欠、{221}双晶粒界、{221}twist粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0193】

特に{111}双晶粒界は 3の対応粒界、{221}双晶粒界は 9の対応粒界とも呼ばれる。値は対応粒界の整合性の程度を示す指針となるパラメータであり、値が小さいほど整合性の良い粒界であることが知られている。

【0194】

本出願人が本実施例の作製方法による半導体薄膜を詳細にTEMで観察した結果、結晶粒界の殆ど(90%以上、典型的には95%以上)が 3の対応粒界、即ち{111}双晶粒界であることが判明した。

【0195】

二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が{110}である場合、{111}面に対応する格子縞がなす角を とすると、 $\theta = 70.5^\circ$ の時に 3の対応粒界となることが知られている。

10

20

30

40

50

【0196】

従って、図38(A)のTEM写真に示された結晶粒界では、隣接する結晶粒の各格子縞が約70°の角度で連続しており、この結晶粒界は{111}双晶粒界であると容易に推察することができる。

【0197】

なお、 $\theta = 38.9^\circ$ の時には9の対応粒界となるが、この様な他の結晶粒界も存在した。

【0198】

この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、本願発明の半導体薄膜は面方位が概略{110}で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうるのである。この特徴は、面方位が不規則な他のポリシリコン膜ではあり得ることではない。

【0199】

ここで、本実施例の作製方法による半導体薄膜を1万5千倍に拡大したTEM写真(暗視野像)を図41(A)に示す。白く見える領域と黒く見える領域とが存在するが、同色に見える部分は配向性が同一であることを示している。

【0200】

図41(A)で特筆すべきはこれだけ広範囲の暗視野像において、白く見える領域がかなりの割合で連続的にまとまっている点である。これは配向性の同じ結晶粒がある程度の方向性をもって存在し、隣接する結晶粒同士で殆ど同一の配向性を有していることを意味している。

【0201】

他方、従来的高温ポリシリコン膜を1万5千倍に拡大したTEM写真(暗視野像)を図41(B)に示す。従来的高温ポリシリコン膜では同一面方位の部分はばらばらに点在するのみであり、図41(A)に示す様な方向性のあるまとまりは確認できない。これは隣接する結晶粒同士の配向性が全く不規則であるためと考えられる。

【0202】

また、図41と同一の場所を明視野で観察した場合のTEM写真を図42に示す。また、図42中においてPoint 1を30万倍に拡大した写真を図43(A)に、200万倍に拡大した写真を図43(B)に示す。なお、図43(A)内において四角で囲まれた領域が図43(B)に相当する。また、Point 1における電子線回折パターン(スポット径1.7 μm)を図43(C)に示す。

【0203】

さらに、Point 1と全く同条件でPoint 2とPoint 3を観察した。Point 2の観察結果を図44(A)、図44(B)、図44(C)に、Point 3の観察結果を図45(A)、図45(B)、図45(C)に示す。

【0204】

これらの観察結果から、任意の結晶粒界において結晶格子に連続性が保たれており、平面状粒界が形成されていることが判る。なお、本出願人はここに示した測定点以外にも多数の領域に渡って観察と測定を繰り返し、TF Tを作製するのに十分な広い領域において、結晶粒界における結晶格子の連続性が確保されていることを確認している。

【実施例2】

【0205】

図15を参照する。図15には、本発明の半導体装置の例として、インバータ回路が示されている。図15(A)には、2つのPchTF T(符号:PchTF T1およびPchTF T2)および1つのNchTF T(符号:NchTF T)によって構成されたインバータ回路が示されており、図15(B)には、2つのPchTF T(符号:PchTF T1およびPchTF T2)および2つのNchTF T(符号:NchTF T1およびNchTF T2)によって構成されたインバータ回路が示されている。

【0206】

10

20

30

40

50

図15(A)においては、PchTFT1にはバックゲート電圧 $V_{BG P1}$ が印加されている。また、PchTFT2にはバックゲート電圧 $V_{BG P2}$ が印加されている。また、NchTFTにはバックゲート電圧 $V_{BG N}$ が印加されている。

【0207】

図15(A)に示される本実施例のインバータ回路においては、PchTFT1のしきい値電圧 $V_{th P1}$ が、PchTFT2のしきい値電圧 $V_{th P2}$ と、

$$V_{th P1} > V_{th P2}$$

の関係が成り立つようにバックゲート電圧を制御する。こうすることによって、インバータ回路の消費電力を小さくすることができる。

【0208】

また、図15(B)に示される本実施例のインバータ回路においては、PchTFT1にはバックゲート電圧 $V_{BG P1}$ が印加されている。また、PchTFT2にはバックゲート電圧 $V_{BG P2}$ が印加されている。また、NchTFT1にはバックゲート電圧 $V_{BG N1}$ が印加されている。また、NchTFT2にはバックゲート電圧 $V_{BG N2}$ が印加されている。

【0209】

図15(B)に示される本実施例のインバータ回路においては、PchTFT1、PchTFT2、NchTFT1およびNchTFT2のそれぞれのしきい値電圧 $V_{th P1}$ 、 $V_{th P2}$ 、 $V_{th N1}$ 、 $V_{th N2}$ が、次のような関係にあるようにバックゲート電圧を制御する。

$$\begin{aligned} &| V_{th P1} > V_{th P2} | \\ &| V_{th N1} < V_{th N2} | \end{aligned}$$

こうすることによって、インバータ回路の消費電力を小さくすることができる。

【0210】

なお、本実施例のインバータ回路を構成するTFTの構成は、実施例1または後述の実施例3もしくは実施例4を参照できる。

【実施例3】

【0211】

図16を参照する。図16には、本実施例の半導体装置が示されている。図16において、801は基盤であり、ガラス基板や石英基盤のような絶縁基板が用いられる。802は下地膜である。803および804はバックゲート電極である。805は第1ゲート絶縁膜である。806および807は半導体活性層であり、ソース領域、ドレイン領域、低濃度不純物領域、およびチャネル形成領域から成る。808および809は第2ゲート絶縁膜である。810~812はソース電極およびドレイン電極である。813および814はゲート電極である。815は層間絶縁膜である。

【0212】

バックゲート電極803および804には、任意の電圧が印加できるように設計されている。

【0213】

なお、本実施例の半導体装置においては、バックゲート電極813および814の形状が発明の実施の形態で説明した半導体装置とは異なり、バックゲート電極813および814が活性層のチャネル形成領域の下部のみに形成されている。他の構造は、発明の実施の形態で説明した半導体装置と異なる点はない。

【0214】

本実施例の半導体装置は、実施例1に記載された作製方法によって作製され得る。

【実施例4】

【0215】

図17を参照する。図17には、本実施例の半導体表示装置として、アクティブマトリクス型液晶表示装置が示されている。本実施例の半導体表示装置は、実施例1の半導体表示装置と異なる構造を有している。つまり、画素TFTのバックゲート電極を画素TFTの活性層よりも大きくし、かつフローティング構造とすることによって、裏面からの光が画素TFTに入射するのを防ぐ用にしている。

10

20

30

40

50

【0216】

また、本実施例の半導体表示装置においては、バックゲート電極および形状が発明の実施の形態で説明した半導体装置とは異なり、バックゲート電極および活性層のチャネル形成領域の下部のみに形成されている。

【0217】

他の構造は、実施例1の半導体表示装置と異なる点はない。

【実施例5】

【0218】

本実施例では、上記実施例1～4で説明した半導体装置または半導体表示装置において、TFTのしきい値電圧を制御して回路を正確に動作させるだけでなく、動作していない回路を構成するTFTのしきい値電圧も制御し、ゲート電極に電圧が印加されていない時のドレイン電流をできる限り小さくするようにした場合について説明する。

【0219】

図28を参照する。図28には、Nチャネル型TFTの $I_d - V_g$ 曲線が示されている。601で示されるのが、バックゲート電極に電圧を印加しない状態でのNチャネルTFTの特性を示しており、602で示されるのが、バックゲート電極に負の電圧を印加した状態でのNチャネルTFTの特性を示している。バックゲート電極に電圧を印加しない状態では、ゲート電極に電圧が印加されていない状態における、ドレイン電流の総和が大きくなってしまふ。そこで、バックゲート電極に負の電圧を印加すると、しきい値電圧が右(正)方向にシフトし、ゲート電極に電圧が印加されない状態では、流れるドレイン電流の総和は、バックゲート電極に電圧を印加しない状態のそれに比較して、小さくなる。よって、動作していない回路を構成するTFTにもバックゲート電圧を印加し、しきい値電圧を変化させてやることで消費電力の低減をはかることができる。なお、Pチャネル型TFTの場合も同様にしてしきい値電圧を変化させ、ドレイン電流の総和を小さくしてやる

【0220】

図29には、複数の回路を有する半導体装置の場合が示されている。このような場合、制御回路が、回路1～回路4を構成するTFTのしきい値電圧を制御するコントロール信号(バックゲート電圧)を送り、回路1～回路4のうち動作していない回路には、前述したようなドレイン電流の総和が小さくなるようなバックゲート電圧を印加するようにする

【実施例6】

【0221】

本実施例では、本発明をアクティブマトリクス型液晶表示装置に適用した場合について説明する。図18(A)および(B)は、絶縁表面となっている基板上に複数の薄膜トランジスタを形成し、アクティブマトリクス型液晶表示装置を構成したときの例である。本実施例では、画素マトリクス回路の1つの画素と、駆動回路(ロジック回路等)の基本回路であるCMOS回路とが同時に作製されたときの様子を示す。また、Pチャネル薄膜トランジスタとNチャネル薄膜トランジスタとが、それぞれ1つのゲート電極を備えている場合を示しているが、ダブルゲート型やトリプルゲート型のような複数のゲート電極を備えた薄膜トランジスタによるCMOS回路をも同様に作製することができる。図18(A)を用いて実施例のアクティブマトリクス型液晶表示装置の作製工程を説明する。まずガラス基板1701上にバックゲート電極1702を成膜、パターニングして形成する。図18(A)ではパターニングしたバックゲート電極を記してあるが、工程数減少に配慮すれば成膜したままの状態つまりパターニングしないままでバックゲート電極とすることもできる。バックゲート電極1702の材質には、メタルとしてアルミニウム(Al)、タンタル(Ta)、窒化タンタル(TaN)、チタン(Ti)、窒化チタン(TiN)、モリブデン(Mo)、タングステン(W)などの金属および不純物含有Siがあげられるが、抵抗の高い材質を駆使するときには、その負荷抵抗を考慮して、なるべくならパターニングによる形成工程を行うことが望ましい。

10

20

30

40

50

【0222】

図18(B)はバックゲート電極1702のサイズが異なるだけであり、図18(A)とまったく同構造のものである。図18(A)のように、バックゲート電極1702のサイズがゲート電極1707より大きいと、バックゲート電極1702、下地酸化膜1703、活性層ポリシリコン1704とで負荷容量が形成され、応答速度が遅くなる。よって高速応答を必要とするときには、図18(B)の構造が望ましい。ガラス基板1701は、プロセスの最高温度によって、高温プロセスならば石英ガラスを低温プロセスならば石英以外の安価なガラス基板を用いることができる。

【0223】

つぎに下地膜としてシリコン酸化膜1703を成膜した後、a-Si膜1704を成膜する。このとき下地膜1703の汚染を低減するために、真空状態を開放せず連続成膜できればより望ましい工程となる。成膜されたa-Si1704は、熱処理およびレーザー処理によって結晶化し、ポリシリコンとなる。フォトリソグラフィにてポリシリコンの島状領域を形成する。 10

【0224】

次に、活性層表面の自然酸化膜除去のため、稀フッ酸処理した後、ゲート酸化膜(シリコン酸化膜)1706を成膜する。ゲート酸化膜1706は、LPCVD、APCVD、プラズマCVD等のような手法でもよい。つぎにゲート電極膜を成膜し、陽極酸化・フォトリソグラフィ・エッチングを行い、ゲート電極1707を形成する。次にN型不純物(リン(P)、ヒ素(As)など)を全面ドーピングし、N型のソース、ドレイン領域を形成する、ここでゲート電極の直下はゲート電極形成後にドーピングされるため、不純物は入らない。 20

【0225】

Pチャネル薄膜トランジスタを作製するため、Nチャネル薄膜トランジスタ領域をレジストマスクでブロックし、Pチャネル薄膜トランジスタ領域のみに開孔パターンニングした後、P型不純物(ホウ素(B)など)をドーピングし、チャネルコンタクト領域の極性を反転させる。ここではN型不純物ドーピングのあとにP型不純物をドーピングしているが、この順番は逆であってもかまわない。ただ、極性を反転させる必要上、後から打ち込む不純物の濃度、つまりN型不純物を全面ドーピングしたときはP型不純物を、P型不純物を全面ドーピングしたときはN型不純物の打ち込み濃度を数倍ぐらいの濃度としなければならない。こうして不純物打ち込み領域1705が形成される。 30

【0226】

打ち込まれた不純物は、熱処理やレーザー処理により活性化される。それと同時に打ち込み工程で受けた活性層1704の損傷も修復される。次に第一層間絶縁膜1708を成膜し、コンタクトホールを開孔する。このとき同時にボトムゲート接続用のコンタクトホールも開孔する。第一層間絶縁膜1708はどのような手法で成膜してもかまわない。また、後に成膜する配線金属膜の段差被覆(ステップカバレッジ)に配慮して窒化膜との二層構造をとってもかまわない。さらに、第一層間絶縁膜1708として有機性樹脂膜を用いることもできる。

【0227】

次に配線用金属膜を成膜し、フォトリソグラフィ・エッチングにて配線電極(ソース・ドレイン電極)1709が形成される。最後に水素雰囲気下で水素化処理し、薄膜トランジスタ特性を調整する。この水素化処理は活性層シリコン膜中の未結合手(ダングリングボンド)を水素終端し、薄膜トランジスタ特性を良好にしている。また、それだけでなく配線金属とシリコン膜とのオーミック接触をとるシンタリングも兼ねることができる。なお、水素化は活性化のあとに処理することもできる。これで、しきい値制御ボトムゲート電極を持った薄膜トランジスタが作製できた。これらの工程においては、CMOSを考えると、新たに追加すべき工程はなく、従来と同じ工程において、素子の形成が可能である。 40

【0228】

次に有機樹脂膜からなる第二層間絶縁膜 1710 を $0.5 \sim 3 \mu\text{m}$ の厚さで形成する。有機樹脂膜としてはポリイミド、アクリル、ポリイミドアミド等が用いられる。

【0229】

第二層間絶縁膜 1710 を遮光性のあるブラックマトリクスで形成してもよい。ブラックマトリクスとしては、チタン膜、黒色顔料を含む樹脂等を用いることもできる。

【0230】

そして、第二層間絶縁膜 1710 にコンタクトホールを開孔し、画素電極 1711 を 20 nm 厚で形成する。透過型のアクティブマトリクス液晶表示用装置の場合、一般的に透明導電膜としてITO膜が用いられる。

【0231】

ここで基板全体を水素雰囲気下で水素処理するが、工程数減少を考慮して、活性化後に行った水素化処理をこの時点で一括して行ってもよい。

【0232】

次に、ポリイミド配向膜 1712 を形成し（本実施例では、比較的小さなプレチルド角を持つポリイミドを用いた）、ラビング処理した後、対向基板 1716 を公知のセル組み工程により、シール材やスペーサーなどを介して貼り合わせる。その後、両基板の間に液晶 1713 を注入し、封止材によって完全に封止して図17の駆動回路搭載アクティブマトリクス液晶表示用装置が完成する。本実施例では、注入液晶にネマチック液晶を用いたが、液晶の種類は問わない。また、表示モードもTNモードに限らず、他の表示モードを用いることもできる。1714 は配向膜で、1715 は対向電極で、1716 は対向基板である。

【実施例7】

【0233】

図19はインバータ、NAND回路で構成された信号線駆動回路（ソースドライバー）である。インバータ、アナログスイッチにはしきい値制御端子が接続されており、これによりバックゲート電圧をかけてしきい値を変化させることができる。図20も図19と同様に走査線駆動回路（ゲートドライバー）の一例である。どちらにおいても、インバータ、アナログスイッチ、クロックインバータにはすべてしきい値制御端子が接続されている。図19、図20では記載していないが、アクティブマトリクス回路へ接続されるNAND回路、インバータ、アナログスイッチ、クロックインバータについてもしきい値制御端子を接続することができる。図19、図20に記載されている以外にどのような論理回路（電子回路）であってもしきい値制御端子の接続が可能である。

【実施例8】

【0234】

図21は実施例7で示したドライバーを駆使し、実際の表示モジュールとして構成したものであり、図7をさらに発展させた構成になっている。図21においてしきい値制御回路は、第一の複数の薄膜トランジスタで構成された信号線駆動回路と第二の複数の薄膜トランジスタで構成された走査線駆動回路とを独立に制御している。また、図22には回路の具体的な平面図を示しておいた。図22において、駆動回路を構成する複数の薄膜トランジスタには、それぞれすべて電源ライン（ V_{DD} ）およびグランドライン（ GND ）が接続されており、またバックゲート電極として形成されたしきい値制御端子には、所望する任意のバックゲート電圧を印加することができるようになっている。

【実施例9】

【0235】

図23（A）および（B）は、本発明を画素スイッチとして形成された薄膜トランジスタに適用したものである。図23（A）では、画素スイッチとして形成された薄膜トランジスタに同極性の信号を加えている。Nチャンネル薄膜トランジスタならば正電圧をPチャンネル薄膜トランジスタならば負電圧をゲート電極およびバックゲート電極の両方に印加することで、ゲート電極側およびバックゲート電極側の両方にチャンネルが誘起され、大電流を取り出すことができる。こうすることによって、TFTサイズの縮小化がはかれる。図

10

20

30

40

50

23(B)のように、同極性の信号をゲート電極、バックゲート電極に対して別々に入力してもよく、任意の電流値を取り出して、それに応じたTFT設計が可能となる。

【実施例10】

【0236】

図24(A)および(B)は、本発明を画素スイッチを動作させるアナログスイッチに形成されている薄膜トランジスタに適用したものである。図24(A)では、実施例9と同様に薄膜トランジスタに同極性の信号を加えている。図24(B)は図24(A)で加える信号を個別に入力したものであり、原理と効果は実施例8と同じものとなる。

【0237】

実施例8および実施例9で提示した原理と効果は、これらの例に限定されるわけではなく、これら以外にどのような部分の薄膜トランジスタにも適用することができる。

【実施例11】

【0238】

本実施例では、本願発明によって作製された液晶表示装置の例を図25に示す。画素薄膜トランジスタ(画素スイッチング素子)の作製方法やセル組工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0239】

図25において2400は絶縁表面を有する基板(酸化シリコン膜を設けたプラスチック基板)、2401は画素マトリクス回路、2402は走査線駆動回路、2403は信号線駆動回路、2430は対向基板、2410はFPC(フレキシブルプリントサーキット)、2420はロジック回路である。ロジック回路2420としては、D/Aコンバータ、補正回路、信号分割回路などの従来ICで代用していた様な処理を行う回路を形成することができる。勿論、基板上にICチップを設けて、ICチップ上で信号処理を行うことも可能である。

【0240】

さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であればEL(エレクトロルミネッセンス)表示装置やEC(エレクトロクロミック)表示装置に本願発明を適用することも可能であることは言うまでもない。

【0241】

また、本願発明を用いて作製できる液晶表示装置は透過型か反射型かは問わない。どちらを選択するのも実施者の自由である。この様に本願発明はあらゆるアクティブマトリクス型の電気光学装置(半導体装置)に対して適用することが可能である。

【実施例12】

【0242】

上記実施例6~11では、バックゲート電極に任意の電圧を印加してしきい値電圧の制御を行ったが、回路を制御するロジック信号をバックゲート電極に印加するようにしてもよい。

【実施例13】

【0243】

上記実施例の半導体表示装置においては、ネマチック液晶を用いたTNモードが表示モードとして用いられているが、他の表示モードなども用いることができる。

【0244】

さらに、応答速度の速い無しきい値反強誘電性液晶または強誘電性液晶を用いて、アクティブマトリクス型液晶表示装置を構成してもよい。

【0245】

例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLC Display Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al.や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al.や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdle

10

20

30

40

50

ss antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al.や、米国特許第5594569号に開示された液晶を用いることが可能である。

【0246】

ある温度域において反強誘電相を示す液晶を反強誘電性液晶という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、V字型の電気光学応答特性を示すものがあり、その駆動電圧が約 ± 2.5 V程度(セル厚約 $1 \mu\text{m} \sim 2 \mu\text{m}$)のものも見出されている。

【0247】

ここで、V字型の電気光学応答を示す無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す例を図30に示す。図30に示すグラフの縦軸は透過率(任意単位)、横軸は印加電圧である。なお、アクティブマトリクス型液晶表示装置の入射側の偏光板の透過軸は、アクティブマトリクス型液晶表示装置のラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角(クロスニコル)に設定されている。

10

【0248】

図30に示されるように、このような無しきい値反強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。

【0249】

このような低電圧駆動の無しきい値反強誘電性混合液晶をアナログドライバを有するアクティブマトリクス型液晶表示装置に用いた場合には、画像信号のサンプリング回路の電源電圧を、例えば、 $5 \text{V} \sim 8 \text{V}$ 程度に抑えることが可能となる。よって、ドライバの動作電源電圧を下げることができ、アクティブマトリクス型液晶表示装置の低消費電力化および高信頼性が実現できる。

20

【0250】

また、このような低電圧駆動の無しきい値反強誘電性混合液晶をデジタルドライバを有するアクティブマトリクス型液晶表示装置に用いた場合にも、D/A変換回路の出力電圧を下げるので、D/A変換回路の動作電源電圧を下げる事ができ、ドライバの動作電源電圧を低くすることができる。よって、アクティブマトリクス型液晶表示装置の低消費電力化および高信頼性が実現できる。

30

【0251】

よって、このような低電圧駆動の無しきい値反強誘電性混合液晶を用いることは、比較的LDD領域(低濃度不純物領域)の幅が小さなTFT(例えば、 $0 \text{nm} \sim 500 \text{nm}$ または $0 \text{nm} \sim 200 \text{nm}$)を用いる場合においても有効である。

【0252】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶をアクティブマトリクス型液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

40

【0253】

なお、このような無しきい値反強誘電性混合液晶を用いることによって低電圧駆動が実現されるので、アクティブマトリクス型液晶表示装置の低消費電力が実現される。

【0254】

なお、図30に示すような電気光学特性を有する液晶は、いかなるものも本発明のアクティブマトリクス型液晶表示装置の表示媒体として用いることができる。

【0255】

また、本発明の半導体表示装置には、印加電圧に応答して光学的特性が変調され得るその他のいかなる表示媒体を用いてもよい。例えば、エレクトロルミネセンス素子などを用いても良い。

50

【実施例 14】

【0256】

本願発明は従来の IC 技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体回路に適用できる。例えば、ワンチップ上に集積化された RISC プロセッサ、ASIC プロセッサ等のマイクロプロセッサに適用しても良いし、液晶用ドライバー回路 (D/A コンバータ、補正回路、信号分割回路等) に代表される信号処理回路や携帯機器 (携帯電話、PHS、モバイルコンピュータ) 用の高周波回路に適用しても良い。

【0257】

また、マイクロプロセッサ等の半導体回路は様々な電子機器に搭載されて中枢回路として機能する。代表的な電子機器としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両 (自動車や電車等) の制御用コンピュータなども挙げられる。本願発明はその様な半導体装置に対しても適用可能である。

10

【実施例 15】

【0258】

上記実施例の半導体装置および半導体表示装置には様々な用途がある。本実施例では、本発明の半導体装置および半導体表示装置を組み込んだ半導体機器について説明する。

【0259】

このような半導体機器には、ビデオカメラ、スチルカメラ、プロジェクタ、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末 (モバイルコンピュータ、携帯電話など) などが挙げられる。それらの一例を図 32, 33 に示す。

20

【0260】

図 31 (A) は携帯電話であり、本体 1101、音声出力部 1102、音声入力部 1103、半導体表示装置 1104、操作スイッチ 1105、アンテナ 1106 で構成される。

【0261】

図 31 (B) はビデオカメラであり、本体 1107、半導体表示装置 1108、音声入力部 1109、操作スイッチ 1110、バッテリー 1111、受像部 1112 で構成される。

30

【0262】

図 31 (C) はモバイルコンピュータであり、本体 1113、カメラ部 1114、受像部 1115、操作スイッチ 1116、半導体表示装置 1117 で構成される。

【0263】

図 31 (D) はヘッドマウントディスプレイであり、本体 1118、半導体表示装置 1119、バンド部 1120 で構成される。

【0264】

図 31 (E) はリア型プロジェクタであり、1121 は本体、1122 は光源、1123 は半導体表示装置、1124 は偏光ビームスプリッタ、1125 および 1126 はリフレクター、1127 はスクリーンである。なお、リア型プロジェクタは、視聴者の見る位置によって、本体を固定したままスクリーンの角度を変えることができるのが好ましい。なお、半導体表示装置 1123 を 3 個 (R、G、B の光にそれぞれ対応させる) 使用することによって、さらに高解像度・高精細のリア型プロジェクタを実現することができる。

40

【0265】

図 31 (F) はフロント型プロジェクタであり、本体 1128、光源 1129、半導体表示装置 1130、光学系 1131、スクリーン 1132 で構成される。なお、半導体表示装置 1130 を 3 個 (R、G、B の光にそれぞれ対応させる) 使用することによって、さらに高解像度・高精細のフロント型プロジェクタを実現することができる。

【0266】

図 32 (A) はゴーグルディスプレイであり、本体 1133、表示装置 1134、アー

50

ム部 1 1 3 5 で構成される。本発明は表示装置 2 5 3 2 やその他の信号制御回路に適用することができる。

【0267】

図 3 2 (B) は携帯書籍 (電子書籍) であり、本体 1 1 3 6 、表示装置 1 1 3 7 、 1 1 3 8 、記憶媒体 1 1 3 9 、操作スイッチ 1 1 4 0 、アンテナ 1 1 4 1 で構成される。本発明は表示装置 1 1 3 7 、 1 1 3 8 やその他の信号制御回路に適用することができる。

【0268】

図 3 2 (C) はパーソナルコンピュータであり、本体 1 1 4 2 、画像入力部 1 1 4 3 、表示装置 1 1 4 4 、キーボード 1 1 4 5 で構成される。本願発明を画像入力部 1 1 4 3 、表示装置 1 1 4 4 やその他の信号制御回路に適用することができる。

10

【0269】

図 3 2 (D) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤーであり、本体 1 1 4 6 、表示装置 1 1 4 7 、スピーカ部 1 1 4 8 、記録媒体 1 1 4 9 、操作スイッチ 1 1 5 0 で構成される。なお、この装置は記録媒体として DVD (Digital Versatile Disc) 、 CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示装置 1 1 4 7 やその他の信号制御回路に適用することができる。

【0270】

図 3 2 (E) はデジタルカメラであり、本体 1 1 5 1 、表示装置 1 1 5 2 、接眼部 1 1 5 3 、操作スイッチ 1 1 5 4 、受像部 (図示しない) で構成される。本願発明を表示装置 1 1 5 2 やその他の信号制御回路に適用することができる。

20

【図面の簡単な説明】

【0271】

【図 1】本発明の半導体装置のある実施形態を示す図である。

【図 2】本発明の第一の実施例である。

【図 3】本発明に使用する薄膜トランジスタの平面図である。

【図 4】本発明を適用したインバータ回路例である。

【図 5】本発明を適用した NAND 回路例である。

【図 6】可変抵抗、可変電圧源を用いたしきい値制御回路の例である。

30

【図 7】しきい値制御回路を表示ユニットとして構成した例である。

【図 8】薄膜トランジスタを同一基板上に形成したしきい値制御回路である。

【図 9】図 1 4 のしきい値制御回路を TFT を用いて具現化したものである。

【図 1 0】本発明を適用したインバータ回路である。

【図 1 1】本発明の半導体装置または半導体表示装置の一作製方法を示す図である。

【図 1 2】本発明の半導体装置または半導体表示装置の一作製方法を示す図である。

【図 1 3】本発明の半導体装置または半導体表示装置の一作製方法を示す図である。

【図 1 4】本発明の半導体装置または半導体表示装置の一作製方法を示す図である。

【図 1 5】本発明の半導体装置のある実施形態としてのインバータ回路の回路構成を示す図である。

40

【図 1 6】本発明の半導体装置のある実施形態を示す図である。

【図 1 7】本発明の半導体表示装置のある実施形態を示す図である。

【図 1 8】本発明をアクティブマトリクス型液晶表示装置に適用したときの例である。第一の実施例である。

【図 1 9】インバータ、NAND 回路で構成された信号線駆動回路 (ソースドライバー) である。本発明を適用した第二の実施例である。

【図 2 0】インバータ、NAND 回路で構成された走査線駆動回路 (ゲートドライバー) である。本発明を適用した第二の実施例である。

【図 2 1】ゲートドライバー、ソースドライバーを駆使したアクティブマトリクス型液晶表示装置の表示モジュール例である。本発明の第三の実施例である。

50

【図 2 2】ゲートドライバー、ソースドライバーを駆使したアクティブマトリクス型液晶表示装置の表示モジュール例の平面図である。第三の実施例である。

【図 2 3】本発明を画素スイッチの薄膜トランジスタに適用したものである。本発明の第四の実施例である。

【図 2 4】本発明を画素スイッチを動作させる薄膜トランジスタに適用したものである。本発明の第五の実施例である。

【図 2 5】本発明によって作製された液晶表示装置である。本発明の第六の実施例である。

【図 2 6】本発明を説明した薄膜トランジスタのドレイン電流 - ゲート電圧特性図である。

10

【図 2 7】本発明においてバックゲート電圧を変化させたときのしきい値電圧の変化を示した図である。

【図 2 8】本発明の半導体装置および半導体表示装置における、T F Tのしきい値電圧の制御を説明する $I_d - V_g$ 曲線である。

【図 2 9】複数の回路を有する本発明の半導体装置のある実施形態のブロック図である。

【図 3 0】無しきい値反強誘電性混合液晶の印加電圧 - 透過率特性を示すグラフである。

【図 3 1】本発明の半導体装置および半導体表示装置をもちいた半導体機器の一例を示す図である。

【図 3 2】本発明を様々な電気機器のディスプレイに適用した例である。本発明の第七の実施例である。

20

【図 3 3】アクティブマトリクス型半導体表示装置の従来例である。

【図 3 4】アクティブマトリクス型液晶表示装置の従来例である。

【図 3 5】ポリシリコン薄膜トランジスタを用いたアクティブマトリクス型液晶表示装置とシフトレジスタ構成の従来例である。

【図 3 6】Nチャネル薄膜トランジスタのゲート電圧 - ドレイン電流特性図である。

【図 3 7】インバータ回路例である。

【図 3 8】半導体薄膜の結晶粒界の構造を示す T E M 写真である。

【図 3 9】半導体薄膜の電子線回折パターンを示す写真である。

【図 4 0】半導体薄膜の結晶粒を示す T E M 写真である。

【図 4 1】半導体薄膜の暗視野像を示す T E M 写真である。

30

【図 4 2】半導体薄膜の明視野像を示す T E M 写真である。

【図 4 3】半導体薄膜の結晶粒界の様子を示す T E M 写真である。

【図 4 4】半導体薄膜の結晶粒界の様子を示す T E M 写真である。

【図 4 5】半導体薄膜の結晶粒界の様子を示す T E M 写真である。

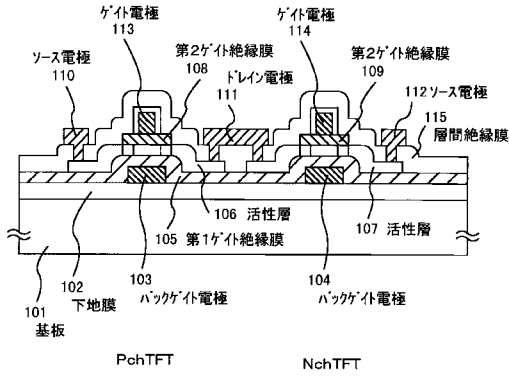
【符号の説明】

【 0 2 7 2 】

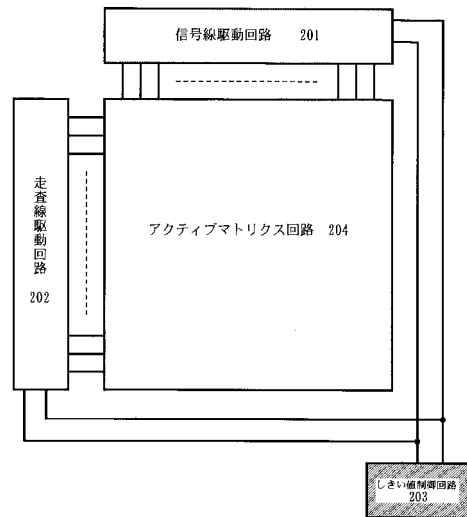
- | | |
|-------------------|--------------|
| 1 0 1 | 基板 |
| 1 0 2 | 下地膜 |
| 1 0 3、1 0 4 | バックゲート電極 |
| 1 0 5 | 第 1 ゲート絶縁膜 |
| 1 0 6、1 0 7 | 活性層 |
| 1 0 8、1 0 9 | 第 2 ゲート絶縁膜 |
| 1 1 0、1 1 1、1 1 2 | ソース電極、ドレイン電極 |
| 1 1 3、1 1 4 | ゲート電極 |

40

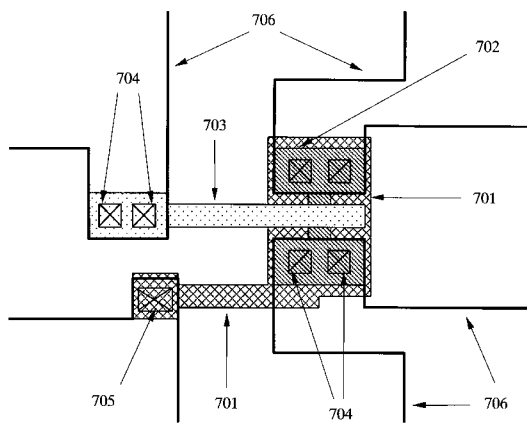
【 図 1 】



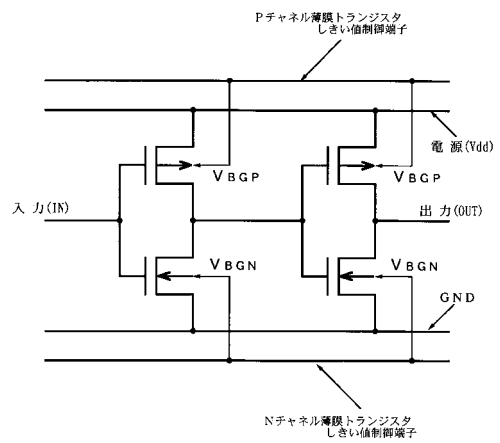
【 図 2 】



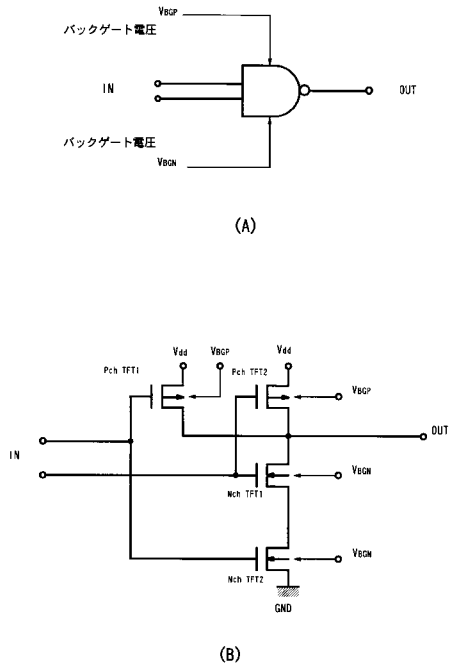
【 図 3 】



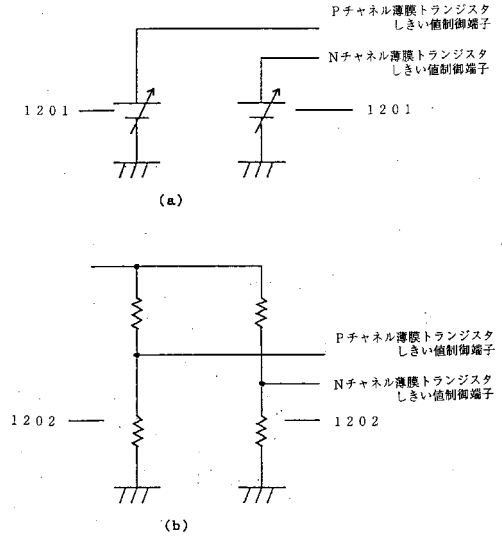
【 図 4 】



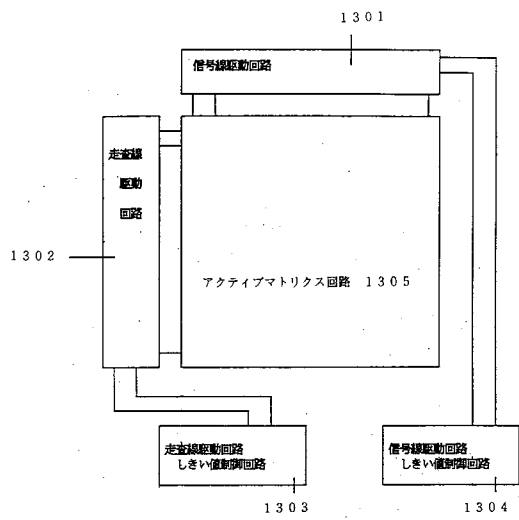
【 図 5 】



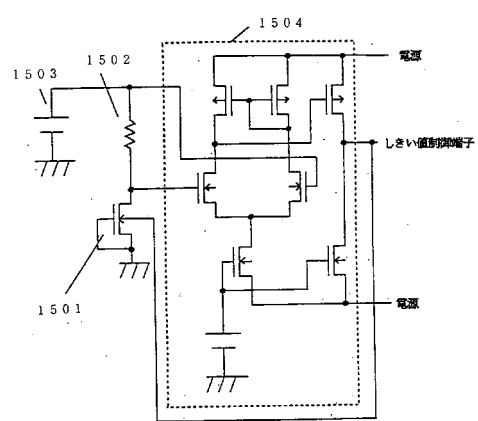
【 図 6 】



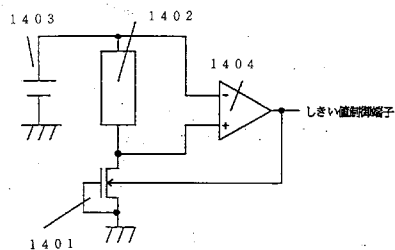
【 図 7 】



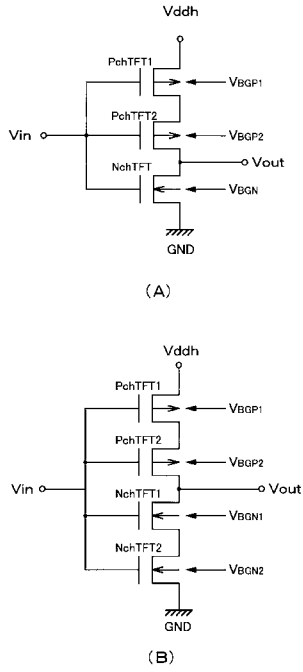
【 図 9 】



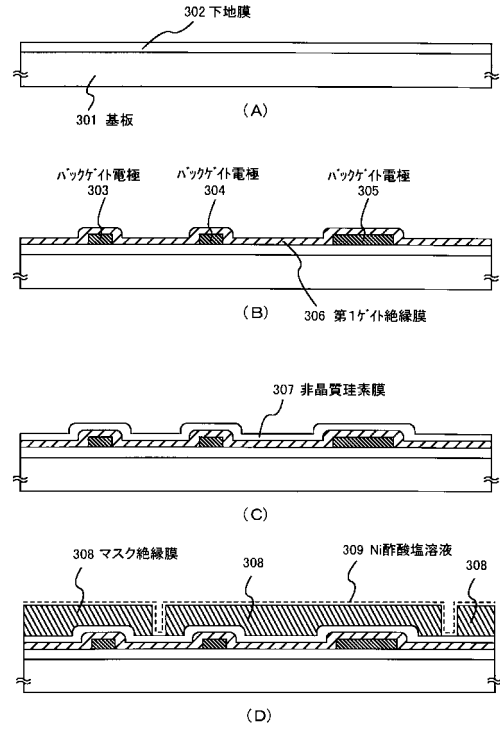
【 図 8 】



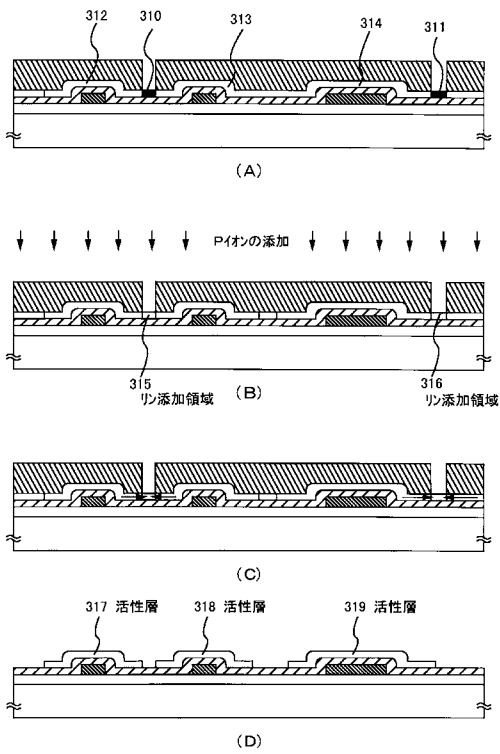
【図10】



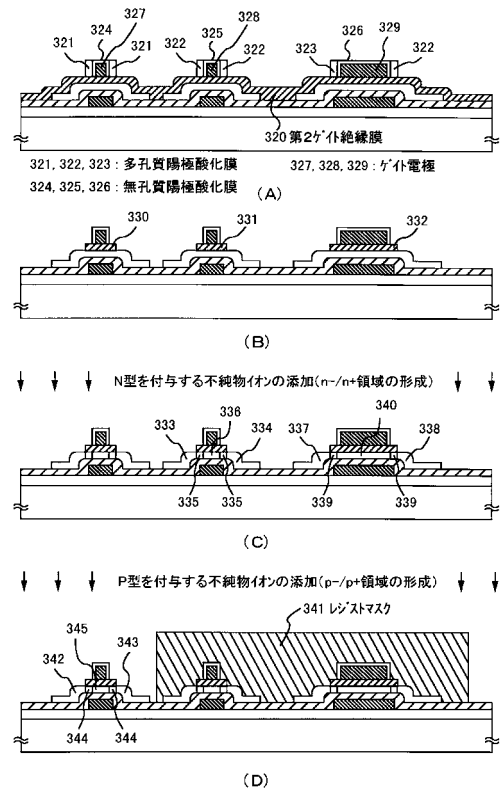
【図11】



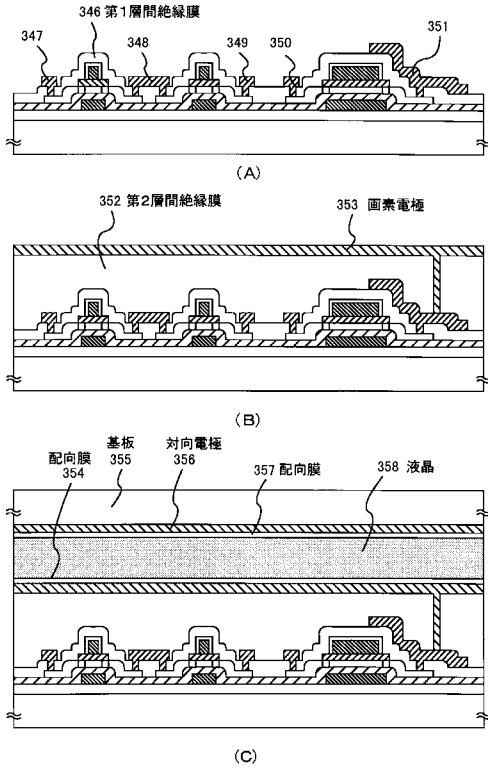
【図12】



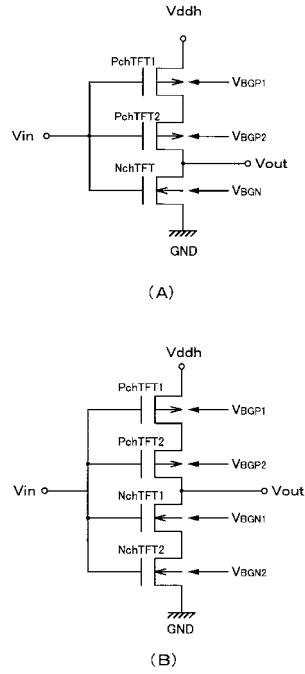
【図13】



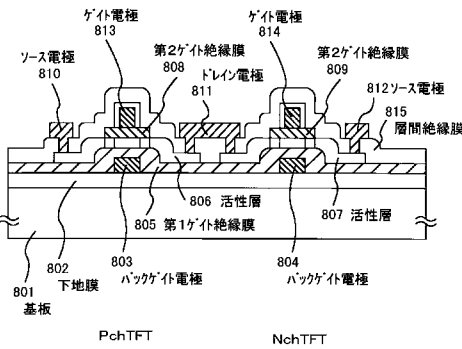
【図14】



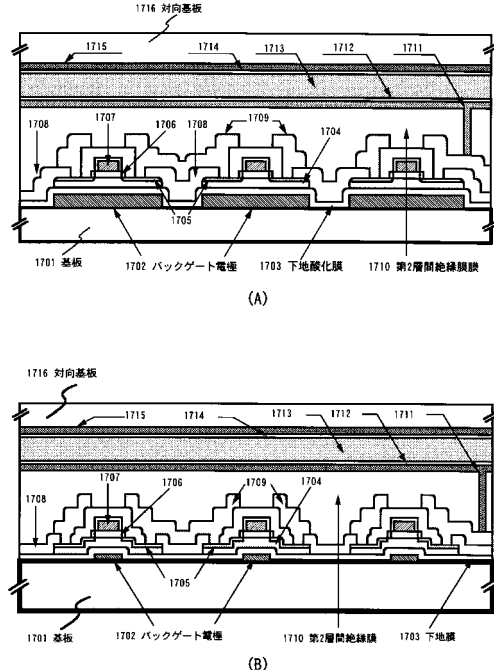
【図15】



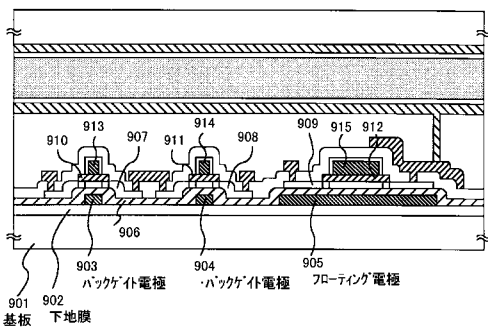
【図16】



【図18】

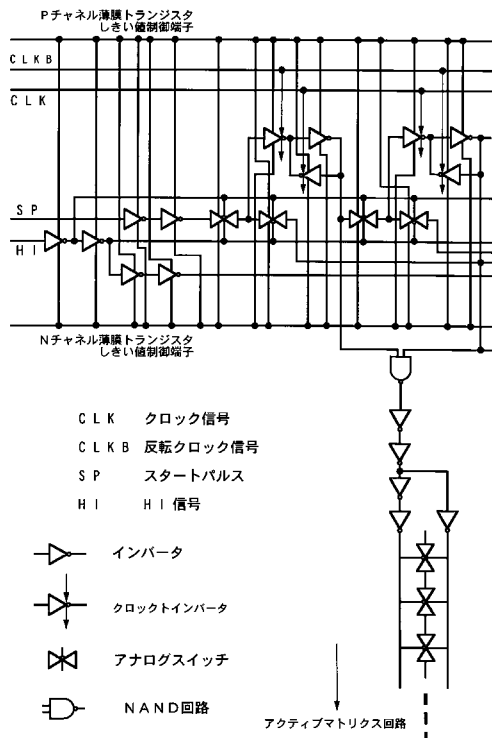


【図17】

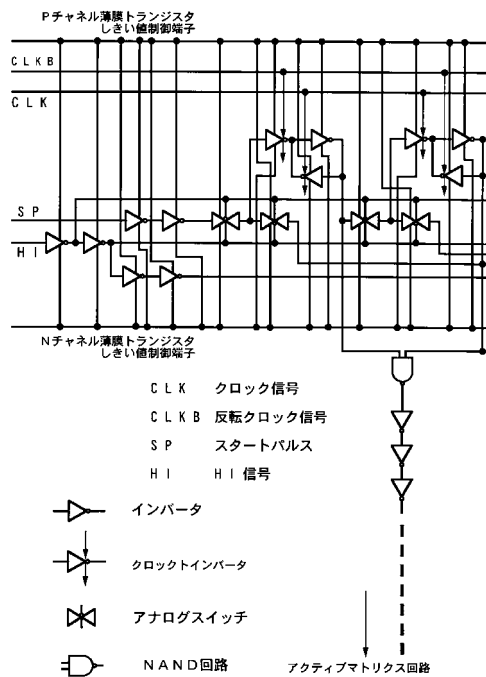


- 1701 ガラス基板
- 1702 バックゲイト電極
- 1703 下地酸化膜
- 1704 活性層(poly-Si)
- 1705 不純物打込み領域
- 1706 ゲイト酸化膜
- 1707 ゲイト電極
- 1708 第1層間絶縁膜
- 1709 配線電極
- 1710 第2層間絶縁膜
- 1711 画素電極
- 1712 配向膜
- 1713 液晶
- 1714 配向膜
- 1715 対向電極
- 1716 対向基板

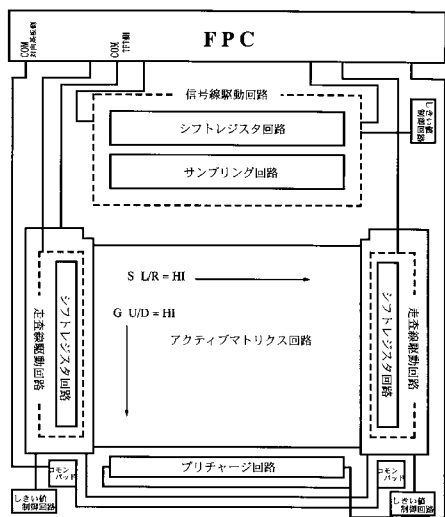
【図 19】



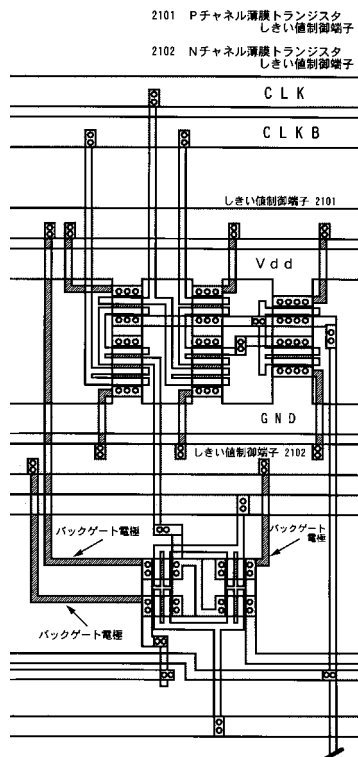
【図 20】



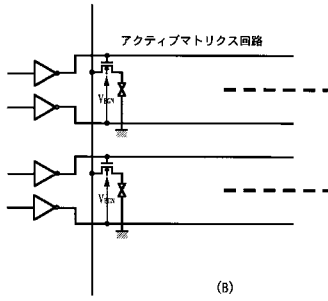
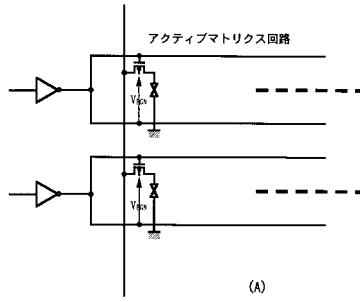
【図 21】



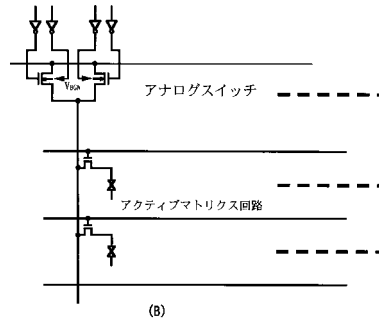
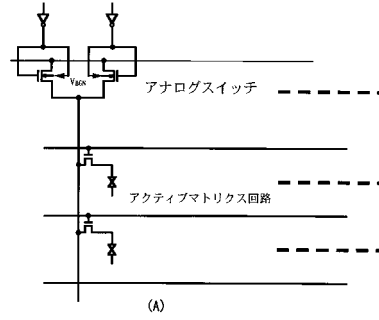
【図 22】



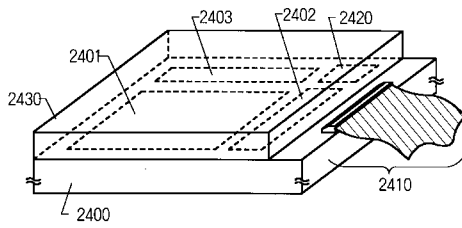
【 図 2 3 】



【 図 2 4 】

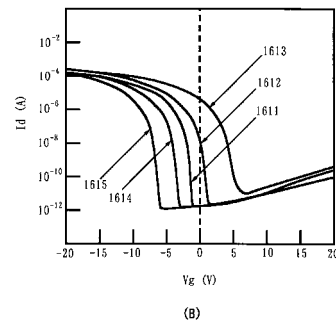
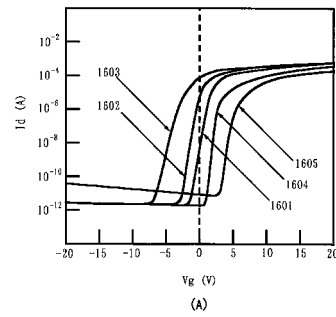


【 図 2 5 】

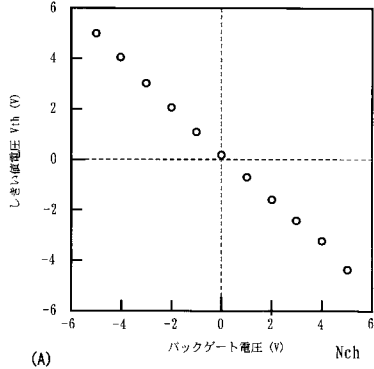


アクティブマトリクス基板
 2400: 基板
 2401: アクティブマトリクス回路
 2402: 走査線駆動回路
 2403: 走査線駆動回路
 2410: FPC
 2420: シツク回路
 2430: 対向基板

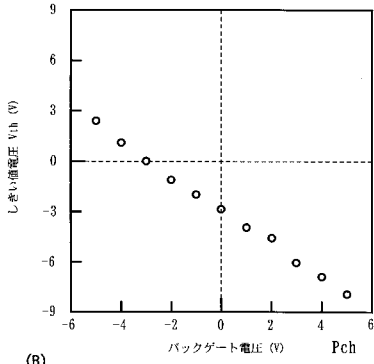
【 図 2 6 】



【図 27】

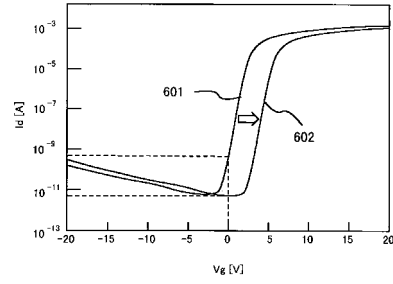


(A)

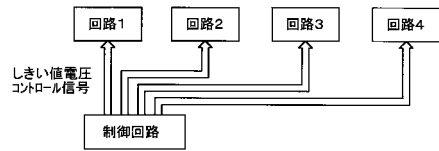


(B)

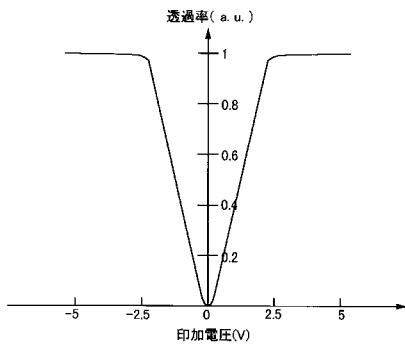
【図 28】



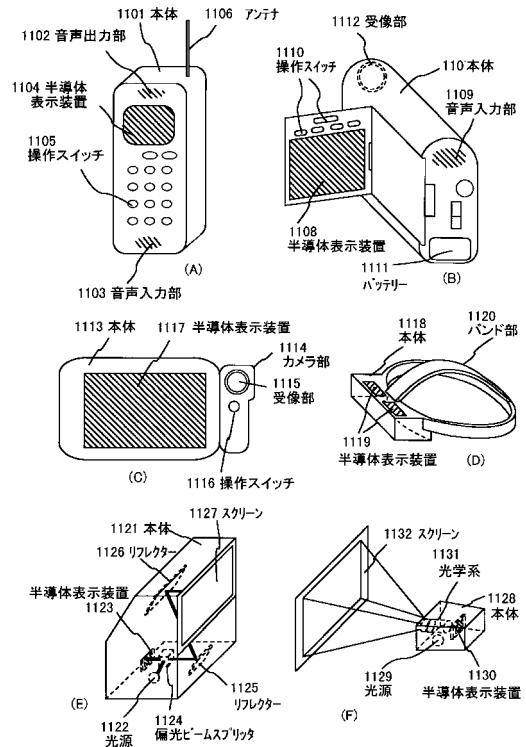
【図 29】



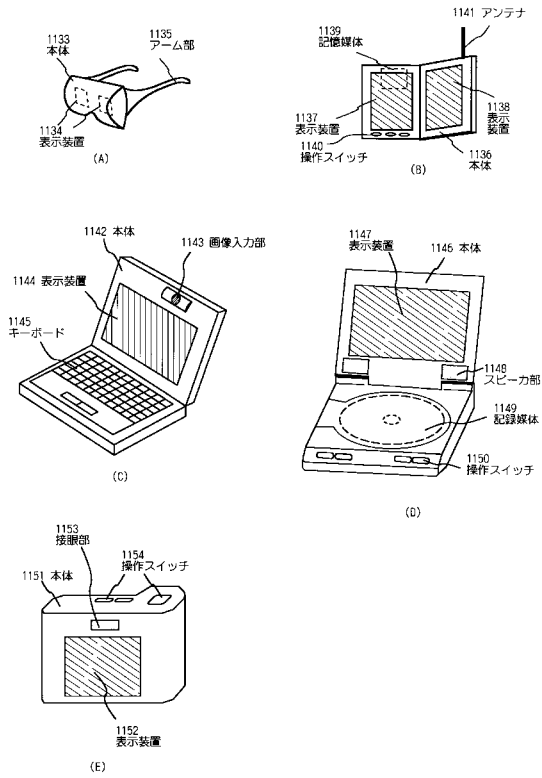
【図 30】



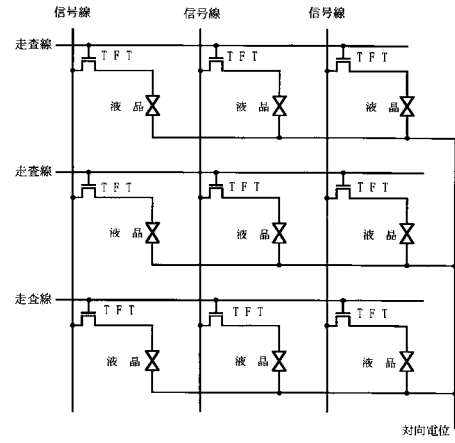
【図 31】



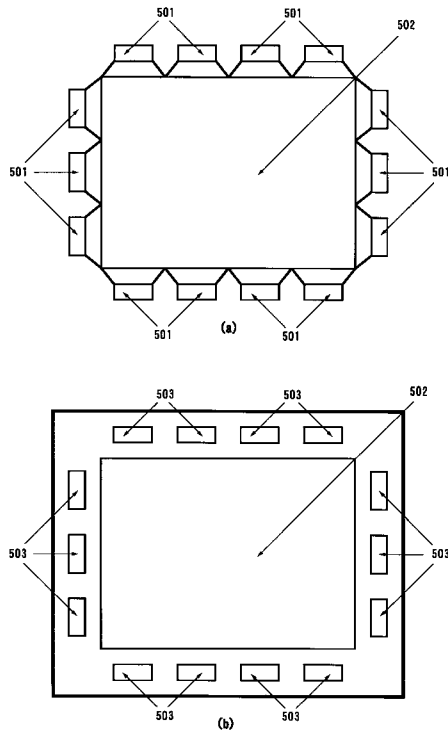
【図 3 2】



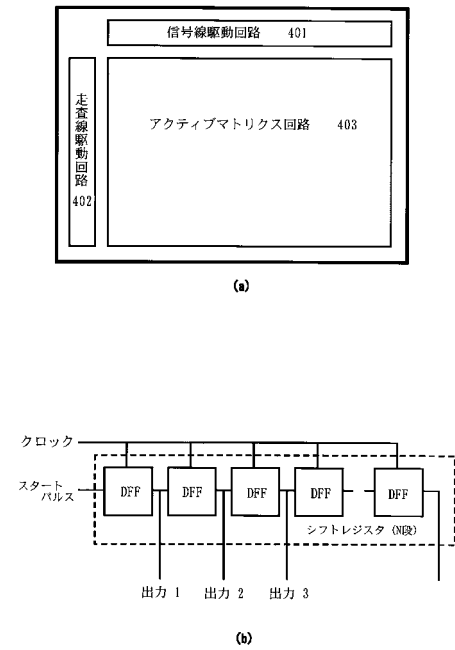
【図 3 3】



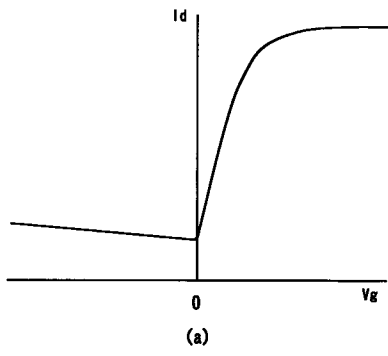
【図 3 4】



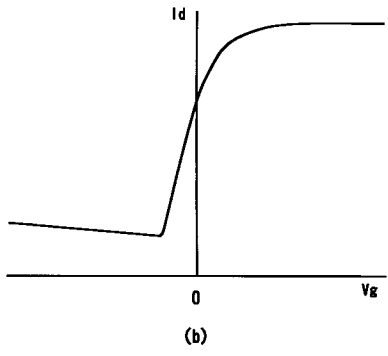
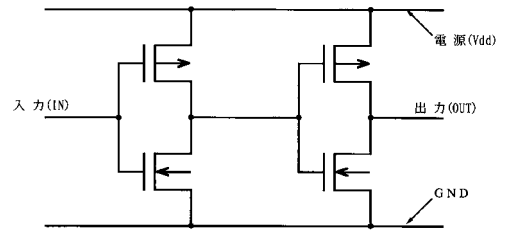
【図 3 5】



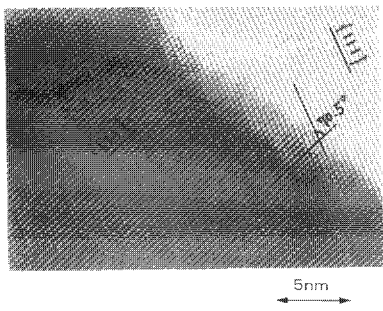
【 図 3 6 】



【 図 3 7 】

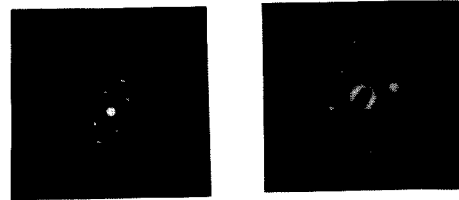


【 図 3 8 】



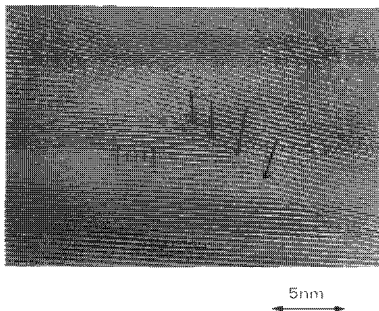
(A)

【 図 3 9 】



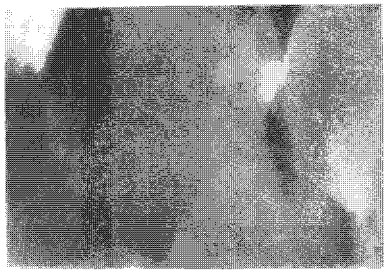
(A)

(B)

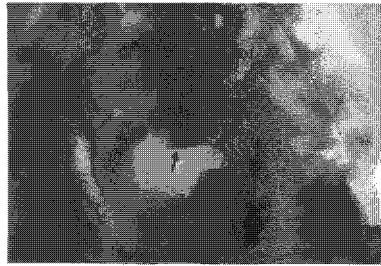


(B)

【 図 4 0 】

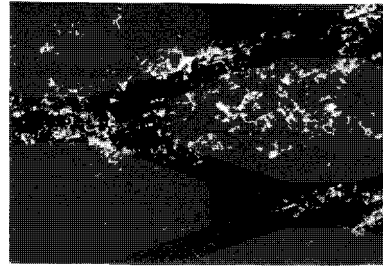


(A) 20nm

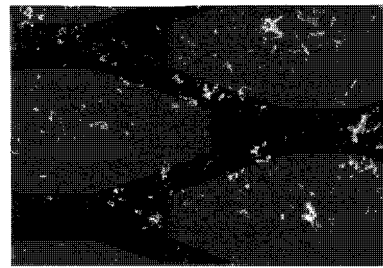


(B) 20nm

【 図 4 1 】

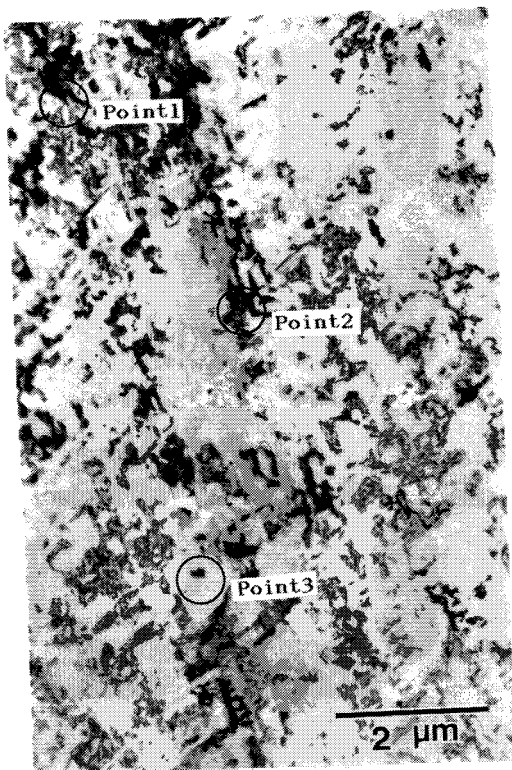


(A) 2 μm



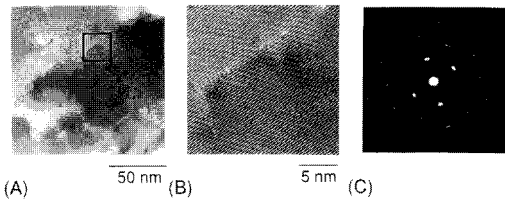
(B) 2 μm

【 図 4 2 】



【 図 4 3 】

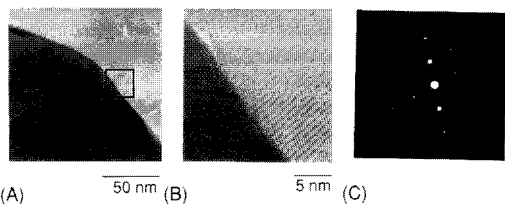
(Point 1)



(A) 50 nm (B) 5 nm (C)

【 図 4 4 】

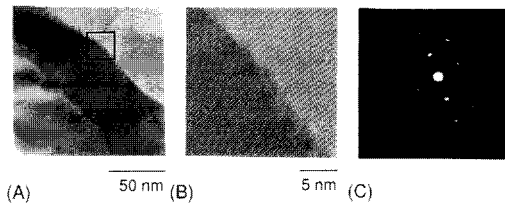
(Point 2)



(A) 50 nm (B) 5 nm (C)

【 図 4 5 】

〈Point 3〉



フロントページの続き

(51) Int.Cl. F I テーマコード(参考)

H O 1 L 21/8238 (2006.01) H O 1 L 27/08 1 0 2 B**H O 1 L 27/092 (2006.01)** H O 1 L 27/08 1 0 2 E**H O 1 L 27/00 (2006.01)** H O 1 L 27/08 3 2 1 B

H O 1 L 27/08 3 2 1 E

H O 1 L 27/08 3 2 1 D

H O 1 L 27/00 3 0 1 A

F ターム(参考) 5F048 AA01 AB03 AB04 AC01 AC04 BA16 BB03 BB10 BB15 BC06

BC11 BC16 BC18 BD02 BD10 BE08 BF16 BG07 CB01 DA23

DA24

5F110 AA08 AA09 BB02 BB04 DD01 DD02 DD03 DD05 DD13 EE01

EE04 EE06 EE14 EE24 EE25 EE30 EE34 FF02 FF23 FF30

FF32 GG02 GG06 GG13 GG25 GG47 HJ01 HJ04 HJ13 HJ23

HM15 NN03 NN23 NN24 NN27 NN45 NN46 NN72 PP10 PP23

PP34 PP35 QQ11 QQ19 QQ24 QQ28