

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4392992号
(P4392992)

(45) 発行日 平成22年1月6日(2010.1.6)

(24) 登録日 平成21年10月23日(2009.10.23)

(51) Int.Cl.

F I

G O 6 F 12/00 (2006.01)

G O 9 G 5/00 (2006.01)

G O 6 F 12/00 5 6 O C

G O 6 F 12/00 5 7 O B

G O 6 F 12/00 5 8 O

G O 9 G 5/00 5 5 O P

G O 9 G 5/00 5 5 O R

請求項の数 10 (全 8 頁) 最終頁に続く

(21) 出願番号	特願2000-557398 (P2000-557398)	(73) 特許権者	507219491
(86) (22) 出願日	平成11年6月10日 (1999.6.10)		エヌエックスピー ビー ヴィ
(65) 公表番号	特表2002-519786 (P2002-519786A)		N X P B. V.
(43) 公表日	平成14年7月2日 (2002.7.2)		オランダ国 5 6 5 6 エイジー アインド
(86) 国際出願番号	PCT/IB1999/001079		ーフェン ハイ テク キャンパス 6 O
(87) 国際公開番号	W02000/000893		High Tech Campus 6 O
(87) 国際公開日	平成12年1月6日 (2000.1.6)		, N L - 5 6 5 6 A G E i n d h o
審査請求日	平成18年6月9日 (2006.6.9)		ven, N e t h e r l a n d s
(31) 優先権主張番号	98202196.6	(74) 代理人	100147485
(32) 優先日	平成10年6月30日 (1998.6.30)		弁理士 杉村 憲司
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100134005
			弁理士 澤田 達也
		(72) 発明者	ファン アスマ コルネリス ジー エム
			オランダ国 5 6 5 6 アー アー アイ
			ンドーフェン プロフホルストラーン 6
			最終頁に続く

(54) 【発明の名称】 メモリ内のデータストリーム処理

(57) 【特許請求の範囲】

【請求項 1】

入力クロック及びメモリクロックを受信し、且つ当該入力クロックで連続する入力データストリームを受信するために結合され、Nサンプルの2つの連続したデータバーストの一方のデータバーストのi番目(1 ≤ i ≤ N)のサンプルが他方のデータバーストの同じi番目のサンプルからN+ΔNサンプル離れて位置している出力データストリームを前記メモリクロックで供給する入力ラインメモリを有するスケーラ・ユニットと；

前記メモリクロックによって刻時されるメモリ手段を有するフレームバッファ・ユニットと；

を有し、

ΔNは、Nサンプルのバースト転送に必要であるアドレス指定オーバーヘッドのクロックサイクル数であるメモリ構成。

【請求項 2】

当該入力ラインメモリが、前記フレームバッファ・ユニットに、アクティブ・ビデオ指示信号を送る請求項1に記載のメモリ構成。

【請求項 3】

当該入力ラインメモリの読出しイネーブル信号が、前記フレームバッファ・ユニットから制御される請求項1に記載のメモリ構成。

【請求項 4】

前記スケーラ・ユニットが、更に、前記メモリクロックと、出力クロックとを受信し、

且つNサンプルの2つの連続したデータバーストの一方のデータバーストのi番目のサンプルが他方のデータバーストの同じi番目のサンプルから $N+\Delta N$ サンプル離れて位置しているフレームバッファ・ユニット出力データストリームを前記メモリクロックで受信するために結合され、前記出力クロックで連続する出力データストリームを供給する出力ラインメモリを有している請求項1に記載のメモリ構成。

【請求項5】

メモリクロックによって刻時されるメモリ手段を有するフレームバッファ・ユニットと

；
前記メモリクロックと、出力クロックとを受信し、且つNサンプルの2つの連続したデータバーストの一方のデータバーストのi番目（ $1 \leq i \leq N$ ）のサンプルが他方のデータバーストの同じi番目のサンプルから $N+\Delta N$ サンプル離れて位置しているフレームバッファ・ユニット出力データストリームを前記メモリクロックで受信するために結合され、前記出力クロックで連続する出力データストリームを供給する出力ラインメモリを有しているスケーラ・ユニットと；

を有し、

ΔN は、Nサンプルのバースト転送に必要であるアドレス指定オーバーヘッドのクロックサイクル数であるメモリ構成。

【請求項6】

請求項1または5に記載のメモリ構成と当該メモリ構成の出力端に結合されているモニタとを有するディスプレイ装置。

【請求項7】

入力クロックとメモリクロックを受信する手段と；

当該入力クロックで連続する入力データストリームを受信するために結合され、Nサンプルの2つの連続したデータバーストの一方のデータバーストのi番目（ $1 \leq i \leq N$ ）のサンプルが他方のデータバーストの同じi番目のサンプルから $N+\Delta N$ サンプル離れて位置している出力データストリームを、当該メモリクロックで供給する入力ラインメモリと；

を有し、

ΔN は、Nサンプルのバースト転送に必要であるアドレス指定オーバーヘッドのクロックサイクル数であるスケーラ・ユニット。

【請求項8】

メモリクロックと出力クロックを受信するための手段と；

Nサンプルの2つの連続したデータバーストの一方のi番目（ $1 \leq i \leq N$ ）のサンプルが他方のデータバーストの同じi番目のサンプルから $N+\Delta N$ サンプル離れて位置しているフレームバッファ・ユニット出力データストリームを、前記メモリクロックで受信するために結合され、前記出力クロックで連続する出力データストリームを供給する出力ラインメモリと；

を有し、

ΔN は、Nサンプルのバースト転送に必要であるアドレス指定オーバーヘッドのクロックサイクル数であるスケーラ・ユニット。

【請求項9】

メモリクロックによって刻時されるメモリ手段と；

Nサンプルの2つの連続したデータバーストの一方のデータバーストのi番目（ $1 \leq i \leq N$ ）のサンプルが他方のデータバーストの同じi番目のサンプルから $N+\Delta N$ サンプル離れて位置するデータストリームを当該メモリクロックで受信するための入力端と；

を有し、

ΔN は、Nサンプルのバースト転送に必要であるアドレス指定オーバーヘッドのクロックサイクル数であるフレームバッファ・ユニット。

【請求項10】

メモリクロックによって刻時されるメモリ手段と；

Nサンプルの2つの連続したデータバーストの一方のデータバーストのi番目（ $1 \leq i \leq N$

10

20

30

40

50

）のサンプルが他方のデータバーストの同じi番目のサンプルから $N+\Delta N$ サンプル離れて位置するフレームバッファ・ユニット出力データストリームを当該メモリクロックで供給する出力端と；

を有し、

ΔN は、Nサンプルのバースト転送に必要であるアドレス指定オーバーヘッドのクロックサイクル数であるフレームバッファ・ユニット。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、メモリクロックによって刻時(clock)されるメモリ装置を有するフレームバッファユニットとスケーラユニットを有するメモリ構成に関する。

10

【0002】

【従来の技術】

フレームバッファに適するランダムアクセスメモリ(RAM)デバイスのほとんどは、同期ダイナミックRAM、Synchronous Dynamic RAM(SDRAM)である。この種のメモリは、グラフィックス・コントローラに大量に使用される。従来のSDRAMデバイスは、単一ポート・デバイスである。これは、SDRAMからデータの連続するストリームを書込みかつ読出す場合には、時分割多重化が必要となることを意味する。デジタルビデオに対して、通常、一色あたり8ビットが使用される。市販のSDRAMデバイスの典型的データ幅は、16ビットである。さらに、SDRAMデバイスは、着信ビデオのサンプリング周波数で駆動させることができる。さらに、これらのデバイスのメモリサイズは、1つのカラーに対する1つのフィールドのビデオ・サンプルを記憶するには十分大きい。これらのメモリによって、このフレームバッファは、3つのSDRAMデバイス(各カラーごとに、1つのSDRAMデバイスが必要となる)を使用して実現することができる。高速データ速度を得るためには、SDRAMはバーストモードでアドレス指定を行う必要がある。バースト長は、一般に2の累乗(例えば、2、4、8、16等)である。これは、フレームバッファの入出力端で先入れ先出し(FIFO)メモリが必要なことを意味する。バーストの間、2つのサンプルは、並列にメモリから読出されまた並列に書き込まれる。これは、入出力端でマルチプレクサが必要なことを意味する。

20

【0003】

簡単化のために、以下では、使用可能時間の半分が、着信データをSDRAMに書き込むために用いられ、他の半分がSDRAMからデータを読出すために使われるとする。さらに、入力FIFOおよび出力FIFOは、できる限り小さくしなければならない。これは、読出しバーストが、書込みバーストとインターリーブしなければならないことを意味する。メモリのアドレス指定を正しく行うために、若干のアドレス指定オーバーヘッドが、必要である。これは、Nサンプルのバースト転送に対して、 ΔN 付加クロックサイクルが、各々のバーストに必要であることを意味する。これは、SDRAMのデータ効率が、入出力データ効率の合計より大きい必要があることを意味する。フレームバッファのこの問題を解決するためには、SDRAMの数を増やす、大きい入出力FIFOを使用する、またはクロック周波数を増やすと言う解決策が、使える。第一の解決策は、これがフレームバッファのコストおよびピン・カウントを増やすので、魅力的でない。第二の解決策は、次のように機能する。フレームバッファにはアクティブ・ビデオ・データのみを格納すれば良いので、水平消去時間の間には、データは書き込まれない。大きい入出力FIFOを使用すると、水平消去時間はアドレス指定オーバーヘッドを補償することができる。冒頭において述べたように、フレームバッファ・コントローラに対してはゲートアレイ設計を使用するのが望ましい。ゲートアレイにこの種の大きいメモリを用いることは、現実的でない。第三の解決策は、SDRAMのクロック周波数を増大させることである。簡単化のために、読出しバーストは書込みバーストとインターリーブされているとする。この場合、メモリクロック周波数は次式を満足しなければならない。

30

40

【式1】

50

$$f_m = \max\left(\frac{\Delta N + N}{N} \cdot f_{in}, \frac{\Delta N + N}{N} \cdot f_{out}\right)$$

この場合、2Nサンプルを格納することができる入出力FIFOを使用すれば十分であることが計算できる。このシステムの不利な点は、この概念が、3つのクロック（すなわち、入力クロック f_{in} 、フレームバッファ・メモリクロック f_m および出力クロック f_{out} ）を必要とする点で、これは、この種のフレームバッファの設計をより困難にする。さらに、これは集積化の見地からも魅力的ではない。特にこれらのクロックがPLLによって生成される場合には、付加回路が必要となる。

【0004】

10

【課題を解決するための手段】

本発明の目的は、とりわけ、フレームバッファユニットを2つ以下のクロックで駆動させることである。このために、本発明の第一の態様は、請求項1および5に記載のメモリ構成を提供する。請求項6は、本発明の別の態様に従うディスプレイ装置を規定する。請求項7-10は、本発明のメモリ構成に適用されるのが好ましい、本発明の更なる態様に従うスケラユニットICおよびフレームバッファユニットICを規定する。有利な実施例は、従属クレームに規定されている。

【0005】

本発明の主態様に従う、メモリクロックおよびスケラ・ユニットによって刻時されるメモリ装置を有しているフレームバッファ・ユニットを有しているメモリ構成の場合、スケラ・ユニットは、連続する入力データストリームを、Nサンプルの2つの連続したデータバーストのサンプルが、互いに $N + \Delta N$ サンプル離れた位置にあるフレームバッファ・データストリームに変換するため、および/またはこの種のフレームバッファ・データストリームを連続する出力データストリームに変換するために、少なくとも一つのラインメモリを有する。

20

【0006】

これらのそしてまた他の本発明の態様は、以下に記載される実施例を参照して明らかになるであろう。

【0007】

【発明を実施するための形態】

30

本発明の主態様は、スケラとフレームバッファ間のバーストモード・データ転送を実行するためのスケラICとフレームバッファIC間のスマートインターフェースを記述する。多くのマトリックス・ディスプレイは、スケラおよびフレームバッファ機能を必要とする。ほとんどのマトリックス・ディスプレイは、フレームバッファのためのカスタム設計を必要とする。フレームバッファ機能も、様々な形のマトリックス・ディスプレイに対し異なる。しかし、スケラは、ディスプレイ固有である必要はない。さらに、スケラは、スケラのための高価な標準セル設計を必要とするいくつかのラインメモリを必要とする。スケラとは対照的に、フレームバッファには、安いゲートアレイ・プロセスを使うことができる。本発明の第1の態様は、スケラICと多くの利点を有するフレームバッファICとの間の特定スマート・インターフェースを記述する。主な利点は、付加メモリを必要とせずに単一クロック概念を使うことができるので、フレームバッファの設計がはるかに簡単になる点である。フレームバッファに対する単一クロック概念により、フェーズロックドループ（PLL）の数は、最小になる。これは、電磁干渉（EMC）に対しては利点であり、外部PLLを使用する場合、より高い集積度を得ることができる。このスマート・インターフェースが無い場合、単一クロック・システムは、通常、SDRAMのデータバンド幅を増大させるためにフレームメモリを追加する必要がある。

40

【0008】

本発明の一態様は、フレームバッファが、ビットマップスオンクリーンディスプレイ（OSD）、デジタル・ミラー・デバイス（DMD）ディスプレイのためのカラー・シーケンシャル出力、そしてプラズマおよびDMDディスプレイに必要となるサブフィールド変調のような

50

他の機能にも使用されるとの認識に基づく。この種の機能に対しては、スケーラは、フレームバッファの前に配置させる必要がある。本発明の観念は、スケーラのラインメモリを、特別な出力を発生させるために使用することが出来る点に有る。図1は、所望の出力フォーマットを示す。サンプル $P \cdot P+N-1$ は、第一バーストに属し、サンプル $P+N$ 、 $P+2N-1$ は、第二バーストに属する。2つの連続したバーストのサンプルは、互いに $N+\Delta N$ サンプル離れて位置している。ラインメモリによって、もはや、入力クロックをフレームバッファ・コントローラに接続させる必要は無くなる。入力FIFOのサイズを変更する必要は無い。ラインメモリの読出しイネーブル信号REが、フレームバッファから制御される一好適実施例の場合には、より小さいFIFOを使用することさえ可能である。その場合、FIFOはN個のサンプルさえ格納できれば良いことを計算することができる。

10

【0009】

図2は、本発明の第一実施例を示す。スケーラSの入力ラインメモリinplinmemの読出しイネーブル信号REは、フレームバッファFBのデマルチプレクサMUX1からの信号によって制御される。しかしながら、好ましい別の実施態様の場合、制御信号AVおよびデータ信号が、両方とも同じ方向に、すなわち、スケーラSからフレームバッファFBの方向に、流れるとき、アクティブ・ビデオ指示信号AVが、入力ラインメモリinplinmemからフレームバッファFBに送り出される。入力ラインメモリinplinmemは、入力クロックfin、およびフレームバッファFBのメモリSDRAMのクロックfmと等しい読出しクロックfmを有する。その出力信号は、フレームバッファFBのデマルチプレクサMUX1に加えられる。バーストの間、2つのサンプルは、メモリSDRAMから並列に読出され、また、並列に書き込まれるので、デマルチプレクサMUX1およびマルチプレクサMUX2が必要である。デマルチプレクサMUX1は、レートfmでスイッチする。デマルチプレクサMUX1の両方の出力端は、書込みクロック $fm/2$ と読出しクロックfmを有する第一FIFO (FIFO1) の入力端に接続されている。FIFO1の両方の出力端は、SDRAMクロックfmによって制御されるメモリコントローラmemcontrの入力端に接続されている。メモリコントローラmemcontrは、フレームバッファ・メモリSDRAMとデータを交換する。メモリコントローラmemcontrの両方の出力端は、書込みクロックfmと読出しクロックfout/2を有している第二FIFO (FIFO2) の入力端に接続されている。FIFO2の両方の出力は、出力クロックレートfoutでスイッチするマルチプレクサMUX2の入力端に加えられる。foutを $fout=fm/2$ に選ぶことができる現実的応用の場合、フレームバッファFBを刻時するためにはfmさえ生成すれば良いので、単一クロック・システムが得られる。

20

30

【0010】

本発明の好適な一実施例の場合、単一クロック・フレームバッファのための解決策には、出力クロック周波数は如何なるものでも良い。この場合、入力ラインメモリは別として、出力ラインメモリが存在することが必要である。出力ラインメモリによって、入力母線と同様のバースト・フォーマットでデータを送ることが可能となる。この場合、水平消去時間を、アドレス指定オーバーヘッドを補償するために用いることが出来る。消去時間が、アドレス指定オーバーヘッドを完全に補償するほど十分大きい場合のみ、fmを、 $fm = \max(fin, fout)$ となるように選ばなければならない。この場合、システム全体に対し、2つのクロックしか必要としない。消去時間が、アドレス指定オーバーヘッドを完全に補償するのに十分大きくない場合には、3つのクロック・システムが必要となる。

40

【0011】

ゲートアレイ・プロセスを使用する場合には、出力ラインバッファをフレームバッファに集積化させることはできない。これは、出力ラインバッファを、標準セル技術により設計されるICに集積化させなければならないことを意味する。しかしながら、フレームバッファの出力データが、標準セル技術を使用して設計される他のICに、送られる可能性状況も十分有り得る。ルック・アップ・テーブル (LUT) および/またはデジタル・アナログ変換器 (DAC) を集積化する必要がある場合には、この種のICが必要となる。必要な出力ラインメモリも、このチップに集積化させなければならない。LUTおよびDA変換器は、スケーラICにすでに集積化されていることが多い。この場合のブロックダイヤグラムが、図3に示されている。

50

【 0 0 1 2 】

フレームバッファFBに関して、FIFO2の読出しクロックが、 $f_m/2$ で、マルチプレクサMUX2が、レート f_m でスイッチされる点で、図3の実施例は、図2のそれと異なる。マルチプレクサMUX2のデータ出力端は、スケーラSの出力ラインメモリoutplinmemの入力端に接続されている。これに加え、マルチプレクサMUX2は、書込みイネーブル信号WEを出力ラインメモリoutplinmemに転送する。出力ラインメモリoutplinmemは、書込みクロックとして f_m および読出しクロックとして f_{out} を有する。出力ラインメモリoutplinmemの出力端は、両者とも f_{out} によって刻時されるLUTおよびDA変換器を介してスケーラSの出力端に接続されている。DA変換器の出力は、モニタMに加えられる。

【 0 0 1 3 】

この概念において、単一クロック・フレームバッファ概念が、得られる。水平消去時間が十分に大きいときには、 f_m を $f_m = \max(f_{in}, f_{out})$ となるように選択することができる。これは、スケーラが、クロック信号を2つしか必要としないことを意味する。フレームバッファのようなゲートアレイ設計とは対照的に、スケーラのような標準セル設計の場合には、PLLのようなアナログ回路を集積化することも可能である。この場合、外部PLLは、もはや不必要である。

【 0 0 1 4 】

図2が、入力ラインメモリinplinmemを持つが出力端ラインメモリoutplinmemを持たないスケーラSのみを示したが、単純な変更で、出力端ラインメモリoutplinmemのみを有し、入力ラインメモリinplinmemを持たないスケーラSを得ることも出来る。これも、また、フレームバッファ・ユニットFBに必要なクロックの数を3から2に減らし、そして、入力クロック f_{in} がメモリクロック f_m と単純な関係を有するような場合には、1にまで減らすことさえ出来る。

【 0 0 1 5 】

スケーラとフレームバッファ間のデジタル・インターフェースは、スケーラの10の付加ピンを必要としないことが好ましい。スケーラは、すでにOSDに対する入力ピンを、そして多分デジタル出力端をも有していることが好ましい。これらのピンを、フレームバッファとのインターフェースにも使うことができることが好ましい。この場合、フレームバッファは、OSDに対し別の入力端を有しているものとする。

【 0 0 1 6 】

上述の実施例は、本発明を制限するのではなく、本発明を具体的に示したもので、かつ当業者が、添付の特許請求の範囲から逸脱することなく多くの他の実施例を案出することが可能であることに留意すべきである。請求項において、括弧書きで記されているいかなる引用符号も請求項の範囲を制限するものと解釈すべきではない。「有している」という語は、請求項に記載されている要素またはステップについてそれら以外の存在を排除しない。本発明は、いくつかの異なった要素を有するハードウェアと、適切にプログラムされたコンピュータとによって実行することができる。いくつかの手段を列挙している装置の請求項の場合、これらのいくつかの手段を、ハードウェアの単一機構によって実施することも可能である。本発明は、LCDプロジェクタと（デジタル・ミラー・デバイス、プラズマディスプレイパネル等の）他のマトリックス・ディスプレイに使用することが好ましいが、他のデバイスにも使用することができる。

【図面の簡単な説明】

【図 1】スケーラの望ましい出力フォーマットを示す。

【図 2】本発明の一実施例を示す。

【図 3】本発明の他の実施例を示す。

【符号の説明】

S スケーラ・ユニット

FB フレームバッファユニット

M モニタ

inplinmem 入力ラインメモリ

10

20

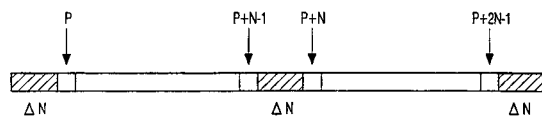
30

40

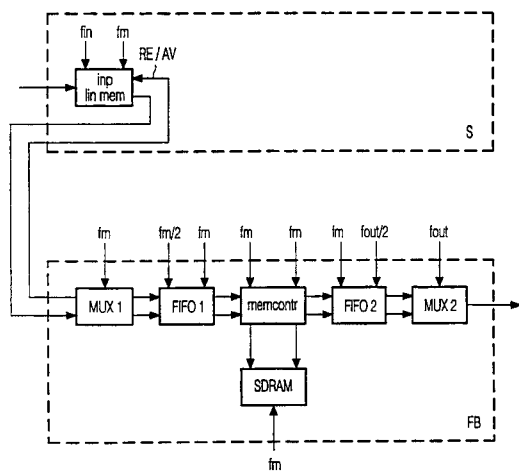
50

outlinmem 出力ラインメモリ

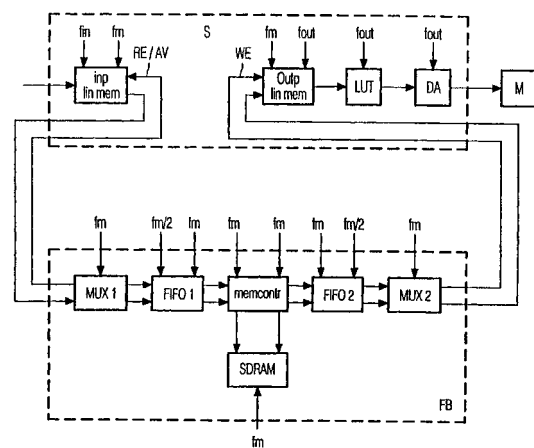
【図 1】



【図 2】



【図 3】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 5/00 5 5 5 D

審査官 多賀 実

(56)参考文献 特開平 0 6 - 0 2 2 2 8 4 (J P , A)
特開平 0 8 - 3 2 8 9 4 1 (J P , A)
特開平 0 8 - 2 8 6 8 8 6 (J P , A)
国際公開第 9 6 / 0 1 9 7 9 3 (W O , A 1)
特開平 1 1 - 0 6 8 8 8 1 (J P , A)
特開平 1 1 - 1 3 3 9 1 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G06F12/00-12/06

G06F13/16-13/18

G09G5/00-5/40