

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 4 月 30 日 (30.04.2020)



(10) 国际公布号
WO 2020/082446 A1

- (51) 国际专利分类号:
H05K 1/02 (2006.01)
- (21) 国际申请号: PCT/CN2018/115321
- (22) 国际申请日: 2018 年 11 月 14 日 (14.11.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201811234265.2 2018 年 10 月 23 日 (23.10.2018) CN
- (71) 申请人: 惠科股份有限公司(HKC CORPORATION LIMITED) [CN/CN]; 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房 1、2、3 栋, 九州阳光 1 号厂房 5、7 楼, Guangdong 518000 (CN)。

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

- (72) 发明人: 胡水秀(HU, Shuixiu); 中国重庆市巴南区界石镇石景路 1 号, Chongqing 401320 (CN)。
- (74) 代理人: 深圳市百瑞专利商标事务所(普通合伙)(SHENZHEN BAIRUI PATENT & TRADEMARK OFFICE); 中国广东省深圳市福田区香蜜湖街道竹子林七路 2 号益华综合楼 A 栋第六层西 01#, Guangdong 518000 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: DIFFERENTIAL WIRES FOR CIRCUIT BOARD, AND CIRCUIT BOARD

(54) 发明名称: 一种电路板的差分走线及电路板

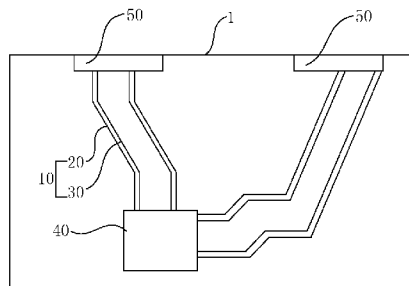


图 1

(57) Abstract: Differential wires (10) for a circuit board (1), and a circuit board (1). The circuit board (1) is provided with differential wires (10). The differential wires (10) include a first differential wire (20) and a second differential wire (30) provided at different layers of the circuit board (1).

(57) 摘要: 一种电路板 (1) 的差分走线 (10) 及电路板 (1)。包括电路板 (1), 电路板 (1) 设置有差分走线 (10); 差分走线 (10) 包括第一差分走线 (20) 和第二差分走线 (30), 设置在电路板 (1) 的不同层上。

WO 2020/082446 A1

一种电路板的差分走线及电路板

本申请要求于 2018 年 10 月 23 日提交中国专利局、申请号为 CN201811234265.2、发明名称为“一种电路板的差分走线及电路板”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

5 技术领域

本方案涉及电路板，更具体的说，涉及一种电路板的差分走线及电路板。

背景技术

这里的陈述仅提供与本申请有关的背景信息，而不必然地构成现有技术。

差分走线是一对存在耦合的传输线，广泛应用于计算机总线和以太网设备中。差分走线传输的是差分信号，其中一根携带信号，另一根携带它的互补信号，接收端通过比较这两个信号的差值来判断接收的信号。差分信号在差分走线中传输时，不易受到开关噪声的干扰。

在面板行业中，电路板布局时，输出差分信号经过差分走线输出到后端，每一对差分走线有两根线，两根线并行排列。

15 电路板的差分走线占用面积大，电路板的利用率低，成本高。

技术解决方案

本申请提供一种电路板的差分走线及电路板，减小差分走线的占用面积，提高电路板利用率。

本申请的目的是通过以下技术方案来实现的：

20 本申请公开了一种电路板的差分走线，所述电路板至少有两层；所述差分走线至少有一对，并设置在电路板上；每对所述差分走线包括第一差分走线和第二差分走线；所述第一差分走线与第二差分走线设置在所述电路板的两个不同层上。

可选的，所述第一差分走线和第二差分走线分别设置在电路板的两个相邻层中。

25 本方案中，第一差分走线和第二差分走线分别设置在电路板的两个相邻层中，相对于第一差分走线和第二差分走线分别设置在电路板的两个不相邻层，第一差分走线和第二差分走线之间的距离更小，第一差分走线和第二差分走线之间的耦合更强，电磁干扰

(Electromagnetic Interference, EMI) 的可能性小, 对噪声的免疫性就更好。

可选的, 所述第一差分走线位于第二差分走线的正下方或者正上方。

可选的, 所述电路板为四层, 所述第一差分走线设置在第二层, 所述第二差分走线设置在第三层。

5 可选的, 所述第一差分走线和第二差分走线的走线布置路径相同, 所述第一差分走线和第二差分走线的间距相等。

可选的, 所述第一差分走线和第二差分走线的走线布置为直线。

可选的, 所述电路板为四层, 所述差分走线有多对, 一半所述差分走线的第一差分走线设置在第一层, 第二差分走线设置在第二层, 另一半所述差分走线的第一差分走线
10 设置在第三层, 第二差分走线设置在第四层。

可选的, 所述电路板的层数为大于四层的复数层, 所述第一差分走线和第二差分走线分别设置在电路板复数层的不同层中。

可选的, 所述电路板包括有控制芯片和连接器 (Connector, CNT), 所述第一差分走线和第二差分走线一端与控制芯片连接, 另一端与连接器 (Connector, CNT) 连接,
15 所述控制芯片的差分信号经过第一差分走线和第二差分走线输到连接器。所述控制芯片可以包括时序控制器 (Timing Controller, TCON) 等。

本申请的另一个目的在于提供一种电路板, 所述电路板为多层板, 所述电路板包括差分走线, 所述差分走线包括第一差分走线、第二差分走线; 所述第一差分走线和第二差分走线分别设置在电路板上不同的两层中。

20 本申请的另一个目的在于提供一种电路板的差分走线, 所述电路板为四层板; 所述电路板包括控制芯片、连接器和四对差分走线, 每对所述差分走线包括第一差分走线和第二差分走线; 所述第一差分走线设置在电路板的第二层上; 所述第二差分走线的第三层上; 所述第一差分走线和第二差分走线一端与控制芯片连接, 另一端与连接器连接, 所述控制芯片的差分信号经过第一差分走线和第二差分走线输到连接器。

25 本申请的另一个目的在于提供一种电路板的制作方法, 电路板为多层板, 电路板包括有控制芯片、差分走线、连接器, 差分走线包括第一差分走线和第二差分走线;

所述制作方法包括:

电路板中的一层形成第一差分走线;

电路板中的另一层形成第二差分走线;

电路板上形成控制芯片；

第一差分走线和第二差分走线与控制芯片、连接器。

5 电路板中，第一差分走线和第二差分走线设置在同一层中，差分走线占用的面积包括第一差分走线和第二差分走线自身的面积、第一差分走线和第二差分走线之间的面积、每对差分走线之间的面积。这样的设置占用面积大，电路板利用率低，成本高。本方案中，将第一差分走线和第二差分走线设置在电路板的两个不同层中，可以节省第一差分走线和第二差分走线之间的面积，并且可以节省一半同一层每两对差分走线之间的面积，从而降低差分走线的占用面积，提高电路板的利用率，降低成本。

附图说明

10 所包括的附图用来提供对本申请实施例的进一步的理解，其构成了说明书的一部分，用于例示本申请的实施方式，并与文字描述一起来阐释本申请的原理。显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。在附图中：

图 1 是未公开的差分走线的结构示意图；

15 图 2 是本申请实施例第一差分走线位于第二层的结构示意图；

图 3 是本申请实施例第二差分走线位于第三层的结构示意图；

图 4 是本申请实施例第一差分走线和第二差分走线为直线的结构示意图；

图 5 是本申请实施例第一差分走线位于第三层的结构示意图；

图 6 是本申请实施例第二差分走线位于第四层的结构示意图；

20 图 7 是本申请实施例电路板的制作的流程图。

本申请的实施方式

这里所公开的具体结构和功能细节仅仅是代表性的，并且是用于描述本申请的示例性实施例的目的。但是本申请可以通过许多替换形式来具体实现，并且不应当被解释成仅仅受限于这里所阐述的实施例。

25 在本申请的描述中，需要理解的是，术语“中心”、“横向”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本

申请的限制。此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本申请的描述中，除非另有说明，“多个”的含义是两个或两个以上。另外，术语“包括”及其任何变形，意图在于覆盖不排他的包含。

在本申请的描述中，需要说明的是，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或一体地连接；可以是机械连接，也可以是电连接；可以是直接相连，也可以通过中间媒介间接相连，可以是两个元件内部的连通。对于本领域的普通技术人员而言，可以具体情况理解上述术语在本申请中的具体含义。

这里所使用的术语仅仅是为了描述具体实施例而不意图限制示例性实施例。除非上下文明确地另有所指，否则这里所使用的单数形式“一个”、“一项”还意图包括复数。还应当理解的是，这里所使用的术语“包括”和/或“包含”规定所陈述的特征、整数、步骤、操作、单元和/或组件的存在，而不排除存在或添加一个或更多其他特征、整数、步骤、操作、单元、组件和/或其组合。

下面结合附图和实施例对本申请作进一步说明。

下面参考图1至图7描述本申请一实施例中的一种占用面积小并提高电路板利用率的电路板的差分走线及电路板。

参考图2、图3，本实施方式公开了一种电路板的差分走线，所述电路板1至少有两层；所述差分走线10至少有一对，并设置在电路板1上；每对所述差分走线包括第一差分走线20和第二差分走线30；所述第一差分走线20与第二差分走线30设置在所述电路板1的不同层上。

在电路板1的第一差分走线20和第二差分走线30设置在同一层的方案中，差分走线10占用的面积包括第一差分走线20和第二差分走线30自身的面积、第一差分走线20和第二差分走线30之间的面积、每对差分走线之间的面积。这样的设置占用面积大，电路板1利用率低，成本高。本方案中，将第一差分走线20和第二差分走线30设置在电路板1的两个不同层中，可以节省第一差分走线20和第二差分走线30之间的面积，并且可以节省一半同一层每两对差分走线之间的面积，从而降低差分走线10的占用面积，提高电路板1的利用率，降低成本。

在一实施例中，参考图 2、图 3，与上述实施例不同的在于，所述第一差分走线 20 和第二差分走线 30 分别设置在电路板 1 的两个相邻层中。

本方案中，第一差分走线 20 和第二差分走线 30 分别设置在电路板 1 的两个相邻层中，相对于第一差分走线 20 和第二差分走线 30 分别设置在电路板 1 的两个不相邻层，
5 第一差分走线 20 和第二差分走线 30 之间的距离更小，第一差分走线 20 和第二差分走线 30 之间的耦合更强，电磁干扰 (Electromagnetic Interference, EMI) 的可能性小，对噪声的免疫性就更好。

可选的，所述第一差分走线 20 位于第二差分走线 30 的正下方或者正上方。所述电路板 1 为四层，所述第一差分走线 20 设置在第二层，所述第二差分走线 30 设置在第三
10 层。

本方案中，第一差分走线 20 位于第二差分走线 30 的正下方或者正上方，第一差分走线 20 和第二差分走线 30 之间的距离更小，第一差分走线 20 和第二差分走线 30 之间的耦合更强，电磁干扰 (Electromagnetic Interference, EMI) 的可能性小，对噪声的免疫性就更好。

15 本方案中，第一差分走线 20 设置在第二层，所述第二差分走线 30 设置在第三层，每对差分走线的等效 RC 阻抗 (Equivalent RC impedance) 耦合基本相等，同时也提高了印刷电路板 1 的利用率。第一差分走线 20 设置在第二层，所述第二差分走线 30 设置在第三层，第一差分走线 20 和第二差分走线 30 不暴露在表面，不容易氧化老化。

可选的，参考图 4，所述第一差分走线 20 和第二差分走线 30 的走线布置路径相同，
20 所述第一差分走线 20 和第二差分走线 30 的间距相等。第一差分走线 20 和第二差分走线 30 的走线布置为直线。

本方案中，第一差分走线 20 和第二差分走线 30 的走线布置路径相同，第一差分走线 20 和第二差分走线 30 的间距相等，阻抗沿第一差分走线 20 和第二差分走线 30 各处连续并且保持一个常数，第一差分走线 20 和第二差分走线 30 的抗干扰能力强。

25 本方案中，第一差分走线 20 和第二差分走线 30 的走线布置为直线，在布线的过程中，第一差分走线 20 和第二差分走线 30 不弯折，走线布置简单，第一差分走线 20 和第二差分走线 30 之间的长度误差较小，第一差分走线 20 和第二差分走线 30 更接近一致，阻抗更容易在沿第一差分走线 20 和第二差分走线 30 各处连续并且保持一个常数，第一差分走线 20 和第二差分走线 30 的抗干扰能力强。

可选的，参考图 2，所述电路板 1 包括控制芯片 40 (TimingController，TCN)，所述第一差分走线 20 和第二差分走线 30 一端与控制芯片 40 连接，另一端与连接器 50 (Connector，CNT) 连接，所述控制芯片 40 的差分信号经过第一差分走线 20 和第二差分走线 30 输到连接器 50。所述控制芯片可以包括时序控制器 (Timing Controller，TCN) 等。

本方案中，第一差分走线 20 和第二差分走线 30 与控制芯片 40 连接，第一差分走线 20 和第二差分走线 30 接收的信号精准；控制芯片 40 体积小，可以进一步节省电路板 1 的空间，提高电路板 1 的利用率。

在一实施例中，参考图 5、图 6，与上述实施例不同的在于，所述电路板 1 为四层，所述差分走线 10 有多对，一半所述差分走线 10 的第一差分走线 20 设置在第一层，第二差分走线 30 设置在第二层，另一半所述差分走线 10 的第一差分走线 20 设置在第三层，第二差分走线 30 设置在第四层。

本方案中，差分走线 10 有多对，将其中一半的差分走线 10 的第一差分走线 20 设置在第一层，第二差分走线 30 设置在第二层，将另一半的差分走线的第一差分走线 20 设置在第三层，第二差分走线 30 设置在第四层，差分走线 10 较均匀分布设置在电路板 1 的每一层中，电路板 1 每层的空间利用更合理，差分走线 10 不集中在其中两层中，导致这两层的剩余空间小，而另外两层的空间未充分利用。

在一实施例中，与上述实施例不同的在于，所述电路板 1 的层数为大于四层的复数层，所述第一差分走线 20 和第二差分走线 30 分别设置在电路板 1 复数层的不同层中。

本方案中，电路板 1 的层数为大于四层，电路板 1 的层数较多，第一差分走线 20 和第二差分走线 30 的走线布置选择较多，走线布置更方便合理。

本申请另一实施方式公开了一种电路板 1，参考图 2、图 3，所述电路板 1 为多层板，所述电路板 1 包括差分走线 10，所述差分走线 10 包括第一差分走线 20、第二差分走线 30；所述第一差分走线 20 和第二差分走线 30 分别设置在电路板 1 上不同的两层中。

本方案中，将第一差分走线 20 和第二差分走线 30 设置在电路板 1 的两个不同层中，可以节省第一差分走线 20 和第二差分走线 30 之间的面积，并且可以节省一半同一层每两对差分走线之间的面积，从而降低差分走线 10 的占用面积，提高电路板 1 的利用率，降低成本。

本申请另一实施方式公开了一种电路板的差分走线，参考图 2、图 3，所述电路板 1 为四层板；所述电路板 1 包括控制芯片 40、连接器 50 和四对差分走线 10，每对所述差分走线 10 包括第一差分走线 20 和第二差分走线 30；所述第一差分走线 20 设置在电路板 1 的第二层上；所述第二差分走线 30 的第三层上；所述第一差分走线 20 和第二差分走线 30 一端与控制芯片 40 连接，另一端与连接器 50 连接，所述控制芯片 40 的差分信号经过第一差分走线 20 和第二差分走线 30 传输到连接器 50。

本方案中，所述控制芯片可以包括时序控制器（Timing Controller，TCON）等。第一差分走线 20 和第二差分走线 30 分别设置在电路板 1 第二层和第三层中，可以节省第一差分走线 20 和第二差分走线 30 之间的面积，并且可以节省一半同一层每两对差分走线之间的面积，从而降低差分走线 10 的占用面积，提高电路板 1 的利用率，降低成本。第一差分走线 20 和第二差分走线 30 分别设置在电路板 1 第二层和第三层中可以保证每对差分走线的等效 RC（Resistance-Capacitance Circuits）耦合基本相等，第一差分走线 20 和第二差分走线 30 之间的耦合更强，EMI 辐射的可能性小，对噪声的免疫性就更好。

本申请另一实施方式公开了一种电路板的制作方法，参考图 7，电路板 1 为多层板，电路板 1 包括有控制芯片 40、差分走线 10、连接器 50，差分走线 10 包括第一差分走线 20 和第二差分走线 30；

所述制作方法包括：

S71: 电路板 1 中的一层形成第一差分走线 20；

S72: 电路板 1 中的另一层形成第二差分走线 30；

S73: 电路板 1 上形成控制芯片 40；

S74: 第一差分走线 20 和第二差分走线 30 与控制芯片 40、连接器 50。

本方法可以将第一差分走线 20、第二差分走线 30 设置在电路板 1 不同的层中，可以节省第一差分走线 20 和第二差分走线 30 之间的面积，并且可以节省一半同一层每两对差分走线之间的面积，从而降低差分走线的占用面积，提高电路板 1 的利用率，降低成本。

本申请的电路板 1 可以包括印制电路板（Printed Circuit Board，PCB）、柔性电路板（Flexible Printed Circuit，FPC）等，适用即可。

以上内容是结合具体的可选的实施方式对本申请所作的进一步详细说明,不能认定本申请的具体实施只局限于这些说明。对于本申请所属技术领域的普通技术人员来说,在不脱离本申请构思的前提下,还可以做出若干简单推演或替换,都应当视为属于本申请的保护范围。

5

10

15

20

25

权利要求

1、一种电路板的差分走线，包括：

电路板，至少有两层；

至少一对差分走线，设置在电路板上；

5 每对所述差分走线包括第一差分走线和第二差分走线；

所述第一差分走线与第二差分走线设置在所述电路板的不同层上。

2、如权利要求 1 所述的一种电路板的差分走线，其中，所述第一差分走线和第二差分走线分别设置在电路板的两个相邻层中。

10 3、如权利要求 2 所述的一种电路板的差分走线，其中，所述第一差分走线位于第二差分走线的正下方。

4、如权利要求 2 所述的一种电路板的差分走线，其中所述第一差分走线位于第二差分走线的正上方。

5、如权利要求 1 所述的一种电路板的差分走线，其中，所述电路板为四层，所述第一差分走线设置在第二层，所述第二差分走线设置在第三层。

15 6、如权利要求 1 所述的一种电路板的差分走线，其中，所述第一差分走线和第二差分走线的走线布置路径相同。

7、如权利要求 6 所述的一种电路板的差分走线，其中，所述第一差分走线和第二差分走线的间距相等。

20 8、如权利要求 7 所述的一种电路板的差分走线，其中，所述第一差分走线和第二差分走线的走线布置为直线。

9、如权利要求 1 所述的一种电路板的差分走线，其中，所述电路板为四层，所述差分走线有多对，一半所述差分走线的第一差分走线设置在第一层，第二差分走线设置在第二层，另一半所述差分走线的第一差分走线设置在第三层，第二差分走线设置在第四层。

25 10、如权利要求 2 所述的一种电路板的差分走线，其中，所述电路板为四层，所述第一差分走线设置在第二层，所述第二差分走线设置在第三层。

11、如权利要求 3 所述的一种电路板的差分走线，其中，所述电路板为四层，所述第一差分走线设置在第二层，所述第二差分走线设置在第三层。

12、如权利要求 1 所述的一种电路板的差分走线，其中，所述电路板的层数为大于四层的复数层，所述第一差分走线 and 第二差分走线分别设置在电路板复数层的不同层中。

13、一种电路板的差分走线，包括：

所述电路板为四层板；

5 四对差分走线，设置在电路板上；

每对所述差分走线包括第一差分走线 and 第二差分走线；

每对所述第一差分走线设置在电路板的第二层上；每对所述第二差分走线的第三层上。

控制芯片，设置在电路板上；

10 连接器，设置在电路板上；

所述第一差分走线 and 第二差分走线一端与控制芯片连接，另一端与连接器连接，所述控制芯片的差分信号经过第一差分走线 and 第二差分走线输到连接器。

14、如权利要求 13 所述的一种电路板的差分走线，其中，所述控制芯片为时序控制器。

15 15、一种电路板，所述电路板至少有两层，所述电路板包括：

至少一对差分走线，设置在电路板上；

每对所述差分走线包括第一差分走线 and 第二差分走线；

所述第一差分走线 with 第二差分走线设置在所述电路板的不同层上。

20 16、如权利要求 15 所述的一种电路板，其中，所述第一差分走线 and 第二差分走线分别设置在电路板的两个相邻层中。

17、如权利要求 15 所述的一种电路板，其中，所述第一差分走线位于第二差分走线的正下方。

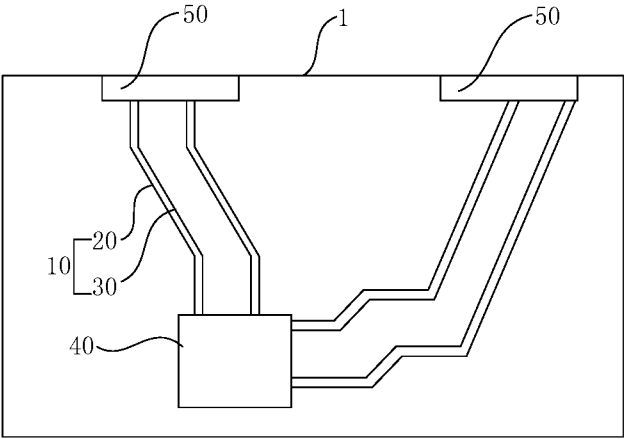


图 1

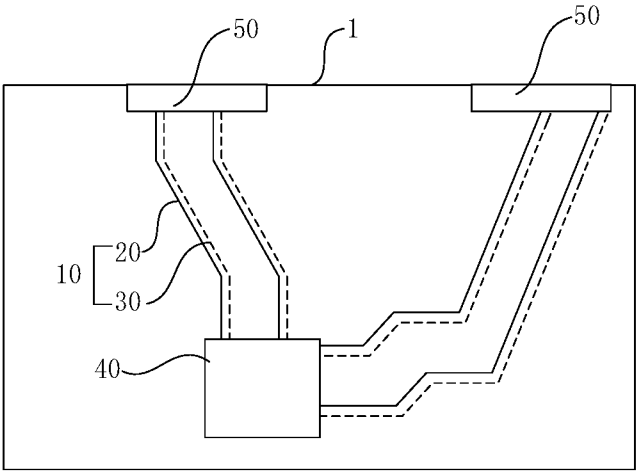


图 2

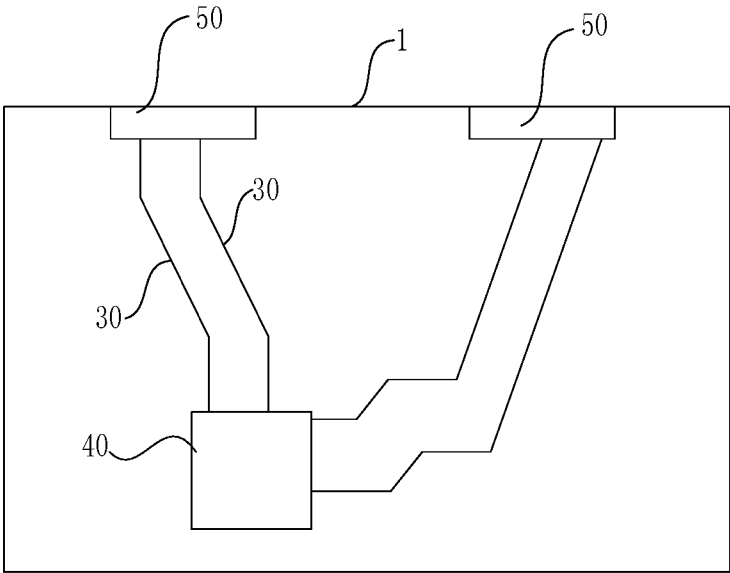


图 3

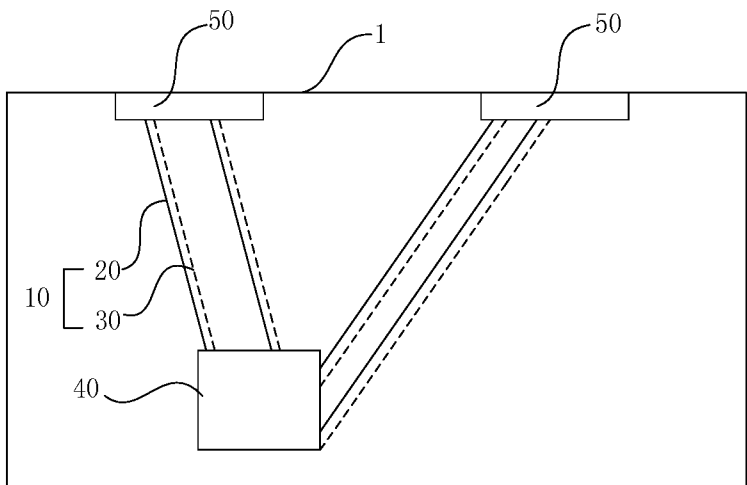


图 4

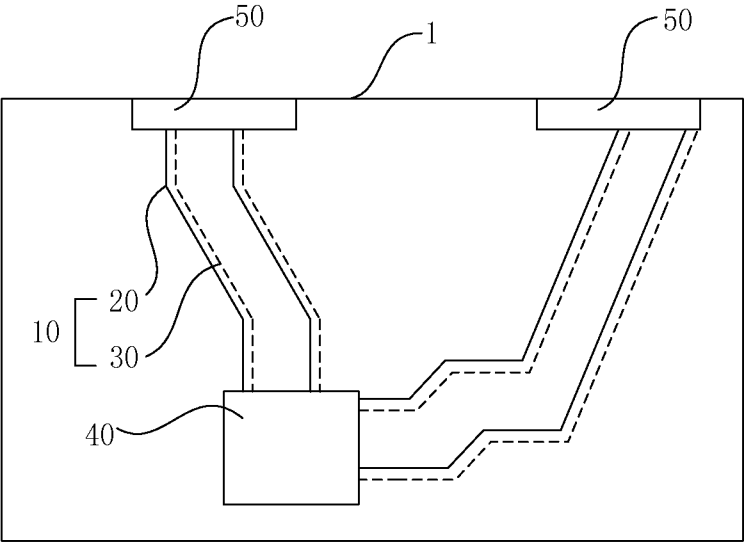


图 5

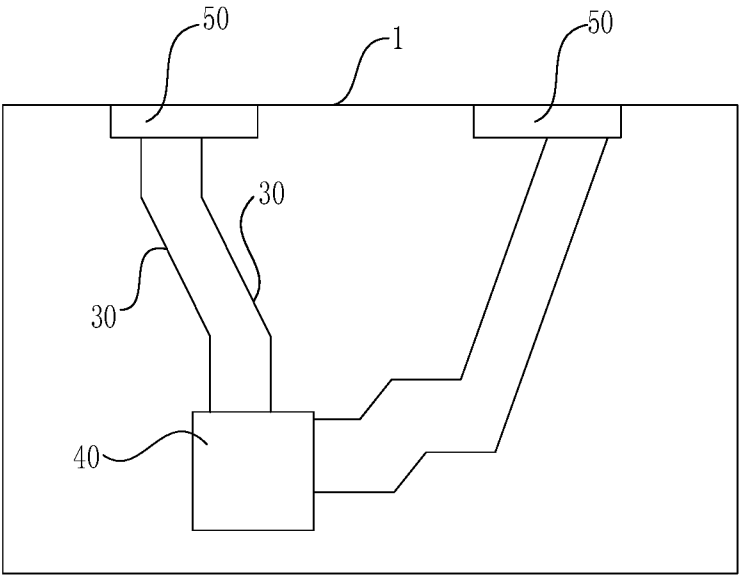


图 6

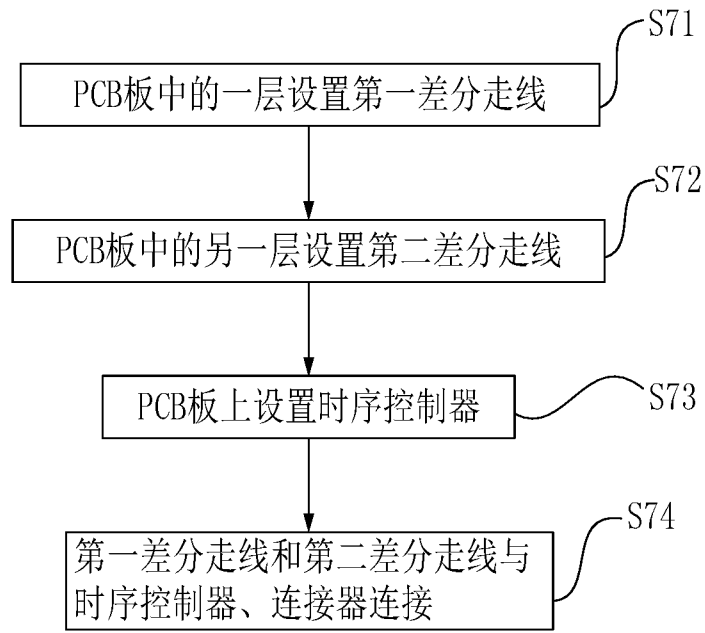


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/115321

A. CLASSIFICATION OF SUBJECT MATTER

H05K 1/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, IEEE, WPI: 惠科, 胡水秀, 差分, 信号线, 走线, 布线, 不同, 不相同, 相异, 层, 时序, 控制, 芯片, differen+, signal, line, wire, layer, clock, control, chip

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104244574 A (GUANGDONG OPPO MOBILE TELECOMMUNICATIONS CO., LTD.) 24 December 2014 (2014-12-24) description, paragraph [0023], and figures 1 and 2	1-17
X	CN 101064992 A (INVENTEC CORPORATION) 31 October 2007 (2007-10-31) description, pages 3-5, and figures 2-5	1-17
X	CN 101378618 A (HONGFUJIN PRECISION INDUSTRY (SHENZHEN) CO., LTD.; HON HAI PRECISION INDUSTRY CO., LTD.) 04 March 2009 (2009-03-04) description, pp. 2 and 3, and figure 2	1-17
A	US 6425767 B1 (ACER PERIPHERALS INC.) 30 July 2002 (2002-07-30) entire document	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

03 June 2019

Date of mailing of the international search report

28 June 2019

Name and mailing address of the ISA/CN

National Intellectual Property Administration, PRC (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/115321

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104244574	A	24 December 2014	None			
CN	101064992	A	31 October 2007	None			
CN	101378618	A	04 March 2009	US	2009056983	A1	05 March 2009
				US	7635814	B2	22 December 2009
				CN	101378618	B	29 September 2010
US	6425767	B1	30 July 2002	TW	379469	B	11 January 2000

国际检索报告

国际申请号

PCT/CN2018/115321

A. 主题的分类

H05K 1/02 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H05K

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, IEEE, WPI: 惠科, 胡水秀, 差分, 信号线, 走线, 布线, 不同, 不相同, 相异, 层, 时序, 控制, 芯片, differen+, signal, line, wire, layer, clock, control, chip

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 104244574 A (广东欧珀移动通信有限公司) 2014年 12月 24日 (2014 - 12 - 24) 说明书第[0023]段, 图1-2	1-17
X	CN 101064992 A (英业达股份有限公司) 2007年 10月 31日 (2007 - 10 - 31) 说明书第3-5页, 图2-5	1-17
X	CN 101378618 A (鸿富锦精密工业深圳有限公司 鸿海精密工业股份有限公司) 2009年 3月 4日 (2009 - 03 - 04) 说明书第2-3页, 图2	1-17
A	US 6425767 B1 (ACER PERIPHERALS INC.) 2002年 7月 30日 (2002 - 07 - 30) 全文	1-17

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 6月 3日

国际检索报告邮寄日期

2019年 6月 28日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

周忠堂

电话号码 86-(10)-53961222

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/115321

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104244574	A	2014年 12月 24日	无			
CN	101064992	A	2007年 10月 31日	无			
CN	101378618	A	2009年 3月 4日	US	2009056983	A1	2009年 3月 5日
				US	7635814	B2	2009年 12月 22日
				CN	101378618	B	2010年 9月 29日
US	6425767	B1	2002年 7月 30日	TW	379469	B	2000年 1月 11日