



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I452572 B

(45)公告日：中華民國 103 (2014) 年 09 月 11 日

(21)申請案號：099100453

(22)申請日：中華民國 99 (2010) 年 01 月 08 日

(51)Int. Cl. : G11C11/16 (2006.01)

G11C11/409 (2006.01)

(30)優先權：2009/01/08 美國

12/350,304

(71)申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：阿布 瑞馬 默汗莫德 哈桑 ABU-RAHMA, MOHAMED HASSAN (EG)；宋森秋 SONG, SEUNG-CHUL (KR)；楊賽森 YOON, SEI SEUNG (KR)；朴東奎 PARK, DONGKYU (KR)；鍾成 ZHONG, CHENG (CN)；戴維爾瓦拉 阿諾許 B DAVIERWALLA, ANOSH B. (IN)

(74)代理人：陳長文

(56)參考文獻：

US 2005/0146925A1

US 2006/0067112A1

US 2007/0279963A1

US 2007/0279967A1

US 2008/0043514A1

US 2008/0203469A1

US 2008/0310213A1

WO 2008/109772A1

審查人員：蕭明椿

申請專利範圍項數：25 項 圖式數：7 共 0 頁

(54)名稱

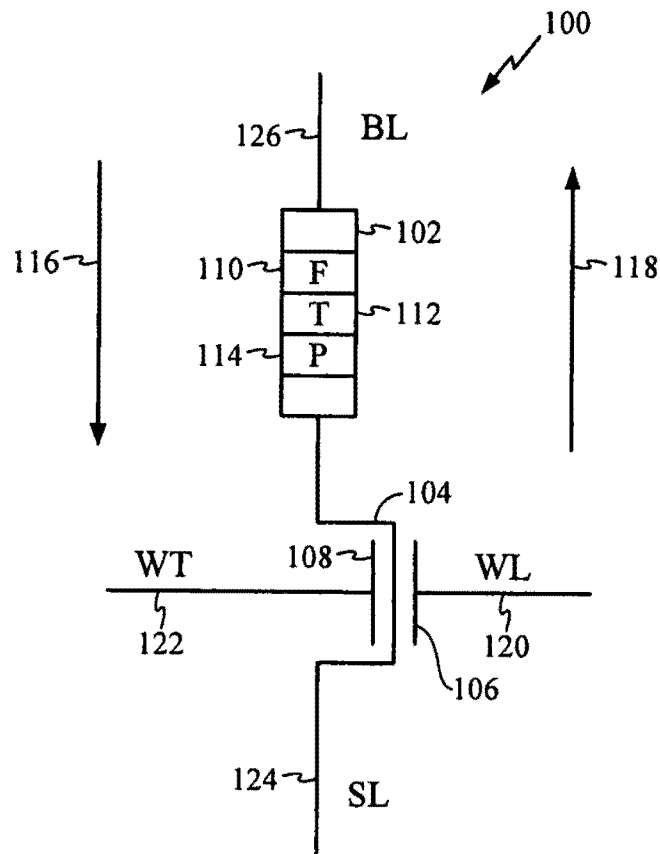
於磁性穿隧接面元件讀取及寫入資料之系統、方法及記憶體

SYSTEM, METHOD AND MEMORY TO READ AND WRITE DATA AT A MAGNETIC TUNNEL JUNCTION ELEMENT

(57)摘要

揭示一種讀取磁性隨機存取記憶體中之資料且將資料寫入於磁性隨機存取記憶體中之系統及方法。在一特定實施例中，一裝置包括一自旋傳遞轉矩磁性穿隧接面(STT-MTJ)元件及耦接至該 STT-MTJ 元件的具有一第一閘極及一第二閘極之一電晶體。

A system and method to read and write data in magnetic random access memories are disclosed. In a particular embodiment, a device includes a spin transfer torque magnetic tunnel junction (STT-MTJ) element and a transistor with a first gate and a second gate coupled to the STT-MTJ element.



- 100 . . . 裝置
- 102 . . . 磁性穿隧接面(MTJ)元件
- 104 . . . 電晶體
- 106 . . . 第一閘極
- 108 . . . 第二閘極
- 110 . . . 自由磁層
- 112 . . . 介電穿隧障壁
- 114 . . . 釘紮磁層
- 116 . . . 箭頭
- 118 . . . 箭頭
- 120 . . . 字線
- 122 . . . 寫入啟用線
- 124 . . . 源極線
- 126 . . . 位元線

圖 1

發明專利說明書

中文說明書替換頁(103年5月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：099100453

※ 申請日：99.01.08

※IPC 分類：

G11C 11/16 (2006.01)
G11C 11/409 (2006.01)

一、發明名稱：(中文/英文)

於磁性穿隧接面元件讀取及寫入資料之系統、方法及記憶體

SYSTEM, METHOD AND MEMORY TO READ AND WRITE DATA AT
A MAGNETIC TUNNEL JUNCTION ELEMENT

二、中文發明摘要：

揭示一種讀取磁性隨機存取記憶體中之資料且將資料寫入於磁性隨機存取記憶體中之系統及方法。在一特定實施例中，一裝置包括一自旋傳遞轉矩磁性穿隧接面(STT-MTJ)元件及耦接至該STT-MTJ元件的具有一第一閘極及一第二閘極之一電晶體。

三、英文發明摘要：

A system and method to read and write data in magnetic random access memories are disclosed. In a particular embodiment, a device includes a spin transfer torque magnetic tunnel junction (STT-MTJ) element and a transistor with a first gate and a second gate coupled to the STT-MTJ element.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100	裝置
102	磁性穿隧接面(MTJ)元件
104	電晶體
106	第一閘極
108	第二閘極
110	自由磁層
112	介電穿隧障壁
114	釘紮磁層
116	箭頭
118	箭頭
120	字線
122	寫入啟用線
124	源極線
126	位元線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明大體係關於關於磁性隨機存取記憶體之磁性穿隧接面(MTJ)讀取及寫入資料之系統及方法。

【先前技術】

在習知自旋傳遞轉矩磁阻式隨機存取記憶體(STT-MRAM)中，常使用同一電流路徑來寫入資料及讀取資料。為了在習知STT-MRAM中寫入資料，寫入電流可流過磁性穿隧接面(MTJ)元件及相關聯之存取電晶體。寫入電流可改變MTJ元件中的磁極之定向。當寫入電流在第一方向上流動時，MTJ元件可置於或保持於第一狀態下，其中其磁極處於平行定向。當寫入電流在與第一方向相反之第二方向上流動時，MTJ元件可置於或保持於第二狀態下，其中其磁極處於反平行定向。為了讀取習知STT-MRAM中之資料，讀取電流可經由用以在MTJ元件中寫入資料之同一電流路徑流過MTJ元件及其相關聯之存取電晶體。若MTJ元件之磁極處於平行定向，則MTJ元件呈現與在MTJ元件之磁極處於反平行定向之情況下MTJ元件將呈現的電阻不同之電阻。因此，在習知STT-MRAM中，存在由兩個不同電阻界定之兩個截然不同的狀態，且可基於該狀態讀取邏輯「0」或邏輯「1」值。

在如上所述之習知STT-MRAM中，高讀取電流可允許MTJ元件電阻之較一致的偵測，其可轉化為最佳的讀取準確度。另外，高讀取電流可減少感測電阻所需要之時間，

其可轉化為較快的讀取週期。然而，若讀取電流具有超過MTJ元件之臨界干擾電流之值的值，則讀取電流可使MTJ元件改變狀態(或「翻轉」)。使讀取電流之值保持低於臨界干擾電流之值可由保護及追蹤電路執行，但此等電路可增加STT-MRAM裝置之大小且降低STT-MRAM裝置之效能。

【發明內容】

在一特定實施例中，揭示一種裝置，其包括一自旋傳遞轉矩(STT)磁性穿隧接面(MTJ)元件及耦接至該STT-MTJ元件的包括一第一閘極及一第二閘極之一電晶體。

在另一特定實施例中，揭示一種記憶體。該記憶體包括一記憶體單元陣列。該記憶體單元陣列具有許多行。該等記憶體單元中之每一者包括耦接至一雙閘極電晶體之一MTJ元件，該雙閘極電晶體具有耦接至一字線之一第一閘極及耦接至一寫入啟用線(write enable line)之一第二閘極。在一寫入操作期間至少一行係可由該寫入啟用線控制。

在另一特定實施例中，揭示一種用於將資料儲存於一STT-MRAM中之方法。該方法包括將資料寫入至該STT-MRAM裝置之一MTJ元件及自該MTJ元件讀取資料。該MTJ元件耦接至包括一第一閘極及一第二閘極之一電晶體。

由所揭示之實施例中之至少一者提供的一特定優勢為，在使用分開的讀取/寫入路徑之STT-MRAM中可改良資料

讀取邊限(歸因於高讀取電流之使用)。

由所揭示之實施例中之至少一者提供的另一特定優勢為，作為移除某些保護及追蹤電路之結果，可減小STT-MRAM裝置之大小。

在審閱整個申請案之後，本發明之其他態樣、優點及特徵將變得顯而易見，整個申請案包括以下部分：圖式簡單說明、實施方式及申請專利範圍。

【實施方式】

參看圖1，描繪一裝置之特定說明性實施例並大體將其表示為100。裝置100包括耦接至具有第一閘極106及第二閘極108之電晶體104的一磁性穿隧接面(MTJ)元件102，諸如，自旋傳遞轉矩磁性穿隧接面(STT-MTJ)單元。裝置100具有包括耦接至MTJ元件102之電晶體104的讀取/寫入資料路徑之共同部分。電晶體104選擇性提供分開的資料讀取及寫入路徑來存取MTJ元件102。可藉由在邏輯高位準下對第一閘極106加偏壓同時在邏輯低位準下對第二閘極108加偏壓來界定資料讀取路徑。在此情況下，僅電晶體104之第一(或「前部」)閘極106處於導電中(通道反轉模式(channel inversion mode))，而電晶體104之第二(或「背部」)閘極108被耗盡(亦即，允許僅可忽略的電流流動)。讀取電流限於停用第二閘極108時穿過第一閘極106之最大電流。可藉由在邏輯高位準下對第一閘極106及第二閘極108兩者加偏壓來界定資料寫入路徑，使得兩個閘極皆處於導電中(亦即，通道反轉模式)。在此情況下，電晶體104

可充分導電，且寫入電流可比同一裝置100中的讀取電流之值高。由於此結構啟用某一讀取電流及一不同寫入電流，因此電晶體104提供分開的資料讀取及寫入路徑。讀取路徑包括第一閘極106之反轉通道，而寫入路徑包括第一閘極106及第二閘極108兩者之反轉通道。

MTJ元件102可用於資料儲存。MTJ元件102包括一自由磁層(在圖1中，表示為F，參考數字110)、一薄介電穿隧障壁(在圖1中，表示為T，參考數字112)及一釘紮磁層(在圖1中，表示為P，參考數字114)。當將一偏壓施加至MTJ元件102時，由磁層自旋極化之電子經由稱為穿隧之過程穿越介電穿隧障壁T 112。可藉由使寫入電流在第一方向上通過MTJ元件102、在第一狀態下寫入資料，及藉由使寫入電流在第二方向上通過MTJ元件102、在第二狀態下寫入資料而將資料寫入至MTJ元件102。寫入電流穿過MTJ元件102之第一方向由箭頭116指示。寫入電流穿過MTJ元件102之第二方向由箭頭118指示。儲存於MTJ元件102處之資料值由寫入電流穿過穿隧障壁T 112之方向判定。當自由磁層F 110之磁矩(magnetic moment)平行於釘紮磁層P 114之磁矩時，MTJ元件102具有低電阻，且當自由磁層F 110之磁矩與釘紮磁層P 114之磁矩反平行定向時，MTJ元件102具有高電阻。因此，視磁矩經平行還是反平行定向而定，通過MTJ元件102之讀取電流可偵測兩個不同電阻中之一者，且可讀取兩個不同值，例如，邏輯「0」及邏輯「1」。MTJ元件102亦具有一臨界干擾電流值，高於該

臨界干擾電流值，通過MTJ元件102之電流可使MTJ元件102改變狀態(或「翻轉」)以寫入資料，且低於該臨界干擾電流值，可安全地讀取資料，而不破壞所儲存之值。

電晶體104之第一閘極106與第二閘極108係可獨立地加偏壓。亦即，可獨立地確定電晶體104的第一閘極106之偏壓電壓與第二閘極108之偏壓電壓。電晶體104可為MTJ元件102之存取電晶體，其中電晶體104之第一閘極106耦接至字線120。電晶體104之第二閘極108(其可稱作「背閘極」)可耦接至寫入啟用線122。電晶體104亦具有耦接至源極線124的一源極端子及經由MTJ元件102耦接至位元線126的一汲極端子。字線120可為與用於記憶體陣列之同一列中的多個記憶體單元之其他存取電晶體相同的字線。寫入啟用線122可為與用於記憶體陣列之同一行中的多個記憶體單元之其他存取電晶體相同的寫入啟用線。源極線124可為與用於記憶體陣列之同一行中的多個記憶體單元之其他存取電晶體相同的源極線。位元線126可為與用以耦接至記憶體陣列之同一行中的其他MTJ元件之位元線相同的位元線。在一特定實施例中，電晶體104為獨立閘極「鰭式」場效電晶體(IG-FinFET)。

電晶體104之第一閘極106及電晶體104之第二閘極108可使裝置100之資料寫入路徑與資料讀取路徑去耦。經加偏壓至邏輯高位準(或「開啟」，啟用電流流動)之第一閘極106及經加偏壓至邏輯低位準(或「斷開」，停用電流流動)之第二閘極108可界定一讀取路徑。皆經加偏壓至邏輯高

位準之第一閘極106及第二閘極108可界定與讀取路徑截然不同的寫入路徑。第一閘極106可限制最大電流不超過MTJ元件102之臨界干擾電流值。此可確保MTJ元件102在讀取操作期間不改變狀態。另外，在第二閘極108處的信號之位準(例如，高或低)可區分分開的資料讀取與資料寫入路徑。舉例而言，第二閘極108可經加偏壓以在資料讀取操作期間停用寫入電流或在資料寫入操作期間啟用寫入電流。因此，在一特定實施例中，可藉由將信號施加至第二閘極108來選擇性地啟用或停用資料寫入。

電晶體之閘極的臨限電壓通常被定義為施加至閘極的電壓之值，高於該值，電流自汲極流至源極，且低於該值，電流不自汲極流至源極。然而，當將低於臨限電壓之電壓施加至電晶體之閘極時，至少一些(通常少量)電流自汲極流至源極。此電流常稱作「洩漏」。在對稱性雙閘極FinFET中，電晶體之兩個閘極具有約相同的臨限電壓值，而在非對稱性雙閘極FinFET中，電晶體之閘極中的每一者具有不同臨限電壓值。在一特定實施例中，對於對稱性雙閘極電晶體104，寫入電流之值可為讀取電流之值的約兩倍。在一特定實施例中，可將負電壓施加至任一閘極以減少洩漏。在一特定實施例中，非對稱性電晶體104可減少洩漏。舉例而言，電晶體104之第一閘極106之臨限電壓可經設計使得不需要將負電壓施加至第一閘極106以減少電晶體104之汲極與源極之間的「洩漏」電流。通常，臨限電壓愈高，洩漏電流愈低。

可藉由啟用電晶體104之第一閘極106及第二閘極108兩者，將一電壓施加於源極線124及位元線126上以誘發比臨界干擾電流大的電流流過MTJ元件102而將資料寫入至MTJ元件102。此可將MTJ元件置於可為邏輯「1」或邏輯「0」之第一或第二狀態下。可藉由啟用第一閘極106且停用第二閘極108、將一電壓施加於源極線124及位元線126上以誘發比臨界干擾電流低的電流流過MTJ元件102來讀取資料。讀取電流可用於兩個不同電阻(其可讀取為邏輯「1」或邏輯「0」)中之一者的偵測。藉由使用第一閘極106及第二閘極108來將電流限於小於臨界干擾電流之值以用於資料讀取且使得能夠產生具有大於臨界干擾電流之值的電流以用於資料寫入，可減少或消除額外保護及追蹤電路以避免過多電流。此外，與習知MRAM位元單元相比，使用單一電晶體控制讀取及寫入資料路徑可使裝置100之佔據面積能夠減小。

裝置100為獨特的，且具有許多益處。裝置100可使STT-MRAM裝置之資料讀取與寫入路徑去耦，從而允許高資料寫入電流及低資料讀取電流，其皆改良STT-MRAM之效能。裝置100可為STT-MRAM記憶體陣列提供保護機制以防止記憶體單元在讀取操作期間之意外的單元翻轉。裝置100可藉由使得能夠省略專用電流保護電路來降低感測電路之面積且減少成本。裝置100可藉由啟用較高讀取及寫入電流以提供較高操作速度來改良效能。裝置100可藉由啟用較高讀取電流感測邊限來改良讀取偵測強健性。

參看圖2，描繪包括多個單元之記憶體陣列之一特定說明性實施例之圖並大體將其表示為200，其中每一單元包括一如在圖1中說明之裝置100。記憶體陣列200由排列成三列及三行之複數個裝置100構成。同一列中的裝置100之電晶體之第一閘極耦接至同一字線。舉例而言，在頂部列中的三個裝置100之電晶體之第一閘極耦接至字線202。在中部列中的三個裝置100之電晶體之第一閘極耦接至字線204。在底部列中的裝置100之電晶體之第一閘極耦接至字線206。

記憶體陣列200僅為說明性的。儘管三列及三行形成圖2中所說明之陣列200，但一陣列可具有任何數目個列及行。

因此，記憶體陣列200包含大量記憶體單元。記憶體陣列200包括複數個行。記憶體陣列200中之每一記憶體單元包括耦接至雙閘極電晶體之一磁性穿隧接面(MTJ)裝置。雙閘極電晶體具有耦接至複數個字線中之一字線的第一閘極，且具有耦接至複數個寫入啟用線中之一寫入啟用線的第二閘極。在一寫入操作期間該複數個行中之至少一行係可由該寫入啟用線控制。

同一行中的裝置100之電晶體之第二閘極耦接至同一寫入啟用線。舉例而言，在最左邊行中的三個裝置100之電晶體之第二閘極耦接至寫入啟用線208。在中央行中的三個裝置100之電晶體之第二閘極耦接至寫入啟用線210。在最右邊行中的三個裝置100之電晶體之第二閘極耦接至寫

入啟用線212。

同一行中的裝置100之電晶體之源極端子耦接至同一源極線。舉例而言，在最左邊行中的三個裝置100之電晶體之源極端子耦接至源極線214。在中央行中的三個裝置100之電晶體之第二閘極耦接至源極線216。在最右邊行中的三個裝置100之電晶體之第二閘極耦接至源極線218。

同一行中的裝置100之電晶體之汲極端子經由相關聯之MTJ元件耦接至同一位元線。舉例而言，在最左邊行中的三個裝置100之電晶體之汲極端子耦接至位元線220。在中央行中的三個裝置100之電晶體之汲極端子耦接至位元線222。在最右邊行中的三個裝置100之電晶體之汲極端子耦接至位元線224。

參看圖3，描繪具有分開的資料讀取及寫入路徑之裝置的記憶體陣列之一特定說明性實施例之示意圖。在此特定實施例中，將諸如零偏壓電壓(GND)之寫入停用偏壓電壓施加至寫入啟用線302、304、306中之每一者。此停用每一裝置100之第二閘極，且對每一裝置100給出一標稱臨限電壓。在讀取操作期間，將供電電壓(VDD)施加至選定字線308以啟用在選定頂部列中的所有裝置100之第一閘極。將負偏壓電壓(-ve)施加至記憶體陣列中之其他字線310、312，從而斷開未選定列中的裝置100之第一閘極，此有效地將其停用。結果為，可將低驅動電流用於讀取電流Iread(展示為流過頂部列中之三個裝置100)，因為每一行中僅一組閘極(在連接至字線308之頂部列中的裝置之第一

閘極)在作用中。

參看圖4，描繪具有分開的資料讀取及寫入路徑之裝置100的記憶體陣列之一特定說明性實施例之示意圖。藉由將一供電電壓(VDD)施加至寫入啟用線402而選擇一行(圖4中之中間行)用於寫入。此啟動選定行中的裝置100之第二閘極，且降低選定行中的彼等裝置100之第一閘極之臨限電壓。選擇一列(頂部列)，且將供電電壓(VDD)施加至彼選定列之字線404，且將一負偏壓電壓(-ve)施加至未選定列之字線406、408。將負偏壓電壓施加至未選定字線406、408有效地斷開未選定列中的裝置100中之每一者。因此，僅選定記憶體單元(圖4中之上部列、中間行中之裝置100)具有高寫入電流 I_{write} 。流過選定記憶體單元的寫入電流使資料值被儲存於選定記憶體單元中。當寫入電流在一方向上流動時，將兩個值中之第一者儲存於記憶體單元中。當寫入電流在另一方向上流動時，將兩個值中之第二者儲存於記憶體單元中。半選定(half-selected)記憶體單元中之每一者(上部列、最左邊行及最右邊行中的裝置100中之每一者)具有一低讀取電流。

參看圖5，描繪讀取具有分開的資料讀取及寫入路徑之裝置的一記憶體陣列中之資料的方法之一特定說明性實施例之流程圖。需要讀取的裝置100駐留於「選定」列中；其餘列為「未選定」列。在502，將諸如零電壓或負電壓之寫入停用偏壓電壓施加至包括具有一STT-MTJ元件及耦接至STT-MTJ元件之一電晶體的裝置100之記憶體陣列之

寫入啟用線中之每一者。舉例而言，寫入啟用線可為圖2之線208、210及212或圖3之線302、304或306。寫入停用偏壓電壓停用記憶體陣列中的裝置100之電晶體104中之每一者的第二閘極。

在504，將供電電壓施加至選定列之字線。舉例而言，在圖3中，需要讀取的裝置駐留於頂部列中，從而使頂部列為選定列，且將VDD施加至頂部列之字線308。將供電電壓施加至選定列啟用選定列中的裝置100之電晶體104之第一閘極106。

在506，將負偏壓電壓施加至未選定列之字線。舉例而言，在圖3中，需要讀取的裝置不駐留於中間或底部列中，從而使中間及底部列為未選定列，且將負電壓-ve施加至中間及底部列之字線310及312。此停用未選定列中的裝置100之電晶體104中之每一者之第一閘極106，從而有效地斷開未選定列中的裝置100之電晶體104。

因此，使用所揭示之方法的一特定說明性實施例可在讀取週期期間使存取電晶體(僅當其處於選定列中時)斷開其第二閘極且啟用第一閘極。因此，在一特定說明性實施例中，在邏輯高位準下對第一閘極加偏壓且在邏輯低位準下對第二閘極加偏壓以讀取資料。

參看圖6，描繪將資料寫入於具有分開的資料讀取及寫入路徑之裝置的記憶體陣列中的方法之一特定說明性實施例之流程圖。待寫入之裝置駐留於選定列及行中。在602，將供電電壓施加至選定行之寫入啟用線。舉例而

言，在圖4中，選定裝置駐留於中間行中，從而使中間行為選定行，且將VDD施加至中間行之寫入啟用線402。施加供電電壓啟動選定列中的裝置100之電晶體104中之每一者的第二閘極108，且降低選定列中的裝置100之電晶體104中之每一者之第一閘極106的臨限電壓。可將諸如零電壓或負電壓之寫入停用偏壓電壓施加至對應於未選定行之寫入啟用線。

在604，將供電電壓施加至選定列之字線。舉例而言，在圖4中，選定裝置駐留於頂部列中，從而使頂部列為選定列，且將VDD施加至頂部列之字線404。藉由將供電電壓施加至特定列之字線及特定行之寫入啟用線，可選擇記憶體陣列中的裝置中之任一者用於寫入操作。

當將選定字線設定至供電電壓時，在寫入操作期間可將記憶體陣列中的複數個字線之至少一未選定字線設定至負值以防止寫入操作發生於耦接至未選定字線之單元處。舉例而言，在606，將負偏壓電壓施加至所有未選定列之字線，從而有效地斷開未選定列中的裝置100之電晶體104。舉例而言，在圖4中，選定裝置不駐留於中間或底部列中，且將負電壓-ve施加至未選定列之字線406及408。因此，僅選定記憶體單元具有高寫入電流(Iwrite)。半選定記憶體單元中之每一者具有低讀取電流。

因此，使用圖6之方法的一特定說明性實施例可在寫入週期期間具有一單一選定記憶體單元，且該單一選定記憶體單元可具有高寫入電流(Iwrite)。

參看圖7，描繪將資料儲存於自旋轉矩傳遞磁阻式隨機存取記憶體(STT-MRAM)中的方法之一特定說明性實施例之流程圖。在702，將資料寫入至磁性穿隧接面(MTJ)元件，其中該MTJ元件耦接至包括一第一閘極及一第二閘極之一電晶體。舉例而言，在圖4之頂部列、中央行中，將資料寫入至MTJ元件，且MTJ元件耦接至包括一第一閘極及一第二閘極之一電晶體。在704，自MTJ元件讀取資料。舉例而言，自圖3之頂部列、中央行之MTJ元件讀取資料。

在706，使用資料寫入路徑將資料寫入至MTJ元件中，使用資料讀取路徑自MTJ元件讀取資料，且資料寫入路徑與資料讀取路徑為不同路徑。舉例而言，關於圖3及圖4之頂部列、中央行之MTJ元件，使用資料寫入路徑將資料寫入至MTJ元件，使用資料讀取路徑自MTJ元件讀取資料，且資料寫入路徑與資料讀取路徑為不同路徑。

在708，電晶體之第一閘極及電晶體之第二閘極使資料寫入路徑與資料讀取路徑去耦。舉例而言，描繪為圖3及圖4之頂部列、中央行之MTJ元件之部分的電晶體之第一閘極及第二閘極使資料寫入路徑與資料讀取路徑去耦。

在710，對第二閘極加偏壓以在資料讀取操作期間停用寫入電流。舉例而言，描繪為圖3及圖4之頂部列、中央行之MTJ元件之部分的電晶體之第二閘極在資料讀取操作期間停用寫入電流。

在712，對第二閘極加偏壓以在資料寫入操作期間啟用

寫入電流。舉例而言，描繪為圖3及圖4之頂部列、中央行之MTJ元件之部分的電晶體之第二閘極經加偏壓以在資料寫入操作期間啟用寫入電流。

因此，使用圖7之方法的系統使用包括耦接至MTJ元件之第一閘極及第二閘極之存取電晶體以將資料寫入(702)至MTJ元件及自MTJ元件讀取(704)資料。

所揭示之系統及方法係獨特的且具有除了先前提到之益處外的許多益處。在寫入啟用信號為類比信號且使用IG-FinFET之情況下，該系統可允許進一步減小感測放大器面積。在此等情況下，IG-FinFET可充當電流感測中之箝位電路(clamp)(亦即，其可將電流限制為所要的值)。該系統可減少STT-MRAM裝置中之洩漏。減少洩漏之一方式為藉由在操作期間將負偏壓電壓施加至對稱性電晶體104之未選定列。減少洩漏之另一方式為藉由使用一經設計使得即使未將負偏壓電位施加至其第一閘極106，其第一閘極106亦斷開之非對稱性電晶體104。在非對稱性電晶體中，第一閘極之第一臨限電壓與第二閘極之第二臨限電壓不同。

熟習此項技術者將進一步瞭解，結合本文所揭示之實施例所描述之各種說明性邏輯區塊、組態、模組、電路及演算法步驟可實施為電子硬體、電腦軟體或兩者之組合。為了清楚地說明硬體與軟體之此可互換性，各種說明性組件、區塊、組態、模組、電路及步驟已在上文大體按其功能性加以了描述。將此功能性實施為硬體還是軟體視特定應用及外加於整個系統上之設計約束而定。熟習此項技術

者可以變化的方式針對每一特定應用實施所描述之功能性，但是此等實施決策不應被解釋為會造成脫離本發明之範疇。

結合本文中所揭示之實施例所描述之方法或演算法的步驟可直接體現於硬體中、由處理器執行之軟體模組中或兩者之組合中。軟體模組可駐留於隨機存取記憶體(RAM)、快閃記憶體、唯讀記憶體(ROM)、可程式化唯讀記憶體(PROM)、可抹除可程式化唯讀記憶體(EPROM)、電可抹除可程式化唯讀記憶體(EEPROM)、暫存器、硬碟、抽取式碟片，或此項技術中已知之任何其他形式的儲存媒體中。將一例示性儲存媒體耦接至處理器，使得處理器可自儲存媒體讀取資訊及將資訊寫入至儲存媒體。在替代例中，儲存媒體可整合至處理器。處理器及儲存媒體可駐留於特殊應用積體電路(ASIC)中。ASIC可駐留於計算裝置或使用者終端機中。在替代例中，處理器及儲存媒體可作為離散組件駐留於一計算裝置或使用者終端機中。

提供所揭示之實施例的先前描述以使任何熟習此項技術者能夠進行或使用所揭示之實施例。對於熟習此項技術者而言，對此等實施例之各種修改將易於顯而易見，且在不脫離本發明之範疇的情況下，本文中界定之原理可適用於其他實施例。因此，本發明並不欲限於本文中所描述之實施例，而應符合與如由以下申請專利範圍界定之原理及新穎特徵相一致之最廣泛的可能範疇。

【圖式簡單說明】

圖 1 為具有分開的資料讀取及寫入路徑之裝置之一特定說明性實施例之示意圖；

圖 2 為具有分開的資料讀取及寫入路徑之裝置的一記憶體陣列之一特定說明性實施例之示意圖；

圖 3 為說明具有分開的資料讀取及寫入路徑之裝置的一記憶體陣列之讀取操作之一特定說明性實施例之示意圖；

圖 4 為說明具有分開的資料讀取及寫入路徑之裝置的一記憶體陣列之寫入操作之一特定說明性實施例之示意圖；

圖 5 為讀取具有分開的資料讀取及寫入路徑之裝置的一記憶體陣列中之資料的方法之一特定說明性實施例之流程圖；

圖 6 為將資料寫入具有分開的資料讀取及寫入路徑之裝置的一記憶體陣列中的方法之一特定說明性實施例之流程圖；及

圖 7 為將資料儲存於自旋轉矩傳遞磁阻式隨機存取記憶體 (STT-MRAM) 中的方法之一特定說明性實施例之流程圖。

【主要元件符號說明】

100	裝置
102	磁性穿隧接面 (MTJ) 元件
104	電晶體
106	第一閘極
108	第二閘極
110	自由磁層

112	介電穿隧障壁
114	釘紮磁層
116	箭頭
118	箭頭
120	字線
122	寫入啟用線
124	源極線
126	位元線
200	記憶體陣列
202	字線
204	字線
206	字線
208	寫入啟用線
210	寫入啟用線
212	寫入啟用線
214	源極線
216	源極線
218	源極線
220	位元線
222	位元線
224	位元線
302	寫入啟用線
304	寫入啟用線
306	寫入啟用線

308.	字 線
310	字 線
312	字 線
402	寫 入 啟 用 線
404	字 線
406	字 線
408	字 線

七、申請專利範圍：

103年05月06日 修正 頁(本)
劃線

1. 一種於一磁性穿隧接面元件讀取及寫入資料之裝置，其包含：
 - 一自旋傳遞轉矩(STT)磁性穿隧接面(MTJ)元件；及
 - 耦接至該STT-MTJ元件之一電晶體，其中該電晶體包括一第一閘極及一第二閘極，其中該STT-MTJ元件處於一記憶體陣列中之一記憶體單元內，其中該第一閘極耦接至該記憶體陣列之一字線，且其中該第二閘極耦接至該記憶體陣列之一寫入啟用線。
2. 如請求項1之裝置，其中該STT-MTJ元件包含：
 - 一自由磁層；
 - 一穿隧障壁；及
 - 一釘紮磁層；其中儲存於該STT-MTJ元件處之一資料值係由一寫入電流穿過該穿隧障壁之一方向判定。
3. 如請求項2之裝置，其中該第一閘極及該第二閘極係可獨立地加偏壓。
4. 如請求項3之裝置，其中一讀取路徑包括對應該第一閘極之一一反轉通道。
5. 如請求項4之裝置，其中該第一閘極限制一最大電流不超過該STT-MTJ元件之一臨界干擾電流值。
6. 如請求項5之裝置，其中該第一閘極之一第一臨限電壓與該第二閘極之一第二臨限電壓不同。
7. 如請求項6之裝置，其中該電晶體為一獨立閘極「鰭

式」場效電晶體(IG-FinFET)。

8. 如請求項1之裝置，其中該電晶體界定該STT-MTJ元件之一讀取路徑及一寫入路徑，且其中該讀取路徑及該寫入路徑由該第一閘極及該第二閘極去耦。
9. 如請求項8之裝置，其中該第二閘極耦接至該記憶體陣列之一行中的多個記憶體單元之閘極。
10. 一種於一磁性穿隧接面元件讀取及寫入資料之裝置，其包含：
 - 一自旋傳遞轉矩(STT)磁性穿隧接面(MTJ)元件；及
 - 耦接至該STT-MTJ元件之一電晶體，
 - 其中該電晶體包括一第一閘極及一第二閘極，其中施加至該第二閘極的一第一信號啟用在該STT-MTJ元件處之一資料寫入，且其中施加至該第二閘極的一第二信號停用在該STT-MTJ元件處之一資料寫入。
11. 如請求項10之裝置，其中該第一閘極具有一反轉通道，且其中一讀取路徑包括該反轉通道。
12. 如請求項11之裝置，其中該第一閘極限制一最大電流不超過該STT-MTJ元件之一臨界干擾電流值。
13. 如請求項12之裝置，其中該第一閘極之一第一臨限電壓與該第二閘極之一第二臨限電壓不同。
14. 如請求項13之裝置，其中該電晶體為一獨立閘極「鰭式」場效電晶體(IG-FinFET)。
15. 一種於一磁性穿隧接面元件讀取及寫入資料之記憶體，其包含：

一記憶體單元陣列，該陣列包括複數個行，該記憶體單元陣列中之每一記憶體單元包括耦接至一雙閘極電晶體之一磁性穿隧接面(MTJ)裝置，該雙閘極電晶體具有耦接至複數個字線中之一字線的一第一閘極且具有耦接至複數個寫入啟用線中之一寫入啟用線的一第二閘極；

其中在一寫入操作期間該複數個行中之至少一行係可由該寫入啟用線控制。

16. 如請求項15之記憶體，其中該記憶體陣列包括複數個列，且其中在一讀取操作期間該複數個列中之至少一列係可由該字線控制。

17. 如請求項15之記憶體，其中該記憶體陣列包括複數個列，且其中該記憶體陣列之一特定列係可經由一特定字線定址。

18. 如請求項15之記憶體，其中一讀取操作係藉由對該寫入啟用線及該字線加偏壓以啟用穿過該MTJ裝置之一讀取電流而非一寫入電流來執行。

19. 如請求項15之記憶體，其中在一寫入操作期間，該記憶體陣列中的該複數個字線中之至少一未選定字線係設定至一負值。

20. 如請求項15之記憶體，其中在一邏輯高位準下加偏壓於該第一閘極，且在一邏輯低位準下加偏壓於該第二閘極，以讀取資料。

21. 一種於一磁性穿隧接面元件讀取及寫入資料之裝置，其包含：

一磁性穿隧接面(MTJ)元件；及

包括耦接至該MTJ元件之一電晶體的一讀取/寫入資料路徑之一共同部分，

其中該電晶體包括一第一閘極及一第二閘極，其中該第一閘極耦接至一字線，且該第二閘極耦接至一寫入啟用線。

22. 如請求項21之裝置，其中在一讀取操作期間該第一閘極係在作用中，且其中在一寫入操作期間該第一閘極及該第二閘極兩者皆係在作用中。

23. 一種用於將資料儲存於一自旋轉矩傳遞磁阻式隨機存取記憶體(STT-MRAM)中之方法，該方法包含：

將資料寫入至一磁性穿隧接面(MTJ)元件中；及

自該MTJ元件讀取資料；

其中該MTJ元件耦接至一電晶體，其中該電晶體包括一第一閘極及一第二閘極，其中將資料寫入至該MTJ元件中使用一資料寫入路徑，其中自該MTJ元件讀取資料使用一資料讀取路徑，且其中該資料寫入路徑與該資料讀取路徑為不同路徑，且其中該電晶體之該第一閘極及該電晶體之該第二閘極使該資料寫入路徑與該資料讀取路徑去耦。

24. 如請求項23之方法，其中對該第二閘極加偏壓以在一資料讀取操作期間停用一寫入電流。

25. 如請求項24之方法，其中對該第二閘極加偏壓以在一資料寫入操作期間啟用一寫入電流。

八、圖式：

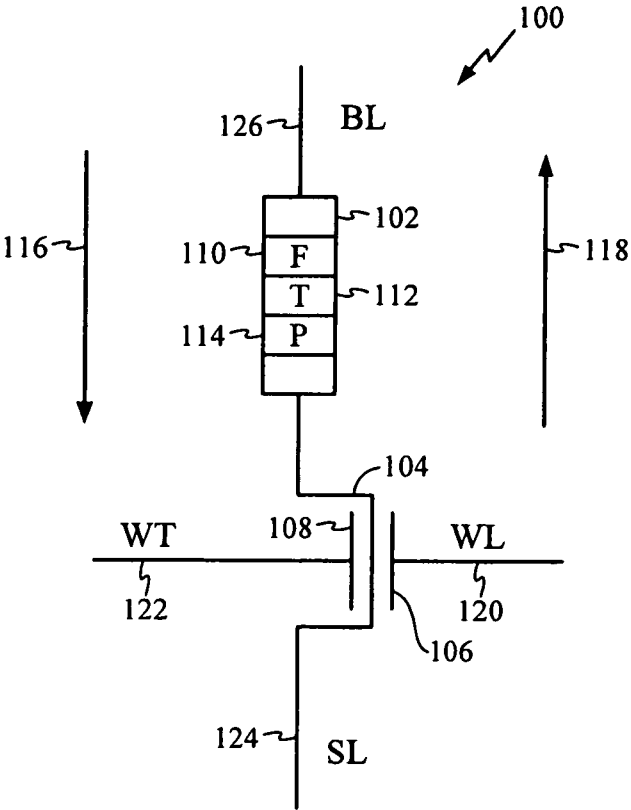


圖 1

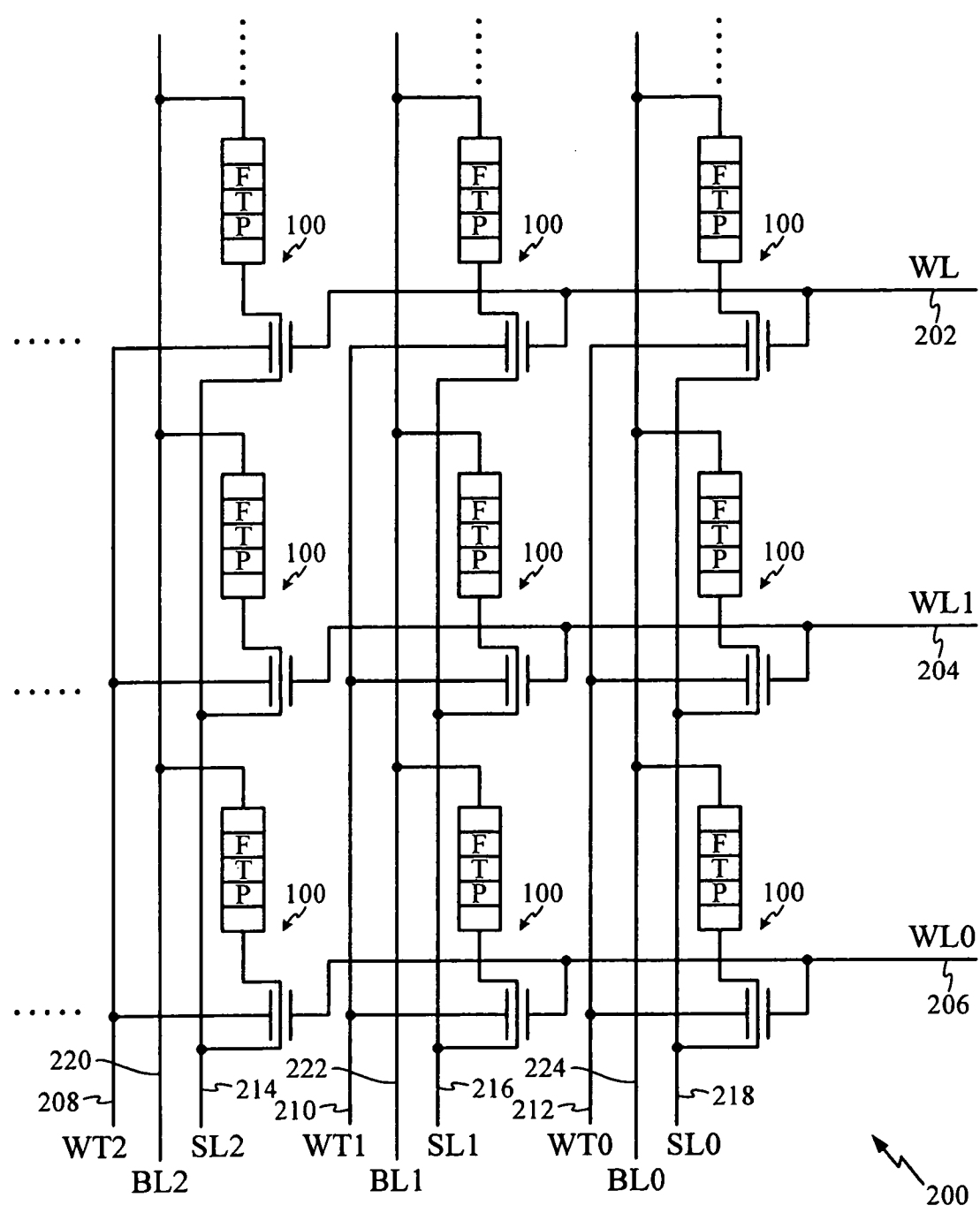


圖2

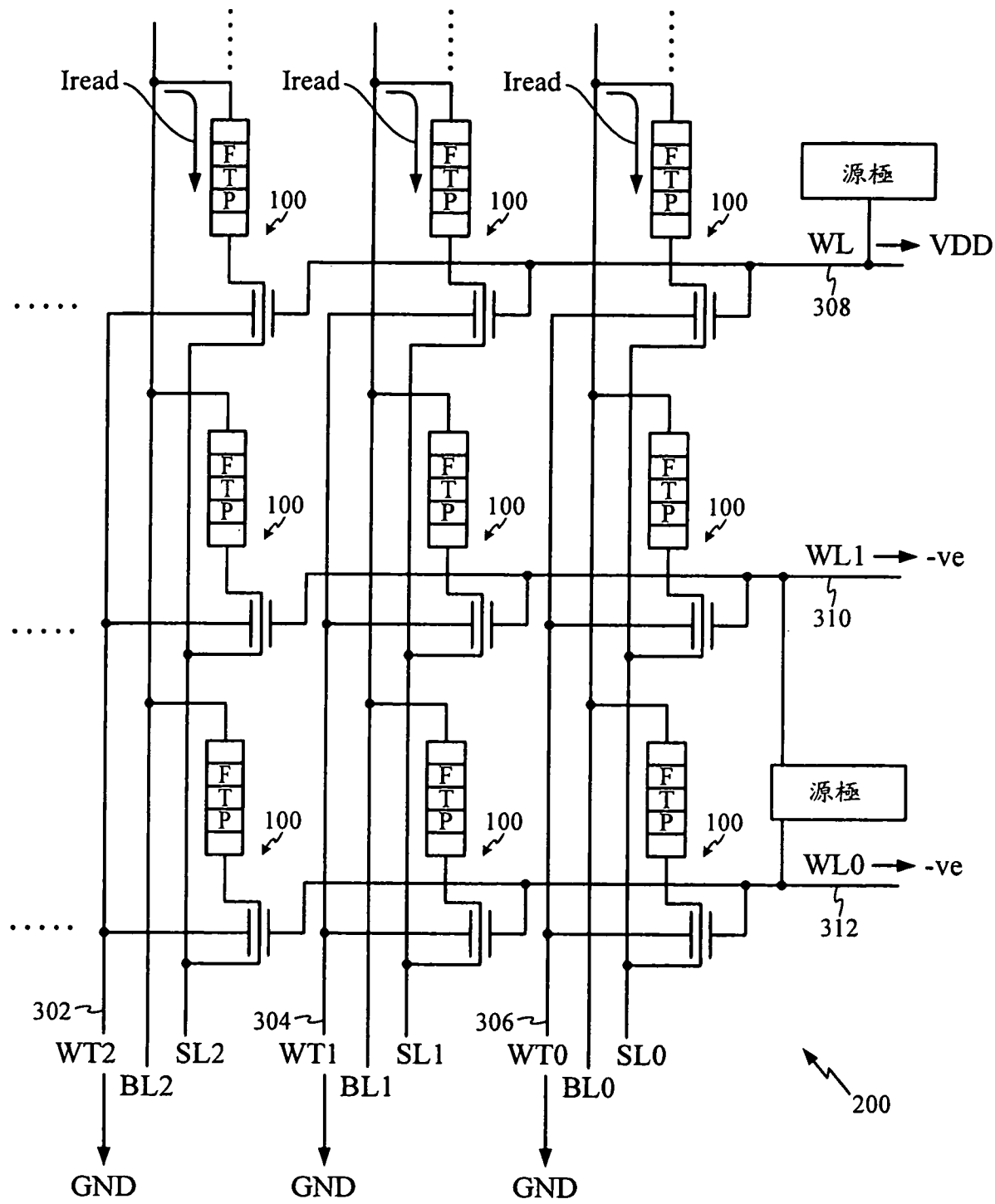


圖3

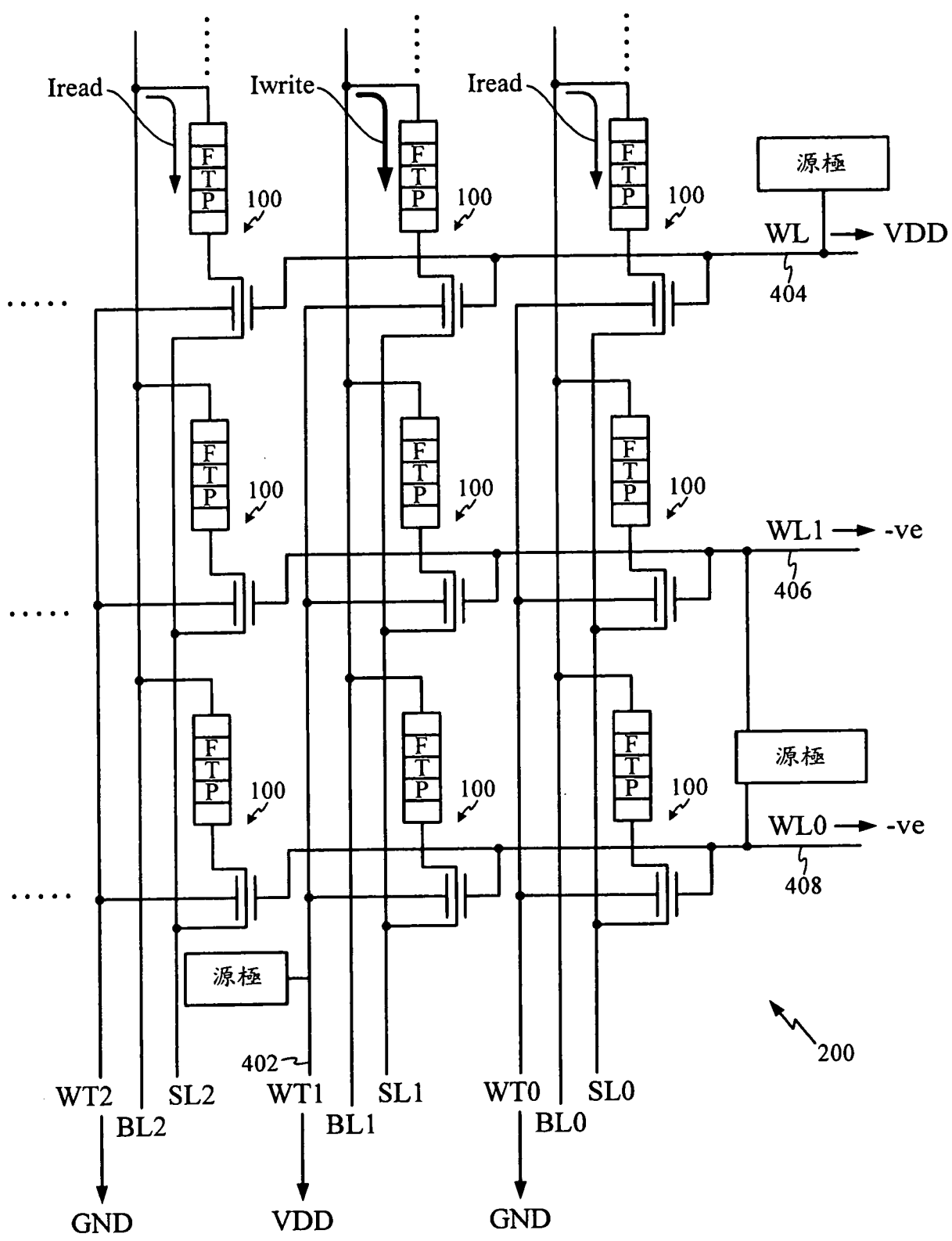


圖4

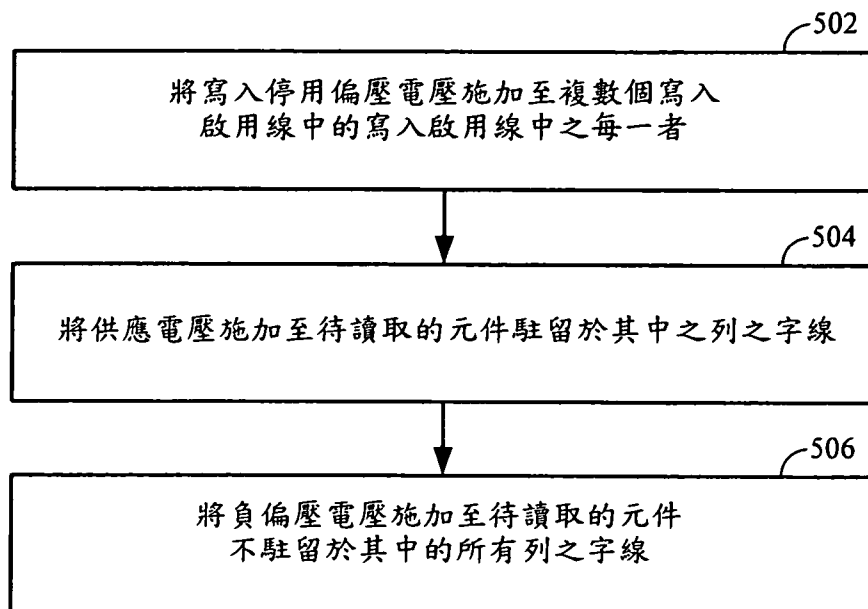


圖5

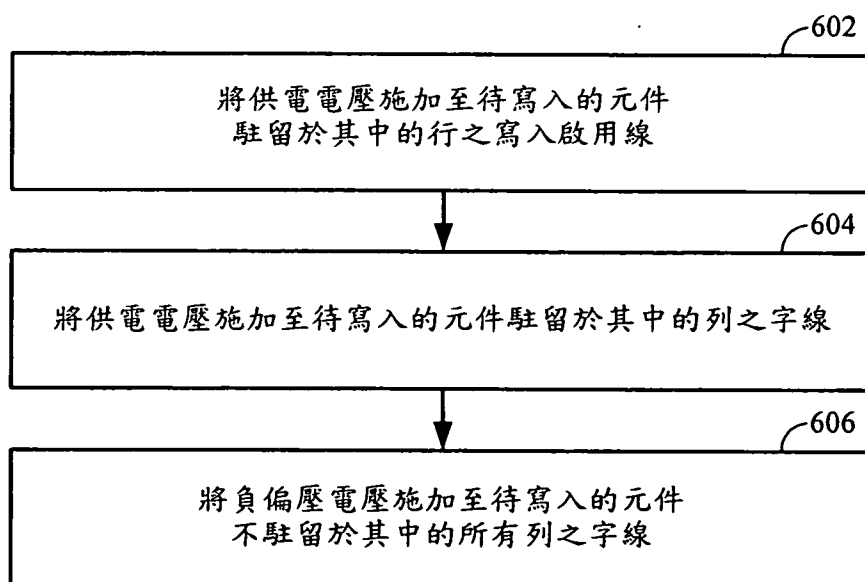


圖6

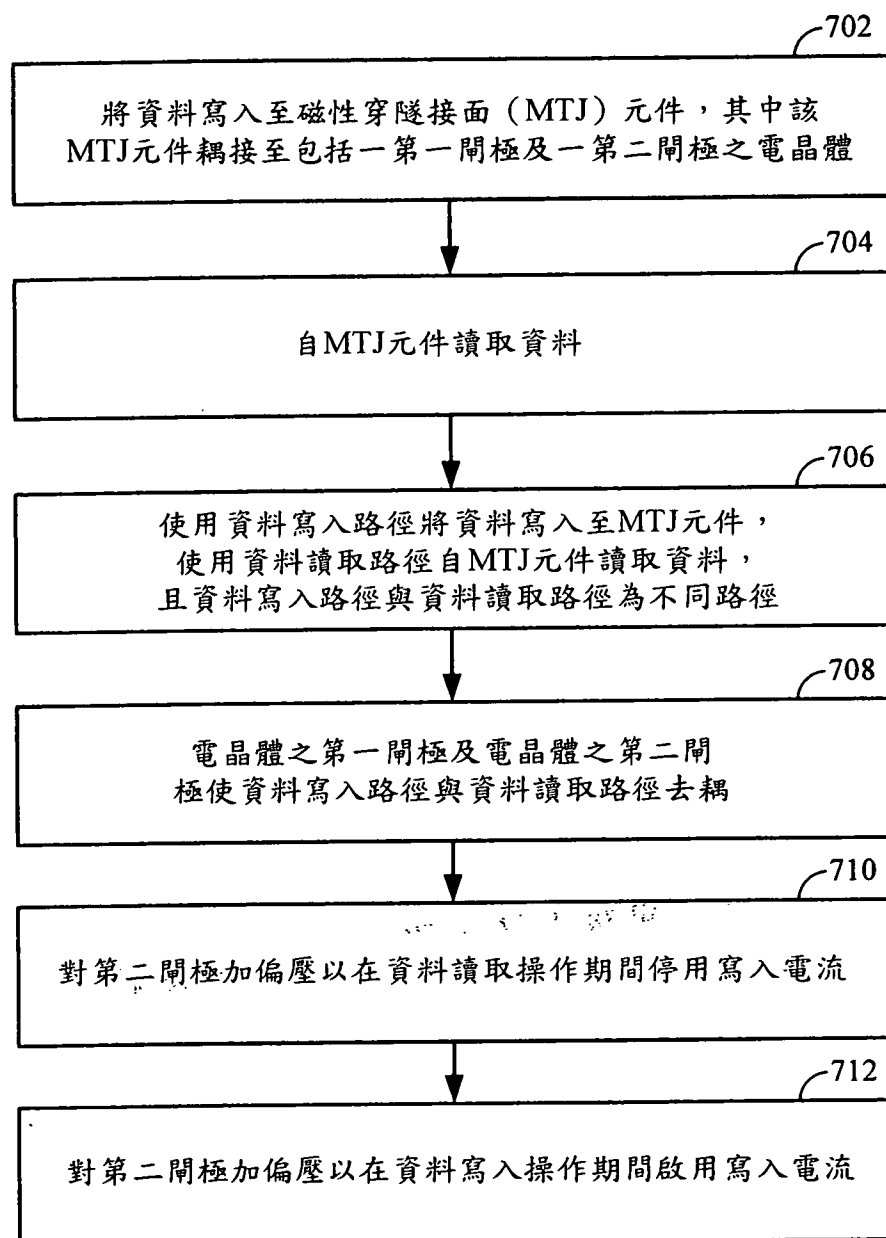


圖 7