



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I447500 B

(45)公告日：中華民國 103 (2014) 年 08 月 01 日

(21)申請案號：100106194

(22)申請日：中華民國 100 (2011) 年 02 月 24 日

(51)Int. Cl. : G02F1/136 (2006.01)

G02F1/1362 (2006.01)

G02F1/1368 (2006.01)

(30)優先權：2010/02/26 日本

2010-042584

(71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY

LABORATORY CO., LTD. (JP)

日本

(72)發明人：今藤敏和 KONDO, TOSHIKAZU (JP)；小山潤 KOYAMA, JUN (JP)；山崎舜平

YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW I289699B

TW 200643516A

CN 1934712A

US 5541748A

US 2009/0174835A1

審查人員：蔡偉隆

申請專利範圍項數：20 項 圖式數：30 共 0 頁

(54)名稱

液晶顯示裝置

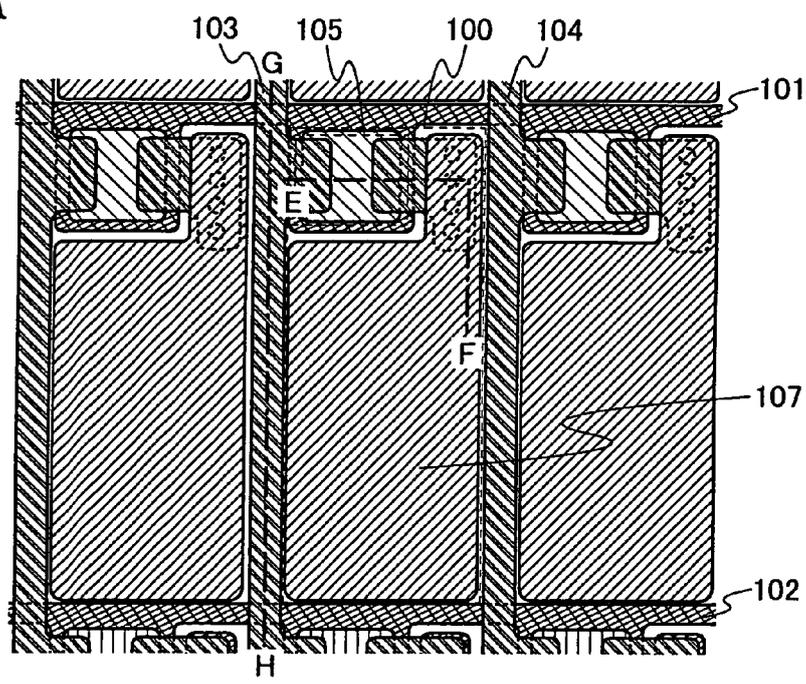
LIQUID CRYSTAL DISPLAY DEVICE

(57)摘要

本發明的目的之一在於降低液晶顯示裝置所具有的信號線的寄生電容。作為設置在各像素中的電晶體，應用具備氧化物半導體層的電晶體。注意，該氧化物半導體層是藉由徹底去除成為電子供體(施體)的雜質(氫或水等)而獲得到高度純化的氧化物半導體層。由此，可以降低電晶體處於截止狀態時的洩漏電流(截止電流)。因此，即使在各像素中不設置電容器也可以保持施加到液晶元件的電壓。另外，與此附隨而可以去除延伸到液晶顯示裝置的像素部的電容佈線。由此，可以去除信號線與電容佈線相交叉的區域中的寄生電容。

An object is to reduce parasitic capacitance of a signal line included in a liquid crystal display device. A transistor including an oxide semiconductor layer is used as a transistor provided in each pixel. Note that the oxide semiconductor layer is an oxide semiconductor layer which is highly purified by thoroughly removing impurities (hydrogen, water, or the like) which become electron suppliers (donors). Thus, the amount of leakage current (off-state current) can be reduced when the transistor is off. Therefore, a voltage applied to a liquid crystal element can be held without providing a capacitor in each pixel. In addition, a capacitor wiring extending to a pixel portion of the liquid crystal display device can be eliminated. Therefore, parasitic capacitance in a region where the signal line and the capacitor wiring intersect with each other can be eliminated.

圖 1A



- 100 . . . 像素
- 101 . . . 掃描線
- 102 . . . 掃描線
- 103 . . . 信號線
- 104 . . . 信號線
- 105 . . . 電晶體
- 107 . . . 像素電極層

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100106194

※申請日：100年02月24日

※IPC分類：

G02F 1/36 (2006.01)

G02F 1/362 (2006.01)

G02F 1/368 (2006.01)

一、發明名稱：(中文/英文)

液晶顯示裝置

Liquid crystal display device

二、中文發明摘要：

本發明的目的之一在於降低液晶顯示裝置所具有的信號線的寄生電容。作為設置在各像素中的電晶體，應用具備氧化物半導體層的電晶體。注意，該氧化物半導體層是藉由徹底去除成為電子供體（施體）的雜質（氫或水等）而獲得到高度純化的氧化物半導體層。由此，可以降低電晶體處於截止狀態時的洩漏電流（截止電流）。因此，即使在各像素中不設置電容器也可以保持施加到液晶元件的電壓。另外，與此附隨而可以去除延伸到液晶顯示裝置的像素部的電容佈線。由此，可以去除信號線與電容佈線交叉的區域中的寄生電容。

三、英文發明摘要：

An object is to reduce parasitic capacitance of a signal line included in a liquid crystal display device. A transistor including an oxide semiconductor layer is used as a transistor provided in each pixel. Note that the oxide semiconductor layer is an oxide semiconductor layer which is highly purified by thoroughly removing impurities (hydrogen, water, or the like) which become electron suppliers (donors). Thus, the amount of leakage current (off-state current) can be reduced when the transistor is off. Therefore, a voltage applied to a liquid crystal element can be held without providing a capacitor in each pixel. In addition, a capacitor wiring extending to a pixel portion of the liquid crystal display device can be eliminated. Therefore, parasitic capacitance in a region where the signal line and the capacitor wiring intersect with each other can be eliminated.

四、指定代表圖：

(一) 本案指定代表圖為：第(1A)圖。

(二) 本代表圖之元件代表符號簡單說明：

100：像素

101：掃描線

102：掃描線

103：信號線

104：信號線

105：電晶體

107：像素電極層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種液晶顯示裝置。

【先前技術】

具有排列成矩陣狀的多個像素的主動矩陣型液晶顯示裝置得到普及。一般而言，該像素包括：其閘極係電連接到掃描線，並其源極和汲極中的一者係電連接到信號線的電晶體；其一個端子係電連接到該電晶體的源極和汲極中的另一者，並其另一個端子係電連接到供應共同電位的佈線（以下也稱為電容佈線）的電容器；以及其一個端子（像素電極）係電連接到該電晶體的源極和汲極中的另一者和電容器的其中一個端子，並其另一個端子（對置電極）係電連接到供應對置電位的佈線的液晶元件。

圖 13A 至圖 13C 示出上述像素的結構例子。圖 13A 是像素的俯視圖。另外，在圖 13A 至圖 13C 中示出省略液晶元件的部件（液晶層、對置電極等）的圖（示出所謂的主動矩陣基板）。圖 13A 所示的像素 1000 係設置在由排列成平行或實質上平行的掃描線 1001、1002 及排列成垂直或實質上垂直於掃描線 1001、1002 的信號線 1003、1004 所圍繞的區域中。另外，在像素 1000 中，設置有電晶體 1005、電容器 1006 及像素電極層 1007。此外，成為電容器 1006 的一個電極層的導電層（電容佈線 1008）以排列成平行或實質上平行於掃描線 1001、1002，並橫越過多個像素的方式來予以

配置。

圖 13B 是示出沿著圖 13A 所示的線 A-B 的剖面的圖。電晶體 1005 包括：設置在基板 1010 之上的閘極層 1011；設置在閘極層 1011 之上的閘極絕緣層 1012；設置在閘極絕緣層 1012 之上的半導體層 1013；設置在半導體層 1013 的一端之上的源極層和汲極層中的一者 1014a；以及設置在半導體層 1013 的另一端之上的源極層和汲極層中的另一者 1014b。電容器 1006 包括：電容佈線 1008 的一部分；設置在電容佈線 1008 之上的絕緣層（閘極絕緣層 1012）；設置在該絕緣層之上的源極層和汲極層中的另一者 1014b。並且，源極層和汲極層中的另一者 1014b 在設置在電晶體 1005 及電容器 1006 之上的絕緣層 1015 中形成的接觸孔 1016 中，電連接到像素電極層 1007。

圖 13C 是示出沿著圖 13A 所示的線 C-D 的剖面的圖。信號線 1003 隔著閘極絕緣層 1012 而在區域 1017a 中與掃描線 1001，在區域 1017b 中與電容佈線 1008，在區域 1017c 中與掃描線 1002 相交叉。因此，信號線 1003 在區域 1017a、1017b 以及 1017c 中，其上表面具有凸面形狀。注意，當然信號線 1004 也具有與信號線 1003 相同的上表面形狀。

另外，在圖 13A 至圖 13C 所示的具有像素 1000 的液晶顯示裝置中，掃描線 1001、1002 及電容佈線 1008 使用相同的導電膜來予以形成，並將電晶體 1005 中的閘極絕緣層 1012 應用於電容器 1006 中的電介質。也就是說，可以說該液晶顯示裝置是減少製造過程的液晶顯示裝置。

在圖 13A 至圖 13C 所示的像素 1000 中，電晶體 1005 具有控制決定施加到液晶元件的電壓（施加到像素電極層 1007 的電位）的資料信號的輸入的功能，電容器 1006 具有保持施加到液晶元件的電壓（施加到像素電極層 1007 的電位）的功能。

例如，當由厚度為 $0.1\mu\text{m}$ 的氧化矽膜構成電容器 1006 的電介質時，其電容值為 0.4 pF 的電容器 1006 的面積大約為 $1160\mu\text{m}^2$ 。在此，當像素的尺寸為 $42\mu\text{m}\times 126\mu\text{m}$ （4 英寸 VGA 的像素）時，對於像素的面積電容器 1006 所占的比例大約為 22%，發生孔徑比降低的問題。另外，在上述像素結構中，也可以去除電容器 1006。因為液晶元件本身具有儲存電容，所以即使不有意地設置電容器 1006 也可以保持一定程度的電荷。但是，液晶的相對介電常數當低時為約 3 並具有 3 至 $4\mu\text{m}$ 的單元間隙（cell gap），所以與使用以厚度為 $0.1\mu\text{m}$ 的氧化矽膜為電介質的電容器 1006 的情況相比，靜電容量成為約 1/50，所以必須要約 $58000\mu\text{m}^2$ 的液晶元件的面積。就是說，因為該尺寸相當於 $140\mu\text{m}\times 420\mu\text{m}$ 的像素，所以其解析度為約 60 ppi，該 60 ppi 或 60 ppi 以下之解析度的液晶顯示裝置可以保持電荷。反過來說，當以 60 ppi 或 60 ppi 以上的解析度構成像素時，必須設置電容器 1006。

在液晶顯示裝置中，藉由控制掃描線 1001 的電位使電晶體 1005 成為導通狀態，而將信號線 1003 的電位作為對像素 1000 的資料信號控制。由此，可以將所想要的電壓施加

到像素 1000 所具有的液晶元件。另外，藉由電容器 1006 將該電壓保持一定期間，可以在各像素中在一定期間中進行所想要的顯示。該液晶顯示裝置藉由對各像素依次進行這種操作，在像素部中形成影像（靜態影像）。並且，該液晶顯示裝置使該影像連續變化（例如，一秒鐘 60 次（框頻率為 60 Hz）），以進行動態影像的顯示。

如上所述，該動態影像係由多個靜態影像所構成。也就是說，嚴格而言，該動態影像不連續。因此，當顯示運動快的動態影像時，在顯示中產生殘像等的可能性增高。尤其是，液晶顯示裝置從資料信號輸入到各像素中到下次的資料信號輸入到各像素中，各像素維持顯示。由此，殘像容易明顯化。專利文獻 1 揭示了減少殘像的技術方案（通常稱為「倍速驅動」的技術方案）。明確而言，專利文獻 1 揭示了藉由製造內插連續顯示的兩個影像的影像，將該影像插入到連續顯示的兩個影像之間以減少殘像的技術方案。

[專利文獻 1] 日本專利申請公開 第平 4-302289 號公報

可以說，上述技術是增加在每單位時間中輸入到各像素的資料信號數的技術。因此，為了將該技術應用於液晶顯示裝置，必須要使進行對各像素的資料信號的供應的信號線高速驅動。但是，至於延伸到像素部的信號線，有可能在該信號線與延伸到像素部的其他佈線之間產生寄生電容，而該寄生電容成為對信號線的高速驅動的障礙。

【發明內容】

由此，本發明的一個實施例的目的之一在於降低液晶顯示裝置所具有的信號線的寄生電容。

在本發明的一個實施例的液晶顯示裝置中，作為設置在各像素中的電晶體，應用具備氧化物半導體層的電晶體。注意，該氧化物半導體層是藉由徹底去除成為電子供體（施體）的雜質（氫或水等）得到高度純化的氧化物半導體層。在得到高度純化的氧化物半導體層中，源自於氫或氧缺陷等的載子極少（近於0），載子密度為低於 $1 \times 10^{12} / \text{cm}^3$ ，最好為低於 $1 \times 10^{11} / \text{cm}^3$ 。也就是說，將氧化物半導體層中的源自於氫或氧缺陷等的載子密度設定為儘量近於0。因為在氧化物半導體層中，源自於氫或氧缺陷等的載子極少，所以可以降低處於截止狀態時的電晶體的洩漏電流（截止電流）。

由此，即使在各像素中不設置電容器也可以保持施加到液晶元件的電壓。另外，與此附隨可以去除延伸到液晶顯示裝置的像素部的電容佈線。因此，與在信號線和掃描線相交叉的區域及信號線和電容佈線相交叉的區域中產生寄生電容的現有的液晶顯示裝置不同，本發明的一個實施例的液晶顯示裝置沒有起因於後者的寄生電容。也就是說，可以降低信號線的寄生電容。

即，本發明的一個實施例是一種液晶顯示裝置，包括：排列成彼此平行或實質上平行的第一掃描線及第二掃描線；排列成垂直或實質上垂直於所述第一掃描線及所述第

二掃描線的第一信號線及第二信號線；以及其閘極電連接到所述第一掃描線，其源極和汲極中的一者係電連接到所述第一信號線，其源極和汲極中的另一者係電連接到像素電極層的具備氧化物半導體層的電晶體。另外，所述像素電極層係設置在由所述第一掃描線、所述第二掃描線、所述第一信號線及所述第二信號線所圍繞的區域中。並且，所述第一信號線及所述第二信號線隔著設置在所述第一掃描線及所述第二掃描線上的絕緣層而與所述第一掃描線及所述第二掃描線相交叉，所述第一信號線在與所述第一掃描線交叉的第一區域及與所述第二掃描線交叉的第二區域中，其上表面具有凸面形狀。再者，並在所述第一區域與所述第二區域之間的區域中，其上表面具有平面形狀或實質上平面形狀。也就是說，所述第一信號線的上表面在所述第一區域與第二區域之間的整個區域中，在相同平面上或實質上相同平面上存在。

在本發明的一個實施例的液晶顯示裝置中，作為設置在各像素中的電晶體，應用具備氧化物半導體層的電晶體。由此，可以去除設置在各像素中的電容器。明確而言，當該液晶顯示裝置是具有60 ppi或60 ppi以上的解析度的液晶顯示裝置時，即使在各像素中不設置電容器也可以保持施加到液晶元件的電壓。由此，可以提高各像素中的孔徑比。另外，與此附隨可以去除延伸到液晶顯示裝置的像素部的電容佈線。換言之，該液晶顯示裝置是信號線的寄生電容降低的液晶顯示裝置。因此，在本發明的一個實施

例的液晶顯示裝置中，與現有的液晶顯示裝置相比，可以提高信號線的驅動頻率。也就是說，本發明的一個實施例的液晶顯示裝置最好用作為進行倍速驅動或以上的驅動的液晶顯示裝置。

【實施方式】

下面，參照附圖對本發明的實施例進行詳細說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其模式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限在以下所示的實施例所記載的內容中。

（像素的結構例子）

首先，參照圖1A至圖1C對本發明的一個實施例的液晶顯示裝置所具有的像素的結構例子進行說明。明確而言，參照圖1A至圖1C對具有藉由設置有像素電極的一個基板及設置有對置電極的另一個基板夾持液晶材料的結構的液晶顯示裝置（將垂直電場施加到液晶材料的液晶顯示裝置）的像素的結構例子進行說明。

圖1A是像素的俯視圖。另外，在圖1A中示出省略液晶元件的部件（液晶層、對置電極等）的圖（示出所謂的主動矩陣基板）。圖1A所示的像素100係設置在由排列成彼此平行或實質上平行的掃描線101、102及排列成垂直或

實質上垂直於掃描線 101、102 的信號線 103、104 所圍繞的區域中。另外，在像素 100 中，設置有電晶體 105 和像素電極層 107。換言之，圖 1A 所示的像素 100 具有從圖 13A 所示的像素 1000 去除至於電容器 1006 的構成要素的結構。

圖 1B 是示出沿著圖 1A 所示的線 E-F 的剖面的圖。電晶體 105 包括：設置在基板 110 之上的閘極層 111；設置在閘極層 111 之上的閘極絕緣層 112；設置在閘極絕緣層 112 之上的氧化物半導體層 113；設置在氧化物半導體層 113 的一端之上的源極層和汲極層中的一者 114a；以及設置在氧化物半導體層 113 的另一端之上的源極層和汲極層中的另一者 114b。另外，圖 1A 和圖 1B 所示的電晶體 105 作為閘極利用掃描線 101 的突出部分，而作為源極和汲極中的一者利用信號線 103 的突出部分。因此，在圖 1A 和圖 1B 所示的電晶體 105 中，也可以表達為其閘極是掃描線 101 的一部分，而源極和汲極中的一者是信號線 103 的一部分。並且，源極層和汲極層中的另一者 114b 在設置在電晶體 105 之上的絕緣層 115 中形成的接觸孔 116 中，電連接到像素電極層 107。

圖 1C 是示出沿著圖 1A 所示的線 G-H 的剖面的圖。信號線 103 隔著絕緣層（閘極絕緣層 112）在區域 117a 中與掃描線 101，在區域 117c 中與掃描線 102 相交叉。因此，信號線 103 在區域 117a、117c 中，其上表面具有凸面形狀。再者，信號線 103 在區域 117a 與區域 117c 之間的區域 117b 中，其上表面具有平面形狀或實質上平面形狀。也就是說，信

號線 103 的上表面在區域 117a 與 117c 之間的整個區域 117b 中，在相同平面上或實質上相同平面上存在。這是由於在具有像素 100 的液晶顯示裝置中不設置電容佈線而引起的。注意，當然信號線 104 也具有與信號線 103 相同的上表面形狀。

如上所述，圖 1A 至圖 1C 所示的電晶體 105 作為半導體層具備氧化物半導體層 113。作為用於氧化物半導體層 113 的氧化物半導體，可以使用：為四元金屬氧化物的 In-Sn-Ga-Zn-O 類；為三元金屬氧化物的 In-Ga-Zn-O 類、In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類；為二元金屬氧化物的 In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、Zn-Mg-O 類、Sn-Mg-O 類、In-Mg-O 類；或者為單元金屬氧化物的 In-O 類、Sn-O 類、Zn-O 類等。此外，上述氧化物半導體也可以包含 SiO₂。在此，例如 In-Ga-Zn-O 類氧化物半導體是指至少包含 In、Ga 和 Zn 的氧化物，且對其組成比沒有特別的限制。此外，也可以包含 In、Ga 和 Zn 以外的元素。

另外，作為氧化物半導體層 113，可以使用以化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的薄膜。在此，M 表示選自 Ga、Al、Mn 及 Co 中的一種或多種金屬元素。例如，作為 M，可以採用 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co 等。

上述氧化物半導體是為抑制其電特性變動，藉由意圖性地去除成為變動因素的氫、水分、羥基或氫化物（也稱為氫化合物）等的雜質來得到高度純化以及電性 I 型（

本徵)化的氧化物半導體。

因此，氧化物半導體中的氫越少越好。另外，在得到高度純化的氧化物半導體層中，源自於氫或氧缺陷等的載子極少（近於0），載子密度為低於 $1 \times 10^{12}/\text{cm}^3$ ，最好為低於 $1 \times 10^{11}/\text{cm}^3$ 。也就是說，將氧化物半導體層中的源自於氫或氧缺陷等的載子密度設定為儘量近於0。因為在氧化物半導體層中，源自於氫或氧缺陷等的載子極少，所以可以降低電晶體處於截止狀態時的洩漏電流（截止電流）。截止電流越少越好。將上述氧化物半導體用作為半導體層的電晶體的每個通道寬度(w)1 μm 的電流值為100 zA/ μm (zeptoampere)或100 zA/ μm 以下，10 zA/ μm 或10 zA/ μm 以下，或者1 zA/ μm 或1 zA/ μm 以下。並且，由於沒有pn接面和熱載子劣化，因此電晶體的電特性不受到這些因素的影響。

像這樣，將藉由徹底去除包含在氧化物半導體層中的氫而得到高度純化的氧化物半導體用作為通道形成區的電晶體可以使其截止電流為極小。也就是說，在電晶體的非導通狀態下，可以將氧化物半導體層看作是絕緣體而進行電路設計。另一方面，氧化物半導體層在電晶體的導通狀態下，可以期待比由非晶矽形成的半導體層高的電流供應能力。

作為基板110，可以使用鋇硼矽酸鹽玻璃或硼矽酸鋁玻璃等的玻璃基板。

在電晶體105中，也可以將用作為基底膜的絕緣膜設

置在基板 110 與閘極層 111 之間。基底膜具有防止雜質元素從基板 110 擴散出的功能，並且可以使用由選自氮化矽膜、氧化矽膜、氮氧化矽膜或氧氮化矽膜中的一種或多種膜所構成的疊層結構來予以形成。

作為閘極層 111 的材料，可以使用：選自鋁（Al）、銅（Cu）、鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、釷（Sc）中的元素；以上述元素為成分的合金；或者以上述元素為成分的氮化物。另外，也可以使用這些材料的疊層結構。

作為閘極絕緣層 112，可以使用如下絕緣體：藉由利用電漿 CVD 法或濺射法等來形成的氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、氧化鋁層、氮化鋁層、氧氮化鋁層、氮氧化鋁層或氧化鉛層等。另外，也可以採用由這些絕緣體構成的疊層結構。例如，作為第一閘極絕緣層，可以藉由電漿 CVD 法而形成厚度為大於或等於 50 nm 且小於或等於 200 nm 的氮化矽層（ $\text{SiN}_y(y>0)$ ），並作為第二閘極絕緣層，可以在第一閘極絕緣層之上層疊厚度為大於或等於 5 nm 且小於或等於 300 nm 的氧化矽層（ $\text{SiO}_x(x>0)$ ）。

作為源極層和汲極層中的一者 114a、源極層和汲極層中的另一者 114b 的材料，可以使用：選自鋁（Al）、鉻（Cr）、銅（Cu）、鉭（Ta）、鈦（Ti）、鉬（Mo）、鎢（W）中的元素；以上述元素為成分的合金；或者以上述元素為成分的氮化物。另外，也可以使用這些材料的疊層結構。此外，還可以採用在鋁（Al）、銅（Cu）等的金屬

層的下側或上側的一者或兩者層疊鈦 (Ti)、鉬 (Mo)、鎢 (W) 等的高熔點金屬層的結構。另外，也可以藉由使用添加有防止在鋁 (Al) 膜中產生小丘或晶須的元素 (Si、Nd、Sc等) 的鋁合金，以提高耐熱性。

另外，在上述液晶顯示裝置中，源極層和汲極層中的一者114a是信號線103的一部分。因此，從信號線103的高速驅動的觀點來看，源極層及汲極層最好使用低電阻導電材料來予以構成，以便防止產生信號的延遲。例如，最好使用銅 (Cu) 或以銅為主要構成元素的合金等的低電阻導電材料來予以構成。另外，也可以採用包括由銅 (Cu) 或以銅為主要構成元素的合金構成的層的疊層結構。

另外，在上述液晶顯示裝置中，在像素100中不設置電容器。因此，從像素100中的資料信號的保持的觀點來看，最好將金屬氮化物應用於源極層及汲極層，以便抑制對氧化物半導體層的載子的流入。例如，最好使用氮化鈦、氮化鎢等的氮化物。另外，也可以採用如下疊層結構，即作為接觸於氧化物半導體層的層使用氮化鈦及氮化鎢等的氮化物，並在其上層形成其他導電層。例如，可以採用氮化鎢和銅 (Cu) 的疊層結構。

另外，作為成為源極層和汲極層中的一者114a、源極層和汲極層中的另一者114b (包括使用與這些層相同的層所形成的佈線層) 的導電膜，也可以使用導電金屬氧化物來予以形成。作為導電金屬氧化物，可以使用氧化銦 (In_2O_3)、氧化錫 (SnO_2)、氧化鋅 (ZnO)、氧化銦氧化

錫 ($\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫為ITO)、氧化銦氧化鋅 ($\text{In}_2\text{O}_3\text{-ZnO}$) 或使這些金屬氧化物包含氧化矽的金屬氧化物。

作為絕緣層115，典型上可以使用無機絕緣膜，諸如氧化矽膜、氮化矽膜、氧化鋁膜或氮化鋁膜等。

另外，可以在絕緣層115之上形成無機絕緣膜，諸如氮化矽膜、氮化鋁膜、氮氧化矽膜、氮氧化鋁膜等。

並且，也可以在絕緣層115之上形成平坦化絕緣膜，以便減少起因於電晶體105的表面凹凸不平。作為平坦化絕緣膜，可以使用聚醯亞胺、丙烯酸樹脂、苯並環丁烯類樹脂等的有機材料。此外，除了上述有機材料之外，還可以使用低介電常數材料 (low-k材料) 等。另外，也可以藉由層疊多個由這些材料形成的絕緣膜以形成平坦化絕緣膜。

(電晶體105的截止電流(off-state current))

接著，對算出具備得到高度純化的氧化物半導體層的電晶體的截止電流的結果進行說明。

首先，考慮到具備得到高度純化的氧化物半導體層的電晶體的截止電流十分小的情況，準備其通道寬度W足夠大(即1 μm)的電晶體而進行截止電流的測量。圖2示出測量其通道寬度W為1 μm 的電晶體的截止電流的結果。在圖2中，橫軸表示閘極電壓 V_G ，並且縱軸表示漏電流 I_D 。可知當汲極電壓 V_D 為+1 V或+10 V時，在閘極電壓 V_G 為-5 V至-20 V的範圍內，電晶體的截止電流係小於或等於為檢

測限度的 $1 \times 10^{-12} \text{A}$ 。此外，也可知電晶體的截止電流密度（在此，每單位通道寬度 ($1 \mu\text{m}$) 的值）為低於或等於 $1 \text{aA}/\mu\text{m}$ ($1 \times 10^{-18} \text{A}/\mu\text{m}$)。

接著，對更準確地算出具備得到高度純化的氧化物半導體層的電晶體的截止電流的結果進行說明。如上所述，可知具備得到高度純化的氧化物半導體層的電晶體的截止電流係小於或等於為測量器的檢測限度的 $1 \times 10^{-12} \text{A}$ 。因此，對製造特性評價用元件，並算出更準確的截止電流的值（上述測量中的測量器的檢測限度以下的值）的結果進行說明。

首先，參照圖 3 對用於電流測量方法的特性評價用元件進行說明。

在圖 3 所示的特性評價用元件中，三個測量系統 800 係並聯連接。測量系統 800 包括：電容器 802；電晶體 804；電晶體 805；電晶體 806；以及電晶體 808。作為電晶體 804、電晶體 808，使用具備得到高度純化的氧化物半導體層的電晶體。

在測量系統 800 中，電晶體 804 的源極和汲極中的一者、電容器 802 的一個端子、電晶體 805 的源極和汲極中的一者係連接到電源（施加 V_2 的電源）。此外，電晶體 804 的源極和汲極中的另一者、電晶體 808 的源極和汲極中的一者、電容器 802 的另一個端子、電晶體 805 的閘極彼此電連接。另外，電晶體 808 的源極和汲極中的另一者、電晶體 806 的源極和汲極中的一者、電晶體 806 的閘極電連接到電

源（施加 V_1 的電源）。此外，電晶體 805 的源極和汲極中的另一者及電晶體 806 的源極和汲極中的另一者係電連接到輸出端子。

注意，對電晶體 804 的閘極供應控制電晶體 804 的導通狀態和截止狀態的電位 V_{ext_b2} ，並且，對電晶體 808 的閘極供應控制電晶體 808 的導通狀態和截止狀態的電位 V_{ext_b1} 。此外，從輸出端子輸出電位 V_{out} 。

接著，對使用上述特性評價用元件的電流測量方法進行說明。

首先，對為了測量截止電流而賦予電位差的初期期間的概況進行說明。在初期期間中，對電晶體 808 的閘極輸入使電晶體 808 成為導通狀態的電位 V_{ext_b1} ，對電連接到電晶體 804 的源極和汲極中的另一者的節點（也就是說，電連接到電晶體 808 的源極和汲中的一者、電容器 802 的另一個端子及電晶體 805 的閘極的節點），亦即節點 A 施加電位 V_1 。在此，將電位 V_1 例如設定為高電位。此外，使電晶體 804 處於截止狀態。

然後，對電晶體 808 的閘極輸入使電晶體 808 成為截止狀態的電位 V_{ext_b1} ，使電晶體 808 成為截止狀態。在使電晶體 808 成為截止狀態後，使電位 V_1 成為低電位。在此，也使電晶體 804 處於截止狀態。此外，將電位 V_2 設定為與電位 V_1 相同的電位。藉由上述步驟，初期期間結束。在初期期間結束的狀態下，在節點 A 及電晶體 804 的源極和汲極中的一者之間發生電位差，並且，在節點 A 及電晶體 808 的

源極和汲極中的另一者之間發生電位差，所以在電晶體 804及電晶體 808中流過很少電荷。也就是說，發生截止電流。

接著，對截止電流的測量期間的概況進行說明。在測量期間中，將電晶體 804的源極和汲極中的一者的電位（ V_2 ）及電晶體 808的源極和汲極中的另一者的電位（ V_1 ）固定為低電位。另一方面，在測量期間中，不固定上述節點 A 的電位（將其設定為浮動狀態）。由此，在電晶體 804、電晶體 808中流過電荷，並且，隨著時間的經過而保持於節點 A 的電荷量變化。並且，隨著保持於節點 A 的電荷量的變化而節點 A 的電位變化。也就是說，輸出端子的輸出電位 V_{out} 也變化。

圖 4 示出上述賦予電位差的初始期間及此後的測量期間中的各電位的關係的詳細情況（時序圖）。

在初期期間中，首先，將電位 V_{ext_b2} 設定為使電晶體 804 成為導通狀態的電位（高電位）。由此，節點 A 的電位成為 V_2 即低電位（ V_{SS} ）。另外，將低電位（ V_{SS} ）施加到節點 A 不是必須要的。然後，將電位 V_{ext_b2} 設定為使電晶體 804 成為截止狀態的電位（低電位），以使電晶體 804 成為截止狀態。接著，將電位 V_{ext_b1} 設定為使電晶體 808 成為導通狀態的電位（高電位）。由此，節點 A 的電位成為 V_1 即高電位（ V_{DD} ）。然後，將電位 V_{ext_b1} 設定為使電晶體 808 成為截止狀態的電位。由此，節點 A 成為浮動狀態，而初期期間結束。

在此後的測量期間中，將電位 V_1 及電位 V_2 設定為電荷流過到節點 A 或從節點 A 流出電荷的電位。在此，將電位 V_1 及電位 V_2 設定為低電位（ V_{SS} ）。但是，由於在測量輸出電位 V_{out} 的時序中必須要使輸出電路操作，所以有時將 V_1 暫時設定為高電位（ V_{DD} ）。注意，將 V_1 設定為高電位（ V_{DD} ）的期間是不影響到測量程度的短期間。

當如上所述賦予電位差而開始測量期間時，隨著時間的經過而保持於節點 A 的電荷量變化，因此節點 A 的電位變化。這意味著電晶體 805 的閘極的電位變化的情況，所以隨著時間的經過而輸出端子的輸出電位 V_{out} 的電位也變化。

下面說明從所得到的輸出電位 V_{out} 算出截止電流的方法。

在算出截止電流之前求得節點 A 的電位 V_A 和輸出電位 V_{out} 的關係。由此，可以從輸出電位 V_{out} 求得節點 A 的電位 V_A 。根據上述關係，節點 A 的電位 V_A 作為輸出電位 V_{out} 的函數而可以用如下算式表示。

[算式 1]

$$V_A = F(V_{out})$$

此外，節點 A 的電荷 Q_A 利用節點 A 的電位 V_A 、連接到節點 A 的電容 C_A 、常數（const）而用如下算式表示。在此，連接到節點 A 的電容 C_A 是電容器 802 的電容和其他電容的總和。

[算式 2]

$$Q_A = C_A V_A + const$$

因為節點 A 的電流 I_A 是流過到節點 A 的電荷（或者從節點 A 流出的電荷）的時間微分，所以節點 A 的電流 I_A 用如下算式表示。

[算式 3]

$$I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

因此，根據連接到節點 A 的電容 C_A 和輸出端子的輸出電位 V_{out} ，可以求得節點 A 的電流 I_A 。

根據上述方法，可以測量在截止狀態下流過在電晶體的源極和汲極之間的洩漏電流（截止電流）。

在此，製造具備通道長度 L 為 $10\mu\text{m}$ 且通道寬度 W 為 $50\mu\text{m}$ 的得到高度純化的氧化物半導體層的電晶體 804 和 808。此外，在並聯連接的各測量系統 800 中，將電容器 802 的各電容值設定為 100 fF ， 1 pF ， 3 pF 。

注意，在上述測量中，設定為 $V_{DD}=5\text{ V}$ 且 $V_{SS}=0\text{ V}$ 。此外，在測量期間中，將電位 V_1 原則設定為 V_{SS} ，而只在每 10 sec 至 300 sec 中的 100 msec 的期間中將電位 V_1 設定為 V_{DD} 來測量 V_{out} 。此外，將用於流過在元件中的電流 I 的算出的 Δt 設定為大約 30000 sec 。

圖 5 示出根據上述電流測量的經過時間 Time 和輸出電位 V_{out} 的關係。根據圖 5，可以確認到隨著時間的經過而電位變化的情況。

圖 6 示出利用上述電流測量來算出的室溫（ 25°C ）下

的截止電流。注意，圖6是示出電晶體804或電晶體808的源極-汲極電壓V和截止電流I之間的關係。從圖6可知，在源極-汲極電壓為4 V的條件下截止電流大約為40 zA/ μm 。此外，也可知在源極-汲極電壓為3.1 V的條件下，截止電流為小於或等於10 zA/ μm 。注意，1 zA表示 10^{-21}A 。

並且，圖7示出利用上述電流測量來算出的85°C的溫度環境下的截止電流。圖7是示出85°C的溫度環境下的電晶體804或電晶體808的源極-汲極電壓V和截止電流I之間的關係。從圖7可知，在源極-汲極電壓為3.1 V的條件下截止電流為小於或等於100 zA/ μm 。

如上所述，觀察到如下事實：在具備得到高度純化的氧化物半導體層的電晶體中，截止電流十分小。

(具有像素100的液晶顯示裝置)

在本說明書所揭示的液晶顯示裝置中，作為設置在各像素中的電晶體，應用具備氧化物半導體層的電晶體105。因為該具備氧化物半導體層的電晶體105的截止電流小，所以在該液晶顯示裝置中，即使在各像素中不設置電容器也可以保持施加到液晶元件的電壓。由此，可以提高各像素中的孔徑比。另外，可以去除延伸到液晶顯示裝置的像素部的電容佈線。因此，在本說明書所揭示的液晶顯示裝置中，沒有起因於電容佈線的寄生電容。明確而言，沒有隔著絕緣層信號線與電容佈線相交叉的區域中的寄生電容等。結果，在本說明書所揭示的液晶顯示裝置中，可以

提高信號線的驅動頻率。也就是說，本說明書所揭示的液晶顯示裝置最好用作為進行倍速驅動或以上的驅動的液晶顯示裝置。

並且，當進行倍速驅動或以上的驅動時，各像素中的資料信號的重寫頻率增加。也就是說，各像素中的保持施加到液晶元件的電壓的期間變短。因此，可以進一步減少施加到液晶元件的電壓的變動（各像素中的顯示的劣化（變化））。另外，當本說明書所揭示的液晶顯示裝置藉由場序制驅動方式來驅動時也可以得到同樣的效果。也就是說，對本說明書所揭示的液晶顯示裝置進行藉由場序制驅動方式的驅動是較佳的。

尤其是，本說明書所揭示的液晶顯示裝置作為大型液晶顯示裝置（例如，40英寸或40英寸以上）而利用時的效果很大。與液晶顯示裝置的大型化附隨，由於佈線電阻等的資料信號的延遲等明顯化的可能性增高。與此相反，本說明書所揭示的液晶顯示裝置藉由減少產生在信號線的寄生電容，可以降低資料信號的延遲等。另外，當小型液晶顯示裝置和大型液晶顯示裝置中的像素數相等時，大型液晶顯示裝置所具有的各像素的尺寸變大。這意味著液晶元件本身所具有的電容值變大。因此，除了將具備氧化物半導體層的電晶體105設置在各像素中之外，藉由液晶元件本身所具有的電容值變大，可以進一步減少施加到液晶元件的電壓的變動。

另外，本說明書所揭示的液晶顯示裝置作為高清晰（

像素數多)的液晶顯示裝置(例如,全高清晰度(FHD)、2K4K或40英寸以上之解析度)而利用時的效果很大。藉由與液晶顯示裝置的高清晰化(像素數的增加)附隨設置在像素部中的佈線數增加,產生在信號線的寄生電容變大的可能性增高。與此相反,在本說明書所揭示的液晶顯示裝置中不設置電容佈線,所以可以降低寄生電容的增大。另外,當在像素數多的液晶顯示裝置和像素數少的液晶顯示裝置中,該液晶顯示裝置的尺寸相等時,前者的像素部中的佈線密度變高。這意味著各像素的孔徑比降低。與此相反,在本說明書所揭示的液晶顯示裝置中,在各像素中不設置電容器,所以可以抑制孔徑比的降低。

另外,在現有的液晶顯示裝置中,各像素中的資料信號的保持特性主要根據設置在各像素中的電晶體的特性(截止電流的值)決定,但是藉由將具備得到高度純化的氧化物半導體層的電晶體105用作為設置在各像素中的電晶體,主要根據液晶元件的特性(流過在液晶元件的電流)來予以決定。換言之,在本說明書所揭示的液晶顯示裝置中,藉由液晶元件的電荷的洩漏的影響比藉由電晶體105的電荷的洩漏的影響大。因此,作為液晶元件所具有的液晶材料,最好使用其固有電阻率高的物質。明確地說,在本說明書所揭示的液晶顯示裝置中,液晶材料的固有電阻率為 $1 \times 10^{12} \Omega \cdot \text{cm}$ 或 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上,更佳為高於 $1 \times 10^{13} \Omega \cdot \text{cm}$,更佳為高於 $1 \times 10^{14} \Omega \cdot \text{cm}$ 。另外,如果考慮到雜質從配向膜及密封材料混入的可能性,則當使用該

液晶材料來構成液晶元件時的液晶元件的電阻率為 1×10^{11} $\Omega \cdot \text{cm}$ 或 1×10^{11} $\Omega \cdot \text{cm}$ 以上，最好為高於 1×10^{12} $\Omega \cdot \text{cm}$ 。注意，本說明書中的固有電阻的值是以 20°C 測量的值。

(像素的結構的變形例子)

具有上述結構的液晶顯示裝置是本發明的一個實施例，本發明還包括具有與該液晶顯示裝置不同的部分的液晶顯示裝置。

例如，在上述液晶顯示裝置中，示出在信號線 103 與掃描線 101 之間及信號線 103 與掃描線 102 之間只設置閘極絕緣層 112 的結構（參照圖 1C），但是也可以採用在信號線 103 與閘極絕緣層 112 之間設置氧化物半導體層 201 的結構（參照圖 8A）。也就是說，在形成電晶體 105 所具有的氧化物半導體層 113 的製程（微影製程及蝕刻製程）中，也可以在後面形成信號線 103 的區域中不對氧化物半導體層進行蝕刻的情況下使它殘留。像這樣，藉由在信號線 103 與閘極絕緣層 112 之間設置氧化物半導體層 201，可以進一步降低信號線 103 與掃描線 101 之間及信號線 103 與掃描線 102 之間的寄生電容。

另外，也可以採用在信號線 103 與閘極絕緣層 112 之間選擇性地設置氧化物半導體層的結構。例如，可以採用在信號線 103 與掃描線 101 相交叉的區域 117a 及信號線 103 與掃描線 102 相交叉的區域 117c 中，選擇性地設置氧化物半導體層 202a、202b 的結構（參照圖 8B）。另外，也可以採

用除了區域 117a、117c 之外，還在區域 117b 的一部分中選擇性地設置氧化物半導體層 202a、202b 的結構（參照圖 8C）。注意，在此情況下，由於信號線 103 和閘極絕緣層 112 之間的氧化物半導體層，在區域 117b 中的信號線 103 的上表面產生步階，但是在本說明書中，可以將該上表面形狀看作實質上平面形狀。換言之，在夾在起因於掃描線 101、102 及氧化物半導體層 202a、202b 的一部分的步階的區域整體中，信號線 103 和閘極絕緣層 112 直接相接觸，並且，在該區域整體中信號線 103 的上表面都在相同平面上或實質上相同平面上存在。

另外，在上述液晶顯示裝置中，示出作為設置在各像素中的電晶體應用底部閘極結構的電晶體的一種的通道蝕刻型電晶體 105 的結構（參照圖 1B），但是也可以應用具有其他結構的電晶體。例如，可以應用底部閘極結構的電晶體的一種的通道阻絕型電晶體 210（參照圖 9A），或者底部閘極結構的電晶體的一種的底部接觸型電晶體 220（參照圖 9B）。

明確而言，圖 9A 所示的通道阻絕型電晶體 210 包括：設置在基板 110 之上的閘極層 111；設置在閘極層 111 之上的閘極絕緣層 112；設置在閘極絕緣層 112 之上的氧化物半導體層 113；設置在氧化物半導體層 113 的中央部之上的用作為通道保護層的絕緣層 211；設置在氧化物半導體層 113 的一端及絕緣層 211 的一端之上的源極層和汲極層中的一者 114a；以及設置在氧化物半導體層 113 的另一端及絕緣

層 211 的另一端之上的源極層和汲極層中的另一者 114b。另外，絕緣層 211 可以使用無機絕緣膜，諸如氧化矽膜、氮化矽膜、氧化鋁膜或氮化鋁膜等來予以形成。

另外，圖 9B 所示的底接觸型電晶體 220 包括：設置在基板 110 之上的閘極層 111；設置在閘極層 111 之上的閘極絕緣層 112；設置在閘極絕緣層 112 之上的源極層和汲極層中的一者 114a 及源極層和汲極層中的另一者 114b；以及設置在源極層和汲極層中的一者 114a 的一端之上、源極層和汲極層中的另一者 114b 的一端之上及閘極絕緣層 112 之上的氧化物半導體層 113。

並且，當設置在各像素中的電晶體為通道阻絕型電晶體 210 時，可以採用在信號線 103 和閘極絕緣層 112 之間設置絕緣層 212 的結構（參照圖 9C）。注意，絕緣層 212 是使用與電晶體 210 所具有的用作為通道保護層的絕緣層 211 相同的材料而形成的絕緣層。另外，也可以採用在閘極絕緣層 112 和絕緣層 212 之間設置氧化物半導體層的結構（未圖示出）。注意，該氧化物半導體層是使用與電晶體 210 所具有的氧化物半導體層 113 相同的材料而形成的氧化物半導體層。並且，也可以採用只在掃描線 101 和掃描線 102 之上選擇性地設置該氧化物半導體層及該絕緣層的結構（未圖示出）。

另外，也可以作為電晶體 105 應用頂部閘極型電晶體 230（參照圖 10A）。明確而言，圖 10A 所示的頂部閘極型電晶體 230 包括：設置在基板 110 之上的基底絕緣層 231；

設置在基底絕緣層 231 之上的氧化物半導體層 113；設置在氧化物半導體層 113 之上的閘極絕緣層 112；設置在閘極絕緣層 112 之上的閘極層 111；在設置在氧化物半導體層 113 及閘極層 111 之上的絕緣層 232 中形成的接觸孔 233a 中接觸於氧化物半導體層 113 的源極層和汲極層中的一者 114a；以及在設置在氧化物半導體層 113 及閘極層 111 之上的絕緣層 232 中形成的接觸孔 233b 中接觸於氧化物半導體層 113 的源極層和汲極層中的另一者 114b。並且，源極層和汲極層中的另一者 114b 在設置在電晶體 230 之上的絕緣層 234 中形成的接觸孔 235 中電連接到像素電極層 107。在此情況下，信號線 103 在區域 117a、117c 中，隔著絕緣層 232 而與掃描線 101、102 相交叉（參照圖 10B）。另外，基底絕緣層 231 可以使用由選自氮化矽膜、氧化矽膜、氮氧化矽膜或氧氮化矽膜中的一種或多種膜所構成的疊層結構來予以形成。此外，絕緣層 232 可以使用由選自氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜、氮氧化鋁膜或氧化鉛膜等的無機絕緣體中的一種或多種膜所構成的疊層結構來予以形成。此外，絕緣層 234 可以使用與絕緣層 232 相同的無機絕緣體膜或聚醯亞胺、丙烯樹脂、苯並環丁烯類樹脂等的有機材料來予以形成。

另外，在上述液晶顯示裝置中，示出設置在各像素中的電晶體的數目為一個的結構，但是也可以採用在各像素中設置兩個以上的電晶體的結構。例如，在爲了 VA（垂直定向）方式的液晶顯示裝置的有關視角的問題的措施，

兩個電晶體被設置在各像素中的情況下，可以被使用作為該兩個電晶體應用具備氧化物半導體層的電晶體。在此，該液晶顯示裝置可以表達為在各像素中具有藉由電晶體的兩個漏洩路徑的液晶顯示裝置。因此，在現有的液晶顯示裝置中，藉由在各像素中設置兩個電容器等，增大電容器的面積以保持施加到液晶元件的電壓。換言之，犧牲孔徑比而保持施加到液晶元件的電壓。與此相反，在本說明書所揭示的液晶顯示裝置中，藉由大大地降低隔著具備氧化物半導體層的電晶體的電荷的漏洩，可以去除電容器本身。也就是說，可以說本說明書所揭示的液晶顯示裝置是即使在各像素中設置多個電晶體也可以維持高孔徑比的液晶顯示裝置。

（電晶體的製造方法的特定例子）

下面，作為設置在本說明書所揭示的液晶顯示裝置的各像素中的電晶體的一個例子，參照圖 11A 至圖 11D 對底部閘極結構的一種的通道蝕刻型電晶體 410 的製造過程進行說明。另外，雖然在此示出單閘極結構的電晶體，但是也可以根據需要形成具有多個通道形成區的多閘極結構的電晶體。

下面，參照圖 11A 至圖 11D，對在基板 400 之上製造電晶體 410 的製程進行說明。

首先，在具有絕緣表面的基板 400 之上形成導電膜之後，利用第一微影製程來形成閘極層 411。另外，在該製

程中使用的抗蝕劑掩模也可以使用噴墨法來予以形成。因為當使用噴墨法來形成抗蝕劑掩模時不使用光罩，所以可以降低製造成本。

雖然對可用於具有絕緣表面的基板 400 的基板沒有很大的限制，但是至少必須要具有能夠承受後續的加熱處理程度的耐熱性。例如，可以使用鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃等的玻璃基板。另外，當後續的加熱處理的溫度較高時，作為玻璃基板最好使用應變點為高於或等於 730 °C 的玻璃基板。

也可以在基板 400 和閘極層 411 之間設置用做為基底層的絕緣層。基底層具有防止雜質元素從基板 400 擴散出的功能，並可以採用選自氮化矽膜、氧化矽膜、氮氧化矽膜和氧氮化矽膜中的一種或多種膜的疊層結構來予以形成。

另外，作為閘極層 411，可使用鉬、鈦、鉻、鉍、鎢、鋁、銅、鈹、或鈳等的金屬或以上述金屬材料為主要組分的合金的單層或疊層來予以形成。

例如，作為閘極層 411 的雙層的疊層結構，最好採用：在鋁層之上層疊鉬層的雙層結構；在銅層之上層疊鉬層的雙層結構；在銅層之上層疊氮化鈦層或氮化鉍層的雙層結構；或者層疊氮化鈦層和鉬層的雙層結構。作為三層的疊層結構，最好採用鎢層或氮化鎢層、鋁和矽的合金層或鋁和鈦的合金層及氮化鈦層或鈦層的疊層。

接著，在閘極層 411 之上形成閘極絕緣層 402。

閘極絕緣層 402 可以利用電漿 CVD 法或濺射法等並使

用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層或氧化鋁層的單層或疊層來予以形成。例如，作為沉積氣體使用矽烷（ SiH_4 ）、氧及氮並利用電漿 CVD 法以形成氧氮化矽層即可。此外，作為閘極絕緣層 402 可以使用氧化鈦（ HfO_x ）、氧化鉭（ TaO_x ）等高 k 材料。將閘極絕緣層 402 的厚度設定為 100 nm 到 500 nm（包含本身），當採用疊層時，例如形成厚度為 50 nm 到 200 nm（包含本身）的第一閘極絕緣層，並在第一閘極絕緣層之上層疊地形成厚度為 5 nm 到 300 nm（包含本身）的第二閘極絕緣層。

這裏，作為閘極絕緣層 402 而利用電漿 CVD 法來形成氧氮化矽層。

在此，作為閘極絕緣層 402，可以使用高密度電漿裝置形成氧氮化矽層。這裏高密度電漿裝置指的是可實現高於或等於 $1 \times 10^{11} / \text{cm}^3$ 的電漿密度的裝置。例如，施加 3 kW 至 6 kW 的微波電力來產生電漿以便形成絕緣層。

在反應室中，作為材料氣體引入矽烷（ SiH_4 ）、一氧化二氮（ N_2O ）及稀有氣體，在 10 Pa 至 30 Pa 的壓力下產生高密度電漿而在玻璃等的具有絕緣表面的基板之上形成絕緣層。然後，停止矽烷（ SiH_4 ）的供應，也可以在不使絕緣層暴露於空氣的條件下引入一氧化二氮（ N_2O ）和稀有氣體對絕緣層表面進行電漿處理。藉由上述製程形成的絕緣層是即使其厚度薄也可以確保電晶體的可靠性的絕緣層。

當形成閘極絕緣層 402 時，引入到反應室中的矽烷（

SiH_4) 和一氧化二氮 (N_2O) 的流量比在 1 : 10 至 1 : 200 的範圍內。此外，作為引入到反應室中的稀有氣體，可以使用氦、氬、氪、氙等。尤其，最好使用廉價的氬。

另外，由於利用高密度電漿設備而得到的絕緣層可以形成為一定的厚度所以具有優越的步階覆蓋性。另外，利用高密度電漿設備而得到的絕緣層，可以對薄絕緣膜的厚度進行精密的控制。

利用上述製程所形成的絕緣層與現有的利用習知平行平板型電漿 CVD 設備而得到的絕緣層大不一樣。當使用相同的蝕刻劑對蝕刻速度進行比較時，利用上述製程形成的絕緣層的蝕刻速度比利用平行平板型電漿 CVD 設備而得到的絕緣膜的蝕刻速度慢 10% 或 10% 以上或者 20% 或 20% 以上，由此可以說利用高密度電漿裝置得到的絕緣層是緻密的膜。

另外，由於藉由後續的製程被 I 型化或實質上被 I 型化的氧化物半導體（被高度純化的氧化物半導體）對介面狀態、介面電荷非常敏感，所以其與閘極絕緣層之間的介面十分重要。因此，要求接觸於被高度純化的氧化物半導體的閘極絕緣層的高品質化。由此，由於使用微波（2.45 GHz）的高密度電漿 CVD 設備可以形成緻密且絕緣耐壓高的高品質的絕緣膜，所以是較佳的。藉由使被高度純化的氧化物半導體與高品質的閘極絕緣層相接觸，可以降低介面狀態密度並使介面特性良好。重要的是：除了作為閘極絕緣層的膜性質良好以外，還能夠降低與氧化物半導體之

間的介面狀態密度並形成良好的介面。

接著，在閘極絕緣層 402 之上形成厚度為 2 nm 至 200 nm 的氧化物半導體膜 430。另外，較佳的是，在利用濺射法而形成氧化物半導體膜 430 之前，進行引入氬氣體來產生電漿的反向濺射，以去除附著到閘極絕緣層 402 表面的粉狀物質（也稱為微粒、塵屑）。反向濺射是指不對靶材側施加電壓而使用 RF 電源在氬氛圍中對基板側施加電壓來在基板附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氦、氧等代替氬氛圍。

氧化物半導體膜 430 使用 In-Ga-Zn-O 類、In-Sn-O 類、In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、In-O 類、Sn-O 類、Zn-O 類的氧化物半導體膜。這裏，作為氧化物半導體膜 430 使用 In-Ga-Zn-O 類金屬氧化物靶材並利用濺射法來予以形成。圖 11A 相當於這個階段的剖面圖。此外，可以在稀有氣體（典型上是氬）氛圍下、氧氛圍下或稀有氣體（典型上是氬）及氧的混合氛圍下利用濺射法形成氧化物半導體膜 430。另外，當使用濺射法時，也可以使用含有 2 wt% 至 10 wt% 的 SiO₂ 的靶材來進行沉積，而使氧化物半導體膜 430 含有阻礙晶化的 SiO_x (X>0)，以防止在後續的製程中進行用於脫水化或脫氫化的加熱處理時被晶化。

這裏，使用包含 In、Ga 及 Zn 的金屬氧化物靶材（In₂O₃:Ga₂O₃:ZnO=1:1:1[mol]、In:Ga:Zn=1:1:0.5[atom]）

並以如下條件下進行成膜：基板和靶材之間的距離是 100 mm；壓力是 0.2 Pa；直流（DC）電源是 0.5 kW；氬及氧（氬：氧 = 30 sccm:20 sccm，氧流量比率 40%）氛圍下。此外，藉由使用脈衝直流（DC）電源，可以減少沉積時所產生的粉狀物質，厚度分佈亦變均勻，所以是較佳的。將 In-Ga-Zn-O 類膜的厚度設定為 2 nm 至 200 nm。這裏，作為氧化物半導體膜，使用 In-Ga-Zn-O 類金屬氧化物靶材利用濺射法形成厚度為 20 nm 的 In-Ga-Zn-O 類膜。或者，作為含有 In、Ga 及 Zn 的金屬氧化物靶材，可以使用具有如下組成比的金屬氧化物靶材：In:Ga:Zn=1:1:1[atom] 或 In:Ga:Zn=1:1:2[atom]。

在濺射法中，有作為濺射電源而使用高頻電源的 RF 濺射法、DC 濺射法，並且還有以脈衝方式施加偏壓的脈衝 DC 濺射法。RF 濺射法主要用來形成絕緣膜，而 DC 濺射法主要用來形成金屬膜。

此外，還有可以設置多個材料不同的靶材的多源濺射裝置。多源濺射裝置既可以在同一反應室中層疊形成不同材料的膜，又可以在同一反應室中使多種材料同時放電而進行成膜。

此外，還有利用如下濺射法的濺射裝置：在反應室內具備磁石機構的磁控管濺射法；利用不使用輝光放電而使用微波來產生的電漿的 ECR 濺射法。

另外，作為使用濺射法的沉積方法，有如下方法：在沉積時使靶材物質與濺射氣體產生化學反應而形成它們的

化合物薄膜的反應濺射法；在沉積時對基板也施加電壓的偏壓濺射法。

接著，利用第二微影製程而將氧化物半導體膜 430 加工為島狀氧化物半導體層。另外，該製程中使用的抗蝕劑掩模可以利用噴墨法形成。當利用噴墨法形成抗蝕劑掩模時不使用光罩，因此可以降低製造成本。

接著，對氧化物半導體層進行脫水化或脫氫化。將用於進行脫水化或脫氫化的第一加熱處理的溫度設定為高於或等於 400°C 且低於或等於 750°C，最好為高於或等於 400°C 且低於基板的應變點。這裏，將基板放入作為加熱處理設備其中之一的電爐中，在氮氛圍下以 450°C 對氧化物半導體層進行 1 小時的加熱處理之後，為了防止水、氫再次混入到氧化物半導體層，在不使其接觸於空氣的情況下進行冷卻，由此而得到氧化物半導體層 431（參照圖 11B）。

注意，加熱處理設備不侷限於電爐而可以具備利用由電阻加熱器等的加熱器的熱傳導或熱輻射對待處理物進行加熱的設備。例如，可以使用 GRTA（氣體快速熱退火）裝置、LRTA（燈快速熱退火）裝置等的 RTA（快速熱退火）設備。LRTA 設備是藉由鹵素燈、金鹵燈、氬弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的燈發射的光（電磁波）輻射來加熱待處理物的設備。GRTA 設備是指使用高溫氣體進行加熱處理的設備。作為氣體，使用如氬等的稀有氣體或像氮那樣的即使進行加熱處理也不會與待處理物起反應的惰性氣體。

例如，作為第一加熱處理可以進行GRTA，其中，將基板移動到加熱到高溫，亦即650°C至700°C的惰性氣體中，進行幾分鐘的加熱，然後將基板從加熱到高溫的惰性氣體中取出。藉由使用GRTA可以在短時間內進行高溫加熱處理。

另外，在第一加熱處理中，最好氮或氦、氖、氬等的稀有氣體中不含有水、氫等。另外，最好將引入加熱處理設備中的氮或氦、氖、氬等的稀有氣體的純度設定為6N（99.9999%）或6N以上，最好設定為7N（99.99999%）或7N以上（亦即，將雜質濃度設定為1 ppm或1 ppm以下，最好設定為0.1 ppm或0.1 ppm以下）。

另外，也可以對被加工為島狀氧化物半導體層之前的氧化物半導體膜430進行第一加熱處理。此時，在進行第一加熱處理之後，從加熱設備取出基板，並進行第二微影製程。

對氧化物半導體層進行的脫水化、脫氫化的加熱處理，可以在以下任一個製程之後進行：形成氧化物半導體層之後；在氧化物半導體層之上層疊源極電極層及汲極電極層之後；或者在源極電極層及汲極電極層之上形成保護絕緣膜之後。

另外，在閘極絕緣層402中形成開口部時，該製程也可以在對氧化物半導體膜430進行脫水化或脫氫化處理之前或者之後進行。

另外，這裏的氧化物半導體膜430的蝕刻不限定於濕

式蝕刻，也可以採用乾式蝕刻。

作為用於乾式蝕刻的蝕刻氣體，最好採用含有氯的氣體（氯類氣體，例如氯(Cl_2)、三氯化硼(BCl_3)、四氯化矽(SiCl_4)、四氯化碳(CCl_4)等)。

另外，還可以使用含有氟的氣體（氟類氣體，例如四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)、三氟甲烷(CHF_3)等)、溴化氫(HBr)、氧(O_2)或對上述氣體添加了氦(He)或氬(Ar)等的稀有氣體的氣體等。

作為乾式蝕刻法，可以使用平行平板型RIE（反應離子蝕刻）法或ICP（感應耦合電漿）蝕刻法。適當地調節蝕刻條件（施加到線圈形電極的電力量、施加到基板側的電極的電力量、基板側的電極溫度等），以可以蝕刻為所想要的加工形狀。

作為用於濕式蝕刻的蝕刻液，可以使用將磷酸、醋酸以及硝酸混合的溶液等。此外，也可以使用ITO07N（由日本關東化學公司所製造）。

另外，藉由清洗去除濕式蝕刻後的蝕刻液以及被蝕刻掉的材料。也可以對包含該被去除的材料的蝕刻液的廢液進行純化，而對包含的材料進行再利用。藉由從該蝕刻後的廢液中回收包含在氧化物半導體層中的錒等的材料並對其進行再利用，可以有效地利用資源並實現低成本化。

根據材料而適當地調節蝕刻條件（蝕刻液、蝕刻時間、溫度等），以蝕刻成所想要的加工形狀。

接著，在閘極絕緣層402及氧化物半導體層431之上形

成金屬導電膜。使用濺射法或真空蒸鍍法形成金屬導電膜即可。作為金屬導電膜的材料，可以舉出選自鋁（Al）、鉻（Cr）、銅（Cu）、鉭（Ta）、鈦（Ti）、鉬（Mo）、鎢（W）中的元素、以上述元素為成分的合金或組合上述元素的合金等。此外，也可以使用選自錳（Mn）、鎂（Mg）、銩（Zr）、鈹（Be）、釷（Y）中的任一種或多種材料。另外，金屬導電膜既可以採用單層結構又可以採用兩層以上的疊層結構。例如，可以舉出含有矽的鋁膜的單層結構、銅或以銅為主要成分的膜的單層結構、在鋁膜之上層疊鈦膜的雙層結構、在氮化鉭膜或氮化銅膜之上層疊銅膜的雙層結構、在鈦膜之上層疊鋁膜並在鋁膜之上層疊鈦膜的三層結構等。另外，也可以使用：將鋁（Al）與選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釷（Nd）、釷（Sc）中的一個或多個元素組合的膜、合金膜或氮化膜。

當在形成金屬導電膜之後進行加熱處理時，最好金屬導電膜具有能夠耐受該加熱處理的耐熱性。

利用第三微影製程在金屬導電膜之上形成抗蝕劑掩模，並藉由進行選擇性的蝕刻來形成源極層415a及汲極層415b，然後去除抗蝕劑掩模（參照圖11C）。另外，該製程中使用的抗蝕劑掩模可以利用噴墨法來予以形成。當利用噴墨法形成抗蝕劑掩模時不使用光罩，因此可以降低製造成本。

另外，當進行金屬導電膜的蝕刻時，以氧化物半導體

層 431 不被去除的方式而適當地調節各種材料及蝕刻條件。

這裏，將鈦膜用作爲金屬導電膜，將 In-Ga-Zn-O 類氧化物用作爲氧化物半導體層 431，並且將過氧化氫氨水（氨、水、過氧化氫水的混合液）用作爲蝕刻劑。

注意，在第三微影製程中，有時氧化物半導體層 431 被部分蝕刻，而成爲具有槽部（凹部）的氧化物半導體層。

此外，爲了減少用於微影製程的光罩數及製程數，也可以使用由透射過的光成爲多種強度的曝光掩模的多色調掩模所形成的抗蝕劑掩模來進行蝕刻製程。由於使用多色調掩模所形成的抗蝕劑掩模成爲具有多種厚度的形狀，且藉由進行灰化進一步改變形狀，因此可以用於加工成不同圖案的多個蝕刻製程。由此，可以使用一個多色調掩模形成至少對應於兩種以上的不同圖案的抗蝕劑掩模。由此，可以減少曝光掩模數且還可以縮減對應的微影製程，所以可以實現製程的簡化。

接著，進行使用一氧化二氮（ N_2O ）、氮（ N_2 ）或氬（Ar）等氣體的電漿處理。藉由該電漿處理去除附著在露出的氧化物半導體層的表面上的吸附水等。另外，也可以使用氧和氬的混合氣體進行電漿處理。

在進行電漿處理後，在不使氧化物半導體層接觸於空氣的情況下形成與氧化物半導體層的一部分接觸的成爲保護絕緣膜的氧化物絕緣層 416。

作為氧化物絕緣層 416，至少將其厚度形成為至少 1 nm，並適當地使用如濺射法等的不會使水、氫等的雜質混入到氧化物絕緣層 416 的方法形成即可。當氧化物絕緣層 416 中含有氫時，氫進入氧化物半導體層中從而有可能導致氧化物半導體層 431 的背通道低電阻化（N 型化）而形成寄生通道。因此，為了使氧化物絕緣層 416 儘量地不含有氫，作為沉積方法，不使用氫是十分重要的。

這裏，利用濺射法形成用作為氧化物絕緣層 416 的厚度為 200 nm 的氧化矽膜。將沉積時的基板溫度設定為室溫至 300°C（包含本身）即可，在此設定為 100°C。可以在稀有氣體（典型上是氬）氛圍下、氧氛圍下或稀有氣體（典型上是氬）和氧的氛圍下，藉由濺射法來形成氧化矽膜。另外，作為靶材，可以使用氧化矽靶材或矽靶材。例如，可以在氧及氮氛圍下使用矽靶材並利用濺射法來形成氧化矽膜。

接著，在惰性氣體氛圍下或在氧氣體氛圍下進行第二加熱處理（最好為高於或等於 200°C 且低於或等於 400°C，例如高於或等於 250°C 且高低於或等於 350°C）。例如，在氮氛圍下進行 250°C 且 1 小時的第二加熱處理。當進行第二加熱處理時，氧化物半導體層的一部分（通道形成區）以與氧化物絕緣層 416 相接觸的狀態受到加熱。由此，氧化物半導體層的一部分（通道形成區）被提供氧。另外，藉由該加熱處理，可以從氧化物半導體層使氫進入到氧化物絕緣層 416 中。

藉由上述製程，在對氧化物半導體層進行了用於脫水化或脫氫化的加熱處理之後，選擇性地使氧化物半導體層的一部分（通道形成區）成為氧過剩狀態。由此，與閘極層 411 重疊的通道形成區 413 成為 I 型，並以自對準方式而形成與源極層 415a 重疊的源極區 414a 及與汲極層 415b 重疊的汲極區 414b。藉由上述製程形成電晶體 410。

例如，在如閘極偏壓-熱應力試驗（BT 試驗）那樣的長時間暴露於高溫、高電場的條件下（例如，85℃， $2 \times 10^6 \text{ V/cm}$ 且時間為 12 小時），當在氧化物半導體中有雜質（氫等）時，雜質和氧化物半導體的主要成分之間的鍵被強電場（B：偏壓）和高溫（T：溫度）切斷，產生的懸空鍵導致閾值電壓（ V_{th} ）的漂移。鑒於這種情況，藉由極力地去除氧化物半導體的雜質，尤其是氫或水等，並使用上述高密度電漿 CVD 設備形成緻密且絕緣耐壓性高的高品質的絕緣膜以使其與氧化物半導體的介面特性良好，由此可以得到對嚴酷的外部環境也穩定的電晶體。

並且還可以在空氣中以高於或等於 100℃ 且低於或等於 200℃ 進行 1 小時至 30 小時的加熱處理。這裏，以 150℃ 進行 10 小時的加熱處理。在該加熱處理中，既可以保持一定的加熱溫度並進行加熱，又可以反覆多次進行從室溫到 100℃ 至 200℃（包含本身）的加熱溫度的升溫及從加熱溫度到室溫的降溫而進行。另外，該加熱處理還可以在形成氧化物絕緣層 416 之前在減壓下進行。藉由在減壓下進行加熱處理，可以縮短加熱時間。

另外，藉由在與汲極層 415b 重疊的氧化物半導體層中形成汲極區 414b，可以提高電晶體的可靠性。明確而言，藉由形成汲極區 414b，可以得到導電性從汲極層 415b 到汲極區 414b 及通道形成區 413 階梯性地變化的結構。

另外，作為氧化物半導體層中的源極區或汲極區，當氧化物半導體層的厚度較薄為 15 nm 或 15 nm 以下時其形成在厚度方向的整體，而當氧化物半導體層的厚度較厚為 30 nm 至 50 nm（包含本身）時，氧化物半導體層的一部分，即與源極層或汲極層相接觸的區域以及其附近被低電阻化而形成源極區或汲極區，可以使氧化物半導體層的接近閘極絕緣層的區域成為 I 型。

還可以在氧化物絕緣層 416 之上形成保護絕緣層。例如，藉由 RF 濺射法來形成氮化矽膜。由於 RF 濺射法具有高量產性，所以作為保護絕緣層的成膜方法是較佳的。保護絕緣層使用不包含水分、氫離子或 OH⁻ 等的雜質並阻擋這些雜質從外部侵入的無機絕緣膜，而可以使用氮化矽膜、氮化鋁膜、氮氧化矽膜、氧氮化鋁膜等。這裏，作為保護絕緣層，使用氮化矽膜來形成保護絕緣層 403（參照圖 11D）。

（安裝有液晶顯示裝置的各種電子裝置）

下面，參照圖 12A 至 12F 對本說明書中揭示的安裝有液晶顯示裝置的電子裝置的例子進行說明。

圖 12A 示出筆記型個人電腦，其係由主體 2201、殼體

2202、顯示部分 2203 和鍵盤 2204 等所構成。

圖 12B 示出可攜式資訊終端（PDA），在其主體 2211 中設置有顯示部 2213、外部介面 2215 及操作按鈕 2214 等。另外，作為操作用附屬部件，有觸屏筆 2212。

圖 12C 是作為電子紙的一個例子示出電子書閱讀器 2220 的圖形。電子書閱讀器 2220 係由殼體 2221 及殼體 2223 兩個殼體所構成。殼體 2221 及殼體 2223 係藉由軸部 2237 而被形成為一體，並且可以以該軸部 2237 為軸來進行開閉動作。藉由這種結構，電子書閱讀器 2220 可以像紙質書籍一樣使用。

殼體 2221 係安裝有顯示部 2225，並且殼體 2223 係安裝有顯示部 2227。顯示部 2225 及顯示部 2227 既可以採用顯示一個畫面的結構，又可以採用顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如可以在右邊的顯示部（圖 12C 中的顯示部 2225）中顯示文章，而在左邊的顯示部（圖 12C 中的顯示部 2227）中顯示影像。

此外，在圖 12C 中示出殼體 2221 具備操作部等的例子。例如，殼體 2221 具備電源開關 2231、操作鍵 2233 以及揚聲器 2235 等。利用操作鍵 2233 可以翻頁。另外，還可以採用在殼體的與顯示部同一面上設置鍵盤、指向裝置等的結構。另外，也可以採用在殼體的背面或側面具備外部連接用端子（耳機端子、USB 端子或可與 AC 轉接器及 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。此外，電子書閱讀器 2220 可以具有電子詞典的功能。

此外，電子書閱讀器 2220 也可以採用以無線的方式收發資料的結構。還可以採用以無線的方式從電子書閱讀器伺服器購買所想要的書籍資料等，然後下載的結構。

另外，電子紙可以應用於顯示資料的所有領域的裝置。例如，除了電子書閱讀器之外還可以將其用於海報、電車等交通工具的車廂廣告、信用卡等各種卡片中的顯示等。

圖 12D 是示出行動電話機的圖形。該行動電話機係由殼體 2240 及殼體 2241 的兩個殼體所構成。殼體 2241 包括顯示面板 2242、揚聲器 2243、麥克風 2244、指向裝置 2246、影像拍攝裝置用鏡頭 2247 以及外部連接端子 2248 等。另外，殼體 2240 具備對該行動電話機進行充電的太陽能電池單元 2249、外部記憶體插槽 2250 等。另外，天線係內置於殼體 2241 的內部。

顯示面板 2242 具有觸控面板功能，圖 12D 使用虛線示出作為影像被顯示出來的多個操作鍵 2245。另外，該行動電話機係安裝有用來將太陽能電池單元 2249 輸出的電壓升壓到各電路所需要的電壓的升壓電路。另外，除了上述結構以外，還可以採用內藏有非接觸 IC 晶片、小型記錄裝置等的結構。

顯示面板 2242 根據使用方式而適當地改變顯示的方向。另外，由於在與顯示面板 2242 同一面上備有影像拍攝裝置用鏡頭 2247，所以可以進行視訊電話。揚聲器 2243 及麥克風 2244 不侷限於聲音通話，還可以用於視訊電話、錄音

、再生等的用途。再者，殼體 2240 和殼體 2241 滑動而可以由如圖 12D 所示的展開狀態變為重合狀態，以便能夠實現便於攜帶的小型化。

外部連接端子 2248 能夠與 AC 轉接器或 USB 纜線等各種纜線相連接，並能夠進行充電或資料通信。另外，將記錄媒體插入到外部記憶體插槽 2250 中來可以對應更大容量的資料儲存及移動。另外，除了上述功能之外，還可以具有紅外線通信功能、電視接收功能等。

圖 12E 是示出數位相機的圖形。該數位相機係由主體 2261、顯示部 (A) 2267、取景器 2263、操作開關 2264、顯示部 (B) 2265 及電池 2266 等所構成。

圖 12F 是示出電視裝置的圖形。在電視裝置 2270 的殼體 2271 中係安裝有顯示部 2273。利用顯示部 2273 可以顯示影像。此外，在此示出利用支架 2275 支撐殼體 2271 的結構。

可以藉由利用殼體 2271 具備的操作開關或另外提供的遙控器 2280 進行電視裝置 2270 的操作。藉由利用遙控器 2280 具備的操作鍵 2279，可以進行頻道及音量的操作，並可以對在顯示部 2273 上顯示的影像進行操作。此外，也可以採用在遙控器 2280 中設置用來顯示從該遙控器 2280 輸出的資料的顯示部 2277 的結構。

另外，電視裝置 2270 最好設置有接收器或數據機等。藉由接收器，可接收一般電視廣播。此外，藉由數據機而被連接到有線或無線的通信網路，可以執行單向（從發送

者到接收者)或雙向(在發送者與接收者之間或者在接收者之間)的資料通信。

【圖式簡單說明】

在附圖中：

圖1A是示出液晶顯示裝置的像素的結構的一個例子的俯視圖，而圖1B和圖1C是示出液晶顯示裝置的像素的結構的一個例子的剖面圖；

圖2是示出電晶體的特性的圖形；

圖3是電晶體的特性評價用電路圖；

圖4是電晶體的特性評價用時序圖；

圖5是示出電晶體的特性的圖形；

圖6是示出電晶體的特性的圖形；

圖7是示出電晶體的特性的圖形；

圖8A至圖8C是示出液晶顯示裝置的像素的結構的一個例子的剖面圖；

圖9A至圖9C是示出液晶顯示裝置的像素的結構的一個例子的剖面圖；

圖10A和圖10B是示出液晶顯示裝置的像素的結構的一個例子的剖面圖；

圖11A至圖11D是示出電晶體的製造過程的一個例子的剖面圖；

圖12A至圖12F是示出電子裝置的一個例子的圖形；

圖13A是示出液晶顯示裝置的像素的結構的一個例子

的俯視圖，而圖 13B 和圖 13C 是示出液晶顯示裝置的像素的結構的一個例子的剖面圖。

【主要元件符號說明】

- 100：像素
- 101：掃描線
- 102：掃描線
- 103：信號線
- 104：信號線
- 105：電晶體
- 107：像素電極層
- 110：基板
- 111：閘極層
- 112：閘極絕緣層
- 113：氧化物半導體層
- 114a：源極層和汲極層中的一者
- 114b：源極層和汲極層中的另一者
- 115：絕緣層
- 116：接觸孔
- 117a：區域
- 117b：區域
- 117c：區域
- 201：氧化物半導體層
- 202a：氧化物半導體層

202b : 氧化物半導體層

210 : 電晶體

211 : 絕緣層

212 : 絕緣層

220 : 電晶體

230 : 電晶體

231 : 基底絕緣層

232 : 絕緣層

233a : 接觸孔

233b : 接觸孔

234 : 絕緣層

235 : 接觸孔

400 : 基板

402 : 閘極絕緣層

403 : 保護絕緣層

410 : 電晶體

411 : 閘極層

413 : 通道形成區

414a : 源極區

414b : 汲極區

415a : 源極層

415b : 汲極層

416 : 氧化物絕緣層

430 : 氧化物半導體膜

- 431：氧化物半導體層
- 800：測量系統
- 802：電容器
- 804：電晶體
- 805：電晶體
- 806：電晶體
- 808：電晶體
- 1000：像素
- 1001：掃描線
- 1002：掃描線
- 1003：信號線
- 1004：信號線
- 1005：電晶體
- 1006：電容器
- 1007：像素電極層
- 1008：電容佈線
- 1010：基板
- 1011：閘極層
- 1012：閘極絕緣層
- 1013：半導體層
- 1014a：源極層和汲極層中的一者
- 1014b：源極層和汲極層中的另一者
- 1015：絕緣層
- 1016：接觸孔

1017a : 區域
1017b : 區域
1017c : 區域
2201 : 主體
2202 : 殼體
2203 : 顯示部
2204 : 鍵盤
2211 : 主體
2212 : 觸屏筆
2213 : 顯示部
2214 : 操作按鈕
2215 : 外部介面
2220 : 電子書閱讀器
2221 : 殼體
2223 : 殼體
2225 : 顯示部
2227 : 顯示部
2231 : 電源
2233 : 操作鍵
2235 : 揚聲器
2237 : 軸部
2240 : 殼體
2241 : 殼體
2242 : 顯示面板

- 2243 : 揚聲器
- 2244 : 麥克風
- 2245 : 操作鍵
- 2246 : 指向裝置
- 2247 : 影像拍攝裝置用鏡頭
- 2248 : 外部連接端子
- 2249 : 太陽能電池單元
- 2250 : 外部記憶體插槽
- 2261 : 主體
- 2263 : 取景器
- 2264 : 操作開關
- 2265 : 顯示部 (B)
- 2266 : 電池
- 2267 : 顯示部 (A)
- 2270 : 電視裝置
- 2271 : 殼體
- 2273 : 顯示部
- 2275 : 支架
- 2277 : 顯示部
- 2279 : 操作鍵
- 2280 : 遙控器

七、申請專利範圍：

1. 一種液晶顯示裝置，包括：

排列成彼此平行或實質上平行的第一掃描線及第二掃描線；

排列成彼此平行或實質上平行的第一信號線及第二信號線；

被該第一掃描線、該第二掃描線、該第一信號線及該第二信號線所圍繞的液晶元件及電晶體，該電晶體包含閘極、第一絕緣層及半導體層；以及

第二絕緣層於該第一絕緣層之上且於該第一信號線之下，

其中，該第一信號線與該第一掃描線相交叉，使得由於該第一掃描線而在該第一信號線中形成第一步階，

其中，該第一信號線與該第二掃描線相交叉，使得由於該第二掃描線而在該第一信號線中形成第二步階，並且

其中，該第一信號線的整個上表面以位於相同平面上或實質上相同平面上的方式存在於夾置在該第一步階與該第二步階之間的區域中，以及

其中，該第二絕緣層於該區域中直接接觸該第一信號線。

2. 根據申請專利範圍第 1 項之液晶顯示裝置，

其中，該半導體層包括氧化物半導體。

3. 根據申請專利範圍第 2 項之液晶顯示裝置，

其中，該氧化物半導體包括銻、鋅及銻。

4. 根據申請專利範圍第 1 項之液晶顯示裝置，
其中，該閘極電連接到該第一掃描線。
5. 根據申請專利範圍第 1 項之液晶顯示裝置，
其中，該電晶體還包括源極及汲極，
其中，該源極和該汲極中的一者係電連接到該第一信號線，並且
其中，該源極和該汲極中的另一者係電連接到該液晶元件。
6. 根據申請專利範圍第 1 項之液晶顯示裝置，
其中，該第二絕緣層於整個該區域中直接接觸該第一信號線。
7. 一種液晶顯示裝置，包括：
排列成彼此平行或實質上平行的第一掃描線及第二掃描線；
排列成彼此平行或實質上平行的第一信號線及第二信號線；
包括閘極、第一絕緣層、半導體層、源極及汲極的電晶體，該電晶體電連接到該第一掃描線及該第一信號線；
液晶元件電連接到該電晶體；以及
第二絕緣層於該第一絕緣層之上且於該第一信號線之下，
其中，該第一信號線與該第一掃描線相交叉，使得由於該第一掃描線而在該第一信號線中形成第一步階，
其中，該第一信號線與該第二掃描線相交叉，使得由

於該第二掃描線而在該第一信號線中形成第二步階，並且

其中，該第一信號線的整個上表面以位於相同平面上或實質上相同平面上的方式存在於夾置在該第一步階與該第二步階之間的區域中，以及

其中，該第二絕緣層於該區域中直接接觸該第一信號線。

8. 根據申請專利範圍第 7 項之液晶顯示裝置，

其中，該第二絕緣層被夾置在該第一信號線與該第一掃描線之間以及在該第一信號線與該第二掃描線之間。

9. 根據申請專利範圍第 7 項之液晶顯示裝置，

其中，該第一絕緣層和該第二絕緣層被夾置在該第一信號線與該第一掃描線之間以及在該第一信號線與該第二掃描線之間。

10. 根據申請專利範圍第 9 項之液晶顯示裝置，

其中，該第二絕緣層於該區域中被夾置在該第一絕緣層與該第一信號線之間。

11. 根據申請專利範圍第 7 項之液晶顯示裝置，

其中，該半導體層包括氧化物半導體。

12. 根據申請專利範圍第 7 項之液晶顯示裝置，

其中，該半導體層包括銻、鋅及銢。

13. 根據申請專利範圍第 7 項之液晶顯示裝置，

其中，該第二絕緣層於整個該區域中直接接觸該第一信號線。

14. 一種包括多個像素的液晶顯示裝置，該多個像素

的至少其中一個像素包括：

掃描線；

信號線；

電晶體，具有閘極、第一絕緣層、源極及汲極，其中，該閘極係電連接到該掃描線，而該源極和該汲極中的一者係電連接到該信號線；

液晶元件，係電連接到該源極和該汲極中的另一者；
以及

第二絕緣層於該第一絕緣層之上及該信號線之下，
其中，該信號線與該掃描線相交叉，使得由於該掃描線而在該信號線中形成步階，

其中，該信號線的整個上表面以位於相同平面上或實質上相同平面上的方式存在於該步階與位於相鄰的像素中的步階之間的區域中，以及

其中，該第二絕緣層於該區域中直接接觸該信號線。

15. 根據申請專利範圍第 14 項之液晶顯示裝置，
其中，該第一絕緣層接觸該閘極，並且
其中，該第一絕緣層被夾置在該信號線與該掃描線之間。

16. 根據申請專利範圍第 14 項之液晶顯示裝置，
其中，該第一絕緣層和該第二絕緣層被夾置在該信號線與該掃描線之間。

17. 根據申請專利範圍第 14 項之液晶顯示裝置，
其中，該信號線於整個該區域中直接接觸該第二絕緣

層。

18. 根據申請專利範圍第 14 項之液晶顯示裝置，
其中，該第一絕緣層接觸該第二絕緣層。

19. 根據申請專利範圍第 14 項之液晶顯示裝置，
其中，該電晶體包括氧化物半導體層。

20. 根據申請專利範圍第 14 項之液晶顯示裝置，
其中，該電晶體包括包含銻、鋅及銦的氧化物半導體

層。

圖 1A

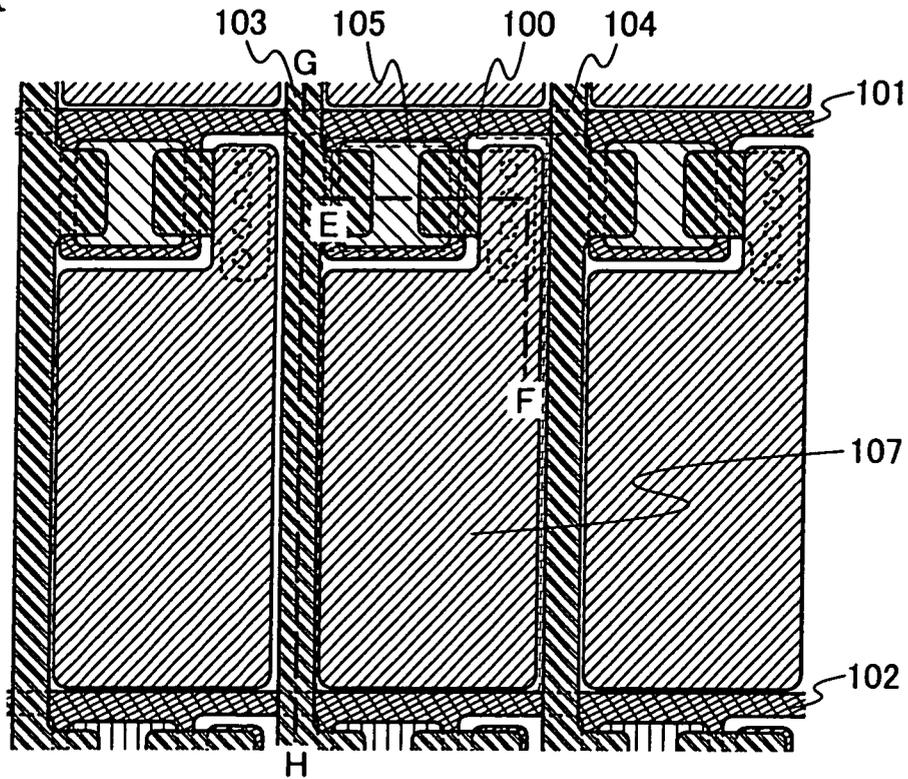


圖 1B

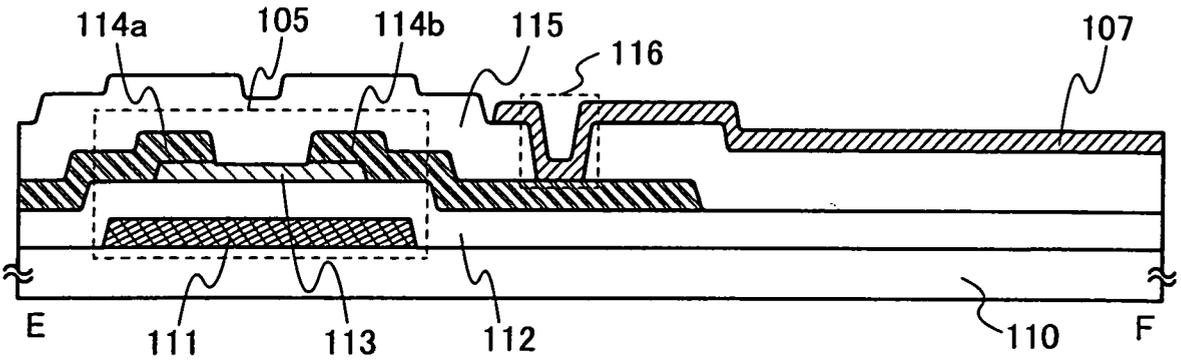


圖 1C

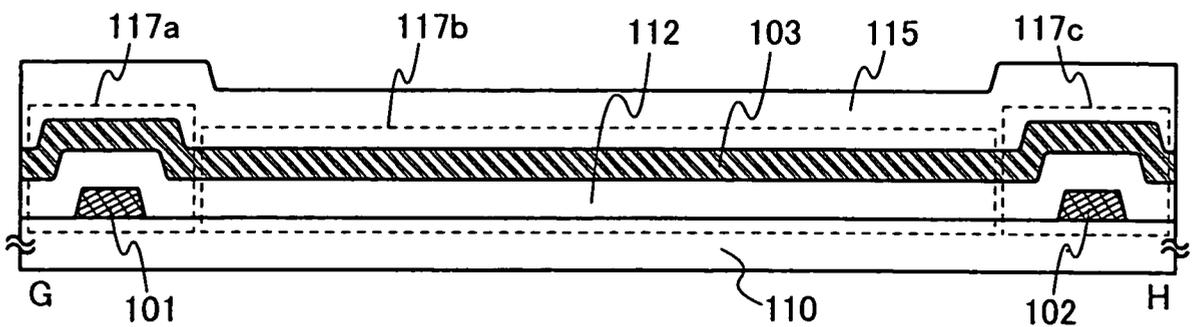


圖 2

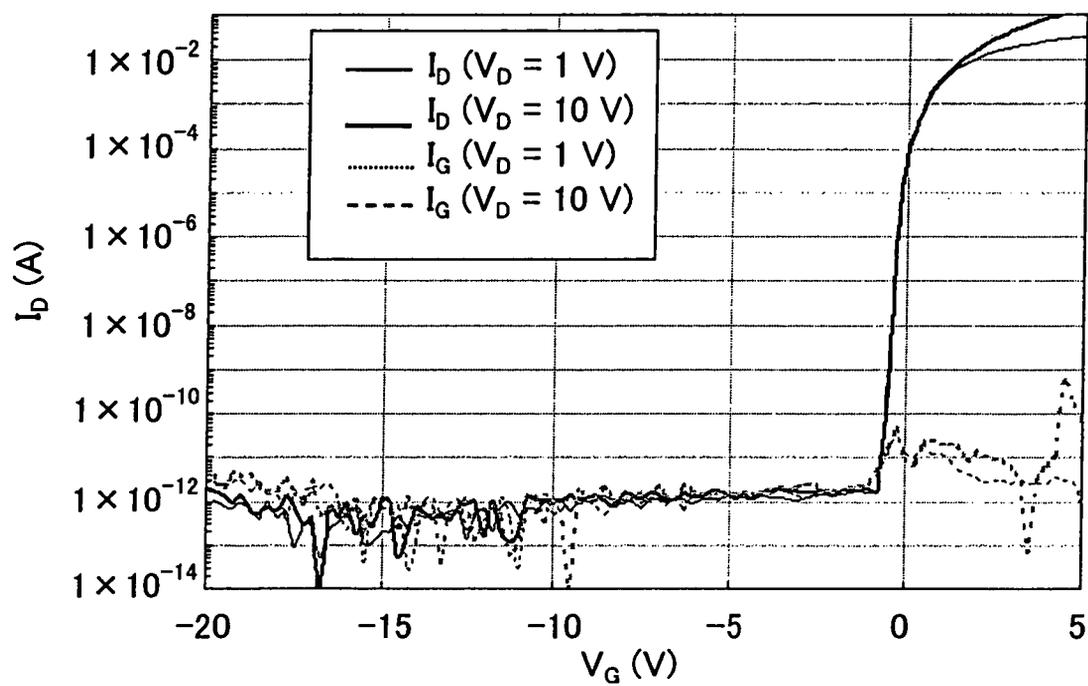
 I_D - V_G 特性

圖 3

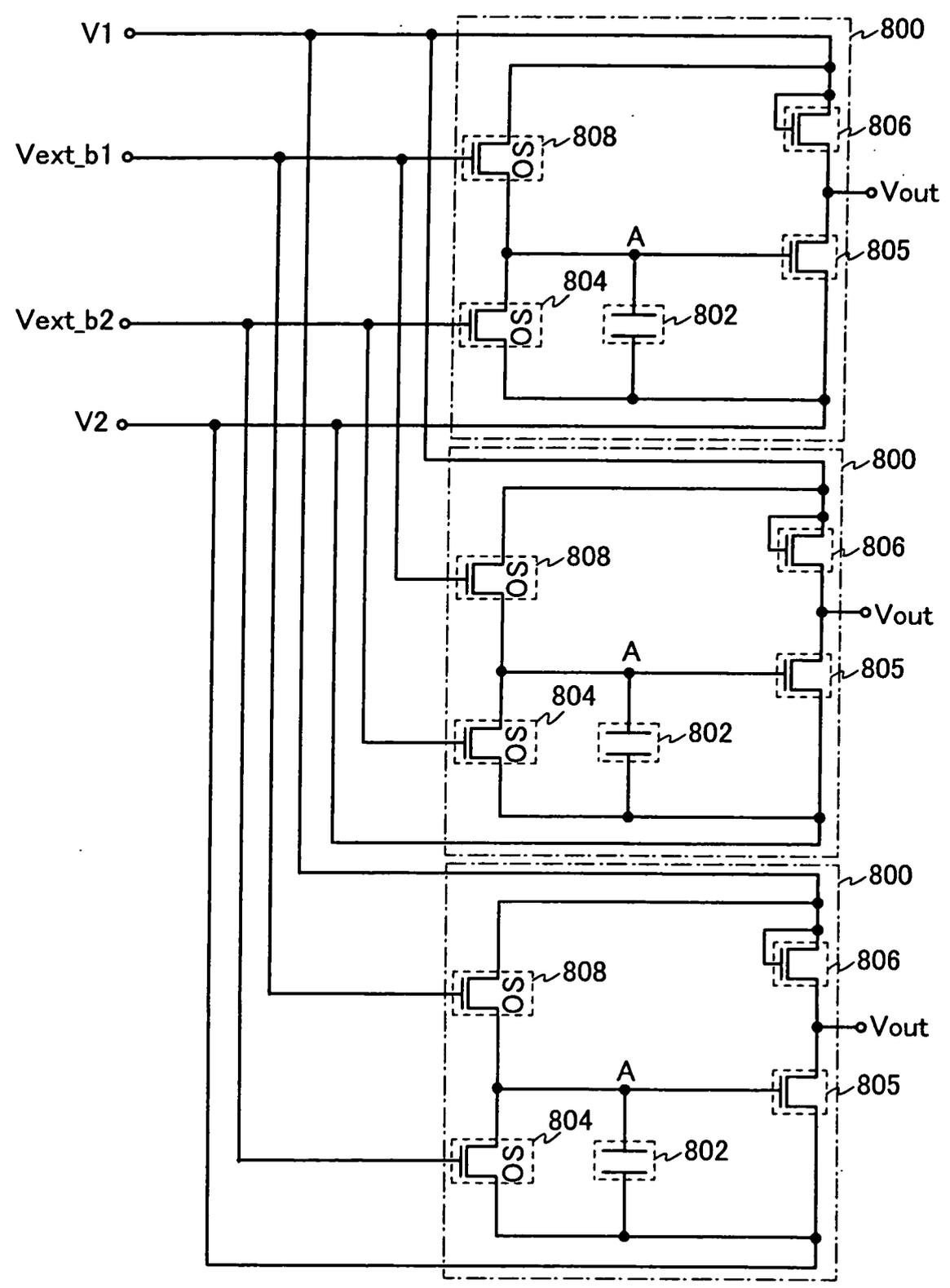


圖 4

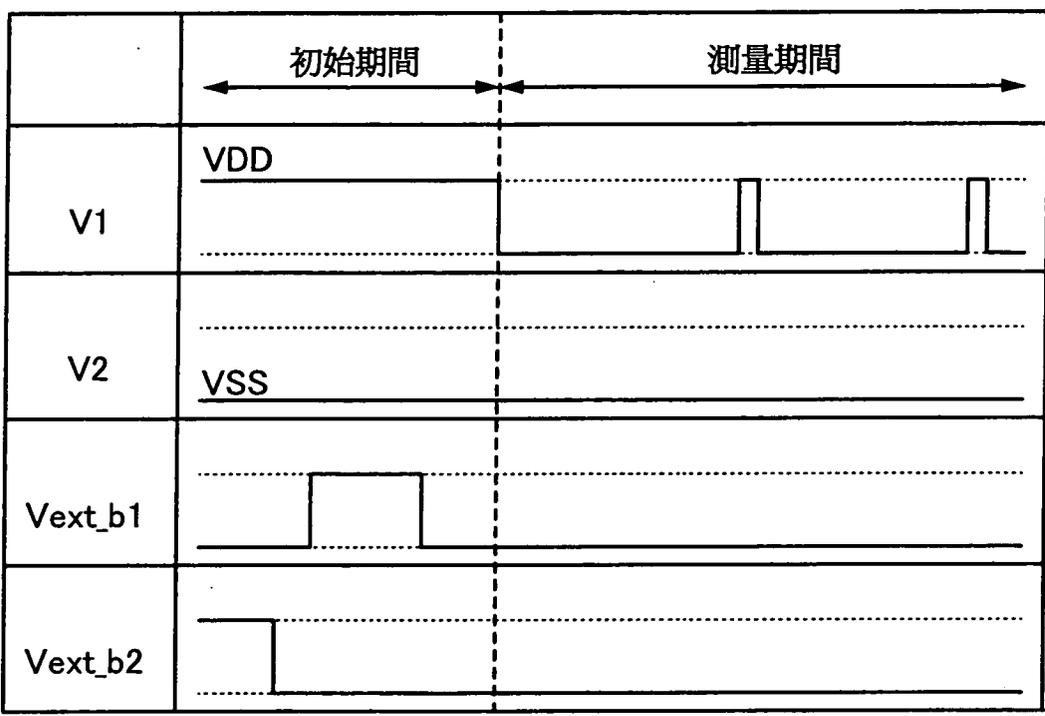


圖 5

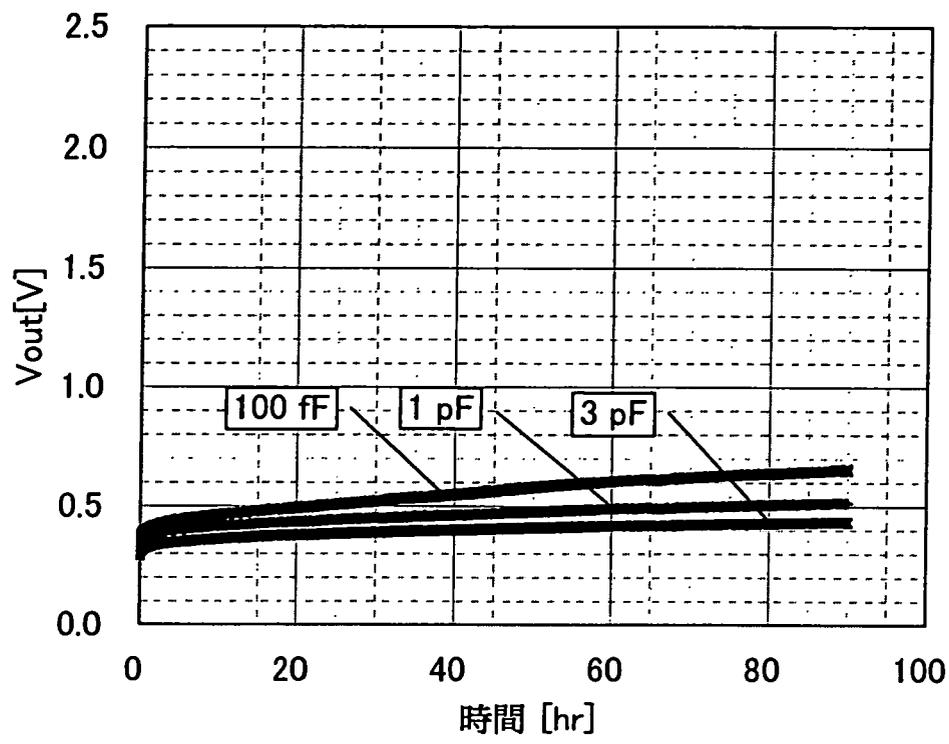


圖 6

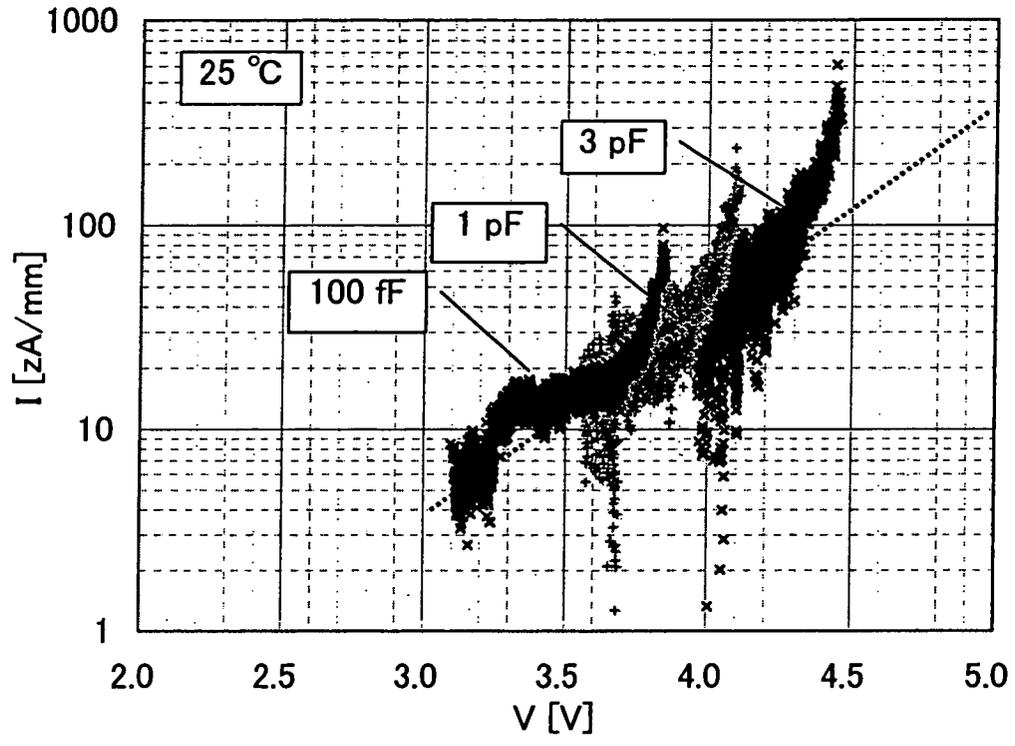


圖 7

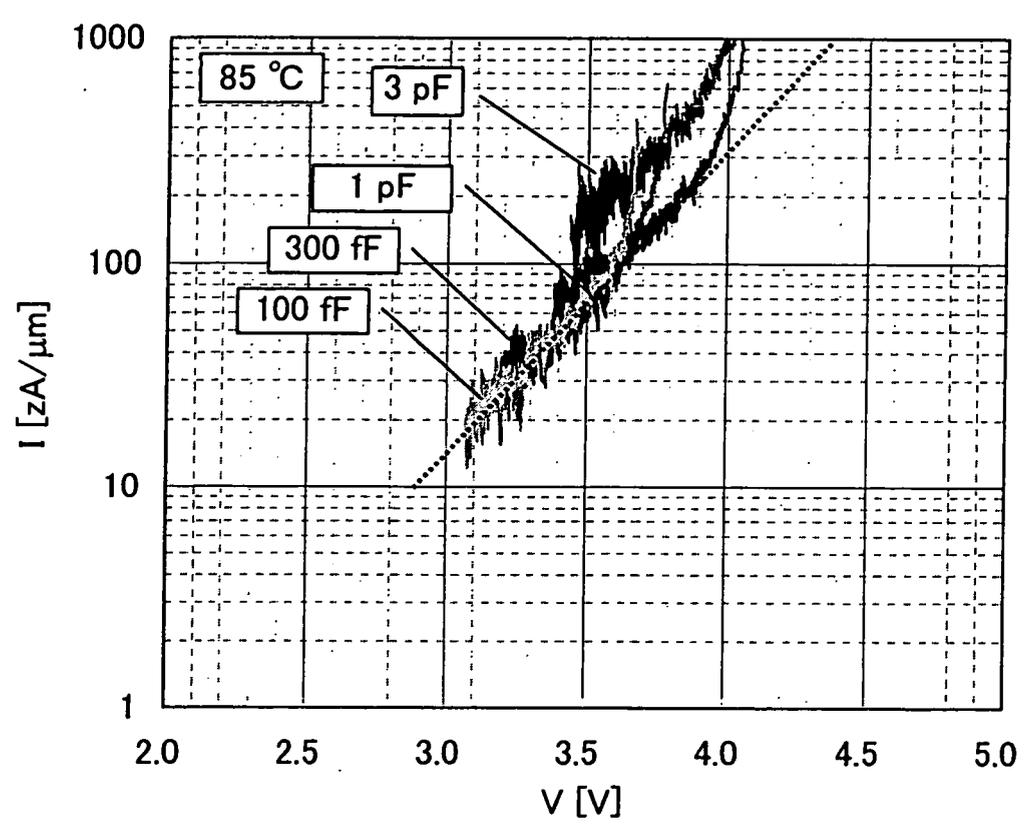


圖 8A

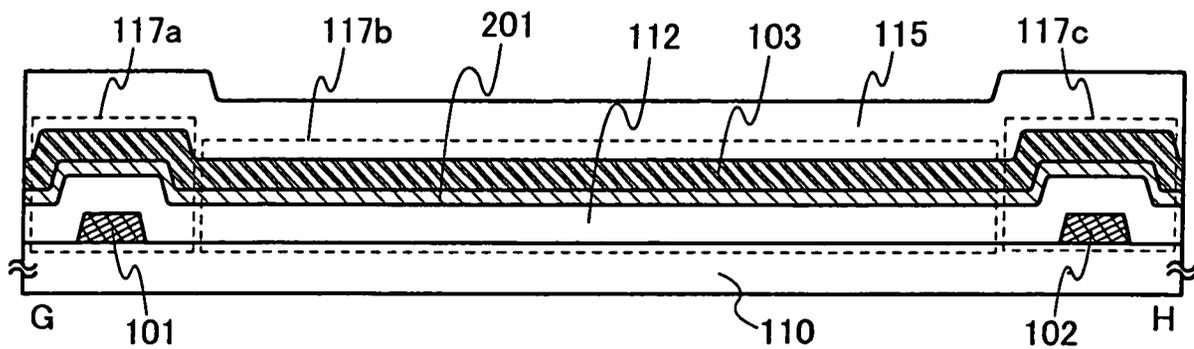


圖 8B

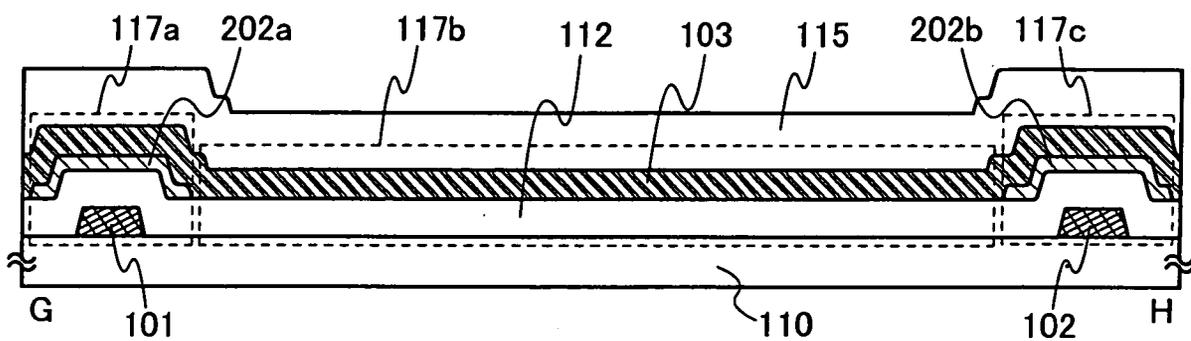


圖 8C

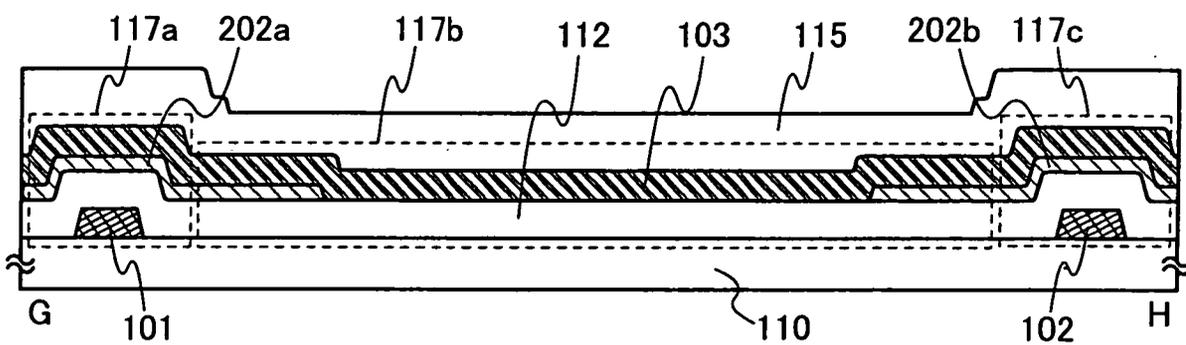


圖 9A

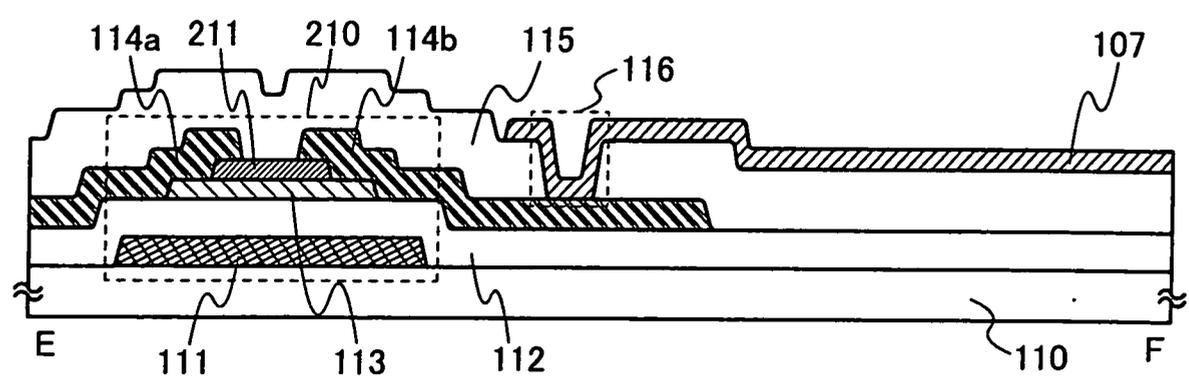


圖 9B

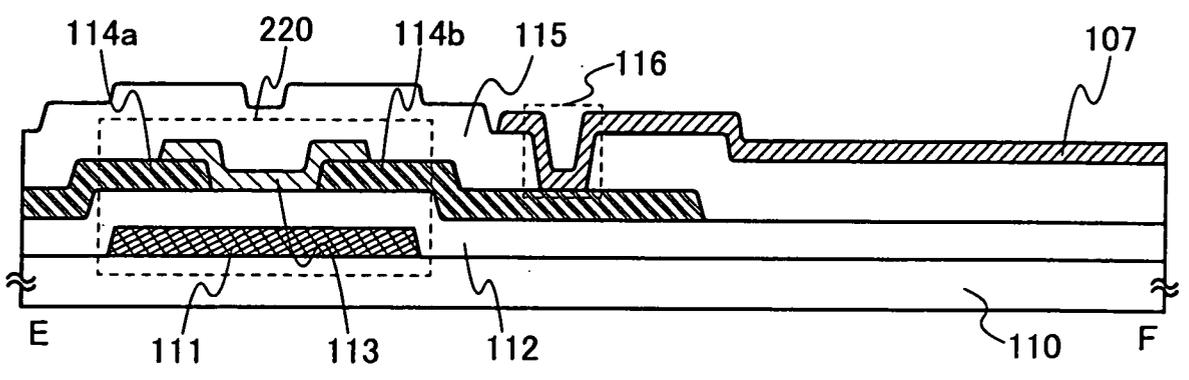


圖 9C

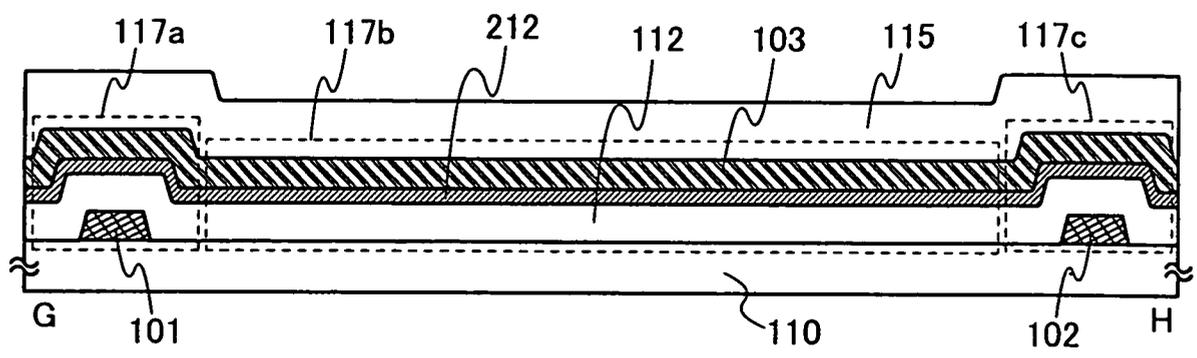


圖 10A

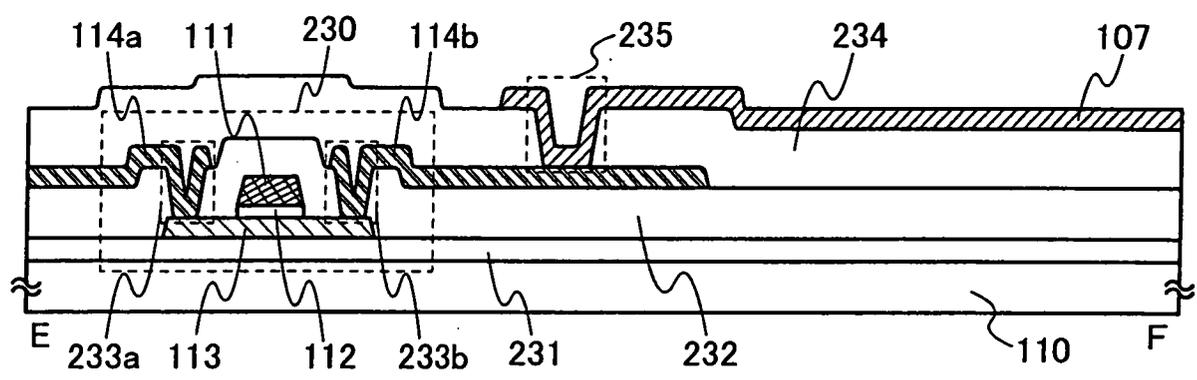


圖 10B

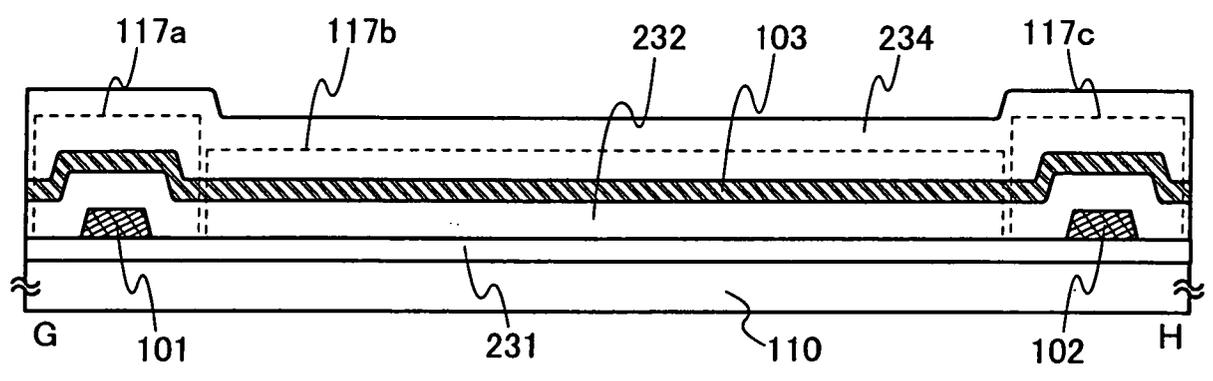


圖 11A

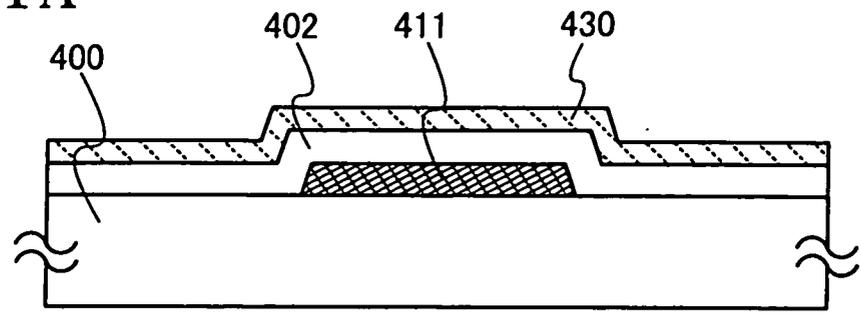


圖 11B

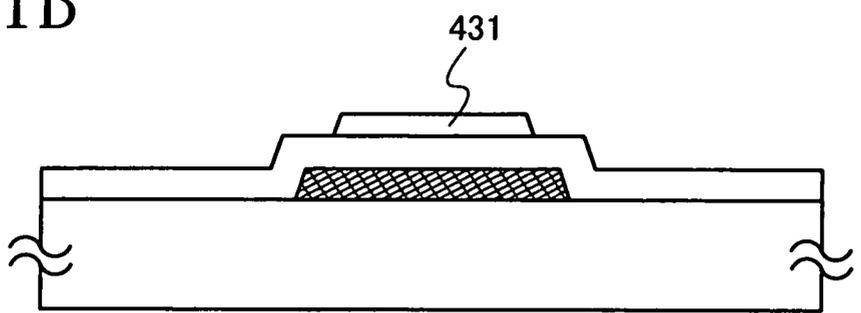


圖 11C

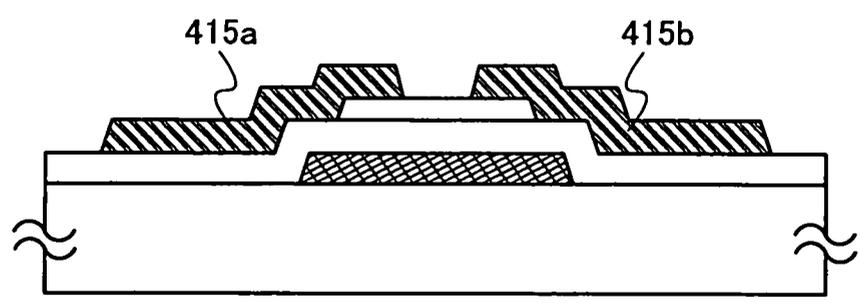


圖 11D

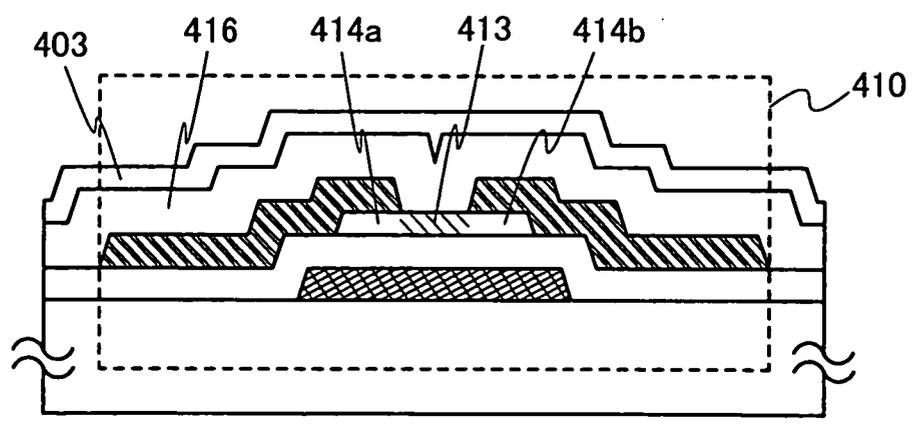


圖 12A

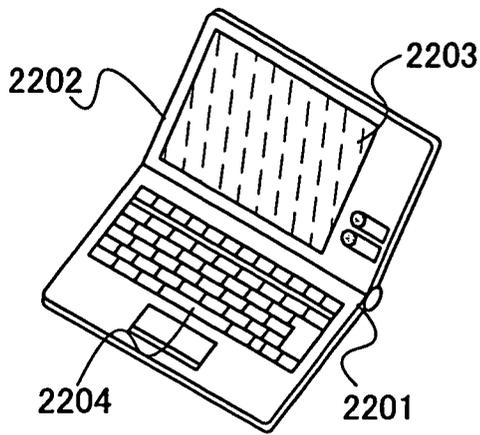


圖 12B

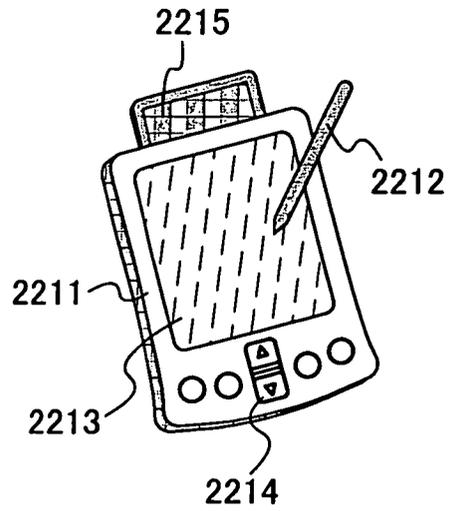


圖 12C

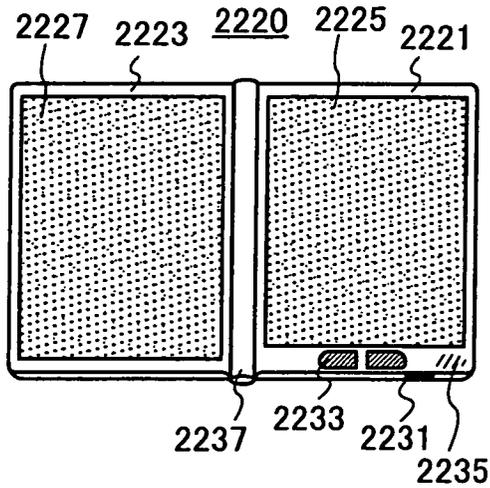


圖 12D

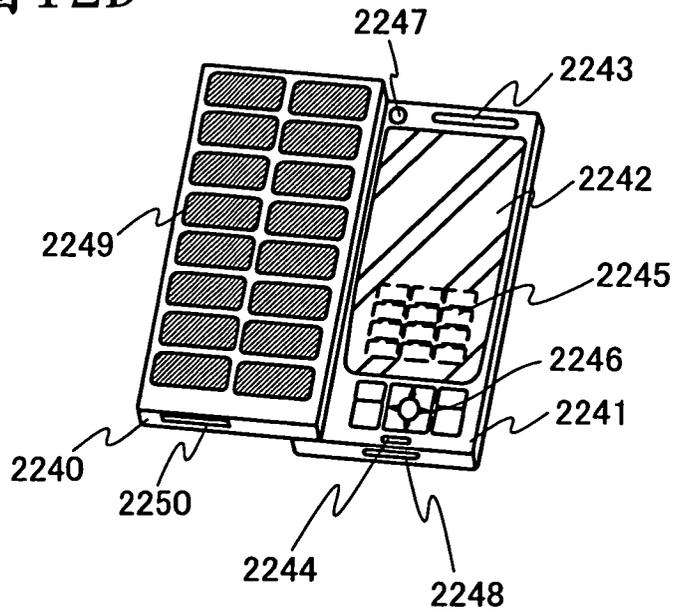


圖 12E

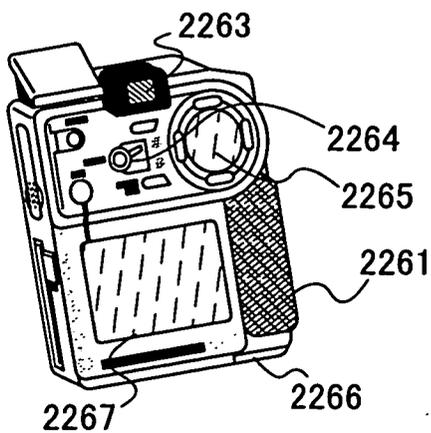


圖 12F

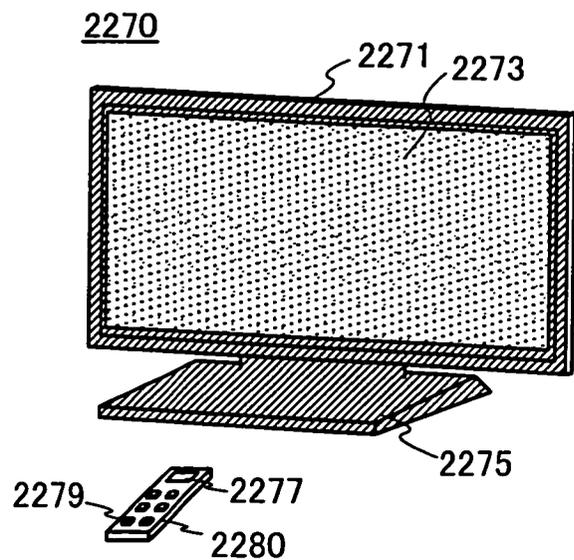


圖 13A

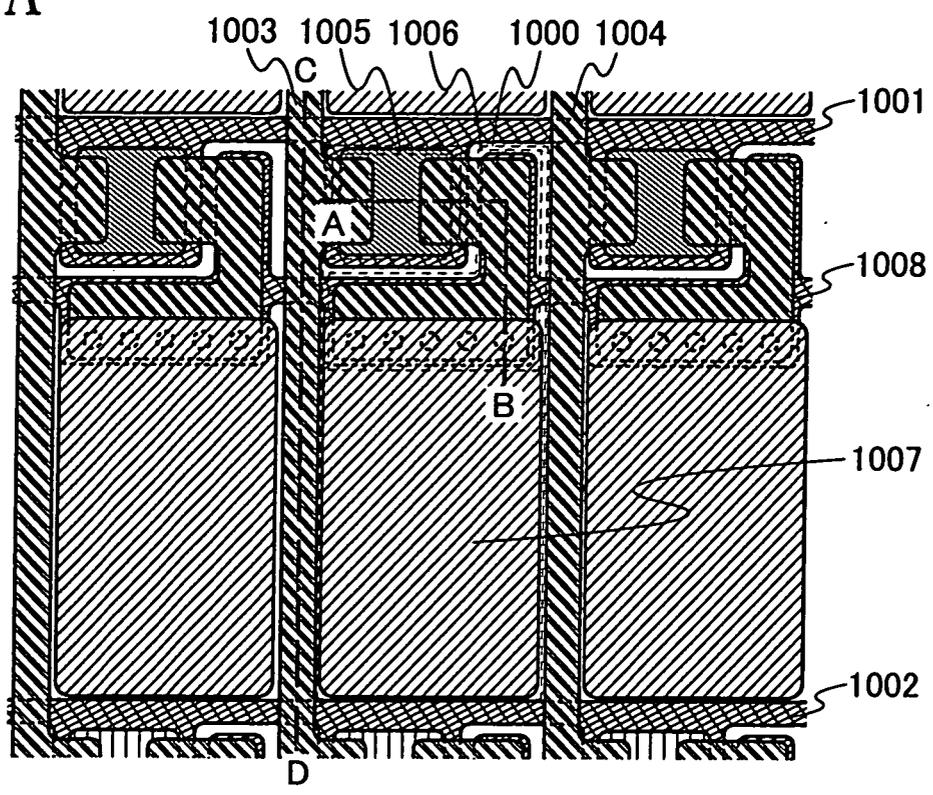


圖 13B

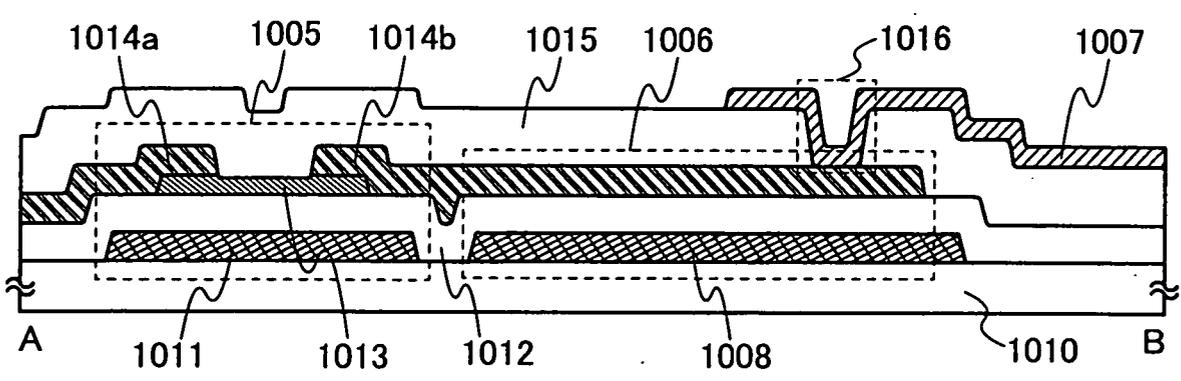


圖 13C

