

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5302325号
(P5302325)

(45) 発行日 平成25年10月2日(2013.10.2)

(24) 登録日 平成25年6月28日(2013.6.28)

(51) Int.Cl.		F I		
GO 1 R 31/28	(2006.01)	GO 1 R 31/28		P
GO 6 F 13/00	(2006.01)	GO 1 R 31/28		F
		GO 6 F 13/00	3 O 1 T	

請求項の数 24 (全 22 頁)

(21) 出願番号	特願2010-532226 (P2010-532226)	(73) 特許権者	502391840
(86) (22) 出願日	平成20年10月30日(2008.10.30)		テラダイン、 インコーポレイテッド
(65) 公表番号	特表2011-502265 (P2011-502265A)		アメリカ合衆国 01864 マサチュー
(43) 公表日	平成23年1月20日(2011.1.20)		セッツ州 ノース リーディング リバー
(86) 国際出願番号	PCT/US2008/081685		パーク ドライブ 600
(87) 国際公開番号	W02009/058931	(74) 代理人	100083806
(87) 国際公開日	平成21年5月7日(2009.5.7)		弁理士 三好 秀和
審査請求日	平成23年10月4日(2011.10.4)	(74) 代理人	100095500
(31) 優先権主張番号	11/929,984		弁理士 伊藤 正和
(32) 優先日	平成19年10月30日(2007.10.30)	(74) 代理人	100111235
(33) 優先権主張国	米国 (US)		弁理士 原 裕子
		(72) 発明者	コナー、 ジョージ ダブリュー、
			アメリカ合衆国 カリフォルニア州 カマ
			リロ イースト ハイランド ドライブ
			570

最終頁に続く

(54) 【発明の名称】 プロトコル認識デジタルチャネル装置

(57) 【特許請求の範囲】

【請求項1】

被試験デバイスが機能的試験のために置かれる機能的動作環境をシミュレーションするプロトコル特定回路であって、

前記被試験デバイスは、異なる所定プロトコルを使用して相互非同期通信を行う複数の集積回路ブロックを有し、

前記プロトコル特定回路は、

前記被試験デバイスによって通信された少なくとも一つの不確定的信号を受け取るべく構成され、

前記不確定的信号をコマンド、アドレス、及び/又はデータ要素にデコードするべく構成されたプロトコル認識回路を有し、

前記プロトコル認識回路は、

前記不確定的信号のプロトコルに適切な試験刺激信号の構造及びタイミングを決定し、

前記構造及びタイミングを有する少なくとも一つの試験刺激信号の、試験信号発生器から前記被試験デバイスへの転送を制御するべく構成される、プロトコル特定回路。

【請求項2】

前記プロトコル特定回路は、PINエレクトロニクスを介してプロトコル特定被試験デバイスによって通信された前記少なくとも一つの不確定的信号を受け取り、前記少なくとも一つの試験刺激信号の、前記試験信号発生器から前記被試験デバイスへの転送を制御するべく構築される、請求項1のプロトコル特定回路。

10

20

【請求項 3】

前記プロトコル特定回路は、前記試験信号発生器からの前記少なくとも一つの試験刺激信号を刺激信号格納装置に格納するべく構成される、請求項 2 のプロトコル特定回路。

【請求項 4】

前記刺激信号格納装置は、a) F I F Oメモリ又はb)ランダムアクセスメモリの少なくとも一つを含む、請求項 3 のプロトコル特定回路。

【請求項 5】

前記プロトコル特定回路は、前記少なくとも一つの不確定的信号を応答信号格納装置に格納するべく構成される、請求項 1 のプロトコル特定回路。

【請求項 6】

前記応答信号格納装置は、a) F I F Oメモリ又はb)ランダムアクセスメモリの少なくとも一つを含む、請求項 5 のプロトコル特定回路。

【請求項 7】

前記プロトコル特定回路は、期待された応答信号との失格プロセッサによる比較のために前記応答信号格納装置から前記少なくとも一つの不確定的信号を抽出し、前記被試験デバイスの動作条件を決定するべく構成される、請求項 5 のプロトコル特定回路。

【請求項 8】

前記プロトコル特定回路は自動化試験設備の中に搭載され、前記被試験デバイスが機能的試験のために置かれる機能的動作環境をシミュレーションすることを前記自動化試験設備に許容するべく構成され、

前記プロトコル認識回路は、前記少なくとも一つの不確定的信号を解釈して前記少なくとも一つの試験刺激信号の送信についての同期時間及び待ち時間を決定する、請求項 1 のプロトコル特定回路。

【請求項 9】

プロトコル特定回路であって、
不確定的信号をコマンド、アドレス、及び/又はデータ要素にデコードするべく予め構成されることができる構成可能プロトコル認識回路を含み、

前記構成可能プロトコル認識回路は、
前記不確定的信号のプロトコルに適切な試験刺激信号の構造及びタイミングを決定し、
前記構造及びタイミングを有する少なくとも一つの試験刺激信号の、試験信号発生器から被試験デバイスへの転送を制御するべく構成される、プロトコル特定回路。

【請求項 10】

前記プロトコル特定回路は、特定の被試験デバイスにตอบสนองするように予め構成され、
前記不確定的信号は、前記被試験デバイスからの非同期に発生する信号を含む、請求項 9 のプロトコル特定回路。

【請求項 11】

前記プロトコル特定回路はプロトコルデコーダを含む、請求項 9 のプロトコル特定回路。

【請求項 12】

前記プロトコル特定回路はプログラム可能である、請求項 9 のプロトコル特定回路。

【請求項 13】

前記プロトコル特定回路はフィールドプログラマブルゲートアレイを含む、請求項 12 のプロトコル特定回路。

【請求項 14】

前記フィールドプログラマブルゲートアレイは、前記プロトコル認識回路とメモリ装置を含み、

前記プロトコル認識回路は前記メモリ装置に結合されている、請求項 13 のプロトコル特定回路。

【請求項 15】

前記メモリ装置は、a) F I F Oメモリまたはb)ランダムアクセスメモリの少なくとも

10

20

30

40

50

も一つを含む、請求項 1 4 のプロトコル特定回路。

【請求項 1 6】

前記プロトコル特定回路はメモリバッファを含み、

前記メモリバッファは、前記試験信号発生器によって発生された前記少なくとも一つの試験刺激信号を格納し、格納された前記試験刺激信号を前記被試験デバイスからの不確定的信号にตอบสนองして P I N エレクトロニクスを介して前記被試験デバイスに提供するように構成される、請求項 9 のプロトコル特定回路。

【請求項 1 7】

前記メモリバッファは、a) F I F O メモリまたは b) ランダムアクセスメモリの少なくとも一つを含む、請求項 1 6 のプロトコル特定回路。

10

【請求項 1 8】

前記プロトコル特定回路は、前記被試験デバイスから確定的信号を受け取るためのプロトコル認識回路と並列に結合された通過回路を更にも含む、請求項 1 0 のプロトコル特定回路。

【請求項 1 9】

被試験デバイスを試験するためのプロトコル認識チャネルを含む自動化試験設備であって、

前記プロトコル認識チャネルは、試験信号発生器と P I N エレクトロニクス回路の間に結合されたプロトコル特定回路を含み、

前記プロトコル特定回路は、かつ、被試験デバイスが機能的試験のために置かれる機能的動作環境をシミュレーションし、

20

前記被試験デバイスは、異なる所定プロトコルを使用して相互非同期通信を行う複数の集積回路ブロックを有し、

前記プロトコル特定回路は、

前記被試験デバイスによって通信された少なくとも一つの不確定的信号を受け取るべく構成され、

前記不確定的信号をコマンド、アドレス、及び/又はデータ要素にデコードするべく構成された構成可能プロトコル認識回路を有し、

前記構成可能プロトコル認識回路は、

前記不確定的信号のプロトコルに適切な試験刺激信号の構造及びタイミングを決定し、前記構造及びタイミングを有する少なくとも一つの試験刺激信号の、試験信号発生器から前記被試験デバイスへの転送を制御するべく構成される、自動化試験設備。

30

【請求項 2 0】

前記プロトコル特定回路はプロトコルデコーダを含む、請求項 1 9 の自動化試験設備。

【請求項 2 1】

前記プロトコル特定回路はフィールドプログラマブルゲートアレイを含む、請求項 1 9 の自動化試験設備。

【請求項 2 2】

前記フィールドプログラマブルゲートアレイは、プロトコル認識回路とメモリ装置を含み、

40

前記プロトコル認識回路は前記メモリ装置に結合されている、請求項 2 1 の自動化試験設備。

【請求項 2 3】

前記プロトコル特定回路はメモリバッファを含み、

前記メモリバッファは、前記試験信号発生器によって発生された前記少なくとも一つの試験刺激信号を格納し、格納された前記試験刺激信号を前記被試験デバイスからの不確定的信号にตอบสนองして前記 P I N エレクトロニクスを介して被試験デバイスに提供するように構成される、請求項 1 9 の自動化試験設備。

【請求項 2 4】

前記プロトコル特定回路は、前記被試験デバイスから確定的信号を受け取るためのプロ

50

トコル認識回路と並列に結合された通過回路を更に含む、請求項 20 の自動化試験設備。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、ここに引用によって組み込まれる、本発明と同じ譲渡人に譲渡され、George W. Connerによる「再構成可能なテスターでの試験のための方法」と題され、本出願と同じ日に提出された、米国特許出願第 12 / 740 , 886 号に関連する。

【背景技術】

【0002】

自動化された格納パターン機能的試験は、集積回路（IC）デバイスの製造においてデバイスのパラメータのおよび動作の特性化を提供する決定的に重要なステップをもたらす。自動化試験設備システムは、制御コンピュータに接続された試験回路を含む。制御コンピュータは、被試験デバイスに刺激信号を提供し被試験デバイスから応答信号を受け取る試験回路を駆動するための機能的試験パターンデータを受け付けて格納するユーザーインターフェースを提供する。応答信号は評価されて、集積回路デバイスのパラメータのおよび動作の特性化を決定する。

10

【0003】

被試験デバイス（DUT）は、PINエレクトロニクスからへの物理的インターフェースを提供するデバイスインターフェースボードまたはDIB上に載置される。PINエレクトロニクス回路は、DIBを介して被試験デバイスへからの電気的試験刺激/応答信号を提供する/受け取る電気的インターフェースである。試験回路からの試験刺激信号は、PINエレクトロニクスを通して被試験デバイスにDIBを介して供給される。被試験デバイスからの試験応答信号は、DIBを通してPINエレクトロニクスに、および更に試験回路に転送される。試験刺激信号と試験応答信号は試験回路によって相関させられて、被試験デバイスが試験に合格したのか失格したのかを決定する。

20

【0004】

試験回路によって生成された刺激信号は、データ信号と、刺激入力を同期させるクロック信号を含む。試験の実効性は、これらの信号のお互いに対する正確な配置に依っている。例えば、クロック、データ、イネーブル信号のようないくつかの異なる信号が、連携されて適当な時間においてトリガーされて、試験プロセス中に意味のあるデータが取得されることを確かなものとする。クロックおよびデータ信号のエッジ配置の不正確さは、偽りの試験結果となってしまう。試験されるデバイスの動作速度が増加するにつれて、エッジ配置の正確さについてのエラーの余地は減少する。

30

【0005】

システム - オン - ア - チップ（SOC）は、同じ半導体基板上に組み込まれた多数のデジタルおよびアナログ集積回路機能を提供する。SOCの例は、移動電話の受信、処理、送信機能のみでなく、写真およびビデオ処理機能や、音声デジタル信号処理および半導体メモリ回路も組み込んだ移動電話である。現在、SOC試験のほとんどにおいて、SOCの個別の機能は、SCAN試験、内蔵自己試験（BIST）、機能的試験等によるなどの多数の試験方法で別々に試験されている。システムレベル試験は、典型的には特注回路を採用し、一般的には、マイクロプロセッサのような高平均販売価格でローミックスなデバイスについてのみ使われる。最終システムレベル試験は、マイクロプロセッサのような特定のSOCデバイスの試験のために特別に作られた特注の試験装置上に実装されても良い。他のSOCデバイスについてもシステムレベル試験を行うことが望ましいであろうが、低平均販売価格のSOCのために特注の機能的試験装置を構築することは价格的に効果的ではない。

40

【0006】

自動試験回路でSOCを試験することの困難さは、自動試験回路でのパラメータのおよび個別機能的試験が確定的試験動作であることにある。試験刺激信号は或るタイミングと構造で印加され、試験応答信号は特定のタイミングと構造を有することが期待される。も

50

し試験応答信号が与えられたパラメータについての期待されたタイミングと構造にマッチしなければ、SOC被試験デバイスは失格したと決定される。SOCデバイスの機能は、異なるタイミングとクロッキング仕様で動作しても良く、実際非同期で動作しても良い。SOCデバイスは、応答試験信号がそうでないことを示す時、通信機能の非同期性が試験応答信号が正しくないように見えることを引き起こす時、動作的であり得る。

【0007】

現在の自動試験設備システム内で、SOC被試験デバイスの動作条件をシミュレーションする試みがあった。回路機能間の非同期通信の不確定的機能のために、機能の通常動作環境は、SOC被試験デバイスについては正確に再生できない。現在の自動試験設備環境は、SOC被試験デバイスの通常動作環境の不確定的な電気的およびタイミング的条件を容易に正確に提供する能力を欠いている。この自動試験設備システム内での不確定的な電気的およびタイミング的条件の欠如は更に、その通常動作環境中に存在し得る変化する動作条件下でのその耐性に対するSOC被試験デバイスについてのエラーの余地を測定しない。

【0008】

従って、必要であるのは、確定的および不確定的な試験刺激信号を提供することが可能な自動試験設備システムである。不確定的な試験刺激信号は、被試験デバイスの通常動作環境の電気的およびタイミング的プロトコルを提供するので、自動試験設備システムは、あたかも被試験デバイスがその通常環境で動作しているかのように、被試験デバイスの試験応答信号にตอบสนองする。

【発明の概要】

【0009】

一実施形態では、被試験デバイスが機能的試験のためにその中に置かれる機能的動作環境をシミュレーションするプロトコル特定回路が提供される。プロトコル特定回路は、被試験デバイスによって通信された不確定的信号を受け取り、不確定的信号にตอบสนองして試験刺激信号の被試験デバイスへの転送を制御するように構築されたプロトコル認識(aware)回路を含む。

【0010】

いくつかの実施形態では、プロトコル特定回路が、PINエレクトロニクスを介してプロトコル特定被試験デバイスによって通信された少なくとも一つの不確定的信号を受け取り、試験刺激信号の試験信号発生器から被試験デバイスへの転送を制御するように構築されている。いくつかの実施形態では、プロトコル特定回路が、試験信号発生器からの試験刺激信号をFIFOのような刺激信号格納装置に格納するように構築されている。いくつかの実施形態では、プロトコル特定回路が、不確定的信号をFIFOのような応答信号格納装置に格納するように構築されている。

【0011】

様々な実施形態では、プロトコル特定回路が、期待された応答信号との失格プロセッサによる比較のために応答信号格納装置から不確定的信号を抽出し、被試験デバイスの動作条件を決定するように構築されている。

【0012】

いくつかの実施形態では、プロトコル特定回路が、被試験デバイスが機能的試験のためにその中に置かれる機能的動作環境をシミュレーションすることを自動化試験設備に許容するように自動化試験設備中への搭載のために構築されており、プロトコル認識回路が、不確定的信号を解釈して試験刺激信号の送信についての同期時間と待ち時間を決定する。

【0013】

別の実施形態では、被試験デバイスからの不確定的信号にตอบสนองして、試験刺激信号を試験信号発生器と特定の被試験デバイス間でPINエレクトロニクスを介して通信するように予め構成されることが可能な構成可能なプロトコル認識回路を有するプロトコル特定回路が提供される。

【0014】

いくつかの実施形態では、プロトコル特定回路が、被試験デバイスからの非同期に発生する信号を有する不確定的信号に**応答して特定の被試験デバイスに**応答するように予め構成されている。**いくつかの実施形態では、プロトコル特定回路が、フィールドプログラマブルゲートアレイのような、プログラム可能であっても良い、プロトコル検出器を含む。いくつかの実施形態では、フィールドプログラマブルゲートアレイが、F I F Oのようなメモリ装置に結合されたプロトコル認識回路を含む。**

【0015】

いくつかの実施形態では、プロトコル特定回路が、試験信号発生器によって発生された試験刺激信号を格納し、被試験デバイスからの不確定的信号に**応答して格納された試験刺激信号をP I Nエレクトロニクスを介して被試験デバイスに提供するように構成されたメモリバッファ**を含む。メモリバッファは、F I F Oであっても良い。

10

【0016】

様々な実施形態では、プロトコル特定回路が、被試験デバイスからの**確定的信号を受け取るためのプロトコル認識回路と並列に結合された通過回路**を含む。

【0017】

別の実施形態では、被試験デバイスを**試験するためのプロトコル認識チャネル**を含んだ自動化試験設備であって、プロトコル認識チャネルが、試験信号発生器とP I Nエレクトロニクス回路の間に結合されたプロトコル特定回路を含み、プロトコル特定回路が、被試験デバイスからの不確定的信号に**応答してプロトコル特定被試験デバイスに**応答するように予め構成されることが可能であるように構築されている、自動化試験設備**が提供される。**

20

【0018】

いくつかの実施形態では、プロトコル特定回路が**プロトコルデコード**を含む。いくつかの実施形態では、プロトコル特定回路が、メモリ装置に結合されたプロトコル認識回路を含んでも良い、フィールドプログラマブルゲートアレイを含む。いくつかの実施形態では、プロトコル特定回路が、試験信号発生器によって発生された少なくとも一つの試験刺激信号を格納し、被試験デバイスからの不確定的信号に**応答して格納された試験刺激信号をP I Nエレクトロニクスを介して被試験デバイスに提供するように構成されたメモリバッファ**を含む。いくつかの実施形態では、プロトコル特定回路が、被試験デバイスからの**確定的信号を受け取るためのプロトコル認識回路と並列に結合された通過回路**を含む。

30

【図面の簡単な説明】

【0019】

【図1】図1は、不確定的挙動を有する集積回路装置構造のブロック図である。

【図2】図2は、自動化試験設備システム内のプロトコル特定回路の実施形態のブロック図である。

【図3】図3は、プロトコル特定回路の一実施形態を組み込んだ自動化試験設備システムの別の実施形態のブロック図である。

【図4】図4は、プロトコル特定回路の実施形態の一つの多数の場合を組み込んだ自動化試験設備システムのブロック図である。

【図5A】図5Aは、被試験デバイスが**機能的試験**のためにその中に置かれる**機能的動作環境**を、自動化試験システム内でシミュレーションするための方法のフロー図である。

40

【図5B】図5Bは、被試験デバイスが**機能的試験**のためにその中に置かれる**機能的動作環境**を、自動化試験システム内でシミュレーションするための方法のフロー図である。

【図6】図6は、プロトコル特定回路のいくつかの実施形態がシミュレーションしても良い、**ダブルデータレートランダムアクセスメモリコントローラ**プロトコルを描いたブロック図である。

【図7】図7は、図6の**ダブルデータレートランダムアクセスメモリコントローラ**プロトコルをシミュレーションするように構成された、自動化試験設備システム内のプロトコル特定回路の一実施形態のブロック図である。

【図8】図8は、図5の自動化試験設備システム内のプロトコル特定回路の実施形態の一

50

つによって発生された通りの、ダブルデータレートランダムアクセスメモリコントローラプロトコルの読み取りタイミングのプロットである。

【図9】図9は、図5の自動化試験設備システム内のプロトコル特定回路の実施形態の一つによって発生された通りの、ダブルデータレートランダムアクセスメモリコントローラプロトコルの書き込みタイミングのプロットである。

【発明を実施するための形態】

【0020】

上述した通り、格納パターン機能的試験は近年、確定的に振舞わないデバイスとの増大する困難に直面している。現在、半導体処理の集積のレベルと複雑さは、集積回路チップが実効的に完全な「システム-オン-ア-チップ」(SOC)となることを許容している。システム-オン-ア-チップは、コンピュータまたは他の電子システムの全ての機能的回路要素を単一の集積回路(チップ)に集積する。これらの集積回路要素は、デジタル回路、アナログ回路、ランダムアクセスメモリ、混合されたアナログおよびデジタル信号回路のいかなる組み合わせでもあり得て、しばしば無線周波数機能を含む。図1を参照すると、SOCデバイスは、複数の知的財産(IP)集積回路要素ブロック105aと105bを有する。本描写では、説明の簡単のために二つのIPブロック105aと105bのみが示されているが、多数の複雑なIPブロックがSOCデバイス100上に集積されていることは当業者には明らかである。この描写では、二つのIPブロックは、非同期インターフェース110を通して通信する。

【0021】

パラメータ的および機能的動作を決定するようにSOCデバイス100が試験される時、SOCデバイス100は、被試験デバイス固定具125中に置かれ、自動化試験設備システム120にPINエレクトロニクスを通して接続される。PINエレクトロニクスは被試験デバイスと自動化試験設備システム120の間の電氣的インターフェースを提供する。自動化試験設備システム120は、試験パターン130と135のセットを生成し、送信し、受信し、評価して、SOCデバイス100のパラメータ的および機能的動作を決定する。

【0022】

IPブロック105aと105bの各々は一般に、それ自身のクロックおよびタイミングドメイン115aと115bを有し、それらは一般に同期されていない。試験刺激信号132はIPブロック105aがIPブロック105bと通信することを引き起こし得て、それはIPブロック105bの試験応答信号139が誤りとなることを引き起こす。同様に、試験刺激信号137はIPブロック105bがIPブロック105aと通信することを引き起こし得て、それはIPブロック105aの試験応答信号134が誤りとなることを引き起こす。この不確定的通信はSOCデバイス100間、および同一SOCデバイス100内で異なる電圧および温度において変動する。

【0023】

現世代の自動化試験設備システム120は、試験刺激信号132をIPブロック105aに、試験刺激信号137をIPブロック105bに提供し、IPブロック105aから試験応答信号134と、IPブロック105bから試験応答信号139を受け取ることが可能である。この場合、試験応答信号134と139が或る構造と有効となるタイミングにマッチするという点で、試験は確定的である。IPブロック105aと105b間のあらゆる通信は切り詰められ、相互作用は検証されない。

【0024】

現世代の自動化試験設備システム120は、或る待ち時間ファクターを提供する以外には不確定的SOCデバイス100に対処する非常に限られた能力しか有していない。これは、試験刺激信号132と137が設計検証に使われたシミュレーションベクトルである時には最初の原型デバイスはほぼ間違いなく働かないであろうという点で、試験エンジニアにかなりの問題を引き起こす。合格する配置を見つけるまで試験エンジニアがベクトルを動かし回すことを試みる一連の試行錯誤ループが続くこととなる。関係する大量のデー

10

20

30

40

50

タと全ての試行を再シミュレーションする必要のために、各ループは数日かかり得て、最終的な結果は、新しいSOCデバイスの試験および評価フェーズに数ヶ月が追加されることとなる。

【0025】

おそらく、試験エンジニアが全てのデバイスについて働く試験刺激信号132と137の単一の組を見つけることは無いかもしれず、試験刺激信号132と137の多くの組をサポートすることに直面するかもしれない。この状況では、もしどれかが合格すれば、デバイスは良好なものとされる。これは、多くのパターンをサポートしなければならないことについての試験時間ペナルティを引き起こし、全ての可能な良好なパターンが発見されてはいないことの非常に現実的な可能性があり、よって悪い歩留まりへの影響を作り出す。

10

【0026】

この状況では、市場までへの時間に数ヶ月が追加され得て、デバイスの歩留まりが減少し得る。いくつかの組織は、SOCデバイス100内のIPブロック105aと105bの不確定的な機能に対処する能力の無さに、何らかの形の構造的試験を使って自動化試験設備システム120での機能的試験から完全に離れることによって対応することを選んでいいる。構造的試験は成功する試験プランの必要な要素であるものの、現行のジオメトリを持った半導体処理の今の時代においては十分ではない。

【0027】

自動化試験設備システム120の使用を許容するようにデバイス不確定性の問題を解決するために、自動化試験設備システム120の実施形態は、試験されるべきSOCデバイス100が機能的試験のためにその中に置かれるところの機能的動作的環境をシミュレーションするためのプロトコル特定回路を含む。プロトコル特定回路は、IPブロック105aと105bが通信しているプロトコルを知っている。不確定性によって引き起こされる基本的な問題は、SOCデバイス100が毎回同じ事をするようになっても良い一方で、それは毎回同じやり方でそれをする必要はないということである。それはそれが最後に実行された時よりも一サイクル早くまたは遅くデータが提示されることを欲しても良い。この振舞いへの明らかな解決策は、SOCデバイス100において単にデータを吐き出すことよりはむしろ、デバイスがそれについて準備完了になるまで待つことである。但し、SOCデバイス100が準備完了になるまで待つために、自動化試験設備システム120はある意味ではSOCデバイス100からの試験応答信号134と139の機能を理解する。

20

30

【0028】

SOCデバイス100の増加する速度についていくために、現行の自動化試験設備システム120はパターン生成器のパイプライン深度を増加している。これは、自動化試験設備システム120チャンネル中の最後のいくつか以外の全てのトランジスタについて低コストなCMOS技術を使用することを許容し、それでも、ギガビット深度に近づくパターンで、6.4Gbpsを超える達成されるべき速度を許容した。この傾向の副作用は、もしデバイスに応答するために自動化試験設備システム120のパターンフローが変更される必要があっても、パイプラインをクリアするのに数マイクロ秒の待ち時間があり得ることである。

40

【0029】

プロトコル認識(aware)回路は、被試験デバイス固定具125と、よってSOCデバイス100に、出来るだけ近くに置かれて、被試験デバイス固定具125を通してSOCデバイス100によって通信された不確定的試験応答信号134と139を受け取る。プロトコル認識回路は、不確定的試験刺激信号132と137に反応して、SOCデバイス100への試験刺激信号132と137の転送を制御する。

【0030】

ここで自動化試験設備システム200の実施形態内のプロトコル特定回路205の詳細な説明のために図2を参照する。データ生成器225は、ダイナミックランダムアクセス

50

メモリ (D R A M) 2 2 0 中に格納された試験パターンコマンドから試験刺激信号を作り出す。試験刺激信号はプロトコル特定回路 2 0 5 のソースメモリ 2 3 0 に転送され、それは試験刺激信号を S O C 被試験デバイス 2 1 5 の仕様にマッチした速度にする役割を果たす。

【 0 0 3 1 】

理想的には、ソースメモリ 2 3 0 は、試験刺激信号のランダムアクセスを許容するランダムアクセスメモリ (R A M) である。本当の R A M モードでは、動作のための試験ベクトルを提供することは必要なくても良く、D U T は要求された時に、データを書き込み、それからデータを読み出すことができる。R A M は、現行の技術では、典型的には約 1 G H z より下の速度と 1 2 8 P I N までのポート P I N カウントについて働く。しかしながら、より速い速度またはより広いバスをもった S O C 被試験デバイス 2 1 5 の性能要求のために、ソースメモリ 2 3 0 は、試験刺激信号が順序付けられ要求された速度で転送されるファーストインファーストアウト (F I F O) メモリであっても良い。なお、(他のプロトコルに加えて) F I F O と本当の R A M モードのどちらか一方 / 両方が、様々な実施形態においてサポートされることに注意すべきである。

10

【 0 0 3 2 】

ソースメモリ 2 3 0 の出力は、P I N エレクトロニクス 2 1 0 a と 2 1 0 b への物理的相互接続 2 3 7 と 2 3 9 上での転送のために試験刺激信号を増幅し条件付けする送信バッファ回路 2 3 5 に送られる。P I N エレクトロニクス 2 1 0 a と 2 1 0 b は、S O C 被試験デバイス 2 1 5 と自動化試験設備システム 2 0 0 の間の電氣的インターフェース 2 0 2 と 2 0 4 を提供する。通常の確定的動作では、試験刺激信号は、決められた時間に、D R A M 2 2 0 に格納された試験ベクトルに基づく決められた構造で転送される。試験刺激信号は、S O C 被試験デバイス 2 1 5 を占める I P ブロック 2 1 7 a 、 2 1 7 b 、 ... 、 2 1 7 i 、 ... 、 2 1 7 n の所望の I P ブロック 2 1 7 i に印加される。

20

【 0 0 3 3 】

確定的動作モードでは、I P ブロック 2 1 7 i は P I N エレクトロニクス 2 1 0 a と 2 1 0 b へのインターフェース 2 0 4 上の試験応答信号で応答する。P I N エレクトロニクス 2 1 0 a と 2 1 0 b はそれからインターフェース 2 5 2 上の試験応答信号を受信器 2 5 0 に転送する。受信器 2 5 0 は試験応答信号を増幅して条件付けし、それらを捕捉メモリ 2 5 5 に転送する。捕捉メモリ 2 5 5 は、プロトコル特定回路 2 0 5 から失格プロセッサ 2 6 0 への転送のための試験応答信号をバッファする役割を果たす。捕捉メモリ 2 5 5 は一般に、順序付けられた試験応答信号が要求された速度で転送される F I F O メモリである。

30

【 0 0 3 4 】

失格プロセッサ 2 6 0 は、比較のために捕捉メモリ 2 5 5 からの試験応答信号とデータ生成器 2 2 5 からの試験刺激信号を受け取る。誤りである試験応答信号のいずれかは、更なる分析のために D R A M 2 2 0 に履歴記録される。

【 0 0 3 5 】

記載された自動化試験設備システム 2 0 0 の確定的動作モードは、従来例の自動化試験設備システムでのような確定的動作を提供する。プロトコル特定回路 2 0 5 は、プロトコル認識選択信号 2 4 5 の状態に基づいて確定的動作モードから不確定的動作モードに切り替えるモード選択回路 2 4 0 と 2 6 5 を有する。確定的動作モードについては、記載されたように、モード選択回路 2 4 0 がデータ生成器 2 2 5 からのソースメモリ 2 3 0 の制御を有し、モード選択回路 2 6 5 が失格プロセッサ 2 6 0 からの捕捉メモリ 2 5 5 の制御を有するように、プロトコル認識選択信号 2 4 5 が設定される。不確定的動作モードでは、ソースメモリ 2 3 0 と捕捉メモリ 2 5 5 の制御がプロトコル認識エンジン 2 7 0 からであるように、プロトコル認識選択信号 2 4 5 が設定される。

40

【 0 0 3 6 】

プロトコル認識エンジン 2 7 0 は、S O C 被試験デバイス 2 1 5 からプロトコルを受け付け、プロトコルをコマンド、アドレスおよび / またはデータにデコードするように再構

50

成された例えばフィールドプログラマブルゲートアレイ（FPGA）のような再構成可能な集積回路であっても良い。受け取ったコマンド、アドレス、タイミングおよび/またはデータから、プロトコル認識エンジン270は、ソースメモリ230からIPブロック217iへ送信器235とPINエレクトロニクス210aと210bを通して転送されるべき試験刺激信号の構造とタイミングを決定する。例えば、もし自動化試験設備システム200がランダムアクセスメモリ（RAM）をシミュレーションするものであり、SOC被試験デバイス215のIPブロック217iがメモリコントローラであれば、メモリコントローラ217iは、デコードされた時にRAMのためのアドレス、コマンド、制御、タイミングおよびデータである試験応答信号を送る。プロトコル認識エンジン270は、試験応答信号を受け取り、試験応答信号をアドレス、コマンド、制御、タイミングおよびデータにデコードする。プロトコル認識エンジン270は、SOC被試験デバイス215のIPブロック217iに供給されるべき試験刺激信号の構造とタイミングを決定する。RAMの読み出しコマンドの場合には、プロトコル認識エンジン270は読み出し待ち時間タイミングと転送されるべきデータの構造を決定し、それに従って試験刺激信号を転送するようにソースメモリ230に命令する。書き込みの場合には、プロトコル認識エンジン270は捕捉メモリ255からのアドレスとコマンドをデコードして書かれたデータを格納する。プロトコル認識エンジン270はまた、IPブロック217iへの試験刺激信号として、書き込みを受領するあらゆる応答を始動する。このアクションでは、あたかもSOC被試験デバイス215がその標準動作環境にあるかのように、試験されているIPブロック217a、217b、...、217nのいずれかが機能的に正しいやり方でIPブロック217iと相互作用する。

【0037】

なお、ソースメモリ230と捕捉メモリ255は、静的RAMまたは動的RAMのようなランダムアクセスメモリであることができることに注意すべきである。しかしながら、高性能SOC被試験デバイス215の動作環境をシミュレーションする際には、ソースメモリ230と捕捉メモリ255はファーストインファーストアウト（FIFO）メモリであっても良い。FIFOメモリはそれらの性質により、静的および動的RAMよりも試験刺激信号のより速い転送と受信を許容する。

【0038】

試験応答信号の転送の適切な同期を確かなものとするために、プロトコル認識エンジン270はオプションで、動作の不確定的モード中には被試験デバイスクロック280によって、確定的動作については自動化試験設備システム200クロック285によって、クロックされても良い。自動化試験設備システム200クロック285はオプションで、自動化試験設備システム200がマスターとして不確定的動作を始動しており、よってクロックのソースである時に、選択されても良い。オプションのマルチプレクサ275は、確定的および不確定的モードの間でプロトコル認識エンジン270の動作モードを制御するように、プロトコル認識選択信号245によって制御される。

【0039】

自動化試験設備システム200の様々な実施形態がシミュレーションすることを要求され得るプロトコルは、一般的に2つの広いカテゴリーに入る。第一の例では、SOC被試験デバイス215が、自動化試験設備システム200とSOC被試験デバイス215の間のインターフェースを制御する。第二の例では、自動化試験設備システム200が、SOC被試験デバイス215と自動化試験設備システム200の間のインターフェースを制御する。第一の例では、SOC被試験デバイス215が不確定的信号を通信し、自動化試験設備システム200が応答する。第二の例では、自動化試験設備システム200が適切なプロトコル構造とタイミングをもった試験刺激信号をSOC被試験デバイス215に送り、SOC被試験デバイス215が上記の通りデコードされた不確定的試験応答信号で応答する。どちらの例においても、自動化試験設備はSOC被試験デバイスからの不確定的応答信号を認識して、応答する。

【0040】

10

20

30

40

50

ここで自動化試験設備システム300内のプロトコル特定回路305の別の実施形態の詳細な説明のために図3を参照する。プロトコル特定回路305は、ダイナミックランダムアクセスメモリ(DRAM)320中に格納された試験パターンコマンドから試験刺激信号を作り出すチャンネル機能生成器325を有する。チャンネル機能生成器325は、メモリコントローラ360と通信してDRAM320からの試験パターンコマンドを受け取る。メモリコントローラ360は、DRAM320からの試験パターンコマンドにアクセスするための必要なアドレス、タイミングおよびコマンド信号を生成する。メモリコントローラ360は、試験パターンコマンドを受け取り、それらをチャンネル機能生成器325に転送する。試験パターンコマンドはそれからデコードされて試験刺激信号を形成する。試験刺激信号はそれからモード選択回路340と365を通して送信バッファ回路335に転送される。送信バッファ回路335は、PINエレクトロニクス310aと310bへの物理的相互接続337と339上での転送のために試験刺激信号を増幅し条件付けする。PINエレクトロニクス310aと310bは、SOC被試験デバイス315と自動化試験設備システム300の間の電気的インターフェース302と304を提供する。通常の確定的動作では、試験刺激信号は、決められた時間に、DRAM320に格納された試験ベクトルに基づく決められた構造で転送される。試験刺激信号は、SOC被試験デバイス315を占めるIPブロック317a、317b、...、317i、...、317nの所望のIPブロック317iに印加される。

10

【0041】

確定的動作モードでは、IPブロック317iはPINエレクトロニクス310aと310bへのインターフェース304上の試験応答信号で応答する。PINエレクトロニクス310aと310bはそれからインターフェース352上の試験応答信号を受信器350に転送する。受信器350は試験応答信号を増幅して条件付けし、それらを捕捉メモリ355に転送する。捕捉メモリ355は、メモリコントローラ360とチャンネル機能生成器への転送のための試験応答信号をバッファする役割を果たす。捕捉メモリ355は一般に、順序付けられた試験応答信号がIPブロック317iの仕様によって指令された速度で転送されるFIFOメモリである。

20

【0042】

チャンネル機能生成器325は、試験応答信号と試験刺激信号を受け取り、比較する。誤りである試験応答信号のいずれかは、更なる分析のためにメモリコントローラ360を通してDRAM320に履歴記録される。

30

【0043】

記載された自動化試験設備システム300の確定的動作モードは、従来例の自動化試験設備システムでのような確定的動作を提供する。モード選択回路340と365は、プロトコル認識選択信号345の状態に基づいて確定的動作モードから不確定的動作モードに切り替える。確定的動作モードについては、記載されたように、チャンネル機能生成器325が、チャンネル機能生成器325からの試験刺激信号の転送を制御するように、プロトコル認識選択信号345が設定される。不確定的動作モードでは、ソースメモリ330と捕捉メモリ355の制御がプロトコルデコード回路370からである。試験刺激信号の送信は、チャンネル機能生成器325からプロトコルデコード回路370に転送される。

40

【0044】

プロトコルデコード回路370は、SOC被試験デバイス315からプロトコルを受け付け、プロトコルをコマンド、アドレスおよび/またはデータにデコードするように構成されたフィールドプログラマブルゲートアレイ(FPGA)のような再構成可能な集積回路であっても良い。受け取ったアドレス、コマンド、制御、タイミングおよびデータから、プロトコルデコード回路370は、IPブロック317iの仕様によって規定された試験刺激信号の構造とタイミングを決定する。プロトコルデコード回路370は、必要な試験刺激信号をメモリコントローラ360を通してDRAM320から抽出するソースメモリ330と通信する。試験刺激信号は、ソースメモリ330からモード選択回路340を通して転送され、IPブロック317iへのコマンド応答を表す試験刺激信号は、モード

50

選択回路365を通して転送される。試験刺激信号は、相互接続337と339を通してPINエレクトロニクス310aと310bへ、SOC被試験デバイス315のIPブロック317iまで転送される。例えば、もし自動化試験設備システム300がランダムアクセスメモリ(RAM)をシミュレーションするものであり、SOC被試験デバイス315のIPブロック317iがメモリコントローラであれば、メモリコントローラは、デコードされた時にRAMのためのアドレス、コマンド、制御、タイミングおよびデータである試験応答信号を送る。プロトコルデコード回路370は、試験応答信号を受け取り、試験応答信号をアドレス、コマンド、制御、タイミングおよびデータにデコードする。プロトコルデコード回路370は、SOC被試験デバイス315のIPブロック317iに供給されるべき試験刺激信号の構造とタイミングを決定する。RAMの読み出しコマンドの場合には、プロトコルデコード回路370は読み出し待ち時間タイミングと転送されるべきデータの構造を決定し、それに従って試験刺激信号を転送するようにソースメモリ330に命令するとともに、プロトコルデコード回路370がIPブロック317iのメモリコントローラのためのあらゆる指定されたコマンドおよびタイミング応答信号を提供する。

10

【0045】

書き込みの場合には、プロトコルデコード回路370は捕捉メモリからのアドレスとコマンドをデコードして書かれたデータを格納する。プロトコルデコード回路370はまた、モード選択回路365、送信回路335およびPINエレクトロニクス310aと310bを通してIPブロック317iへの試験刺激信号として、書き込みを受領する応答を始動する。このアクションでは、あたかもSOC被試験デバイス315がその標準動作環境にあるかのように、試験されているIPブロック317a、317b、...、317nのいずれかが機能的に正しいやり方でIPブロック317iと相互作用する。

20

【0046】

なお、ソースメモリ330と捕捉メモリ355は理想的には、静的RAMまたは動的RAMのようなランダムアクセスメモリであることに注意すべきである。しかしながら、高性能SOC被試験デバイス315の動作環境をシミュレーションする際には、ソースメモリ330と捕捉メモリ355はファーストインファーストアウト(FIFO)メモリであっても良い。FIFOメモリはそれらの性質により、静的および動的RAMよりも試験刺激信号のより速い転送と受信を許容する。更に、この実施形態では、ソースメモリ330、捕捉メモリ355およびモード選択回路340と365もまたFPGA内の再構成可能な回路である。

30

【0047】

この実施形態は、プロトコル特定回路305のための単一のATEクロック385とともに示されているが、プロトコル特定回路305はオプションで、動作の不確定的モード中には被試験デバイスクロックによって、確定的モード中には自動化試験設備システムクロック385によって、クロックされて、試験応答信号の転送の適切な同期を確かなものとしても良い。図2に示されているマルチプレクサ275と同様のオプションのマルチプレクサ(図示せず)が、被試験デバイスクロックと自動化試験設備システムクロック385の間での切り替えのために設けられても良い。オプションのマルチプレクサは、確定的および不確定的モードの間でプロトコル特定回路305の動作モードを制御するように、プロトコル認識選択信号345によって制御される。

40

【0048】

自動化された試験設備システムの図2と3の実施形態は、プロトコル特定回路を含んだ単一のプロトコル認識チャンネルを示す。従来の自動化試験設備システムでは、各チャンネルがSOC被試験デバイスの特定の数のPIN(例えば、8PIN)のための刺激と応答を制御している、複数のチャンネルがあった。いくつかの実施形態の自動化試験設備システムの複数のプロトコル認識チャンネルは、他のプロトコル認識チャンネルと通信してSOC被試験装置からのプロトコルコマンドをデコードし、それからSOC被試験デバイスによって期待された、正しく構造化されタイミング化された応答である試験刺激信号を生成して同

50

期する。

【0049】

ここでこの実施形態の自動化試験設備システム400の記載のために図4を参照する。自動化試験設備システム400は、複数のPINエレクトロニクスユニット410a、…、410nに接続されたプロトコル特定回路405a、…、405nの複数のチャンネルを有する。上述した複数のPINエレクトロニクスユニット410a、…、410nの各々は、負荷アダプターの物理的相互接続を通してSOC被試験デバイス440と自動化試験設備システム400の間の電氣的インターフェース402a、…、402nと404a、…、404nを提供する。プロトコル特定回路405a、…、405nの各々は、複数のPINエレクトロニクスユニット410a、…、410nの少なくとも一つに接続されて、SOC被試験デバイス440に試験刺激信号を提供し、SOC被試験デバイス440から試験
10
10

【0050】

プロトコル特定回路405a、…、405nの各々は、図2のプロトコル特定回路205または図3のプロトコル特定回路305の残りの回路と協調して、図2のプロトコル認識エンジン270または図3のプロトコルデコード回路370として機能する、プロトコル認識コントローラ415を有する。プロトコル特定回路405a、…、405nの各プロトコル認識コントローラ415は、その指名されたDRAM420a、…、420nと通信して、必要な試験コマンドを提供し、SOC被試験デバイス440の実践の試験結果を履歴記録する。
20

【0051】

多数のPINを有するプロトコルでは、プロトコル特定回路405a、…、405nは、コマンドのデコーディングを調和させ、期待された応答を同期的にシミュレーションする試験応答信号を生成する。期待された応答を同期的にシミュレーションするには、プロトコル特定回路405a、…、405nは、プロトコル特定回路405a、…、405nの内の協調し得るもの間の同期通信インターフェース425を通して通信する。この協調は、動作の待ち時間に影響を与え得るので、よって通信はプロトコル特定回路405a、…、405n間のクロス通信の影響を最小化するように構造化される。例えば、プロトコル認識コントローラ415の一つがマスターとしての役割を果たし、デコーディングのために隣接するプロトコル特定回路405a、…、405nから直接試験刺激信号を受け取っても良い。マスターのプロトコル認識コントローラ415はそれから、プロトコルによって指定された試験応答信号の構造とタイミングを構築するための適切な命令を送り出すとともに、動作のための待ち時間の影響を最小化する。待ち時間同期信号ライン(ISL)435が、複数のプロトコル特定回路405a、…、405nに跨った特定のプロトコルアクションの始動を送り出すためにマスターのプロトコル認識コントローラ415によって使われる。
30

【0052】

自動化試験設備システム400は、プロトコル特定回路405a、…、405nによって決定された異なるタイミングを生成する複数のマスター発振器430aと430bを有していても良い。これは、自動化試験設備システム400の確定的動作について特にそうである。自動化試験設備システム400の不確定的動作では、マスター発振器430aと430bが試験の確定的操作を含んだ部分について使われても良い一方で、不確定的動作中のプロトコル認識コントローラ415についてはSOC被試験デバイス440からの外部タイミングが使われても良い。
40

【0053】

ここで、機能的試験のために被試験デバイスがその中に置かれるところの機能的動作環境を自動試験システム内でシミュレーションするための方法の記載のために図5aと5bを参照する。被試験デバイスは、アダプター(または負荷)ボード、即ちDIB中に置かれたSOC集積回路である。PINエレクトロニクスは被試験デバイスと自動試験システムの試験回路の間の電氣的インターフェースをDIBを介して提供する。方法は、自動試
50

試験システムの動作のモードを選択すること (Box 500) によって始まる。もし動作の確定的モードが選択されるべきと決定されれば (Box 505)、SOC被試験デバイスの通常の動作試験が行われる (Box 510)。もし不確定的モードが選択されるべきと決定されれば (Box 505)、SOC被試験デバイスから不確定的応答信号が受け取られる (Box 515)。所定のプロトコルに基づいて、SOC被試験デバイスに転送されるべき期待された刺激信号が、不確定的応答信号から確定される (Box 520)。自動試験システムから被試験デバイスへの期待された刺激信号の送信が始動される (Box 525)。不確定的応答信号は、応答捕捉格納装置内に格納される (Box 530)。不確定的応答信号は評価されて (Box 540)、もし不確定的応答信号がSOC被試験デバイスの動作条件を決定するようにSOC被試験デバイスから正しく送信されたかどうかを決定する。

10

【0054】

期待された刺激信号は、符号化された刺激データから生成され (Box 545)、期待された刺激信号格納装置中に格納される (Box 550)。期待された刺激信号の少なくとも一つが選択される (Box 560)。デコードされた不確定的応答信号から、期待された刺激信号のタイミングと待ち時間遅延が、SOC被試験デバイスへの送信のために同期化される (Box 565)。

【0055】

不確定的応答信号と期待された刺激信号の所定のプロトコルは、ランダムアクセスメモリアンターフェースプロトコル、通信インターフェースプロトコル、またはコンピューティングデバイスインターフェースプロトコルであっても良い。

20

【0056】

不確定的応答信号のデコーディングは、SOC被試験デバイスの通常の動作環境において期待されるであろう適切なタイミングと待ち時間遅延をもった期待された刺激信号によって、期待された応答をSOC被試験デバイスに転送することを、自動試験システムに許容する。

【0057】

“JEDEC Standard JESD79-3 - DDR3 SDRAM Standard”, JEDEC Solid State Technology Association, Arlington, VA, June 2007は、特徴、機能性、ACおよびDC特性、パッケージ、およびボール/信号割り当てを含んだ、ダブルデータレート (DDR3) シンクロナスダイナミックランダムアクセスメモリ (SDRAM) 仕様を規定する。上述したようにSOC被試験デバイスのIPブロックの一つは、DDR3 SDRAMを含んだメモリシステムのためのコントローラ回路であっても良い。SOC被試験デバイスのIPブロックの機能的評価では、他のIPブロックがコントローラ回路IPブロックとメモリシステムの間データの転送を要求していても良い。試験環境では、このタイプのアクセスは確定的ではなく、IPブロック間の相互作用のタイミングに基づいている。コントローラIPブロックは、タイミング、コマンド、制御およびデータ信号を稼働させてDDR3 SDRAMとSOC被試験デバイス間でデータを転送する。様々な実施形態の自動化試験設備システムは、コントローラIPブロックについて指定されたタイミングと構造において適切な信号で応答して、SOC被試験デバイスの残りのIPブロックと正しく相互作用する。上記されたように、この相互作用のタイミングは不確定的であり、プロトコルの仕様に従って達成される。図6を参照すると、コントローラIPブロック600は、DDR3 SDRAM標準に規定されたように、データ信号605aと605bと、コマンド信号 (RAS#, CAS#, WE#) 610と、選択およびイネーブル信号615と620と、クロッキング信号 (CK, CK#) 625と、アドレス信号630と、ストロブおよび同期信号635aと635bを生成する。

30

40

【0058】

様々な実施形態のプロトコル認識コントローラは、信号を受け取り、アクションをデコードし、コマンドを実行して、要求されたアクションを行う。プロトコルコントローラはそれから、DDR3 SDRAM応答をシミュレーションする試験刺激信号をタイミングを採って同

50

期して、それらが一貫したクロック待ち時間（CL）でSOC被試験デバイスに到着するようにする。非動作（NOP）サイクルは捕捉されて比較されるべきである。NOPサイクルを取り外すことは、様々な実施形態の自動化試験設備システムによって使われるデータセットサイズを削減し、様々な実施形態の自動化試験設備システム内のプロトコル認識コントローラの直接の利点の一つである。

【0059】

この例から見る事ができるように、DDR3 SDRAMプロトコルは、合計26個のアドレス/コマンド/クロッキングPIN（610、615、620、625、630）と、観察されるべき別の22個のデータ/マスク/ストロブPIN（605a、605b、635a、635b）を含む。合計48チャンネルがこの実施形態の自動化試験設備システム内で採用されて、DDR3 SDRAM機能をシミュレーションする。もしプロトコル認識コントローラの各々が合計8チャンネルを制御すれば、プロトコル認識コントローラの少なくとも6個がDDR3 SDRAMをシミュレーションするように協調的にリンクされて、コントローラIPブロック600の機能的動作を試験する。

10

【0060】

ここで自動化試験設備システム700のチャンネル構造の記載のために図7を参照する。自動化試験設備システム700は、多数のチャンネルボード705aと705b（この例では2個）を有する。チャンネルボード705aと705bの各々は、多数（この例では5個）のプロトコル特定回路710a、...、710eと710f、...、710jを有する。プロトコル特定回路710a、...、710eと710f、...、710jの各々は、多数の入力および出力信号、この例では8個、をデコードし、制御し、同期することが可能である。自動化試験設備システム700のためのチャンネルレイアウトは、DDR3 SDRAMコントローラIPブロック600からのDDR3 SDRAMのプロトコルを収容するように設計されている。プロトコル特定回路710a、...、710eと710f、...、710jのトラッキングに関連するチャンネルについては、プロトコルのためのいくつかの制約が遵守される。DDR3 SDRAMタイミングは、タイミングクロック（CK）またはデータストロブ（DQS）のどちらかと相対的に指定され、プロトコル特定回路710a、...、710eと710f、...、710jのトラッキング機能が採用されて適切なタイミングと同期の規準が満たされることを確かなものとする。アドレス/コマンドチャンネル740、745、750、755がクロッキングチャンネル740に続き、データおよびマスクチャンネル725、730、735がそれらのそれぞれのデータストロブPIN725と730に続く。

20

30

【0061】

プロトコルのデコードされたアドレス、コマンド、制御、タイミングおよびデータ信号の結果は、プロトコル特定回路710a、...、710eと710f、...、710jの間で通信されるので、トラッキング信号720とコマンド信号715は、プロトコル特定回路710a、...、710eと710f、...、710j間で必要なトラッキング信号を転送するように接続される。DDR3 SDRAMプロトコルの場合、クロックタイミングおよびコマンド信号740とデータストロブ（DQS）725と730がトラッキングされ、他のプロトコル特定回路710a、...、710eと710f、...、710jに転送される。

【0062】

プロトコル特定回路710a、...、710eと710f、...、710jのチャンネル（8個）の全てまたは殆どが、殆どの場合において使われるが、2つの場合においては、チャンネルは部分的にだけ使われる（7個）ことに注意すべきである。これは、両方ともdiff信号であるクロックタイミング（CK）およびデータストロブ（DQS）信号のような差分信号をトラッキングする場合についてはトラッキング機能は偶数チャンネル境界上で分岐されるからである。各々の場合において、チャンネルボード705aと705bは、トラッキングされた信号がトラッキングチェーン中の先頭であり、それに従属する信号が続くように設計されている。

40

【0063】

DDR3 SDRAMプロトコルは、チャンネルボード705aと705bを占めるプロトコル特定

50

回路 710 a、...、710 e と 710 f、...、710 j よりも多くをスパンすることに更に注意すべきである。トラッキングおよびコマンド信号は、一つのチャンネルボード 705 a と 705 b から他のチャンネルボード 705 a と 705 b に伝播する。この伝播を許容するように、自動化試験設備システム 700 中にはバックプレーンインターフェースボード信号が存在する。

【0064】

プロトコル特定回路 710 a、...、710 e と 710 f、...、710 j の一つは、制御プロトコル特定回路 710 d に指名される。制御プロトコル特定回路 710 d は、DDR3 SDRAM プロトコルのための様々なタイミングおよびコマンド信号 (CK、CS、CAS、RAS、WE) 740 を受け取る。タイミングおよびコマンド信号 (CK、CS、CAS、RAS、WE) 740 を適切かつ迅速にデコーディングする必要のために、いかなるプロトコルのためのタイミングおよびコマンド信号 (CK、CS、CAS、RAS、WE) 740 も、プロトコル特定回路 710 a、...、710 e と 710 f、...、710 j の間では分岐されない。

【0065】

3つのプロトコル特定回路 710 f、710 g、および 710 h は、DDR3 SDRAM プロトコルのこの実装では使われない。3つのプロトコル特定回路 710 f、710 g、および 710 h はオプションで、例の 16 ビットに対して DDR3 SDRAM のデータバスを 32 ビットに拡張するのに使われる。3つのプロトコル特定回路 710 f、710 g、および 710 h は代替的に、レギュラーチャンネルとして使われるか、または SOC 被試験デバイスの I/P ブロックの別のものための全く異なるプロトコルのために使われる。

【0066】

ここで DDR3 SDRAM プロトコルのタイミング特性の検査のために図 8 と 9 を参照する。図 8 で、クロッキング信号 (CK) の立ち上がりエッジ 800 は、コマンド/アドレス信号の中央において、それらの信号が安定で有効である時に起こる。代替的に、データストローブ信号 (DQS) の立ち上がりエッジ 805 は、データ信号 (DQ) 転送時間の始まりにおいて送り出される。クロック信号 (CK / CK #) を監視しているトラッカーまたは遷移検出器 (図示せず) は、クロック信号が遷移中でない時にデータストローブ (DQS) のレベル遷移をクロック信号 (CK) の中央に位置させるために、90度のトラッカーからのデータストローブ (DQS) のオフセットを許容する。加えて、アドレス/コマンド制御プロトコル特定回路上では、データストローブはトラッカー時間において稼働されるか、その代わりに、データストローブ (DQS) をデータ信号 (DQ) のアイの中心に位置させるために、一つの完全なクロック信号 (CK) サイクル分後にオフセットされる。これは、通過領域を見つけるためのアイ幅を決定する「シュムーイング (shmooing)」またはデータストローブ (DQS) タイミングの条件と入力の変動を許容する。

【0067】

図 9 の書き込みサイクルでは、コントローラ I/P ブロックがデータをソーシングしている時に、データストローブ (DQS) の位置がデータ有効時間 810 の中心に移動する。データストローブ (DQS) のトラッキングは、データ信号 (DQ) の適切な時間 810 でのデータストローブ (DQS) の位置の配置を許容する。

【0068】

プロトコル特定回路 710 a、...、710 e と 710 f、...、710 j は、コントローラ I/P ブロック 600 のクロック位相を、(トラッカーをもった) テスタークロック位相に変換する。プロトコル特定回路 710 a、...、710 e と 710 f、...、710 j のクロックとコントローラ I/P ブロック 600 のクロッキングおよびデータストローブ信号 (CK および DQS) の間にある程度のドリフトがある。これは、DDR3 SDRAM コントローラ I/P ブロック 600 のクロックを直接使うことを試みることなく、チャンネルボード 705 a と 705 b 上でのクロックの生成を許容する。プロトコル特定回路 710 a、...、710 e と 710 f、...、710 j は、より遅いレート (DDR3 SDRAM コントローラ I/P ブロック 600 のクロックレートの 1/4) でプロトコル特定回路 710 a、...、710 e と 7

10

20

30

40

50

10 f、...、710 j にノからデータをクロッキングするので、少なくともDDR3 SDRAMインターフェースについては、プロトコル特定回路710 a、...、710 eと710 f、...、710 jのクロックは、クロック信号(CK)のレートの1/4(最大200MHz)であり得る。DDR3 SDRAM標準のデータレートにマッチするには、プロトコル特定回路710 a、...、710 eと710 f、...、710 jの捕捉メモリとソースメモリが、自動化試験設備システムのより遅いレートで読み書きされた並列化FIFOメモリであっても良いとともに、データがその動作レートでSOC 被試験デバイスのコントローラIPブロック600に転送されることを許容する。

【0069】

プロトコル特定回路710 a、...、710 eと710 f、...、710 jの内部クロッキングは二つの代替案を持つ。一つは、自動化試験設備システムのクロックを使ってプロトコル特定回路710 a、...、710 eと710 f、...、710 jをクロックすることである。代替的に、SOC 被試験デバイスのクロッキングがプロトコル特定回路710 a、...、710 eと710 f、...、710 jのクロッキングのために使われても良い。

【0070】

全てのDDR3 SDRAM標準コマンドは、クロック信号(CK)の立ち上がりエッジにおけるコマンド信号(CS#、RAS#、CAS#、WE#、CKE)の状態によって規定される。クロック信号(CK)境界800のいずれの上においても各固有のコマンドが存在する。但し、許容されるコマンドシーケンスには制限がある。例えば、Burst Length 4をもったREADまたはWRITEは完了するまで中断は出来ないの、連続するREAD/WRITEコマンドの間には少なくとも一つのNOPまたはDESELECTがある。これらの制約の完全なテーブルは、DDR3 SDRAM標準で見つけることができる。これらの制約の違反をフラグ付けすることはオプションであるが、プロトコル特定回路710 a、...、710 eと710 f、...、710 jが不適当に動作すること(例えば、別のREADが直ちに続くREAD)を引き起こす違反のサブセットがある。それらはエラーフラグを設定し、SOC 被試験デバイスのコントローラIPブロック600中の故障としてとして履歴記録される。

【0071】

あらゆる与えられたサイクルにおいてプロトコル特定回路710 a、...、710 eと710 f、...、710 jが行うことができるのは、限られた数のアクションだけである：

1. アドレス/コマンド/WRデータを捕捉メモリ中に格納する(または期待された応答と比較する)；
2. ソースメモリ(READ FIFO)からの読み出しデータをソースする；または
3. なにもしない。

【0072】

コマンド信号入力(CS#、RAS#、CAS#、WE#、CKE)を可能なアクションに変換するために、プロトコル特定回路710 a、...、710 eと710 f、...、710 jのDRAM中にルックアップテーブルが居る。

【0073】

自動化試験設備システムの様々な実施形態は、異なるSOC 被試験デバイスのために多くの異なるプロトコルをサポートする。現行のプロトコルは、SOC 被試験デバイスの試験が始動された時に三つのプロトコル特定回路710 a、...、710 f、710 gと710 h中に構成される。プロトコルは一般に、ランダムアクセスメモリインターフェースプロトコル、通信インターフェースプロトコル、コンピューティングデバイスインターフェースプロトコル、診断試験プロトコルからなるが、他のプロトコルも可能である。これらのプロトコルは、2つの広いカテゴリーに入り得る。第一の例では、SOC 被試験デバイスがバスを制御する(バスマスター)。第二の例では、自動化試験設備システムがバスを制御する。上記の例では、DDR3 SDRAMプロトコルは、SOC 被試験デバイスがバスを制御して自動化試験設備システムが応答する例である。

【0074】

SOC 被試験デバイスの知的プロトコルブロック中に複数のプロトコルエンジンが実装

10

20

30

40

50

されても良いことに注意することが重要である。よって、複数のプロトコルエンジンが、自動化試験設備上で同時に実行されていても良い。例えば、自動化試験設備中に同時に実行されているDRAMポート、JTAGポートおよびMDIOポートプロトコルエンジンがあっても良い。

【0075】

上述した通り、第一の例では、SOC被試験デバイスが自動化試験設備システムとSOC被試験デバイス間のインターフェースを制御する。第二の例では、自動化試験設備システムがSOC被試験デバイスと自動化試験設備システム間のインターフェースを制御する。第一の例では、SOC被試験デバイスが不確定的信号を通信し、自動化試験設備システムが応答する。第二の例では、自動化試験設備システムが適切なプロトコル構造およびタイミングをもった試験刺激信号をSOC被試験デバイスに送り、SOC被試験デバイスがデコードされた不確定的試験応答信号で応答する。いずれの例においても、自動化試験設備はSOC被試験デバイスからの不確定的応答信号を認識して、応答する。

10

【0076】

上記の方法および装置は、SOCを持った部品、ボード、または消費者電子商品のようなデバイスの製造において利用されても良いことが理解されるべきである。よって、SOCを製造した後に、システム-オン-ア-チップからの不確定的応答信号を受け取ることによってテスト中に機能的動作環境をシミュレーションし、所定のプロトコルに基づいて不確定的応答信号からシステム-オン-ア-チップに転送されるべき期待された刺激信号を確定し、期待された刺激信号のシステム-オン-ア-チップへの送信を始動することによって、上述したようにそれは試験されても良い。試験は、デバイス中へのSOCの実装の前または後に行われても良い。

20

【0077】

この発明は、その実施形態を参照して特に示され記載されたが、発明の精神と範囲を逸脱することなく形状や詳細について様々な変更を行っても良いことが当業者には理解されるであろう。

【 図 1 】

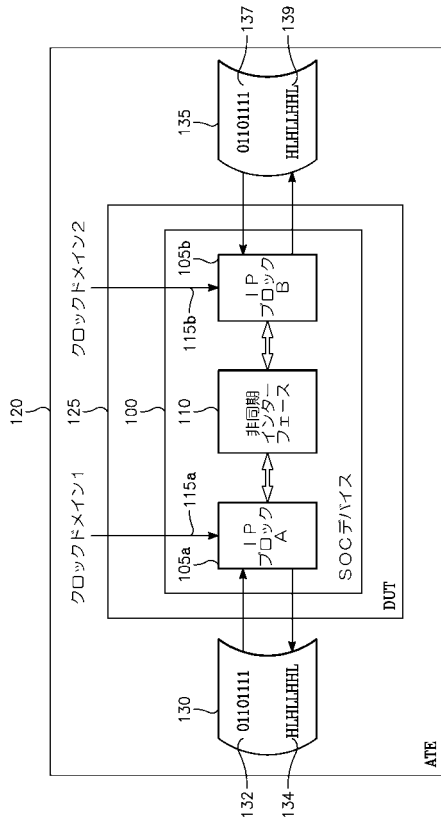


FIG. 1

【 図 2 】

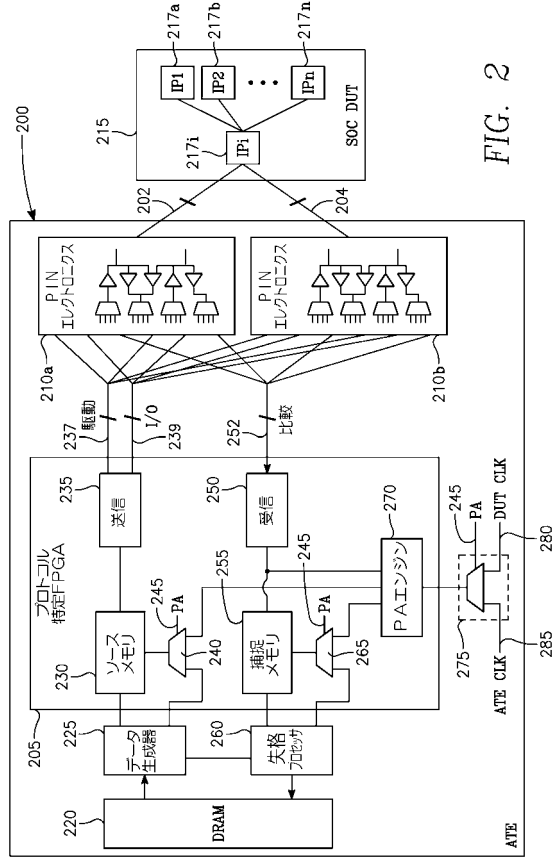


FIG. 2

【 図 3 】

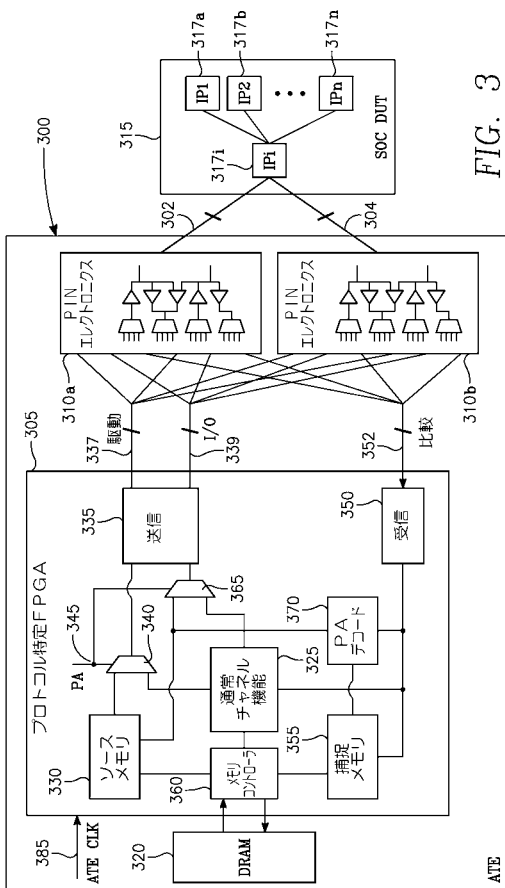


FIG. 3

【 図 4 】

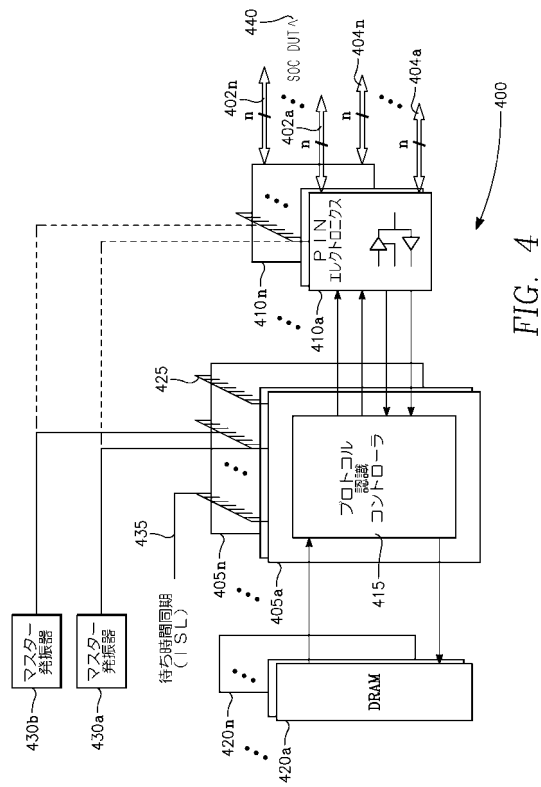


FIG. 4

【図5A】

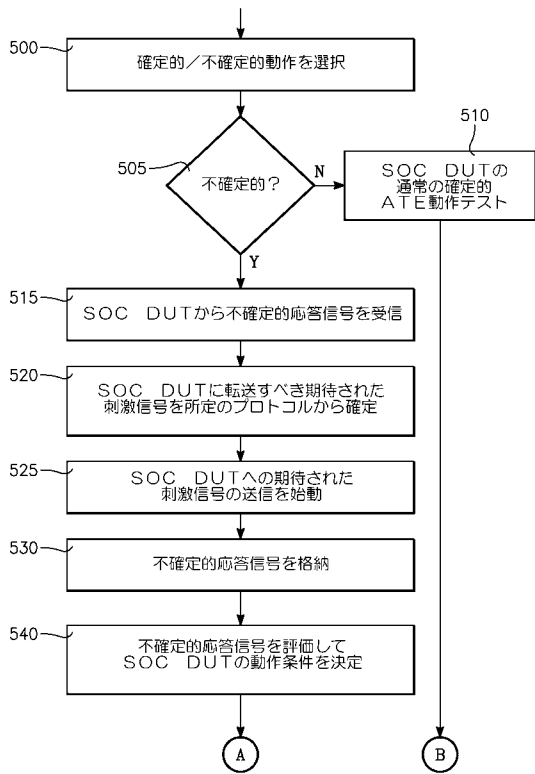


FIG. 5A

【図5B】

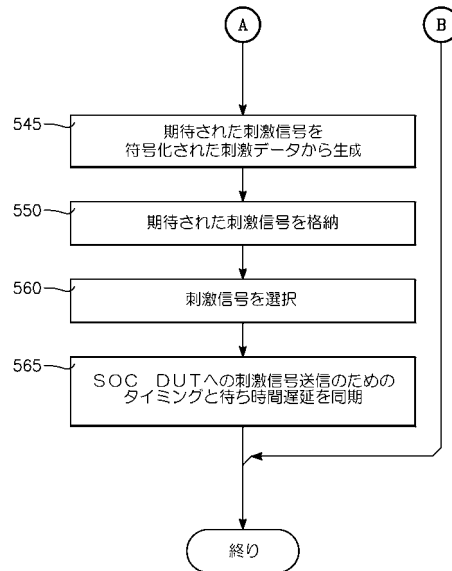


FIG. 5B

【図6】

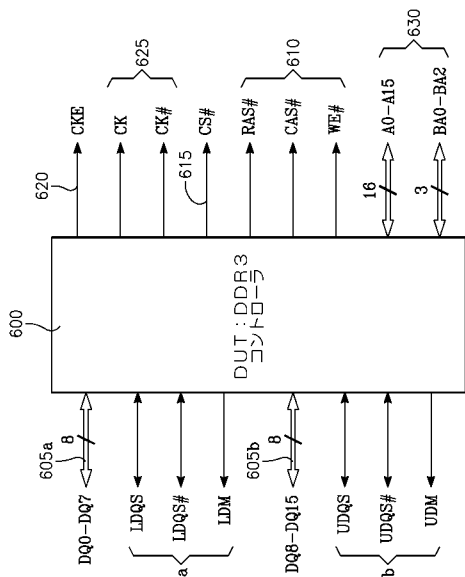


FIG. 6

【図7】

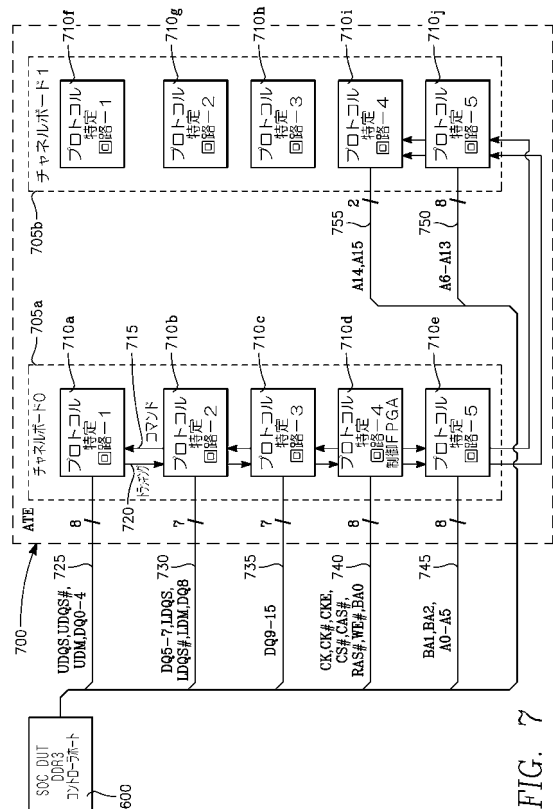


FIG. 7

【 図 8 】

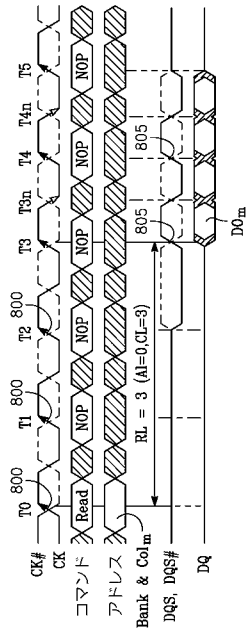


FIG. 8

【 図 9 】

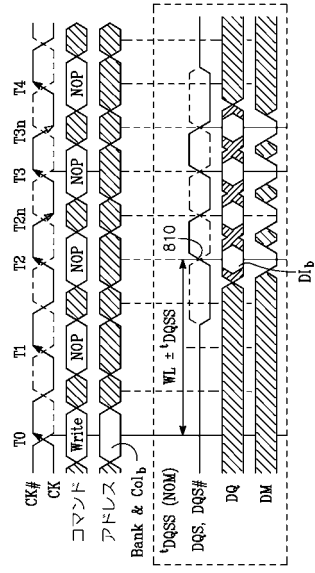


FIG. 9

フロントページの続き

審査官 吉岡 一也

(56)参考文献 特開2002-267721(JP,A)
特開2000-082020(JP,A)
特表2006-514375(JP,A)
特開2002-358249(JP,A)

(58)調査した分野(Int.Cl., DB名)
G01R 31/28
G06F 13/00