



(12)发明专利

(10)授权公告号 CN 102812554 B

(45)授权公告日 2016.08.03

(21)申请号 201180014938.3

(22)申请日 2011.01.27

(30)优先权数据

12/657,757 2010.01.27 US

(85)PCT国际申请进入国家阶段日

2012.09.20

(86)PCT国际申请的申请数据

PCT/US2011/022678 2011.01.27

(87)PCT国际申请的公布数据

W02011/094382 EN 2011.08.04

(73)专利权人 美国国家半导体公司

地址 美国加利福尼亚州

(72)发明人 J·拉达尼

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245

代理人 赵蓉民

(51)Int.Cl.

H01L 29/778(2006.01)

H01L 29/772(2006.01)

(56)对比文件

US 2008/0185608 A1, 2008.08.07, 说明书第[0027]-[0035]段, 图2A-4.

US 2005/0110043 A1, 2005.05.26, 全文.

CN 101604704 A, 2009.12.16, 全文.

US 2004/0155260 A1, 2004.08.12, 说明书第[0059]-[0066]段, 图5-5B.

审查员 王春燕

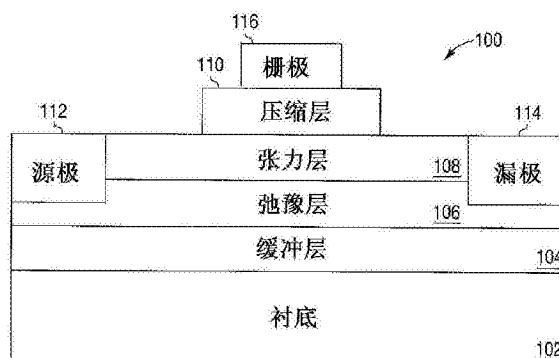
权利要求书2页 说明书4页 附图4页

(54)发明名称

常关型氮化镓基半导体器件

(57)摘要

一种方法包括在半导体器件(100, 500)中形成(604)弛豫层(106, 506)。该方法还包括在弛豫层上形成(606)张力层(108, 510), 其中张力层具有张应力。该方法进一步包括在弛豫层上形成(606)压缩层(110, 508), 其中压缩层具有压应力。压缩层的压电极化强度近似等于或大于弛豫层、张力层和压缩层中的自发极化强度。压缩层中的压电极化强度与压缩层中的自发极化强度方向相反。弛豫层可以包括氮化镓, 张力层可以包括氮化铝镓, 并且压缩层可以包括氮化铝镓。



1. 一种形成常关型半导体器件的方法,其包括:
在半导体器件中形成弛豫层;
在所述弛豫层上形成张力层,所述张力层具有张应力;和
在所述弛豫层上形成压缩层,所述压缩层具有压应力并且所述张力层横向地位于所述压缩层周围;

其中所述压缩层的压电极化强度等于或大于所述弛豫层、张力层和压缩层中的自发极化强度。

2. 根据权利要求1所述的方法,其中:

所述弛豫层包括氮化镓;

所述张力层包括氮化铝镓;和

所述压缩层包括氮化铝镓。

3. 根据权利要求2所述的方法,其中所述氮化铝镓中的镓摩尔分数在0.20和0.25之间。

4. 根据权利要求1所述的方法,其中所述压缩层中的压电极化强度与所述压缩层中的自发极化强度方向相反。

5. 根据权利要求1所述的方法,进一步包括:

至少在所述张力层中形成源极区和漏极区;和

在所述压缩层上形成栅极。

6. 根据权利要求1所述的方法,进一步包括:

在衬底上形成缓冲层;

其中形成所述弛豫层包括在所述缓冲层上形成所述弛豫层。

7. 根据权利要求1所述的方法,其中所述半导体器件包括高电子迁移率晶体管。

8. 一种常关型半导体器件,其包括:

半导体衬底上的弛豫层;

所述弛豫层上的张力层,所述张力层具有张应力;和

所述弛豫层上的压缩层,所述压缩层具有压应力并且所述张力层横向地位于所述压缩层旁边;

其中所述压缩层的压电极化强度等于或大于所述弛豫层、张力层和压缩层中的自发极化强度。

9. 根据权利要求8所述的常关型半导体器件,其中:

所述弛豫层包括氮化镓;

所述张力层包括氮化铝镓;和

所述压缩层包括氮化铝镓。

10. 根据权利要求8所述的常关型半导体器件,其中所述压缩层中的压电极化强度与所述压缩层中的自发极化强度方向相反。

11. 根据权利要求8所述的常关型半导体器件,进一步包括:

至少在所述张力层中的源极区和漏极区;和

所述压缩层上的栅极。

12. 根据权利要求8所述的常关型半导体器件,进一步包括:

所述衬底上的缓冲层；

其中所述弛豫层在所述缓冲层上。

13. 一种形成常关型半导体器件的方法，其包括：

在氮化镓基半导体器件中形成多个层，其中至少一层的压电极化强度等于或大于所述多个层中的自发极化强度，其中形成所述多个层包括形成张力层和形成压缩层，所述压缩层包括所述压电极化强度，并且其中所述张力层横向地位于所述压缩层周围并且与所述压缩层分隔开。

14. 根据权利要求13所述的方法，其中所述压电极化强度与所述自发极化强度方向相反。

15. 根据权利要求14所述的方法，其中：

所述压缩层包括氮化铝镓；且

形成所述压缩层包括选择所述压缩层的镓含量，以实现期望的压电极化强度。

常关型氮化镓基半导体器件

技术领域

[0001] 本公开总体涉及半导体器件。更特别地，本公开涉及常关型氮化镓基半导体器件。

背景技术

[0002] 人们正在研究用于高功率电子应用的各种III-V族化合物。这些化合物包括III-V族氮化物，如氮化镓(GaN)、氮化铝镓(AlGaN)和氮化铝铟镓(AlInGaN)。这些化合物可以用来形成用于高功率高电压应用的高电子迁移率晶体管(HEMT)。

[0003] 许多常规的GaN基晶体管器件工作在常开状态或耗尽模式。这通常要求使用负偏压以便关闭晶体管器件。使用负偏压通常是不期望的。虽然已经提出了一些常关型GaN基晶体管器件，但这些器件也有各种缺点。

发明内容

附图说明

[0004] 为了更彻底理解本公开及其特征，现在结合附图参考下面描述，其中：

[0005] 图1示出根据本公开的第一示例常关型氮化镓基半导体器件；

[0006] 图2示出根据本公开的在图1的半导体器件中的示例极化；

[0007] 图3示出根据本公开的与图1的半导体器件关联的示例能带图；

[0008] 图4A和4B示出根据本公开的图1的半导体器件的电学特性和组成之间的示例关系；

[0009] 图5示出根据本公开的第二示例常关型氮化镓基半导体器件；以及

[0010] 图6示出根据本公开的形成常关型氮化镓基半导体器件的示例方法。

具体实施方式

[0011] 下面讨论的图1到图6以及本专利文件中用于描述本发明原理的各个实施例仅是示例性的，且不应视为以任何方式限制本发明的范围。本领域的技术人员应该理解，本发明的原理可以在任何类型的合适布置的器件或系统中实现。

[0012] 图1示出根据本公开的第一示例常关型氮化镓基半导体器件100。如图1所示，在衬底102上形成半导体器件100。衬底102代表支撑或承载半导体器件100的其他结构的任何合适的半导体衬底。例如，衬底102可以代表硅、蓝宝石或碳化硅衬底。

[0013] 在衬底102上形成缓冲层104。缓冲层104通常代表用于帮助半导体器件100中其他结构与衬底102隔离(例如与衬底102中的缺陷隔离)的薄层。缓冲层104可以由任何合适的(一种或多种)材料并以任何合适的方式形成。例如，缓冲层104可以代表外延层，比如氮化镓(GaN)或氮化铝镓(AlGaN)外延层。

[0014] 在缓冲层104上形成弛豫层106。弛豫层106代表由一般不处于张应力或压应力下或者处于仅少量张应力或压应力下的(一种或多种)材料形成的有源层。弛豫层106可以由

任何合适的(一种或多种)材料并以任何合适的方式形成。例如,弛豫层106可以代表GaN外延层。

[0015] 在弛豫层106上形成张力层108。张力层108代表由在张应力下的(一种或多种)材料形成的阻挡层。张力层108可以由任何合适的(一种或多种)材料并以任何合适的方式形成。例如,张力层108可以代表AlGaInN外延层。应该注意,缓冲层104中的铝浓度(如果有)可以远小于张力层108中的铝浓度。

[0016] 在张力层108上形成压缩层110。压缩层110代表由处于压应力下的(一种或多种)材料形成的阻挡层。压缩层110可以由任何合适的(一种或多种)材料并以任何合适的方式形成。例如,压缩层110可以通过如下步骤形成:淀积AlInGaInN外延层,并刻蚀AlInGaInN,留下张力层110上的一部分AlInGaInN。压缩层110也可以通过在由掩膜限定的指定区域中淀积AlInGaInN而形成。应该注意,缓冲层104中的铝浓度(如果有)可以远小于压缩层110中的铝浓度。

[0017] 在张力层108中且可能地在弛豫层106中形成源极区112和漏极区114。源极区112和漏极区114可以以任何合适的方式形成,例如通过对结构进行掩蔽并执行掺杂工艺(例如注入或扩散工艺)。同样,可以使用任何合适的(一种或多种)掺杂剂形成源极区112和漏极区114中的每一个。

[0018] 在压缩层110上形成栅极116。栅极116可以由任何合适的(一种或多种)材料并以任何合适的方式形成。例如,可以通过在结构上淀积(一种或多种)导电材料,并刻蚀(一种或多种)导电材料,从而形成栅极116。栅极116也可以通过在由掩膜限定的指定区域中淀积(一种或多种)导电材料而形成。

[0019] 如上所述,许多常规的GaInN基晶体管器件工作在常开状态或耗尽模式中。这是由自发极化造成的,自发极化源自GaInN纤锌矿晶体结构的原子结构中的不对称性和铝、镓或铟和氮之间的部分离子键合。该自发极化诱导沿着镓面结构的晶体生长轴的电荷分离。并且,当使用宽带隙阻挡层108(例如铝的摩尔分数在10-30%之间的AlGaInN)时,会由于晶格失配和热系数失配而产生张应变。该应变诱导压电极化,其进一步加强了AlGaInN/GaN系统中的电荷分离。低带隙(GaN)层和宽带隙(AlGaInN)层之间的带隙不连续以及电荷分离导致了在AlGaInN/GaN界面形成二维电子气。该二维电子气的存在导致常开或耗尽模式晶体管。

[0020] 根据本公开,在半导体器件100中使用应变工程来补偿自发极化。应变工程也用于反转在弛豫层/张力层界面产生的电荷。在图2中示出了该情形的图解,其示出在图1的半导体器件100中的示例极化。如图2所示,虽然在层106和110中的自发极化强度 P_{sp} 是沿相同方向,但是在层110中的压电极化强度 P_{pe} 是沿相反方向。这会在栅极116下形成耗尽电子区。同时,源极区112和漏极区114在它们与层106-108的界面处会具有电子积累。当向栅极116施加正电压时,在耗尽电子区的正电荷被耗尽,并且在弛豫层/张力层界面处的电子积累导致开状态。因此,可以在常关型GaInN基晶体管器件中实现高电流和非常低的比导通电阻($R_{DS(on)}$)。

[0021] 在半导体器件100中,使用压缩层110来补偿自发极化。当压缩层110由AlInGaInN形成时,铝组分可以约为20%,并且镓组分可以约为20%。在该组成的情况下,在张力层108的顶部上产生压应变,其可以导致轻微压缩性的总应变。在特定实施例中,AlInGaInN压缩层110可以产生高达 $0.04C/m^2$ 的极化强度,其会稍微高于器件100中的总自发极化强度并与其相反。

[0022] 图3示出与图1的半导体器件100关联的示例能带图300。可以使用压缩层110中的应变来补偿自发极化,从而调节器件100的阈值电压 V_T 。在压电极化强度大于或等于自发极化强度的情况下,在零栅极电压偏置时,在弛豫层/张力层界面处或在弛豫层/缓冲层界面处可能形成少量二维电子气,或没有二维电子气。

[0023] 图4A和4B示出图1的半导体器件100的电学特性和组成之间的示例关系。具体地,图4A示出曲线图400,其示出器件100中的自发极化强度 P_{SP} 如何根据压缩层110(假设AlInGaN压缩层含20%铝)的镓组分变化。如这里所示,对于镓组分从零摩尔分数变化到0.25摩尔分数,自发极化强度 P_{SP} 只是略微变化,仅增加约 0.0008C/m^2 。

[0024] 图4B示出曲线图450,其示出器件100中的压电极化强度 P_{PE} 如何根据压缩层110(假设AlInGaN压缩层含20%铝)的镓组分变化。如这里所示,对于镓组分从零摩尔分数变化到0.25摩尔分数,压电极化强度 P_{PE} 变化程度较大,增加超过 0.05C/m^2 。

[0025] 曲线图400和450示出,可以调节AlInGaN压缩层110的镓组分,从而得到合适的压电极化强度 P_{PE} 。该压电极化强度 P_{PE} 可以被选择为,其略微大于自发极化强度 P_{SP} 。

[0026] 图5示出根据本公开的第二示例常关型氮化镓基半导体器件500。如图5所示,半导体器件500包括衬底502、缓冲层504和弛豫层506。这些部件502-506可以与图1中对应的部件102-106相同或相似。

[0027] 在弛豫层506上形成压缩层508。压缩层508可以由任何合适的(一种或多种)材料并以任何合适的方式形成。例如,压缩层508可以通过如下步骤形成:淀积AlInGaN的外延层,并刻蚀AlInGaN,留下弛豫层506上的一部分AlInGaN。也可以通过在由掩膜限定的指定区域中淀积AlInGaN而形成压缩层508。同样,压缩层508具有足够的压应变从而补偿半导体器件500中产生的总自发极化强度。

[0028] 在弛豫层506上和压缩层508的旁边或周围形成张力层510。张力层510可以由任何合适的(一种或多种)材料并以任何合适的方式形成。例如,张力层510可以由AlGaIn形成。作为特定例子,张力层510可以通过选择性外延生长铝含量为20%的AlGaIn而形成。在张力层510中且可能地在弛豫层506中形成源极区512和漏极区514,在压缩层508上形成栅极516。

[0029] 在图1的半导体器件100中,二维电子气仍然会形成于源极区112和层106-108之间的界面处,以及漏极区114和层106-108之间的界面处。在图5的半导体器件500中,二维电子气会形成于源极区512和层506和510之间的界面处,以及漏极区514和层506和510之间的界面处。该二维电子气帮助提供高电流和低比导通电阻。然而,二维电子气远离栅极116和516,位于不会造成半导体器件100和500处于常开的区域。二维电子气会在半导体器件100和500中形成,因为压缩层110和508被刻蚀为远离源极区和漏极区所处位置,或未在源极区和漏极区所处位置形成。

[0030] 虽然图1至图5示出两个示例常关型氮化镓基半导体器件和相关细节,但是可以对图1至图5进行各种改变。例如,虽然上面描述了具体的材料和制造工艺,但是可以使用任何其他材料和制造工艺来形成半导体器件100和500的各个层或其他结构。同样,虽然上面描述了具体的电学或其他特性,但是这些细节仅仅是示例。

[0031] 图6示出根据本公开的用于形成常关型氮化镓基半导体器件的示例方法600。如图6所示,在步骤602中,在衬底上形成缓冲层。例如,这可以包括在衬底102、502上形成缓冲层104、504。在步骤604,在缓冲层上形成弛豫层。例如,这可以包括在缓冲层104、504上形成弛

豫层106、506。这两层都可以代表外延层。

[0032] 在步骤606,在弛豫层上形成张力层和压缩层。例如,这可以包括在弛豫层106上形成张力层108和在张力层108上形成压缩层110。这也可以包括在弛豫层506上形成压缩层508和在弛豫层506上且靠近压缩层508形成张力层510。压缩层具有大于或等于结构中的自发极化强度 P_{sp} 的压电极化强度 P_{PE} 。

[0033] 在步骤608形成源极、漏极和栅极结构。例如,这可以包括在张力层108、510中以及可选地在弛豫层106、506中形成源极区112、512和漏极区114、514。半导体器件的形成在步骤610完成。例如,这可以包括形成至源极、漏极和栅极结构的电连接。这还可以包括将半导体器件100、500包封在保护性封装中或形成其他结构,以完成HEMT晶体管器件的形成。

[0034] 虽然图6示出用于形成常关型氮化镓基半导体器件的示例方法600,但是可以对图6进行各种改变。例如,虽然示出一系列步骤,但图6中的不同步骤可以重叠,平行发生,或以不同顺序发生。同样,可以以许多不同的方式实现通过应变管理压电极化强度,方法600说明其中一个例子。

[0035] 阐明本专利文件中所用的某些词和短语的定义是有利的。术语“包括”和“包含”,及其派生词,意味着包括但不限于。术语“或”是包括性的,意味着和/或。

[0036] 虽然本公开已经描述了某些实施例和一般关联的方法,但是对这些实施例和方法的改动和置换对本领域技术人员来说是显而易见的。因此,示例实施例的以上描述不限定或限制本公开。在不偏离所附权利要求限定的本公开的精神和范围的情况下,其他改变、替换和改动也是可能的。

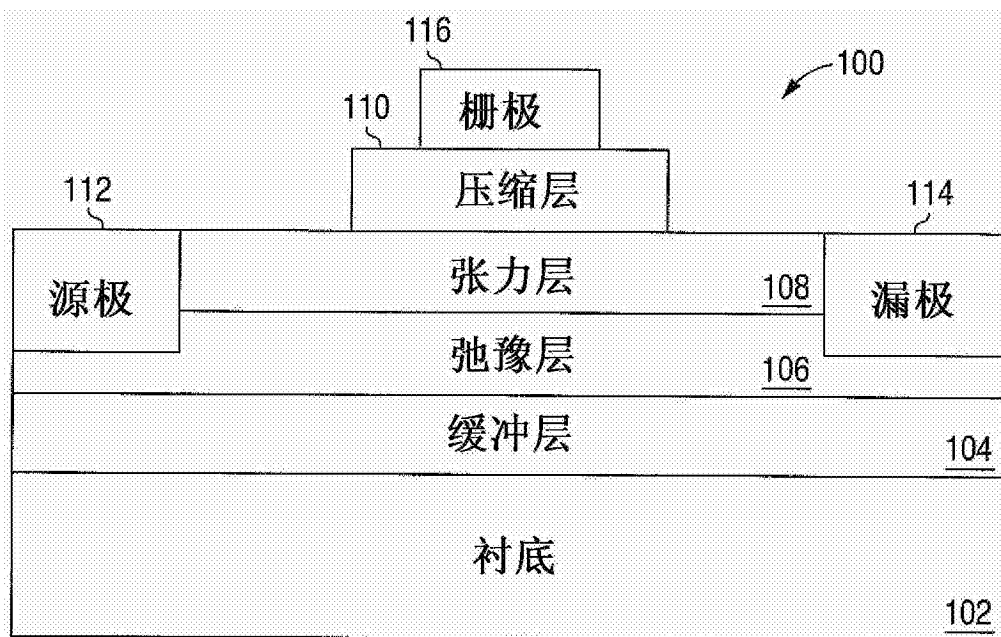


图1

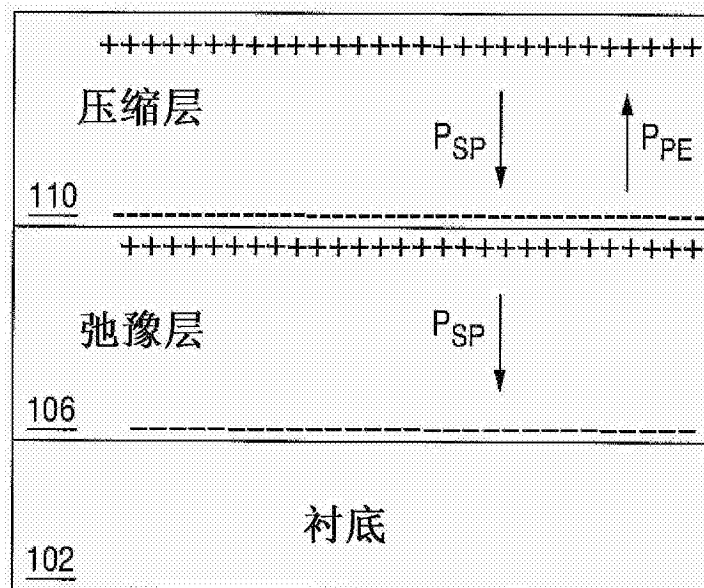


图2

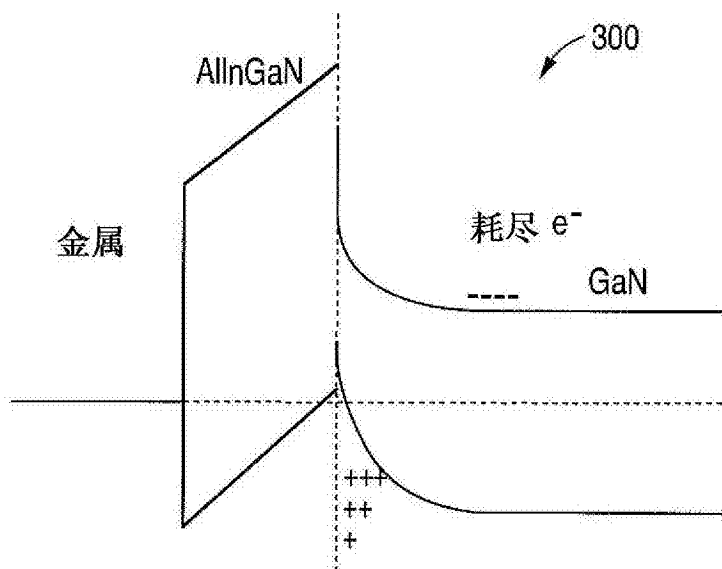


图3

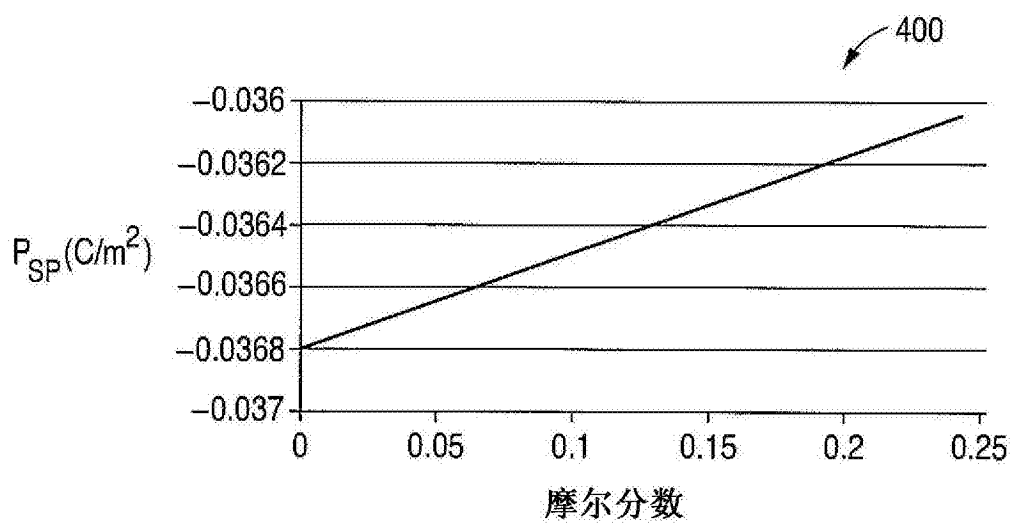


图4A

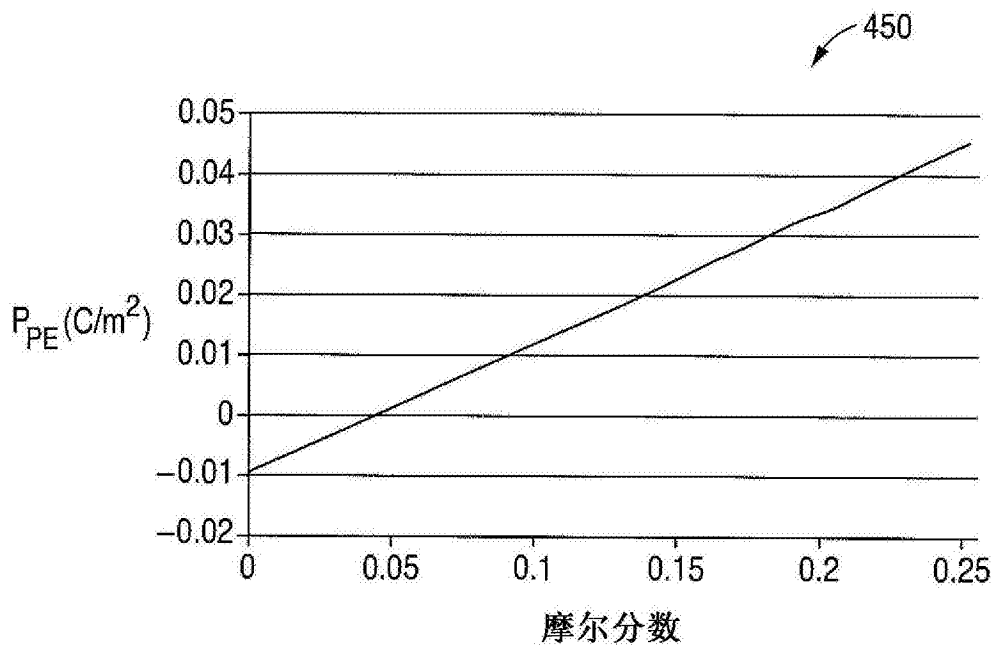


图4B

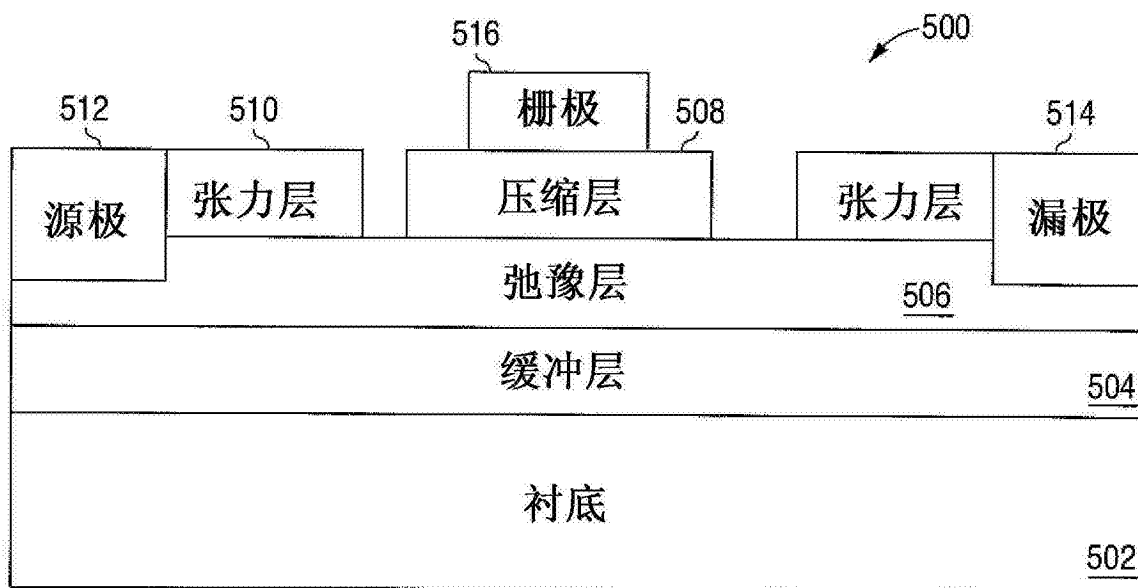


图5

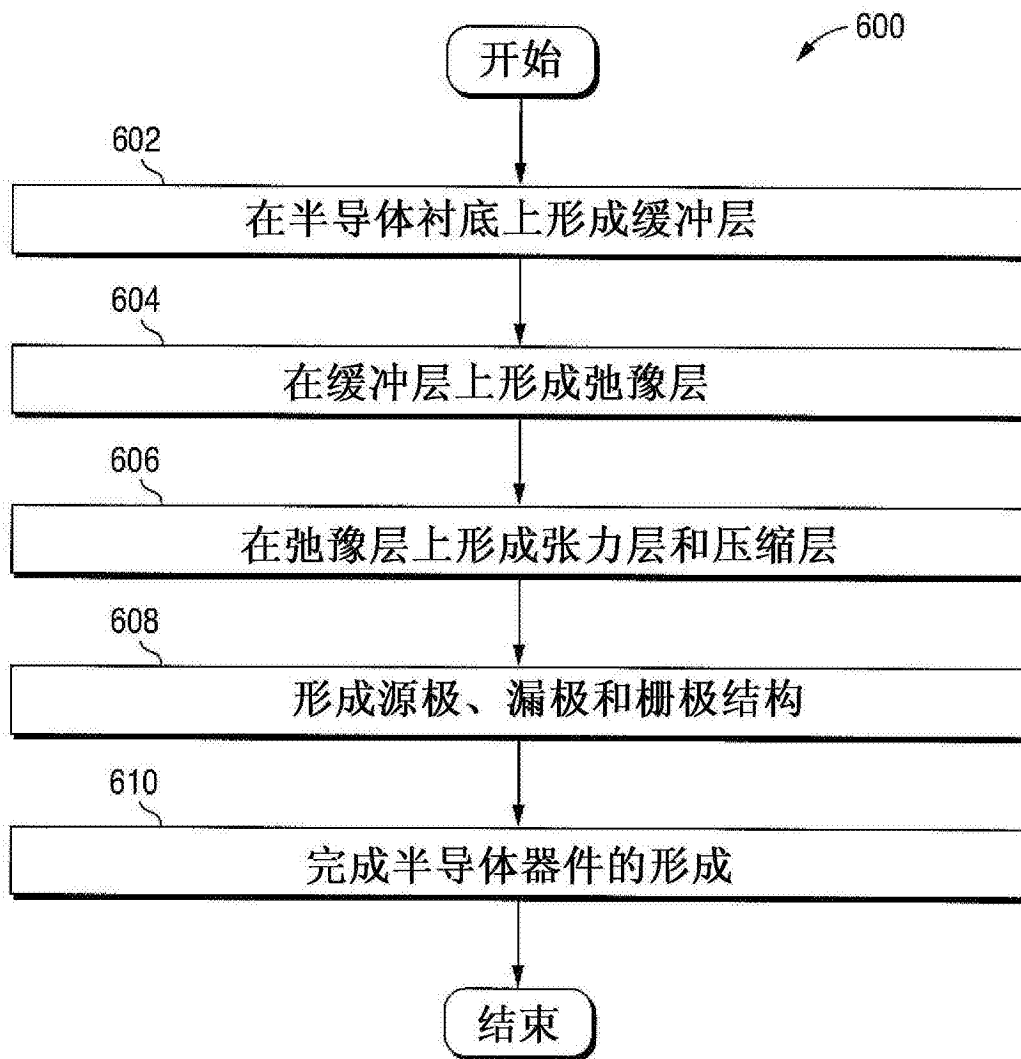


图6