

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94118677

※ 申請日期：94.4.21

※IPC 分類：H04L 27/014

一、發明名稱：(中文/英文)

控制裝置

CONTROL DEVICE

二、申請人：(共1人)

姓名或名稱：(中文/英文)

三洋電機股份有限公司

SANYO ELECTRIC CO., LTD.

代表人：(中文/英文) 桑野幸德 / KUWANO, YUKINORI

住居所或營業所地址：(中文/英文)

日本國大阪府守口市京阪本通2丁目5番5號

5-5, Keihanhondori 2-chome, Moriguchi-shi, Osaka, Japan

國 籍：(中文/英文) 日本國 / JAPAN

三、發明人：(共1人)

姓 名：(中文/英文)

鈴木貴之 / SUZUKI, TAKAYUKI

國 籍：(中文/英文)

日本國 / JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本國；2004 年 04 月 22 日；特願 2004-126940（主張優先權）

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明為有關一種控制裝置。

【先前技術】

通常，在光碟驅動裝置(optical disk drive)等外圍設備中裝載 ROM，以作為用於記憶進行各電路的控制用的微電腦(CPU)的動作程式(operation program)的記憶體。近年來，作為該 ROM，通常使用可電改寫數據的快閃 ROM(flash ROM)。其需要通過外圍設備開發中進行的調試或提高外圍設備的功能用的更新(升級)來進行動作程式的更新。

在快閃 ROM 中寫入兩種程式，其是 CPU 進行各電路的控制用的前述動作程式和更新其用的更新用程式。在外圍設備的通常動作時，CPU 根據寫入快閃 ROM 中的動作程式來進行各電路的控制。另一方面，在動作程式的更新時，CPU 係根據寫入快閃 ROM 中的更新用程式來改寫記憶在快閃 ROM 中的動作程式。

以上的說明是已經在快閃 ROM 中寫入了動作程式和更新用程式的狀態下的動作。但是，在所有初始狀態中，當然沒有向快閃 ROM 寫入任何數據。即，CPU 為了向快閃 ROM 寫入動作程式，至少需要已經向快閃 ROM 寫入了更新用程式，但是在所有初始狀態中，其沒有被寫入。

因此，在現有技術中，或者委託快閃 ROM 製造者，或者使用 ROM 寫入器等在快閃 ROM 單體的狀態下，進行預先

決定的初始數據(至少包含更新程式的數據)的寫入。該寫入了初始數據的快閃 ROM 的晶片之後經由焊接等方法安裝到該設備的印刷基板上。

[專利文獻 1]

日本特開平 5-81012 號公報

但是，在上述方法中，由於在向外圍設備安裝快閃 ROM 晶片前，另外需要初始數據的寫入操作，所以製程煩雜化，製造成本仍然高昂。

因此，在與上述不同的現有技術中，採用了安裝沒有寫入數據的快閃 ROM，之後，進行動作程式的寫入的方法。具體的，在該設備中內置至少記憶了更新程式的罩膜型 ROM(mask ROM)，並將該罩膜型 ROM 連接到 CPU 上。並且，根據在罩膜型 ROM 中記憶的更新程式來使 CPU 動作，該 CPU 將經 ATA/ATAPI 和 SCSI 等界面從外部的主機接收的動作程式寫入到快閃 ROM 中。

但是，在該方法中，至少需要記憶了更新程式的罩膜型 ROM，但是該罩膜型 ROM 在通常的動作中不使用。因此，裝載了在通常的動作中完全沒有必要的罩膜型 ROM 使控制裝置(控制用積體電路)的晶片面積增大。另外，由於需要向外部供給初始數據的外部主機，所以初始數據的寫入操作用的步驟成本依然很大。

【發明內容】

[解決課題之手段]

本發明的目的是提供一種不但可以抑制電路面積的增

加和製造成本的增大，還可在電可改寫的內部非揮發性記憶體中進行 CPU 的動作程式的寫入的控制裝置。

為了解決上述問題，本發明提供一種控制裝置，其特徵在於，包括：可電方式改寫的內部非揮發性記憶體，其用於記憶使微電腦進行規定的動作控制的動作程式；內部界面，其控制與所述內部非揮發性記憶體的輸入輸出；外部界面，其控制與外部非揮發性記憶體的輸入輸出；下載電路，其控制重複進行依據來自外部的指示，經前述外部界面以規定的位址為單位讀出記憶在前述外部非揮發性記憶體中的數據，並經前述內部界面以前述規定的位址為單位向前述內部非揮發性記憶體寫入前述數據的動作；在前述下載電路根據來自外部的前述指示而動作的過程中，前述微電腦為休眠狀態，前述內部界面切斷前述內部非揮發性記憶體和前述微電腦的連接。

根據本發明，不但可以抑制電路面積的增大和製造成本的增大，而且可以在電可改寫的內部非揮發性記憶體中進行 CPU 動作程式的寫入。

【實施方式】

下面，根據第 1 圖說明具體化了本發明的一實施方式。

第 1 圖是表示例如 CD-ROM 驅動裝置等的控制裝置 100 的方塊圖。如該圖所示，該控制裝置 100 包括：作為可電改寫的內部非揮發性記憶體的內部快閃 ROM10、微電腦 (CPU)20、外部界面 40、下載電路(download circuit)50、第一命令暫存器(command register)61、第二命令暫存器

62 和內部界面 70。內部快閃 ROM10 在工廠的製造之後，不馬上寫入初始數據(動作程式和更新用程式)，CPU20 不能進行任何動作。

下面，針對本實施方式的向內部快閃 ROM10 的初始數據的寫入(下載)，說明概略。

控制裝置 100 可以經外部界面 40 連接作為外部非揮發性記憶體的外部串聯快閃 ROM30。在下載時，將外部串聯快閃 ROM30 連接到外部界面(external interface)40 上，在該外部串聯快閃 ROM30(external serial flash memory)中記憶有初始數據。若將下載啟動信號(down load enable signal)經外部端子發送到下載電路 50，則下載電路 50 生成使 CPU20 的動作休眠的控制信號，同時內部界面 70 即切斷 CPU20 和內部快閃 ROM10 的連接。因此，下載電路 50 不會因 CPU20 而受阻礙，而可以向內部快閃 ROM10 的規定位址依次寫入規定數據。

之後，下載電路 50 經外部串聯界面 40 以規定的位址為單位讀出記憶在外部串聯快閃 ROM30 中的數據，並將所讀出的數據經內部界面 70 寫入到內部快閃 ROM10 中。之後，下載電路 50 從外部串聯快閃 ROM30 中讀出規定的位址單位的下一數據，並將所讀出的數據寫入到內部快閃 ROM10 中。經由將其重復到內部快閃 ROM10 的最終位址而可將全部的數據(動作程式)寫入到內部快閃 ROM10 中。寫入結束後，下載電路 50 驗證寫入到內部快閃 ROM10 中的數據。驗證後，下載電路 50 將表示寫入結束的下載結束信號

經外部端子發送到外部。在外部，若接收了下載結束信號，則使 LED 發光，而可以知道向內部快閃 ROM10 的初始數據的寫入(下載)結束。

由內部界面 70 連接 CPU20 和內部快閃 ROM10，而將 CPU20 的動作從休眠狀態恢復之動作可在驗證後馬上由下載電路 50 進行，也可由下載結束後的電源重新接通來進行。

接著，詳細說明本實施方式的向內部快閃 ROM10 的初始數據的寫入形態。

由非揮發性記憶體構成的第一命令暫存器 61 是預先記憶從外部串聯快閃 ROM30 讀出數據用的命令組(command set)的暫存器組(register set)。但是，不需要來自外部串聯快閃 ROM30 的讀出用命令組時，也可不設置第一命令暫存器 61。所謂命令組通常是指在存取快閃記憶體時需要的命令，而以將多對的命令位址和命令數據發送到快閃記憶體中而使快閃記憶體進行刪除、寫入、讀出等規定動作。命令組的內容因快閃記憶體的標準而不同。

另外，第二命令暫存器 62 是記憶向內部快閃 ROM10 寫入數據、或從內部快閃 ROM10 讀出數據用的命令組的暫存器組(register set)。第二命令暫存器 62 可以由非揮發性記憶體構成，也可由揮發性記憶體構成，從外部串聯快閃 ROM30 的規定位址區域中讀出命令組後進行記憶。這時，在外部串聯快閃 ROM30 的規定位址區域中預先記憶有內部快閃 ROM10 的命令組。

下載電路 50 構成為包括下載控制電路 51、正反器 (flip flop) 52、位址暫存器 53、數據暫存器 54 和計數器 55。

下載控制電路 51 在連接位址暫存器 53、數據暫存器 54 和計數器 55 的同時，經正反器 52 連接到內部界面 70。正反器 52 設置為保持下載控制電路 51 和內部快閃 ROM10 之間的多個信號。

位址暫存器 53 是記憶訪問外部串聯快閃 ROM30 和內部快閃 ROM10 的位址的暫存器。數據暫存器 54 是針對記憶在位址寄存器 53 中的位址，記憶從外部串聯快閃 ROM30 中讀出的數據的暫存器。計數器 55 是計數對內部快閃 ROM10 的寫入所需的循環數的計數器，計數到對應於內部快閃 ROM10 的電特性和時鐘信號的頻率的計數設定值(循環數)為止。該計數設定值可以在計數器 55 中作為非揮發性記憶體進行預先記憶，也可以從外部串聯快閃 ROM30 的規定位址區域讀出，而記憶到揮發性記憶體中。

內部快閃 ROM10 因設置和保存的時間，在該訪問的間隔中需要規定的期間。例如，在向內部快閃 ROM10 連續寫入數據的情況下，在寫入一個數據後，到寫入下一數據為止，必須等待規定期間。該規定期間係依內部快閃 ROM10 的電特性而定。

下載控制電路 51 為了得到該等待時間，利用時鐘信號。即，下載控制電路 51 係藉由使計數器 55 計數時鐘信號的脈衝數，來測量規定的期間(等待時間)。並且，時鐘

信號的頻率因裝載該控制裝置 100 的外圍設備而不同。因此，下載控制電路 51 等待到對應於內部快閃 ROM10 的電特性和外圍設備的時鐘信號的頻率的設定計數值後，存取內部快閃 ROM10 而寫入下一數據。

以下使用第 2 圖和第 3 圖，說明本實施方式的向內部快閃 ROM10 的初始數據的寫入順序。

首先，由下載控制電路 51 接收下載啟動信號(download enable signal)(S10)。由此，下載控制電路 51 生成使 CPU20 的動作休眠的控制信號，同時內部界面 70 切斷 CPU20 和內部快閃 ROM10 的連接，而連接內部快閃 ROM10 和正反器 52(S12)。並且，下載控制電路 51 將最初存取外部串聯快閃 ROM30 的位址(例如“0”)設置在位址暫存器 53 中(S14)。並且，從第一命令暫存器 61 依次讀出讀出用命令組，並將讀出的命令組和設置在位址暫存器 53 中的地址依次經外部界面 40 輸出到外部串聯快閃 ROM30 中(S16)。由此，外部串聯快閃 ROM30 輸出所輸入位址的數據。將從外部串聯快閃 ROM30 輸出的數據經外部界面 40 讀出到下載控制電路 51 中，並暫時記憶到數據暫存器 54 中(S18)。

接著，下載控制電路 51 從第二命令暫存器 62 依次讀出寫入用命令組，並將設置在所讀出之命令組及位址暫存器 53 中的位址和暫時記憶在數據暫存器 54 中的數據依次經正反器 52 和內部界面 70 輸出到內部快閃 ROM10 中(S20)。正反器 52 是為了維持向內部快閃 ROM10 的寫入動

作而設置的，因此，在向內部快閃 ROM10 寫入的過程中，下載控制電路 51 可以實施其他動作。另外，下載控制電路 51 若向正反器 52 進行了上述輸出，則開始計數器 55 的計數(S22)。計數器 55 例如是增加計數器，計數圖中未示出的基準時鐘信號的脈衝數。並且，計數器 55 在其計數值與下載控制電路 51 的設定計數值一致的情況下，向下載控制電路 51 輸出規定電位的計數結束信號，以復位(reset)計數值。下載控制電路 51 響應於規定電位的計數結束信號，檢測出可以對內部快閃 ROM10 的下一存取。

但是，下載控制電路 51 在使計數器 55 的計數開始的同時，更新位址暫存器 53 的位址(例如，相加)，並將下次存取外部串聯快閃 ROM30 的位址設置在位址暫存器 53 中(S24)。並且，下載控制電路 51 判斷在位址暫存器 53 上設置的位址是否是內部快閃 ROM10 的最終位址設定值以下(S26)。該最終位址設定值可以在下載控制電路 51 上作為非揮發性記憶體進行預先記憶，也可從外部串聯快閃 ROM30 的規定地址區域中讀出後記憶在易揮發性記憶體中。在是最終位址設定值以下的情況下，從第一命令暫存器 61 依次讀出讀出用命令組，並將讀出的命令組和設置在位址寄存器 53 中的位址依次經外部界面 40 輸出到外部串聯快閃 ROM30 中(S28)。由此，外部串聯快閃 ROM30 輸出所輸入位址的數據。從外部串聯快閃 ROM30 輸出的數據經外部界面 40 讀出到下載控制電路 51 中，並暫時記憶到數據暫存器 54 中(S30)。

並且，下載控制電路 51 等待輸出來自計數器 55 的計數結束信號(S32)。若輸出計數結束信號，則進入到步驟 S20，計數控制電路 51 從第二命令暫存器 62 依次讀出寫入用命令組，並將讀出的命令組、設置在位址寄存器 53 上的位址和暫時記憶在數據暫存器 54 上的數據依次經正反器 52 和內部界面 70 輸出到內部快閃 ROM10 中。

之後，重複步驟 S20 到步驟 S32，若設置在位址暫存器 53 上的位址超過了內部快閃 ROM10 的最終位址設定值，則計數控制電路 51 等待輸出來自計數器 55 的計數結束信號(S34)，而進入到驗證的步驟。

另外，在將第二命令暫存器 62 的命令組、計數設定值、最終位址設定值記憶在揮發性記憶體中的情況下，在步驟 S10 之後，從串聯快閃 ROM30 的規定位址(例如，比內部快閃 ROM10 的最終位址大的位址區域)讀出後進行記憶。並且，也可進入到步驟 S12。

在驗證中，首先，下載控制電路 51 將最初訪問外部串聯快閃 ROM30 的位址(例如“0”)設置在位址暫存器 53 中(S40)。從第一命令暫存器 61 依次讀出讀出用命令組，並將所讀出的命令組和設置在位址暫存器 53 上的位址依次經外部界面 40 輸出到外部串聯快閃 ROM30 中(S42)。由此，外部串聯快閃 ROM30 輸出所輸入位址的數據。從外部串聯快閃 ROM30 讀出的數據經外部界面 40 讀出到下載控制電路 51 中，並暫時記憶在數據暫存器 54 中(S44)。

接著，下載控制電路 51 從第二命令暫存器 62 依次讀

出讀出用命令組，並將所讀出的命令組、設置在位址暫存器 53 上的位址依次經正反器 52 和內部界面 70 輸出到內部快閃 ROM10 中(S46)。由此，內部快閃 ROM10 輸出所輸入位址的數據。將從內部快閃 ROM10 輸出的數據經內部界面 70 讀出到正反器 52 中(S48)。

下載控制電路 51 比較記憶在正反器 52 中的數據和記憶在數據暫存器 54 上的數據(S50)。

在兩個數據不一致的情況下，下載控制電路 51 輸出下載錯誤信號。

在兩個數據一致的情況下，下載控制電路 51 更新(例如相加)位址暫存器 53 的位址，並將下次存取外部串聯快閃 ROM30 的位址設置在位址暫存器 53 中(S52)。並且，下載控制電路 51 判斷設置在位址暫存器 53 中的位址是否在內部快閃 ROM10 的最終位址設定值以下(S54)。在是最終位址設定值以下的情況下，返回到步驟 S42，並重複步驟 S42 至 S54，在比最終位址設定值大的情況下，結束驗證。

在驗證後，內部界面 70 連接 CPU20 和內部快閃 ROM10，下載電路 50 從休眠 CPU20 的動作恢復(S50)。並且，下載電路 50 將表示寫入結束的下載結束信號經外部端子發送到外部。

這樣，內部快閃 ROM10 中寫入了 CPU20 進行外圍設備的各電路的控制用的動作程式和 CPU20 進行動作程式的更新用的更新用程式、兩種。因此，CPU20 經內部界面 70 讀出寫入到內部快閃 ROM10 的動作程式，根據其進行各電路

的控制。例如，在外圍設備是 CD-ROM 驅動器裝置的情況下，使照射雷射光用的光拾器(pick up)移動到光碟的規定位置，或讀取雷射光的反射光後，讀出記憶在光碟上的數據。另一方面，在動作程式的更新時，CPU20 可以根據更新用程式，進行動作程式的數據改寫。

如上所詳細說明的，根據本實施方式，可以得到下面所示的效果。

(1)在本實施方式中，由於不經 CPU，而以用下載控制電路的專用電路將記憶在外部串聯快閃 ROM 中的初始數據複寫到快閃 ROM 中的方式進行寫入，所以下載的速度快。還不需要另外設置記憶了寫入動作程式用的更新用程式的單膜型 ROM，可以抑制控制裝置 100 的電路面積的增大。即，也可僅準備向串聯內部快閃 ROM10 和快閃 ROM30 存取所需的命令組。另外，由於不需要藉由在內部快閃 ROM10 的單體的狀態下預先寫入初始數據後安裝其等的操作，所以還可以抑制製造成本的增大。

(2)在本實施方式中，由於以用下載控制電路的專用電路將記憶在外部串聯快閃 ROM 中的初始數據複寫到快閃 ROM 中的方式進行寫入，所以在將初始數據寫入到快閃 ROM 中時，可以不需要供給初始數據的外部的主機。

(3)在本實施方式中，為了維持向內部快閃 ROM10 的寫入動作，而設置正反器 52，寫入時間的管理由計數器 52 進行，所以在向內部快閃 ROM10 的數據寫入過程中，可以從外部串聯快閃 ROM30 讀出下一寫入數據，所以可以縮短

下載的時間。

(4)在本實施方式中，由於不需要在內部快閃 ROM10 中預先記憶初始數據，所以例如控制裝置 10 可以作成一體之積體電路，該情況下，可以降低作為外圍設備整體的電路面積。

而且，本發明的實施方式並不限於上述實施方式，也可如下這樣變更。

在本實施方式中，雖然外部快閃 ROM30 是串聯暫存器，但是也可不限於此，而是具有多個地址端子和數據端子的記憶體。

在本實施方式中，每一次向內部快閃 ROM10 寫入所需的每一個位址的數據寫入時間的管理用計數器 55 來進行，但是也可由下載控制電路 51 等待充分進行了寫入的時間後向內部快閃 ROM10 發送下一寫入數據。或者，下載控制電路 51 也可以藉由切換位元(toggle bit)或查詢(polling)來檢測內部快閃 ROM10 的寫入結束。

在本實施方式中，由於為從外部串聯快閃 ROM30 讀出下載到內部快閃 ROM10 的初始數據的結構，所以可以減小控制裝置 100 下載時所需的外部端子數。因此，藉由使這些下載時所使用的外部端子與下載時之外控制裝置 100 與外部的信號互換中使用的通常端子共用，從而可以不增加總計了外部端子和通常端子的總數地構成。另外，藉由從控制裝置 100 經外部端子供給外部串聯快閃 ROM30 的電源，從而可以僅藉由將外部快閃 ROM30 插入外部界面 40、

發送下載啟動信號來進行下載。

在本實施方式中，以一個位址為單位從外部串聯快閃 ROM30 中讀出數據，並將一個位址單位的數據寫入到內部快閃 ROM10 中。但是，也可以以多個規定位址為單位從外部串聯快閃 ROM30 中讀出數據，並利用成組傳輸模式等向內部快閃 ROM10 寫入多個規定位址單位的數據。這時，也可向數據暫存器 54 記憶對應於多個位址的多個數據，下載控制電路 51 將對應於成組傳輸模式的命令組等輸出到正反器中。

在本實施方式中，作為記憶使微電腦進行規定的動作控制的控制程式用的電可改寫的非揮發性記憶體，記載了快閃 ROM，但是只要可進行數據的寫入，也可採用其他的 PROM。

在本實施方式中，內部快閃 ROM10 也可一體積體成到控制裝置 100 中，或者也可以是在封裝時將多個半導體晶片集成為一個的多晶片封裝。

在本實施方式中，外圍設備並不限於 CD-ROM 驅動裝置，只要與計算機連接而可以進行數據的交換，也可以是任何的設備。例如，也可以是 MD 和 DVD-RAM 等的光碟驅動裝置或 MO 等的光磁碟驅動裝置、硬碟等的磁碟驅動裝置等。再者，並不限於這種資訊記憶裝置，例如，也可是印表機等輸出裝置或掃描機等讀取裝置、數據機或者 LAN 等通信裝置等。

【圖式簡單說明】

第 1 圖是表示本發明的一實施形態的方塊圖；
第 2 圖是本實施形態的初始數據的寫入順序；
第 3 圖是本實施形態的初始數據的寫入順序。

【主要元件符號說明】

10	內部快閃 ROM	20	微電腦 (CPU)
30	外部串聯快閃 ROM	40	外部界面
50	下載電路	51	下載控制電路
52	正反器 (flip flop)	53	位址暫存器
54	數據暫存器	55	計數器
61	第一命令暫存器	62	第二命令暫存器
70	內部界面	100	控制裝置

五、中文發明摘要：

本發明提供一種可抑制電路面積的增大和製造成本的增大、且在可電方式改寫的內部非揮發性記憶體進行 CPU 的動作程式的寫入的控制裝置。接收了下載啟動信號的下載控制電路(51)通過第一命令暫存器(61)的讀出用命令組和設置在位址暫存器(53)上的位址，讀出外部串聯快閃 ROM(30)的數據，並暫時記憶在數據暫存器(54)中。並且，通過第二命令暫存器(62)的寫入用命令組、設置在位址暫存器(53)上的位址和暫時記憶在數據暫存器(54)上的數據，將數據寫入到內部快閃 ROM(10)中。

六、英文發明摘要：

This invention provides a control device which is capable of performing writing of a CPU operation program in an electrically rewriteable internal non-volatile memory while avoiding the increase of circuit area and manufacture costs. The device has a control circuit (51) which, upon receiving a download enable signal, reads out the data of external serial flash ROM (30) from the address which is set in a command set for reading from a first command register (61) and an address register (53), and the read address is temporarily stored in a data register (54). The data according to the address which is set in a command set for writing in a second command register (62) and the address register (53) and temporarily stored in the data register (54) is written in an internal flash ROM (10).

十、申請專利範圍：

1. 一種控制裝置，其特徵在於，包括：

可電方式改寫的內部非揮發性記憶體，用於記憶使微電腦進行規定的動作控制的動作程式；

內部界面，控制與該內部非揮發性記憶體的輸入輸出；

外部界面，控制與外部非揮發性記憶體的輸入輸出；

下載電路，控制重複進行根據來自外部的指示，經該外部界面以規定的位址為單位讀出記憶在該外部非揮發性記憶體中的數據，並經該內部界面以該規定的位址為單位向該內部非揮發性記憶體寫入該數據的動作；

在該下載電路根據來自外部的該指示而動作的過程中，該微電腦為休眠狀態，該內部界面即切斷該內部非揮發性記憶體和該微電腦的連接。

2. 如申請專利範圍第 1 項的控制裝置，其中，

該下載電路具有：正反器，用於維持向該內部非揮發性記憶體寫入該數據中的狀態；和計數器，用於管理向該內部非揮發性記憶體的數據的寫入時間。

3. 如申請專利範圍第 1 項的控制裝置，其中，

具有內部非揮發性的第一命令暫存器，其記憶了用於讀出記憶在該外部串聯記憶體中的數據的命令組。

4. 如申請專利範圍第 1 項的控制裝置，其中，

具有第二命令暫存器，其記憶向該內部非揮發性記

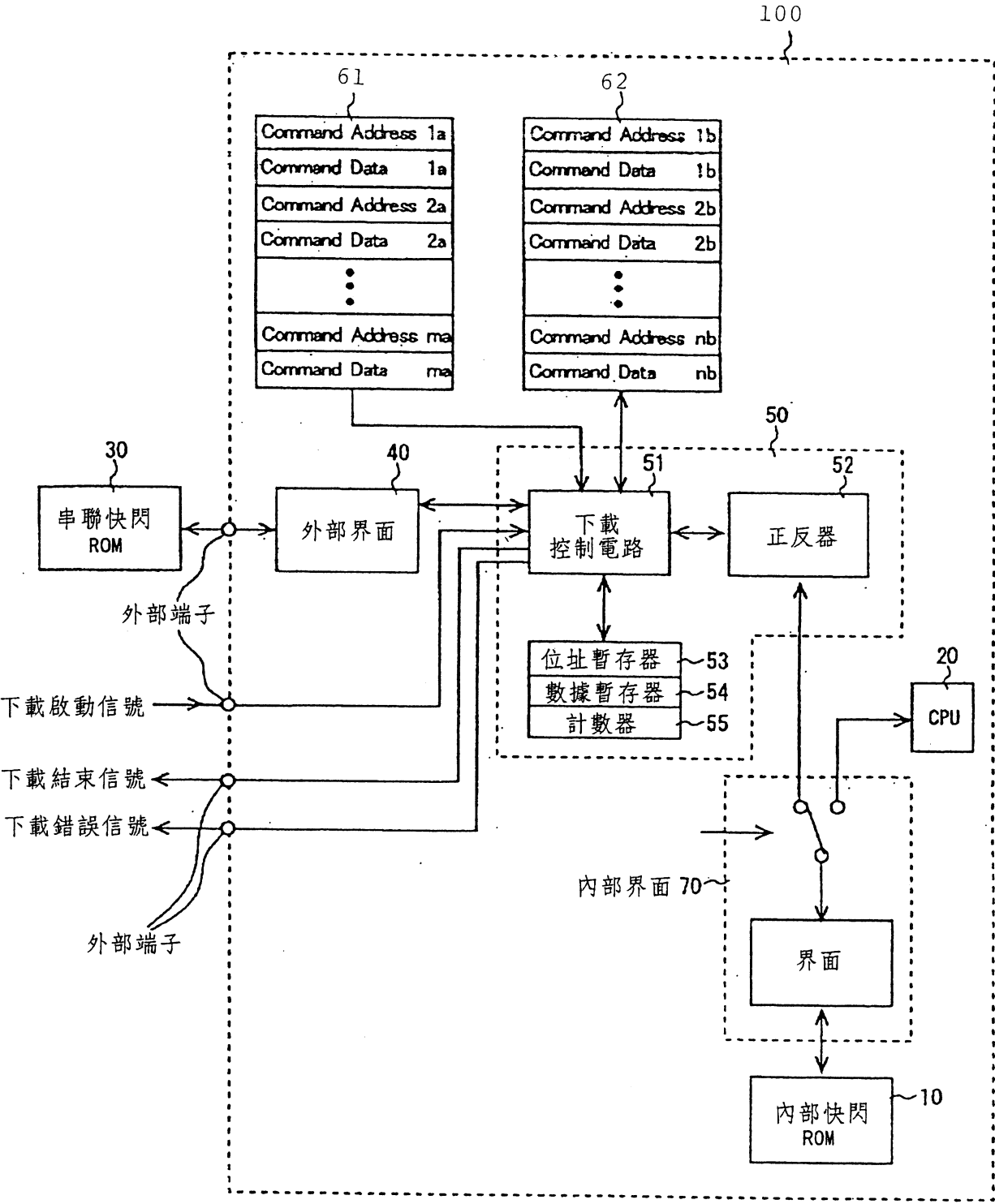
憶體寫入該數據用的命令組。

5. 如申請專利範圍第 1 至 4 項中任一項的控制裝置，其中，
具有通常端子，其在該下載電路不動作時用於與外部的信號的互換；

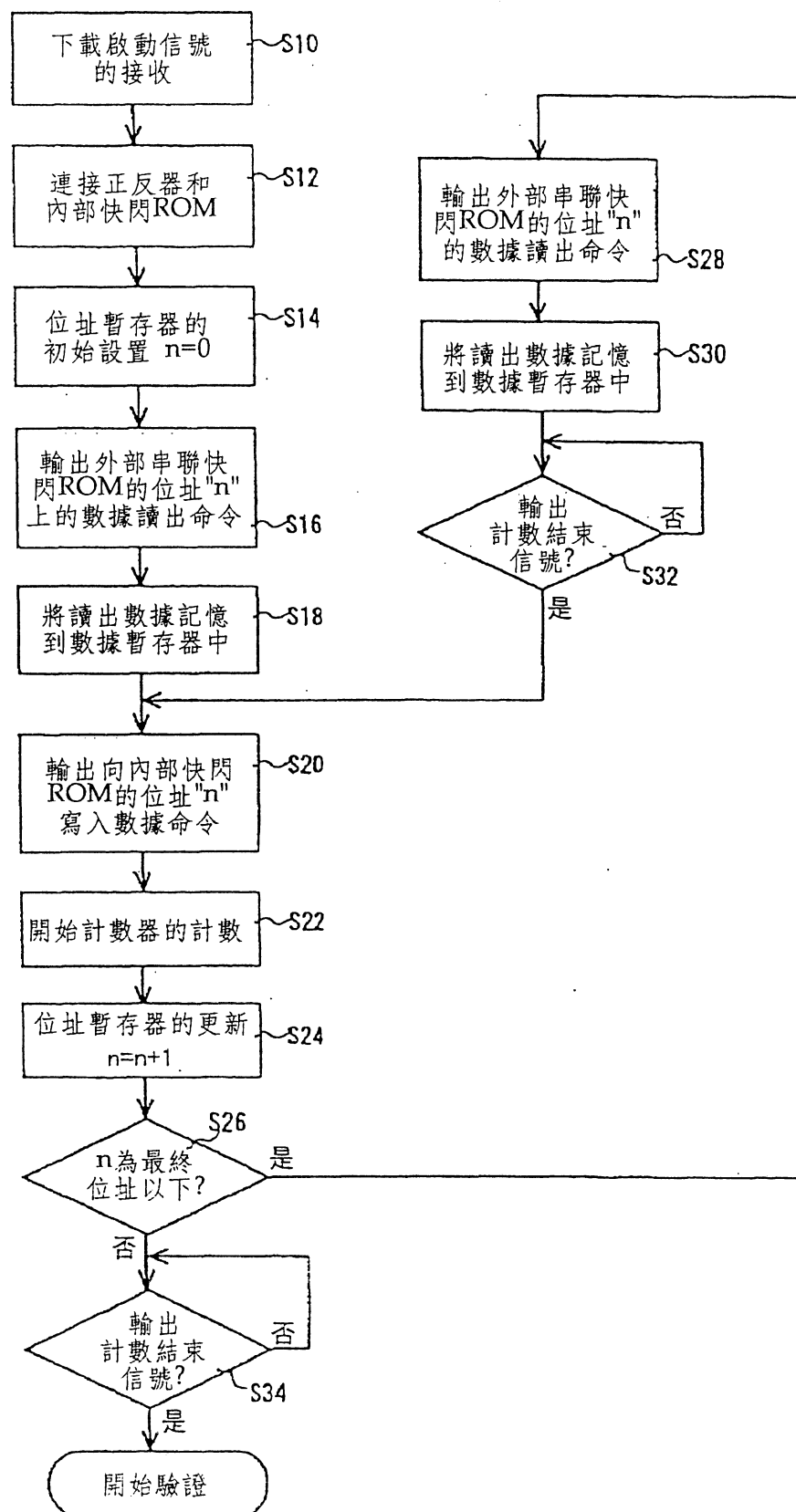
該外部非揮發性記憶體和該外部界面間的至少一部分的外部端子是該通常端子的一部分或全部。

6. 如申請專利範圍第 5 項的控制裝置，其中，
具有對該外部非揮發性記憶體供給電源的端子。

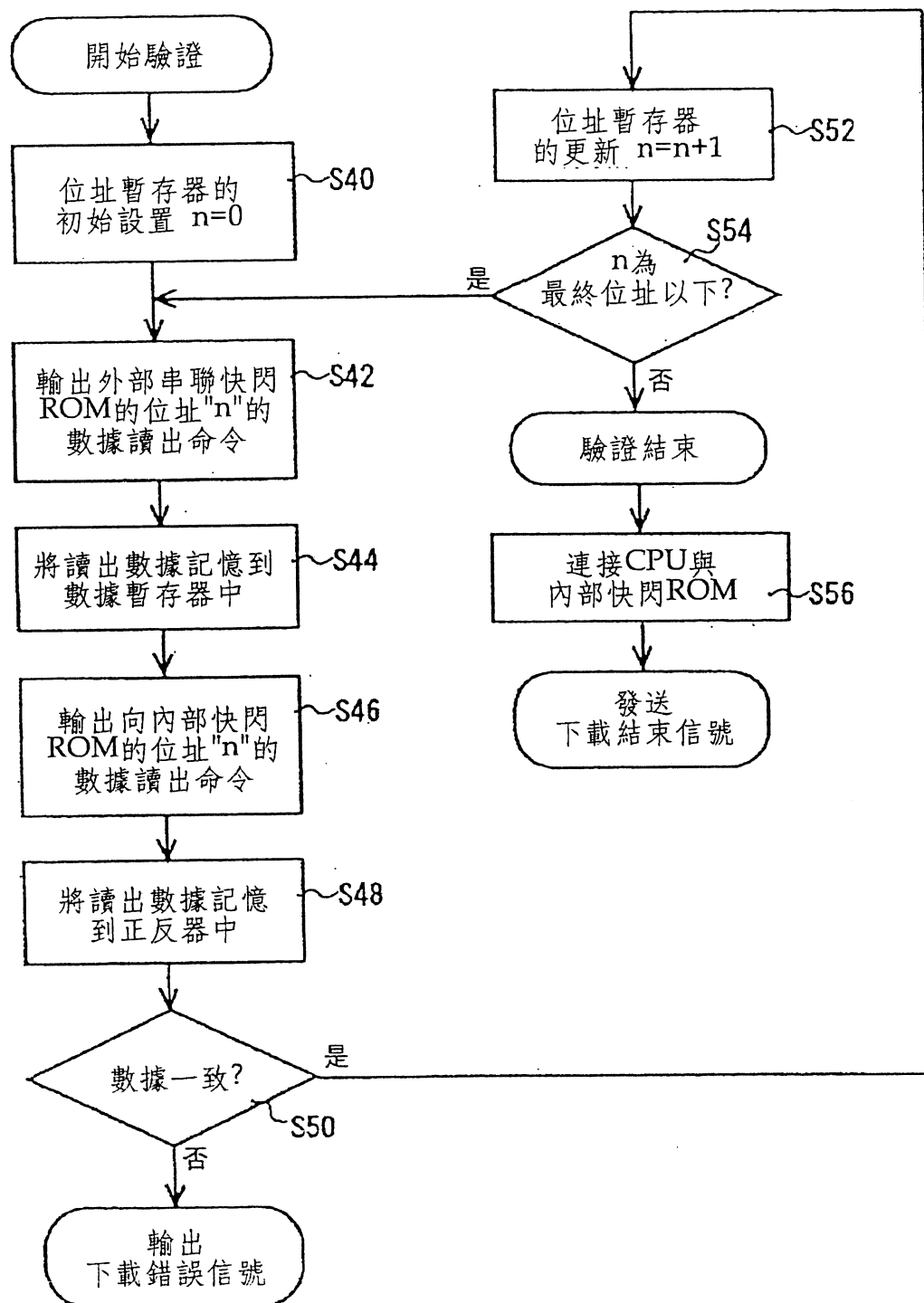
7. 如申請專利範圍第 5 項的控制裝置，其中，
該外部非揮發性記憶體是串聯記憶體。



第1圖



第2圖



第3圖

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10	內部快閃 ROM	20	微電腦(CPU)
30	外部串聯快閃 ROM	40	外部界面
50	下載電路	51	下載控制電路
52	正反器(flip flop)	53	位址暫存器
54	數據暫存器	55	計數器
61	第一命令暫存器	62	第二命令暫存器
70	內部界面	100	控制裝置

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：