

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 5 月 30 日(30.05.2014)



(10) 国際公開番号
WO 2014/080955 A1

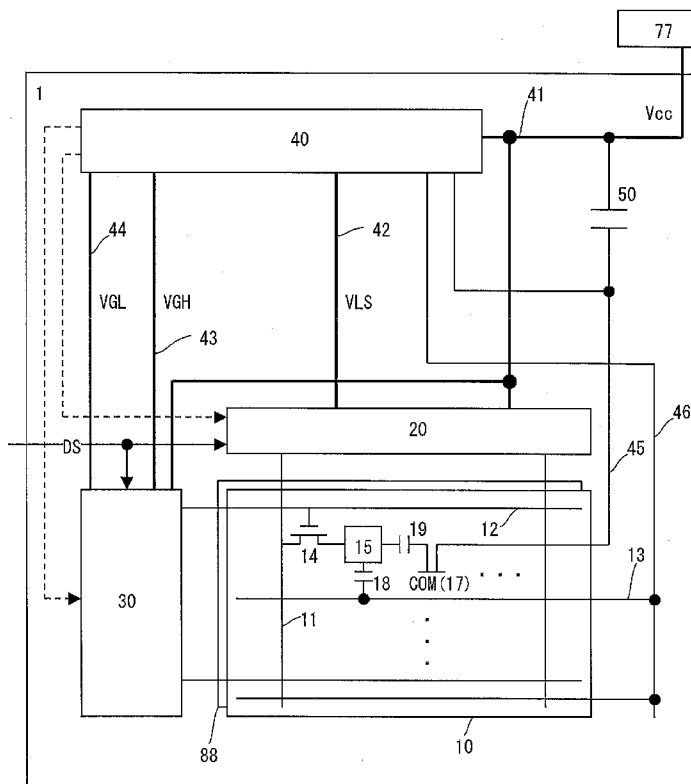
- (51) 国際特許分類:
G02F 1/1368 (2006.01) *G09G 3/36* (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2013/081318
- (22) 国際出願日: 2013 年 11 月 20 日(20.11.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-255634 2012 年 11 月 21 日(21.11.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 号 Osaka (JP).
- (72) 発明者: 平尾 一真(HIRAO, Kazuma).
- (74) 代理人: 特許業務法人原謙三国際特許事務所(HARAKENZO WORLD PATENT & TRADEMARK); 〒5300041 大阪府大阪市北区天神橋 2 丁目北 2 番 6 号 大和南森町ビル Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: 液晶表示装置



(57) Abstract: This liquid crystal display device is provided with a liquid crystal layer, a data signal line (11), a scan signal line (12), a transistor (14) connected to the data signal line (11) and the scan signal line (12), a pixel electrode (15) connected to the data signal line (11) via the transistor (14), a conductor (13), and power-supply wiring (41), the pixel electrode (15) and the conductor (13) forming a first capacitance (18). The conductor (13) and the power-supply wiring (41) are connected via a second capacitance (50). The above configuration reduces the afterimage when the power of the image display device is switched off.

(57) 要約: 本発明に係る液晶表示装置は、液晶層と、データ信号線(11)と、走査信号線(12)と、データ信号線(11)および走査信号線(12)に接続されたトランジスタ(14)と、該トランジスタ(14)を介してデータ信号線(11)に接続された画素電極(15)と、導電体(13)と、電源配線(41)とを備え、上記画素電極(15)と導電体(13)とが第1容量(18)を形成している液晶表示装置であって、上記導電体(13)と電源配線(41)とが第2容量(50)を介して接続されている。上記構成によって、画像表示装置の電源オフ時の残像が低減される。

WO 2014/080955 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 液晶表示装置

技術分野

[0001] 本発明は、液晶表示装置に関する。

背景技術

[0002] 図 1 8 は、従来の液晶表示装置（アクティブマトリクス型）の構成例を示すブロック図である。液晶表示装置 1 0 0 は、液晶パネル 1 0 と、その周囲に設けられた信号線駆動回路（ソースドライバ） 2 0、走査線駆動回路（ゲートドライバ） 3 0 および液晶駆動回路 4 0 とを有している。

[0003] 液晶パネル 1 0 には、図 1 8 に示すように、複数の画像信号線（データ信号線） 1 1 と複数の走査信号線 1 2 とが互いに交差するようにマトリクス状に配置され、各走査信号線 1 2 と平行に補助容量配線 1 3 が配置されている。

[0004] 画像信号線 1 1 は信号線駆動回路 2 0 に接続され、走査信号線 1 2 は走査線駆動回路 3 0 に接続され、補助容量配線 1 3 は液晶駆動回路 4 0 に繋がる C S 幹配線 4 6 に接続されている。

[0005] これらの画像信号線 1 1 と走査信号線 1 2 との各交差部近傍位置にはそれぞれ、スイッチング素子としてのトランジスタ 1 4 がそれぞれ設けられており、このトランジスタ 1 4 の制御端子（ゲート）は走査信号線 1 2 に接続され、トランジスタ 1 4 の一方の駆動端子（ソースおよびドレインの一方）は画像信号線 1 1 に接続されている。また、トランジスタ 1 4 の他方の駆動端子（ソースおよびドレインの他方）は、各画像信号線 1 1 と各走査信号線 1 2 とで囲まれた領域に設けられた画素電極 1 5 と接続されており、画素電極 1 5 との間に表示媒体としての液晶層を挟んで対向するように共通電極 1 7（COM）が設けられている。これら画素電極 1 5 および共通電極 1 7 と、これらの間に介在する液晶層とによって、液晶容量 1 9（画素）が形成されている。さらに、トランジスタ 1 4 の他方の駆動端子には、補助容量 1 8 を

介して補助容量配線 13 が接続されている。

[0006] なお、液晶駆動回路 40 には、液晶表示装置外の電源回路 77 で生成されたシステム電源電位 V_{cc} が、電源配線 41 を介して供給される。また、液晶駆動回路 40 は、共通電極 17 の電位 V_{com} を、共通電極 17 に接続する V_{com} 配線 45 に供給する。さらに、液晶駆動回路 40 からゲートドライバ 30 に電源配線 43 を介してゲートオン電源電位 V_{GH} が供給され、液晶駆動回路 40 からゲートドライバ 30 に電源配線 44 を介してゲートオフ電源電位 V_{GL} が供給され、液晶駆動回路 40 からソースドライバ 20 に電源配線 42 を介してアナログ電源電位 V_{LS} が供給される。

[0007] 上記構成により、このアクティブマトリクス型液晶表示装置 1 において、トランジスタ 14 のゲートに走査信号線駆動回路 30 から走査信号線 12 を介して走査電圧が供給され、トランジスタ 14 のソースまたはドレインに信号線駆動回路 20 から画像信号線 11 を介して表示用信号に対応する信号電圧が供給される。これによって、液晶パネル 10 内でマトリクス状に複数配置された液晶表示画素が個別に駆動されて、液晶パネル 10 の表示画面上に所望の表示パターンが得られる。

[0008] ここで、液晶表示装置の電源がオフされると、信号線駆動回路 20 および走査信号線駆動回路 30 の出力はハイインピーダンス状態となる。このとき、液晶容量 19 中に蓄積された電荷および補助容量 18 中に蓄積された電荷は逃げ道がなくなり、漏れ電流によって徐々に放電されるだけであるので、画素電極 15 の電位と共通電極 17 の電位とがほぼ同電位になるまでには、かなりの時間（数秒程度）を要する。この時間（数秒程度）は、人間の目にとっては比較的長い時間であり、十分に視認可能な時間であるため、電源オフ直前の表示画面がホールドされて徐々に消えていくように見え、ある一定の期間、もやもやとした残像のような画像の存在が視覚的に明確に認められることになる。また、表示用画素に印加される残留電圧によって液晶表示パネル 10 が劣化するという問題もあった。

[0009] 以下に、従来のアクティブマトリクス型液晶表示装置 1 における問題につ

いて、図 19 を用いて詳細に説明する。図 19 は、図 18 に示す液晶表示装置 100 における電源オフ時の各部の信号波形の一例を示す信号波形図である。

[0010] 各走査信号線 12 には、トランジスタ 14 をオン状態（選択状態）にするハイレベル電位（ V_{GH} ）と、トランジスタ 14 をオフ状態（非選択状態）にするロウレベル電位（ V_{GL} ）とが供給されるが、通常、選択状態となるのは多数の走査信号線 12 のうち 1 本の走査信号線 12 のみであり、残りの走査信号線 12 は全て非選択状態であることから、図 19 では走査信号線 12 への供給電位を V_{GL} としている。液晶表示装置 100 では、液晶の劣化を防止するため、交流駆動が行われる。図 19 では、 V_{com} に対して正極性の画素電極への書き込み電位を V_{S+} 、 V_{com} に対して負極性の画素電極への書き込み電位を V_{S-} として示している。

[0011] 通常動作状態では、各部の電位は図 19 の点線から左側に示されるとおり、低電位側から順に、 V_{GL} 、グラウンド電位（ $0V$ ）、 V_{S-} 、 V_{cc} 、 V_{com} 、 V_{S+} となり（ V_{com} は V_{S+} と V_{S-} のほぼ中間）となる。

[0012] 液晶表示装置 100 のシステム電源がオフすると、画像信号線駆動回路 20 および走査線駆動回路 30 の出力はハイインピーダンス状態となり、画素電極 15 の電荷は、周辺の配線（画像信号線 11、走査信号線 12 および補助容量配線 13）、トランジスタ 14 および液晶表示装置 100 の高抵抗経路などを介したリーク電流によって徐々に放電される。このとき、トランジスタ 14 は長期間オフ状態となるため、液晶容量 19 および補助容量 18 にチャージされた電荷によって共通電極 17 と画素電極 15 との間に長期間電位差が生じ、これが残像の原因となっていた。

[0013] 上記問題に関する文献として、例えば特許文献 1～4 を挙げるができる。

先行技術文献

特許文献

[0014] 特許文献1：日本国公開特許公報「特開平 10-214067 号公報」

特許文献2：日本国公開特許公報「特開 2 0 0 1 － 1 5 9 8 7 6 号公報」

特許文献3：日本国特許第 4 5 5 7 6 4 9

特許文献4：日本国公開特許公報「特開 2 0 0 8 － 2 4 1 7 4 9 号公報」

発明の概要

発明が解決しようとする課題

[0015] 上記特許文献 1 では、液晶表示装置本体の電源オフ後も回路を動作させるための補助電源、および液晶表示装置本体の電源がオフしたことを検出する電源オフ検出手段を必要とする。

[0016] 上記特許文献 2 では、液晶表示装置本体の電源がオフする少なくとも一垂直期間前に、トランジスタの少なくとも一部のゲート電圧 V_g とドレイン電圧 V_d との差が、表示駆動時における電圧差のうちで液晶保持電荷をより迅速に放電させるような電圧差 V_{gd} となるように、ソースバスラインに供給される階調電圧の極性を制御して駆動するための残像オフ信号を電源遮断前に入力させる必要がある。

[0017] 特許文献 4 では、電源がオフしたことを検出する電源オフ検出手段を必要とする。

[0018] 特許文献 3 は、補助電源や電源がオフしたことを検出する電源オフ検出手段や電源遮断前の事前の信号の生成は不要であるが、補助容量配線 1 3 の電位をあらかじめ高い電圧に上げておく必要があるため、CS オンゲートの液晶パネルに採用し難い、また、ノーマリブラックモードでの画素欠陥の修正（黒点化修正）がし難くなるという問題があった。

[0019] 本発明は、電源オフ時の残像を簡易に抑制することを目的とする。

課題を解決するための手段

[0020] 本液晶表示装置は、液晶層と、データ信号線と、走査信号線と、データ信号線および走査信号線に接続されたトランジスタと、該トランジスタを介してデータ信号線に接続された画素電極と、導電体と、電源配線とを備え、上記画素電極と導電体とが第 1 容量を介して接続されている液晶表示装置であって、上記導電体と電源配線とが第 2 容量を介して接続されている。

発明の効果

[0021] 本液晶表示装置によれば、電源オフ時の残像を簡易に抑制することができる。

図面の簡単な説明

[0022] [図1]実施の形態1にかかる液晶表示装置の構成を示すブロック図である。

[図2]図1の液晶パネルの要部の構成例を示す回路図である。

[図3]図1の液晶表示装置における電源オフ時の各部の信号波形の一例を示す信号波形図である。

[図4]実施の形態1の効果に関する波形図である。

[図5]実施の形態1にかかる液晶表示装置の別構成を示すブロック図である。

[図6]実施の形態1にかかる液晶表示装置のさらなる別構成を示すブロック図である。

[図7]実施の形態1にかかる液晶表示装置のさらなる別構成を示すブロック図である。

[図8]実施の形態1にかかる液晶表示装置のさらなる別構成を示すブロック図である。

[図9]実施の形態1にかかる液晶表示装置のさらなる別構成を示すブロック図である。

[図10]実施の形態2にかかる液晶表示装置の構成を示すブロック図である。

[図11]図10の液晶表示装置における電源オフ時の各部の信号波形の一例を示す信号波形図である。

[図12]実施の形態2にかかる液晶表示装置の別構成を示すブロック図である。

[図13]実施の形態2にかかる液晶表示装置のさらなる別構成を示すブロック図である。

[図14]実施の形態2にかかる液晶表示装置のさらなる別構成を示すブロック図である。

[図15]実施の形態2にかかる液晶表示装置のさらなる別構成を示すブロック

図である。

[図16]実施の形態3にかかる液晶表示装置の構成を示すブロック図である。

[図17]図13の液晶表示装置における電源オフ時の各部の信号波形の一例を示す信号波形図である。

[図18]従来の液晶表示装置の構成を示すブロック図である。

[図19]従来の液晶表示装置における電源オフ時の各部の信号波形の一例を示す信号波形図である。

[図20]従来の液晶表示装置の課題に関する波形図である。

発明を実施するための形態

[0023] 以下に、本発明をアクティブマトリクス型の液晶表示装置に適用させた場合について、図1～図20を参照しながら説明する。

[0024] [実施の形態1]

図1は、液晶表示装置の構成例を示すブロック図であり、図2は、図1の液晶パネルの画素構成例を示す回路図である。図1に示すように、液晶表示装置1は、液晶パネル10およびバックライト88と、液晶パネル10の周囲に設けられた信号線駆動回路（ソースドライバ）20および走査線駆動回路（ゲートドライバ）30と、液晶駆動回路40とを有している。

[0025] 液晶パネル10には、図1・図2に示すように、複数の画像信号線（データ信号線）11と複数の走査信号線12とが互いに交差するようにマトリクス状に配置され、各走査信号線12と平行に補助容量配線13が配置されている。

[0026] 画像信号線11は信号線駆動回路20に接続され、走査信号線12は走査線駆動回路30に接続され、補助容量配線13はCS幹配線46に接続されている。

[0027] これらの画像信号線11と走査信号線12との各交差点近傍位置にはそれぞれ、スイッチング素子としてのトランジスタ14（Nチャネル型のTFT）がそれぞれ設けられており、このトランジスタ14の制御端子（ゲート）は走査信号線12に接続され、トランジスタ14の一方の駆動端子（ソース

およびドレインの一方)は画像信号線11に接続されている。また、トランジスタ14の他方の駆動端子(ソースおよびドレインの他方)は、各画像信号線11と各走査信号線12とで囲まれた領域に設けられた画素電極15と接続されており、表示媒体である液晶層を介して画素電極15と対向するように共通電極17(COM)が設けられている。そして、画素電極15および共通電極17並びに液晶層によって液晶容量19(第1容量)が形成されている。さらに、トランジスタ14の他方の駆動端子は補助容量18を介して補助容量配線13に接続されている。

[0028] 液晶駆動回路40には、液晶表示装置外の電源回路77で生成されたシステム電源電位 V_{cc} が、電源配線41を介して供給される。このシステム電源電位 V_{cc} に基づいて、液晶駆動回路40は、ゲートドライバ30に電源配線43を介してゲートオン電源電位 V_{GH} (選択状態の電圧)を供給するとともに電源配線44を介してゲートオフ電源電位 V_{GL} (非選択状態の電圧)を供給し、さらに、ソースドライバ20に電源配線42を介してアナログ電源電位 V_{LS} を供給する。ソースドライバ20では、アナログ電源電位 V_{LS} に基づいて画像信号線11に出力するデータ信号電位が生成される。

[0029] また、液晶駆動回路40は、共通電極電位 V_{com} を、 V_{com} 配線45を介して共通電極17に供給するとともに、CS電位 V_{cs} を、CS幹配線46を介して補助容量配線13に供給する。なお、 V_{cs} は V_{com} と同電位でもよい。

[0030] 実施の形態1にて特に注目すべきは、共通電極17に接続する V_{com} 配線45と、液晶表示装置1のシステム電源電位 V_{cc} が供給される電源配線41との間に容量50(第2容量)が設けられていることである。

[0031] 図3は、液晶表示装置1における電源オフ時の各部の信号波形の一例を示す信号波形図である。なお、走査信号線12は、通常状態において、トランジスタ14をオン状態(選択状態)にするゲートオン電位 V_{GH} と、トランジスタ14をオフ状態(非選択状態)にするゲートオフ電位 V_{GL} とをとり得るが、通常、選択状態となるのは1本の走査信号線のみであり、残りは非

選択状態であることから、走査信号線 12 の電位をゲートオフ電位 V_{GL} としている。液晶表示装置 1 においては、通常交流駆動が行われるため、図 3 でも、 V_{com} （共通電極 17 の電位）に対して正極性のデータ信号電位（画素電極 15 への書き込み電位）を V_{S+} 、 V_{com} に対して負極性のデータ信号電位（画素電極 15 への書き込み電位）を V_{S-} としている。

[0032] 通常動作状態では、各部の電位は図 3 の 2 点斜線（電源オフ時刻）から左側に示されるとおり、低電位側から順に、 V_{GL} 、グラウンド電位（0 V）、 V_{S-} 、 V_{cc} 、 V_{com} 、 V_{S+} となり（ V_{com} は V_{S+} と V_{S-} のほぼ中間）となり、特に容量 50 の影響はない。

[0033] 液晶表示装置 1 のシステム電源がオフすると、画像信号線駆動回路 20 および走査線駆動回路 30 の出力はハイインピーダンス状態となり、走査信号線 12 の電位は、自然放電によって徐々に上昇する。一方、システム電源電位は V_{cc} から急激に低下するため、容量 50 を介して電源配線 41 に接続された共通電極 17 の電位も急速に低下し、これに伴って、液晶容量 19 を介して共通電極 17 に接続された画素電極 15 の電位も速やかに低下する。

[0034] ここで、トランジスタ 14（N チャネル）にはドレインとソースの区別がなく、ゲート（走査信号線 12）の電位に対するソースあるいはドレインの電位（ V_{gs}/V_{gd} ）が低いほどトランジスタ 14 の OFF 特性が低下（ON 特性が上昇）してドレイン・ソース間の漏れ電流が大きくなる。図 18 - 19 に示す従来技術では、図 20 に示すように、電源 OFF から所定時間経過後の時刻 t での V_{gs}/V_{gd} が高く、トランジスタ 14 の OFF 特性も高い（画素電極 15 の電荷が画像信号線 11 側に抜け難い）ことがわかる。

[0035] 一方、実施の形態 1（図 4 参照）では、上記のように画素電極 15 の電位が速やかに低下し、従来技術（図 20）と比較して、上記時刻 t での V_{gs}/V_{gd} （ゲートの電位に対するソースあるいはドレインの電位）が低く、これに伴うトランジスタ 14 の OFF 特性の低下によって画素電極 15 および画像信号線 11 間の漏れ電流が大きい（画素電極 15 の電荷が画像信号線

1 1 側に抜け易い)。これにより、画素電極 1 5 および共通電極 1 7 間の電位差が、図 1 9 ・図 2 0 の場合よりも速やかに縮小し、残像を低減することができる。また、液晶容量の残留電圧による液晶パネル 1 0 の劣化も抑制することができる。さらに、本実施の形態 1 は、図 5 に示すように、CS オンゲートの液晶パネルにも適用することができる。

[0036] なお、システム電源電位を素早く下げるためのディスチャージ回路を設けることで、残像低減効果をさらに上げることができる。例えば図 6 では、電源配線 4 1 を、抵抗 6 0 を介してグラウンドに接続している。

[0037] また、残像低減の効果は、電源オフ後におけるシステム電源の降下電圧（電位差）と降下スピード（単位時間あたりの低下電圧値）に依存しているため、電源オフ時にシステム電源よりも降下電圧や降下スピードの大きい電源配線があれば、この電源配線と共通電極 1 7 とを容量を介して接続してもよい。例えば図 7 では、アナログ電源電位 V_{LS} が供給される電源配線 4 2 と共通電極 1 7 とを容量 5 1 を介して接続している。一般的に V_{LS} は V_{cc} よりも電位が高く電源オフ時の電位降下量も多いため、残像低減の効果も大きくなる。また、図 8 では、ゲートオン電源電位 V_{GH} が供給される電源配線 4 3 と共通電極 1 7 とを容量 5 2 を介して接続している。また、図 9 では、システム電源 V_{cc} が供給される電源配線 4 1 と共通電極 1 7 とを容量 5 0 を介して接続するとともに、アナログ電源電位 V_{LS} が供給される電源配線 4 2 と共通電極 1 7 とを容量 5 1 を介して接続し、さらに、ゲートオン電源電位 V_{GH} が供給される電源配線 4 3 と共通電極 1 7 とを容量 5 2 を介して接続している。

[0038] [実施の形態 2]

実施の形態 2 にて特に注目すべきは、図 1 0 に示されるように、補助容量配線 1 3 に接続する CS 幹配線 4 6 と、液晶表示装置 1 のシステム電源電位 V_{cc} が供給される電源配線 4 1 との間に容量 5 3（第 2 容量）が設けられていることである。

[0039] 図 1 1 は、液晶表示装置 1 における電源オフ時の各部の信号波形の一例を

示す信号波形図である。

- [0040] 通常動作状態では、各部の電位は図 11 の 2 点斜線から左側に示されたとおり、低電位側から順に、 V_{GL} 、グラウンド電位 ($0V$)、 V_{S-} 、 V_{cc} 、 V_{cs} (V_{com})、 V_{S+} となり (V_{com} は V_{S+} と V_{S-} のほぼ中間) となり、特に容量 53 の影響はない。
- [0041] 液晶表示装置 1 のシステム電源がオフすると、画像信号線駆動回路 20 および走査線駆動回路 30 の出力はハイインピーダンス状態となり、走査信号線 12 の電位は、自然放電によって徐々に上昇する。一方、システム電源電位は V_{cc} から急激に低下するため、容量 53 を介して電源配線 41 に接続された補助容量配線 13 の電位も急速に低下し、これに伴って、補助容量 18 を介して補助容量配線 13 に接続された画素電極 15 の電位も速やかに低下する。すなわち、従来技術 (図 19・20) と比較して、トランジスタ 14 のゲートの電位に対するソースあるいはドレインの電位が速やかに低下し、これに伴うトランジスタ 14 の OFF 特性の低下によって画素電極 15 および画像信号線 11 間の漏れ電流が大きく (画素電極 15 の電荷が画像信号線 11 側に抜け易く) なる。これにより、画素電極 15 および共通電極 17 間の電位差が、図 19 の場合よりも速やかに縮小し、残像を低減することができる。また、液晶容量の残留電圧による液晶パネル 10 の劣化も抑制することができる。さらに、本実施の形態 2 は、画素電極と共通電極とが同基板に形成された、所謂 IPS 型液晶パネルにも適用することができる。
- [0042] なお、システム電源電位を素早く下げるためのディスチャージ回路を設けることで、残像低減効果をさらに上げることができる。例えば図 12 では、電源配線 41 を、抵抗 60 を介してグラウンドに接続している。
- [0043] また、残像低減の効果は、電源オフ後におけるシステム電源の降下電圧 (電位差) と降下スピード (単位時間あたりの低下電圧値) に依存しているため、電源オフ時にシステム電源よりも降下電圧や降下スピードの早い電源配線があれば、この電源配線と補助容量配線 13 とを容量を介して接続してもよい。例えば図 13 では、アナログ電源電位 V_{LS} が供給される電源配線 4

2と補助容量配線13とを容量54を介して接続している。一般的にVLSはVccよりも電位が高く電源オフ時の電位降下量も多いため、残像低減の効果も大きくなる。また、図14では、ゲートオン電源電位VGHが供給される電源配線43と補助容量配線13とを容量55を介して接続している。また、図15では、システム電源Vccが供給される電源配線41と補助容量配線13とを容量53を介して接続するとともに、アナログ電源電位VLSが供給される電源配線42と補助容量配線13とを容量54を介して接続し、さらに、ゲートオン電源電位VGHが供給される電源配線43と補助容量配線13とを容量55を介して接続している。

[0044] 〔実施の形態3〕

実施の形態3では、図16に示すように、システム電源Vccが供給される電源配線41と共通電極17とを容量50を介して接続するとともに、アナログ電源電位VLSが供給される電源配線42と共通電極17とを容量51を介して接続し、かつゲートオン電源電位VGHが供給される電源配線43と共通電極17とを容量52を介して接続している。さらに、電源配線41と補助容量配線13とを容量53を介して接続するとともに、電源配線42と補助容量配線13とを容量54を介して接続し、かつ電源配線43と補助容量配線13とを容量55を介して接続している。さらに、電源配線41を、抵抗60を介してグラウンドに接続し、電源配線42を、抵抗61を介してグラウンドに接続し、電源配線43を、抵抗62を介してグラウンドに接続している。

[0045] 図17は、液晶表示装置1における電源オフ時の各部の信号波形の一例を示す信号波形図である。

[0046] 通常動作状態では、各部の電位は図17の2点斜線から左側に示されたとおり、低電位側から順に、VGL、グラウンド電位(0V)、VS-、Vcc、Vcs(Vcom)、VS+、VLS、VGHとなり、特に容量50～55の影響はない。

[0047] 液晶表示装置1のシステム電源がオフすると、画像信号線駆動回路20お

よび走査線駆動回路 30 の出力はハイインピーダンス状態となり、走査信号線 12 の Low 側の電位は、自然放電によって徐々に上昇する。一方、システム電源電位は V_{cc} から、アナログ電源電位は V_{LS} から、ゲートオン電源電位は V_{GH} から急激に低下するため、容量 50～容量 52 を介して電源配線 41～電源配線 43 に接続された共通電極と、容量 53～容量 55 を介して電源配線 41～電源配線 43 に接続された補助容量配線 13 の電位も急速に低下し、これに伴って、液晶容量 19 を介して共通電極 17 に接続されるとともに、補助容量 18 を介して補助容量配線 13 に接続された画素電極 15 の電位も非常に速やかに低下する。すなわち、従来技術（図 19・20）と比較して、トランジスタ 14 のゲートの電位に対するソースあるいはドレインの電位が非常に速やかに低下し、これに伴うトランジスタ 14 の OFF 特性の低下によって画素電極 15 および画像信号線 11 間の漏れ電流がさらに大きく（画素電極 15 の電荷が画像信号線 11 側にさらに抜け易く）なる。これにより、画素電極 15 および共通電極 17 間の電位差が、図 19 の場合よりも速やかに縮小し、残像を低減することができる。また、液晶容量の残留電圧による液晶パネル 10 の劣化も抑制することができる。実施の形態 3 では、ディスチャージ回路として放電用の抵抗 60～62 を設けて各電源電位を素早く下げ、残像低減効果をさらに上げている。

[0048] なお、図 16 では、容量 50～容量 55 と抵抗 60～抵抗 62 のすべてを設けているが、これらを適宜選択して設けてもよい。例えば容量 50 と抵抗 60 だけ設けてもよいし、容量 51 と容量 55 だけ設けてもよい。

[0049] [まとめ]

本実施の形態の最大のポイントは、電源オフ検出回路等の複雑な回路の追加なしに、ごく少数の容量や場合によっては抵抗を追加するだけで、電源オフ時の残像を低減することができるという点にある。なお、液晶パネル 10 のトランジスタ 14 のチャンネルに酸化物半導体（例えば、インジウムおよびガリウム並びに亜鉛を含む酸化物半導体等）を用いてもよい。酸化物半導体を用いたトランジスタは一般に OFF 特性が良好で、このようなトランジス

タを搭載した液晶パネルは電源OFF時の残像が視認され易いため、上記各実施の形態においてより高い残像抑制効果が期待できる。

[0050] 以上のように、本液晶表示装置は、液晶層と、データ信号線と、走査信号線と、データ信号線および走査信号線に接続されたトランジスタと、該トランジスタを介してデータ信号線に接続された画素電極と、導電体と、電源配線とを備え、上記画素電極と導電体とが第1容量を介して接続されている液晶表示装置であって、上記導電体と電源配線とが第2容量を介して接続されている。

[0051] 本液晶表示装置では、上記導電体は共通電極であり、上記第1容量は液晶容量である構成とすることもできる。

[0052] 本液晶表示装置では、上記導電体は補助容量配線であり、上記第1容量は補助容量である構成とすることもできる。

本液晶表示装置では、補助容量を介して画素電極に接続された補助容量配線を備え、該補助容量配線と上記電源配線とが第3容量を介して接続されている構成とすることもできる。

本液晶表示装置では、上記第2容量は、液晶表示装置がOFFされたときに画素電極の電荷を速やかに抜くための容量である構成とすることもできる。

本液晶表示装置では、上記電源配線が抵抗を介してグラウンドに接続されている構成とすることもできる。

本液晶表示装置では、上記電源配線は、液晶表示装置の外部から供給される外部電源の配線である構成とすることもできる。

本液晶表示装置では、上記電源配線は、液晶表示装置内で生成された内部電源の配線である構成とすることもできる。

本液晶表示装置では、データ信号線を駆動するソースドライバを備え、上記内部電源はソースドライバに供給される構成とすることもできる。

[0053] 本液晶表示装置では、上記内部電源の電位を用いて信号電位が生成される構成とすることもできる。

本液晶表示装置では、走査信号線を駆動するゲートドライバを備え、上記内

部電源はゲートドライバに供給される構成とすることもできる。

本液晶表示装置では、上記内部電源の電位はトランジスタをオンさせる電位である構成とすることもできる。

[0054] 本表示装置は、互いに交差して設けられた複数の走査信号線および複数の画像信号線と、該走査信号線および画像信号線の交差部近傍位置に設けられて、該走査信号線からの走査信号により制御され、該画像信号線からの画像信号をスイッチングするスイッチング素子と、該スイッチング素子毎に設けられ、該スイッチング素子を介して該画像信号線に接続された画素電極と、表示媒体を挟んで該画素電極と対向するように設けられた共通電極とを有する表示パネルを備え、電源オフ時に、該スイッチング素子に対向する共通電極の一方電極側の電位降下を速やかに行うべく、液晶のシステム電源 V_{cc} と共通電極の間に容量を設けた表示装置である。

[0055] 本表示装置は、互いに交差して設けられた複数の走査信号線および複数の画像信号線と、該走査信号線および画像信号線の交差部近傍位置に設けられて、該走査信号線からの走査信号により制御され、該画像信号線からの画像信号をスイッチングするスイッチング素子と、該スイッチング素子毎に設けられ、該スイッチング素子を介して該画像信号線に接続された画素電極と、表示媒体を挟んで該画素電極と対向するように設けられた共通電極とを有する表示パネルを備え、電源オフ時に、該スイッチング素子に対向する共通電極の一方電極側の電位降下を速やかに行うべく、ソースドライバに入力されるアナログ電源 V_{LS} と共通電極の間に容量を設けた表示装置である。

[0056] 本表示装置は、互いに交差して設けられた複数の走査信号線および複数の画像信号線と、該走査信号線および画像信号線の交差部近傍位置に設けられて、該走査信号線からの走査信号により制御され、該画像信号線からの画像信号をスイッチングするスイッチング素子と、該スイッチング素子毎に設けられ、該スイッチング素子を介して該画像信号線に接続された画素電極と、表示媒体を挟んで該画素電極と対向するように設けられた共通電極とを有する表示パネルを備え、電源オフ時に、該スイッチング素子に対向する共通電

極の一方電極側の電位降下を速やかに行うべく、ゲートドライバのHigh側電源V_{GH}と共通電極の間に容量を設けた表示装置である。

[0057] 本表示装置は、互いに交差して設けられた複数の走査信号線および複数の画像信号線と、該走査信号線および画像信号線の交差部近傍位置に設けられて、該走査信号線からの走査信号により制御され、該画像信号線からの画像信号をスイッチングするスイッチング素子と、該スイッチング素子毎に設けられ、該スイッチング素子を介して該画像信号線に接続された画素電極と、表示媒体を挟んで該画素電極と対向するように設けられた共通電極と、該スイッチング素子に接続された補助容量手段とを有する表示パネルを備え、電源オフ時に、該スイッチング素子に対向する該補助容量手段の一方電極側の電位降下を速やかに行うべく、液晶のシステム電源V_{cc}と該一方電極側の間に容量を設けた表示装置である。

[0058] 本表示装置は、互いに交差して設けられた複数の走査信号線および複数の画像信号線と、該走査信号線および画像信号線の交差部近傍位置に設けられて、該走査信号線からの走査信号により制御され、該画像信号線からの画像信号をスイッチングするスイッチング素子と、該スイッチング素子毎に設けられ、該スイッチング素子を介して該画像信号線に接続された画素電極と、表示媒体を挟んで該画素電極と対向するように設けられた共通電極と、該スイッチング素子に接続された補助容量手段とを有する表示パネルを備え、電源オフ時に、該スイッチング素子に対向する該補助容量手段の一方電極側の電位降下を速やかに行うべく、ソースドライバに入力されるアナログ電源V_Lと共通電極の間に容量を設けた表示装置である。

[0059] 本表示装置は、互いに交差して設けられた複数の走査信号線および複数の画像信号線と、該走査信号線および画像信号線の交差部近傍位置に設けられて、該走査信号線からの走査信号により制御され、該画像信号線からの画像信号をスイッチングするスイッチング素子と、該スイッチング素子毎に設けられ、該スイッチング素子を介して該画像信号線に接続された画素電極と、表示媒体を挟んで該画素電極と対向するように設けられた共通電極と、該ス

スイッチング素子に接続された補助容量手段とを有する表示パネルを備え、電源オフ時に、該スイッチング素子に対向する該補助容量手段の一方電極側の電位降下を速やかに行うべく、ゲートドライバのHigh側電源VGHと共通電極の間に容量を設けた表示装置である。

[0060] なお、液晶のシステム電源Vccとは、液晶表示装置1にユーザー（セット）側から供給される電源（Vcc41）を意味する。通常はこのVcc41をもとにDC/DCやチャージポンプ等でVLS、VGH、VGLなどの電圧を液晶表示装置内で作成する。また、「ソースドライバに入力されるアナログ電源VLS」とは液晶10の画素信号線11に所定のアナログ電圧を出力する信号線駆動回路20のアナログ電源（VLS42）を意味する。また、「ゲートドライバのHigh側電源VGH」とは走査線駆動回路30から液晶10の走査信号線12に出力されるハイレベル（選択レベル）の電圧を供給する電源（VGH43）を意味する。

[0061] 以上、本発明に係る実施形態について説明したが、本発明は上記の実施形態に限定されるものではない。本請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

[0062] 本発明は、例えばパーソナルコンピュータ、携帯電話、スマートフォン、デジタルカメラ、およびテレビジョン装置などに用いられる液晶表示装置に好適である。

符号の説明

- [0063]
- 1 液晶表示装置
 - 11 画像信号線
 - 12 走査信号線
 - 13 補助容量配線
 - 14 トランジスタ
 - 15 画素電極

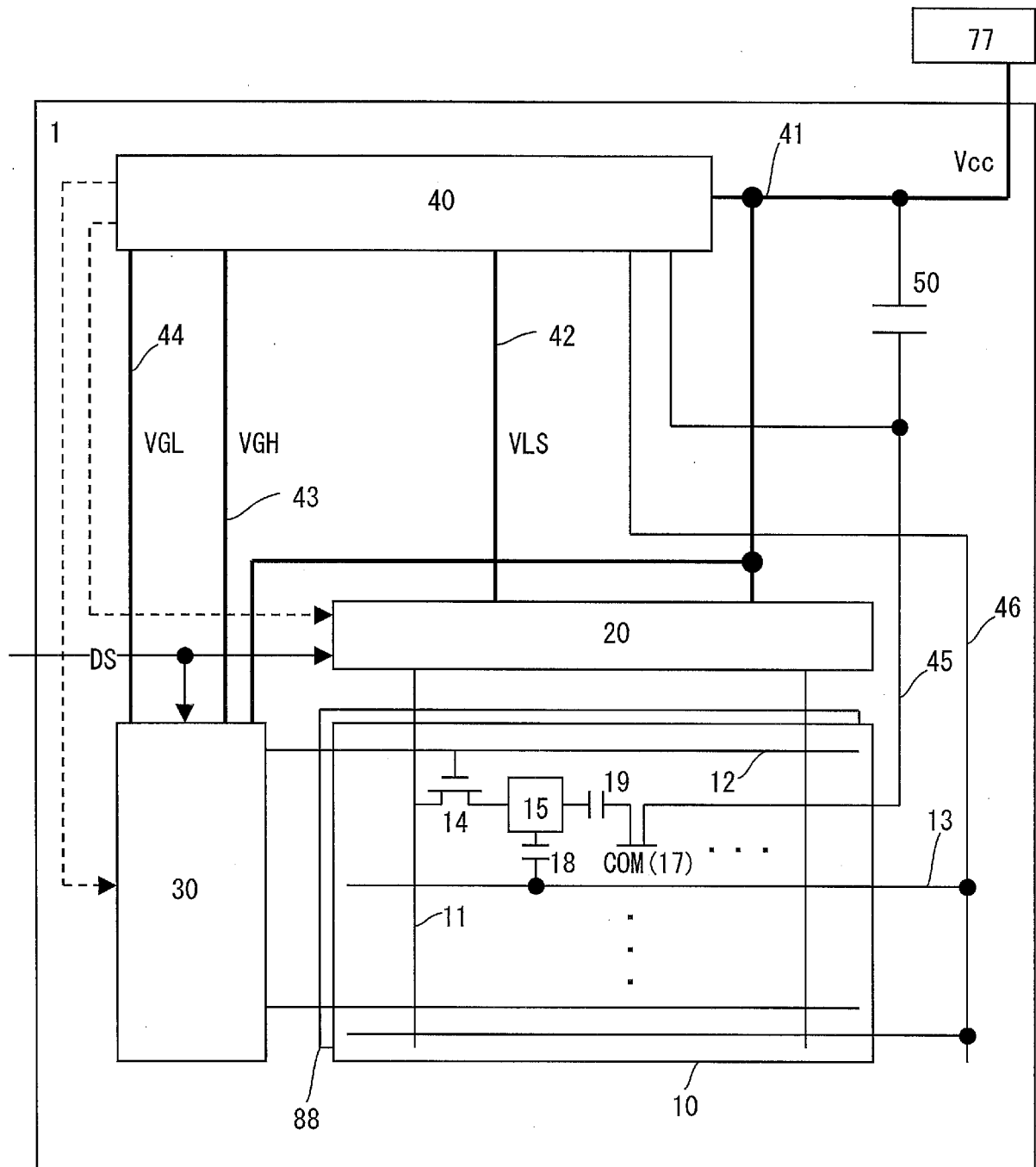
- 1 6 液晶層
- 1 7 共通電極
- 1 8 補助容量
- 1 0 液晶パネル
- 2 0 信号線駆動回路
- 3 0 走査線駆動回路
- 4 0 液晶駆動回路
- 5 0 – 5 5 容量
- 6 0 – 6 2 抵抗

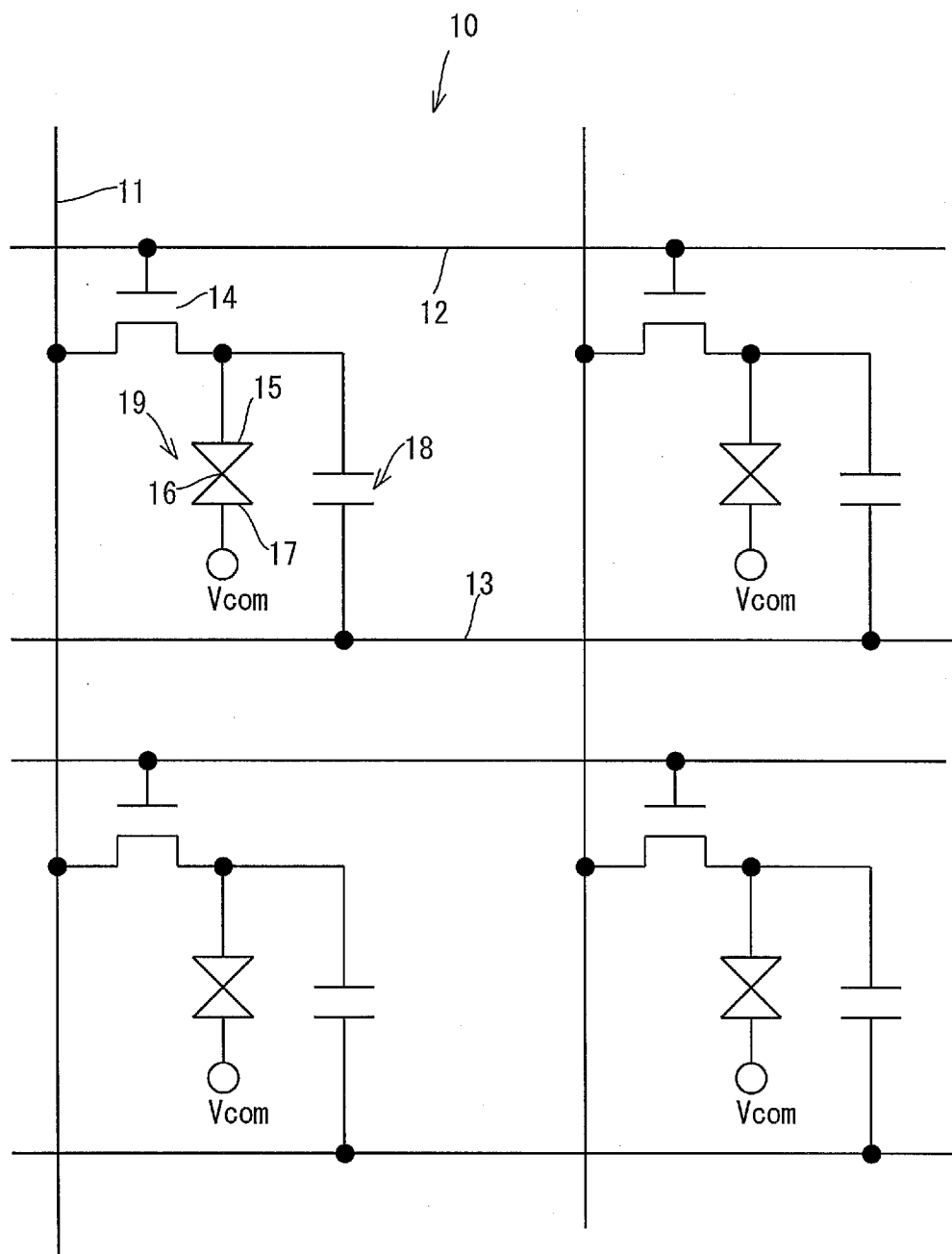
請求の範囲

- [請求項1] 液晶層と、データ信号線と、走査信号線と、データ信号線および走査信号線に接続されたトランジスタと、該トランジスタを介してデータ信号線に接続された画素電極と、導電体と、電源配線とを備え、上記画素電極と導電体とが第1容量を介して接続されている液晶表示装置であって、
- 上記導電体と電源配線とが第2容量を介して接続されている液晶表示装置。
- [請求項2] 上記導電体は共通電極であり、上記第1容量は液晶容量である請求項1記載の液晶表示装置。
- [請求項3] 上記導電体は補助容量配線であり、上記第1容量は補助容量である請求項1記載の液晶表示装置。
- [請求項4] 補助容量を介して画素電極に接続された補助容量配線を備え、該補助容量配線と上記電源配線とが第3容量を介して接続されている請求項2記載の液晶表示装置。
- [請求項5] 上記第2容量は、液晶表示装置がOFFされたときに画素電極の電荷を速やかに抜くための容量である請求項1～4のいずれか1項に記載の液晶表示装置。
- [請求項6] 上記電源配線が抵抗を介してグラウンドに接続されている請求項1～5のいずれか1項に記載の液晶表示装置。
- [請求項7] 上記電源配線は、液晶表示装置の外部から供給される外部電源の配線である請求項1～6のいずれか1項に記載の液晶表示装置。
- [請求項8] 上記電源配線は、液晶表示装置内で生成された内部電源の配線である請求項1～6のいずれか1項に記載の液晶表示装置。
- [請求項9] データ信号線を駆動するソースドライバを備え、
- 上記内部電源はソースドライバに供給される請求項8記載の液晶表示装置。
- [請求項10] 上記内部電源の電位を用いて信号電位が生成される請求項9記載の

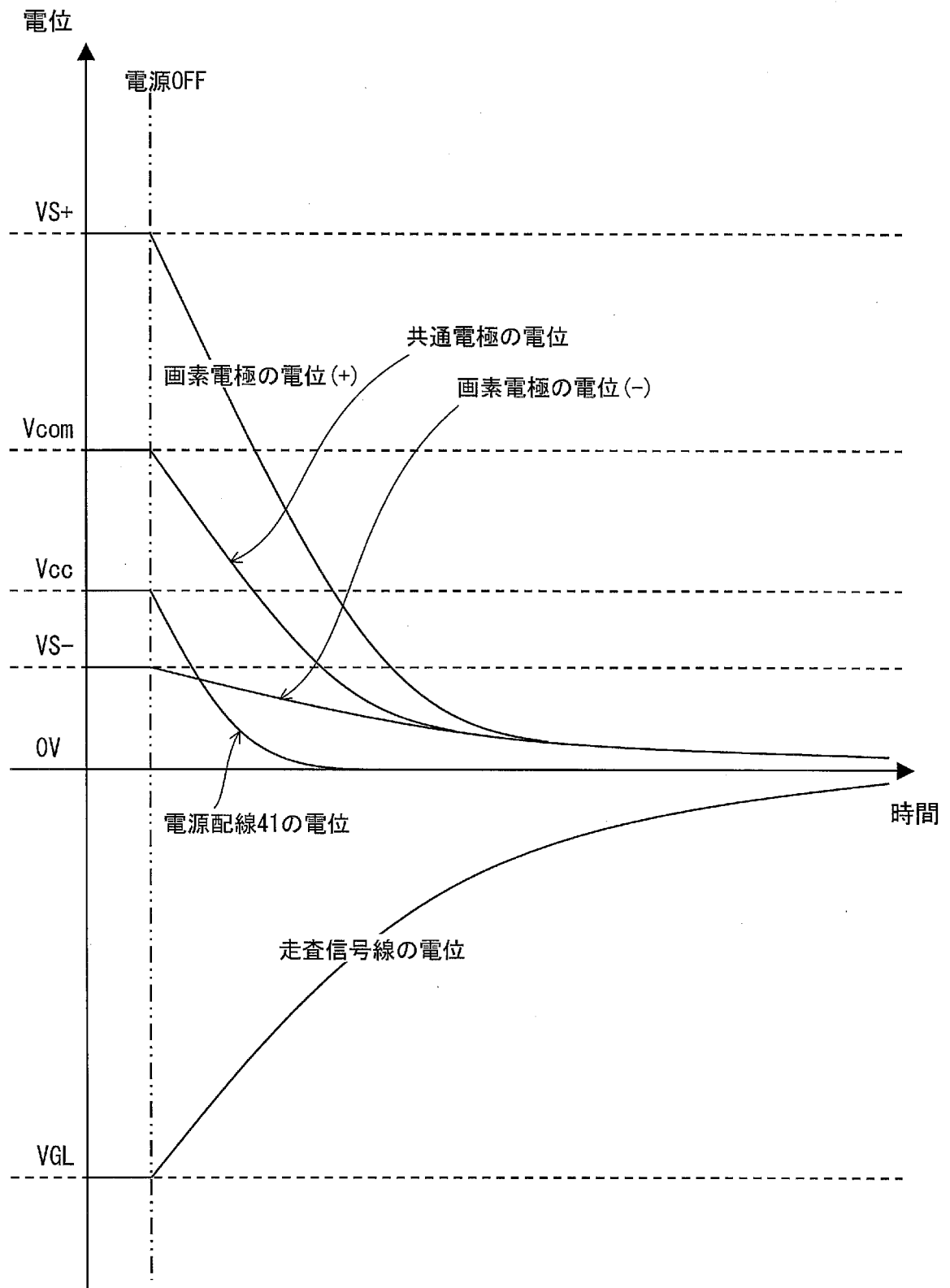
液晶表示装置。

- [請求項11] 走査信号線を駆動するゲートドライバを備え、
上記内部電源はゲートドライバに供給される請求項8記載の液晶表示装置。
- [請求項12] 上記内部電源の電位はトランジスタをオンさせる電位である請求項11記載の液晶表示装置。

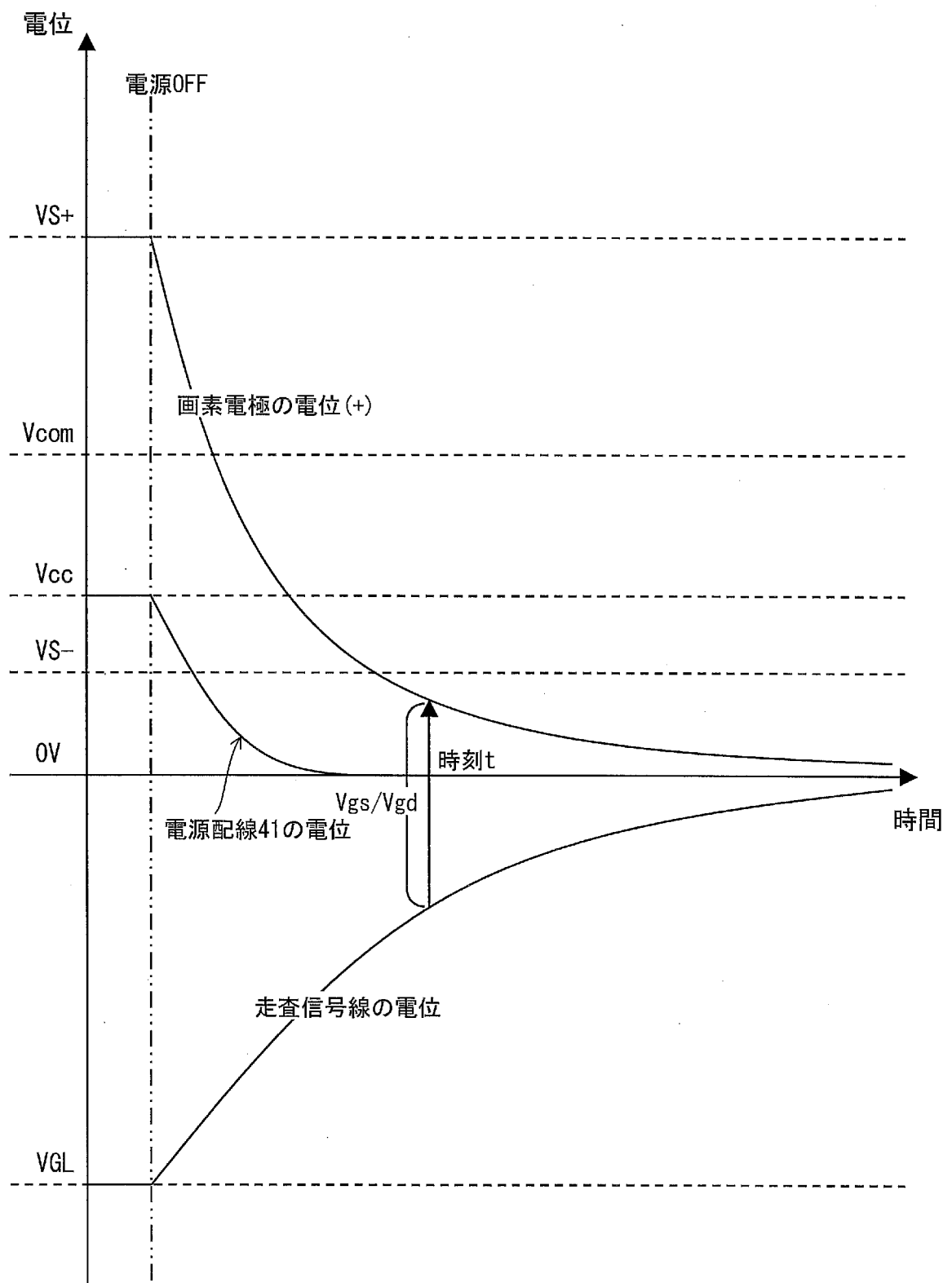




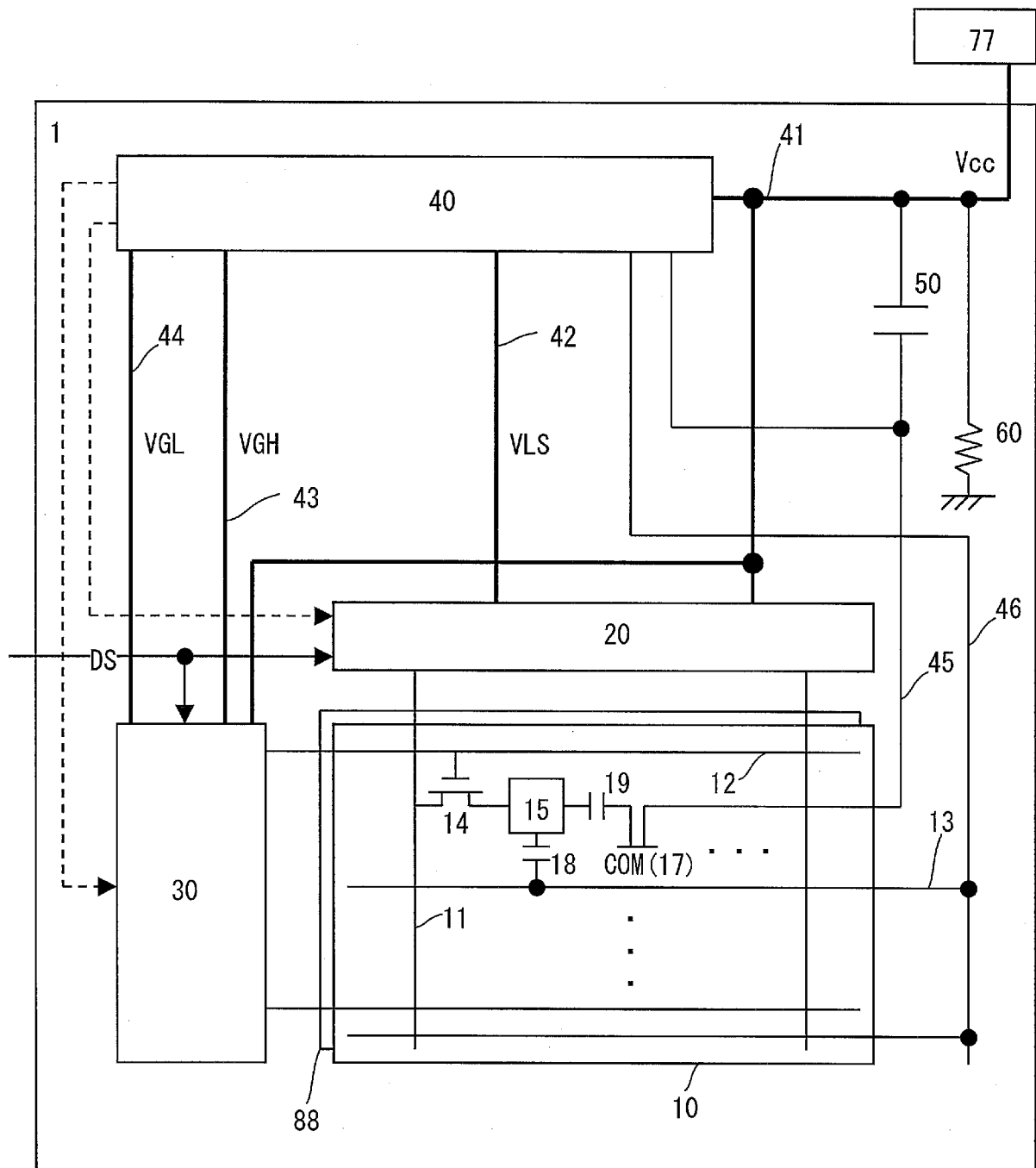
[図3]



[図4]

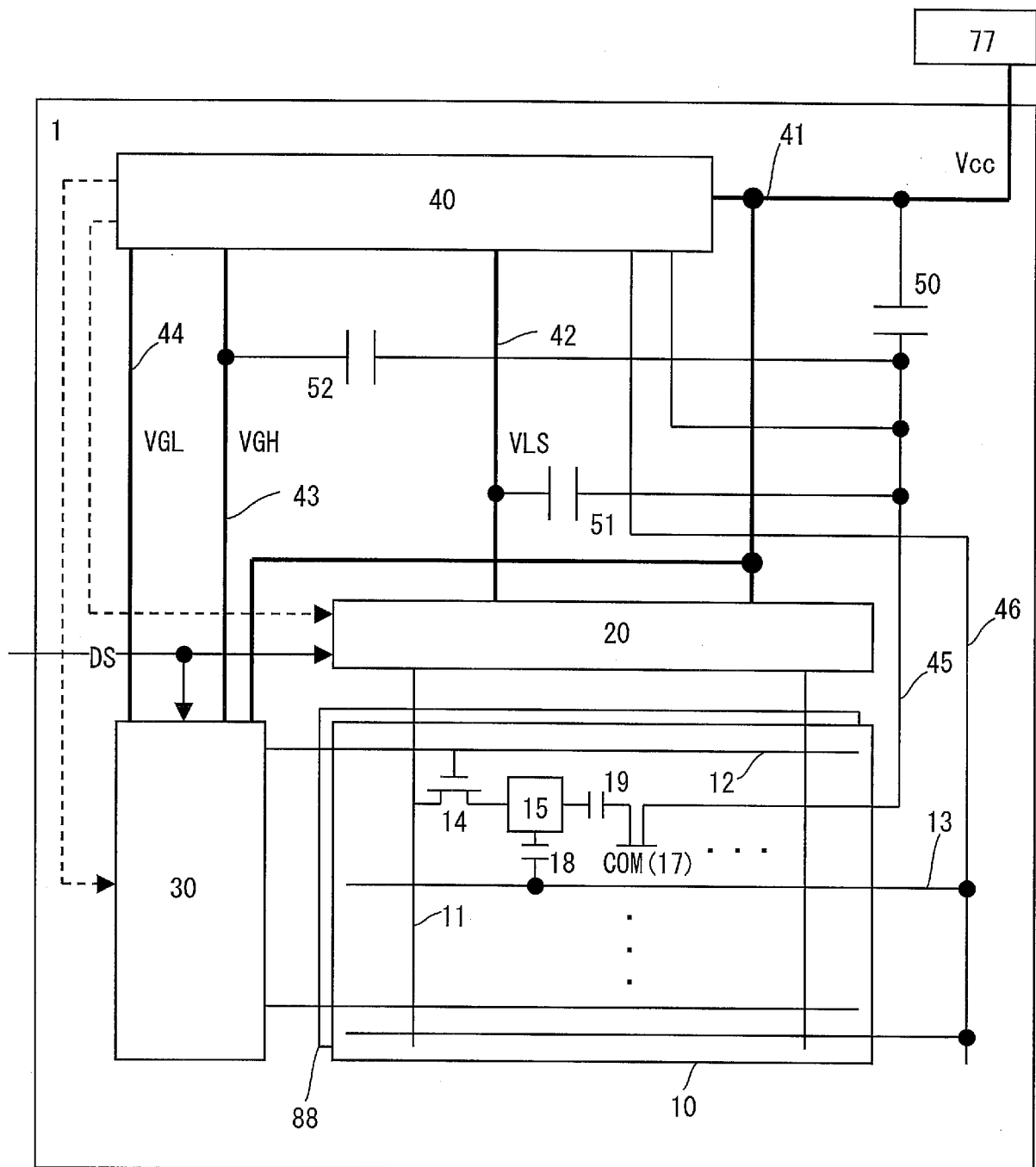


[図6]

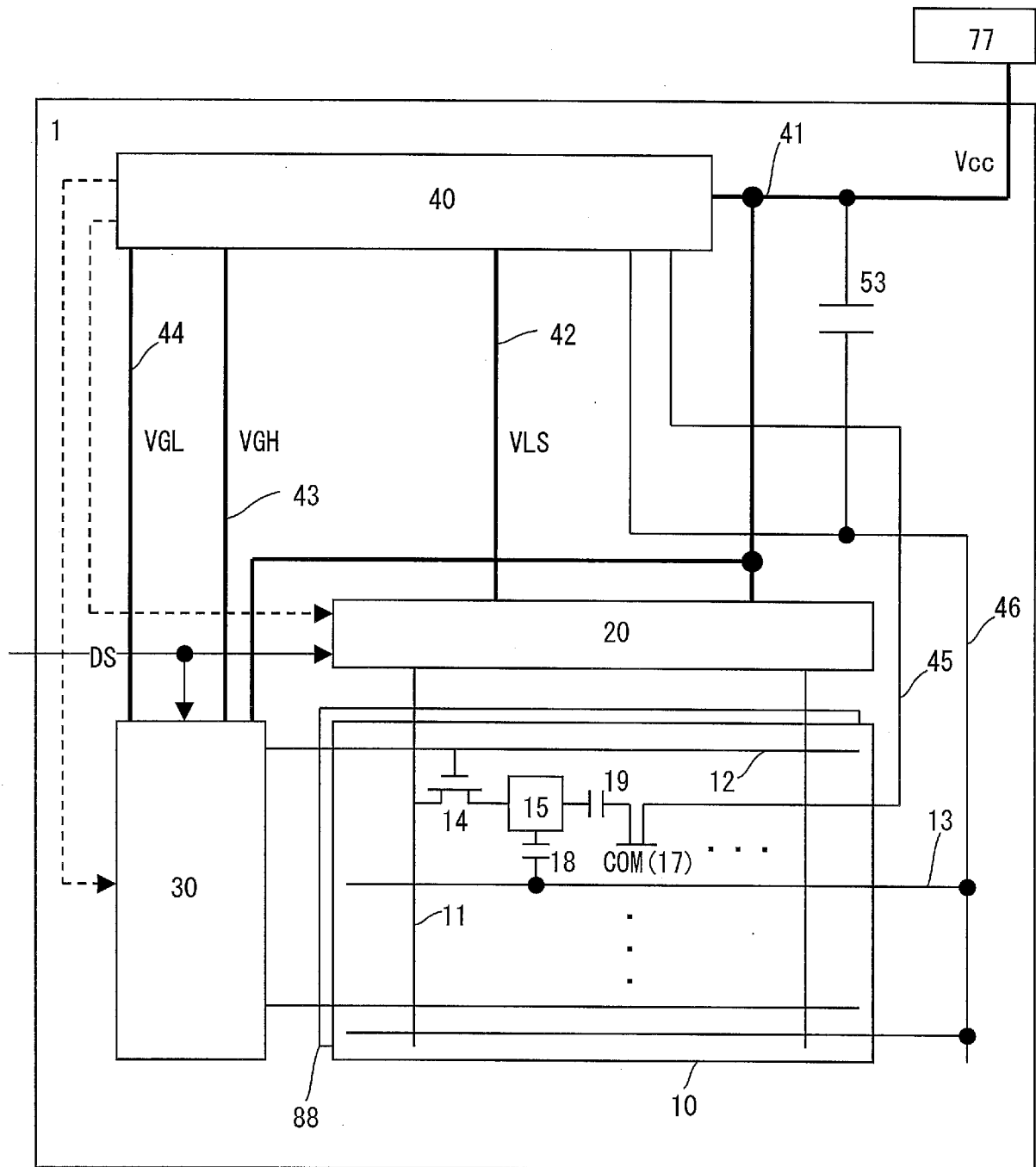


The diagram illustrates a pixel array 10. A data bus 40 is connected to a source driver 30 and a pixel circuit 12. The source driver 30 is connected to a data bus 40 and a source line 44. The pixel circuit 12 is connected to a source line 44 and a gate line 42. The pixel circuit 12 includes a transistor 14, a transistor 15, and a transistor 19. The gate of transistor 14 is connected to a gate line 42, and its source is connected to a source line 44. The gate of transistor 15 is connected to a gate line 42, and its source is connected to a source line 44. The gate of transistor 19 is connected to a gate line 42, and its source is connected to a source line 44. The drain of transistor 14 is connected to a source line 44, and the drain of transistor 15 is connected to a source line 44. The drain of transistor 19 is connected to a source line 44. The pixel circuit 12 is connected to a source line 44 and a gate line 42. The pixel circuit 12 includes a transistor 14, a transistor 15, and a transistor 19. The gate of transistor 14 is connected to a gate line 42, and its source is connected to a source line 44. The gate of transistor 15 is connected to a gate line 42, and its source is connected to a source line 44. The gate of transistor 19 is connected to a gate line 42, and its source is connected to a source line 44. The drain of transistor 14 is connected to a source line 44, and the drain of transistor 15 is connected to a source line 44. The drain of transistor 19 is connected to a source line 44. The pixel circuit 12 is connected to a source line 44 and a gate line 42. The pixel circuit 12 includes a transistor 14, a transistor 15, and a transistor 19. The gate of transistor 14 is connected to a gate line 42, and its source is connected to a source line 44. The gate of transistor 15 is connected to a gate line 42, and its source is connected to a source line 44. The gate of transistor 19 is connected to a gate line 42, and its source is connected to a source line 44. The drain of transistor 14 is connected to a source line 44, and the drain of transistor 15 is connected to a source line 44. The drain of transistor 19 is connected to a source line 44.

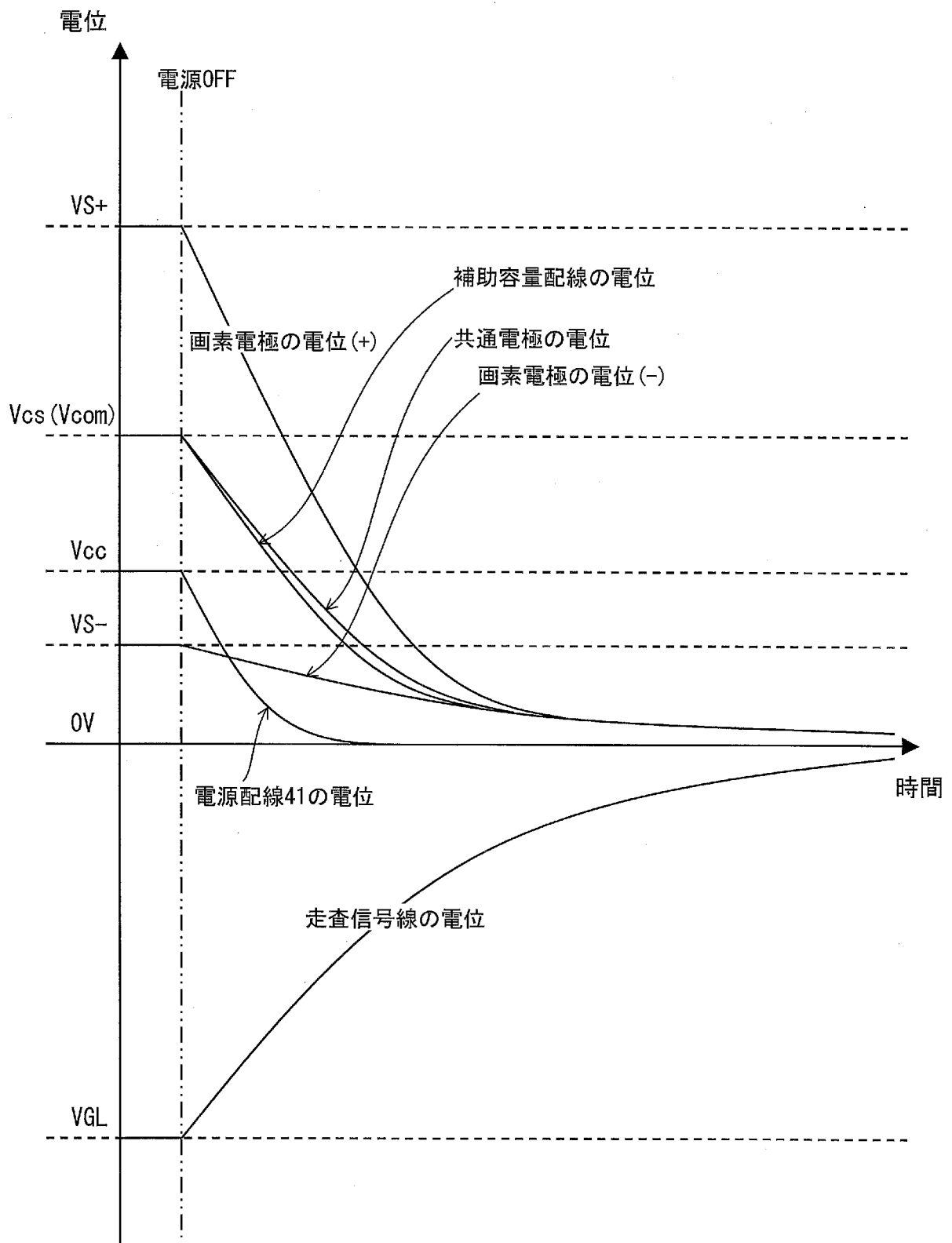
[図9]



[図10]

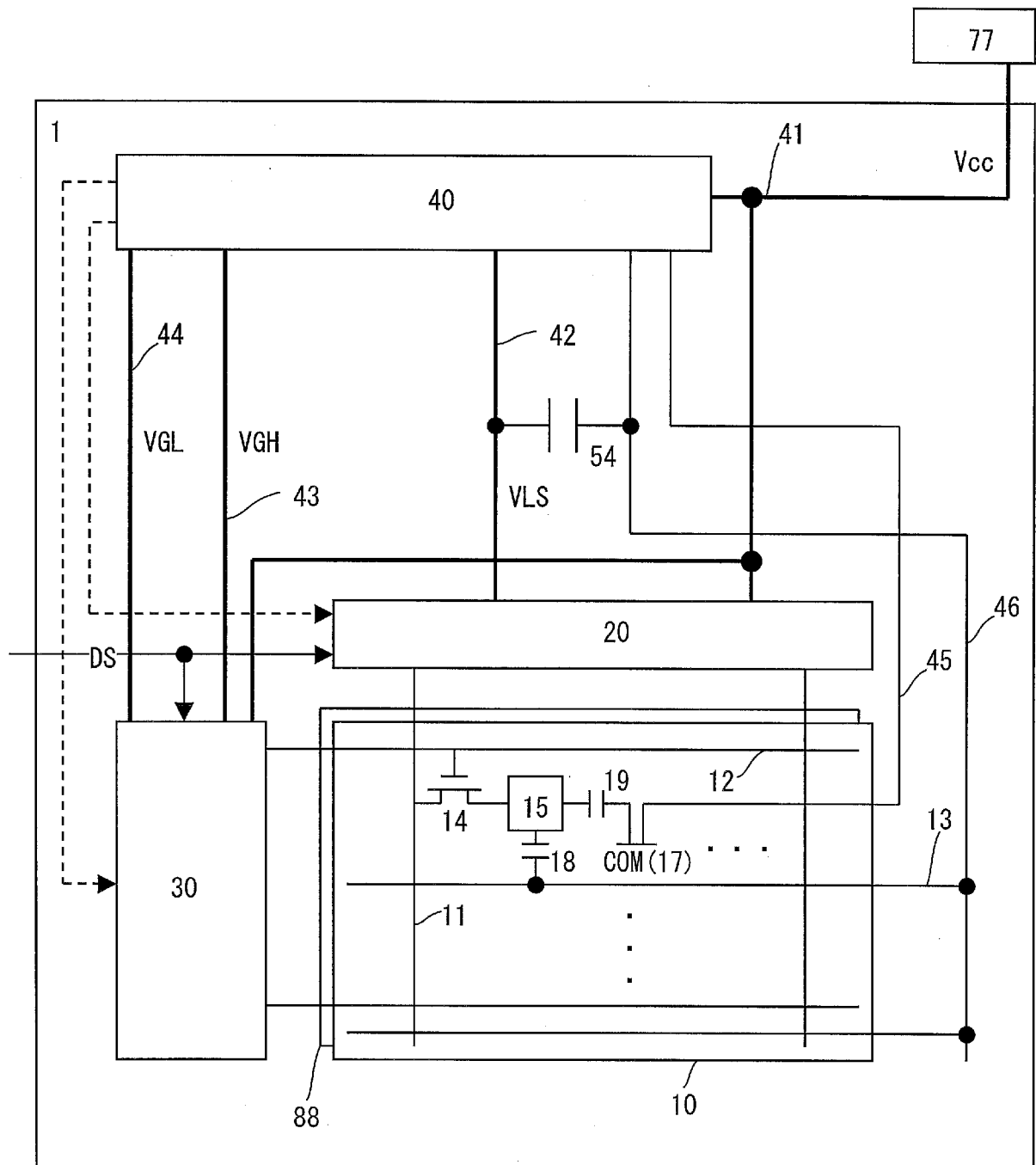


[図11]

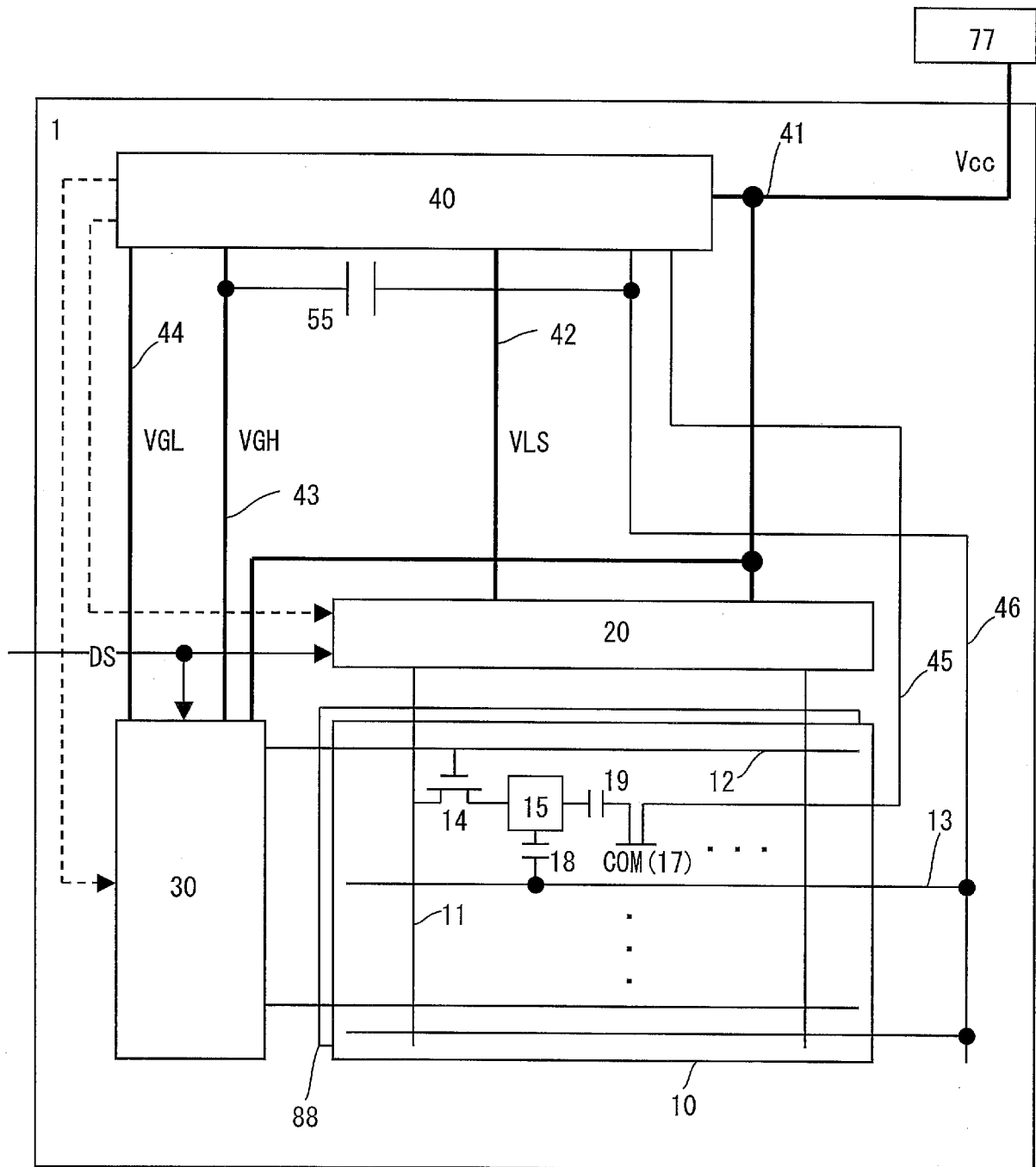


[illegible]

[図13]

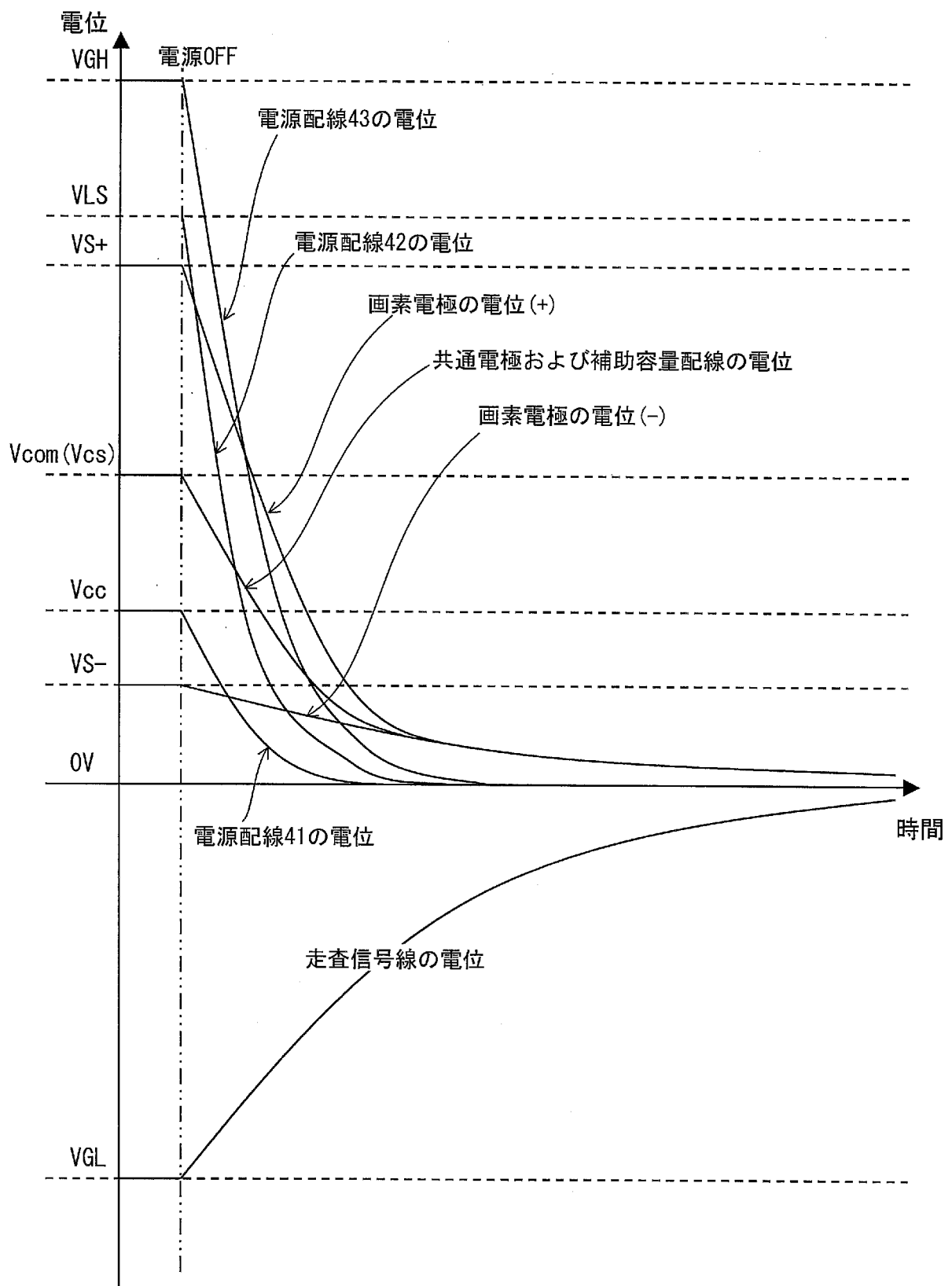


[図14]

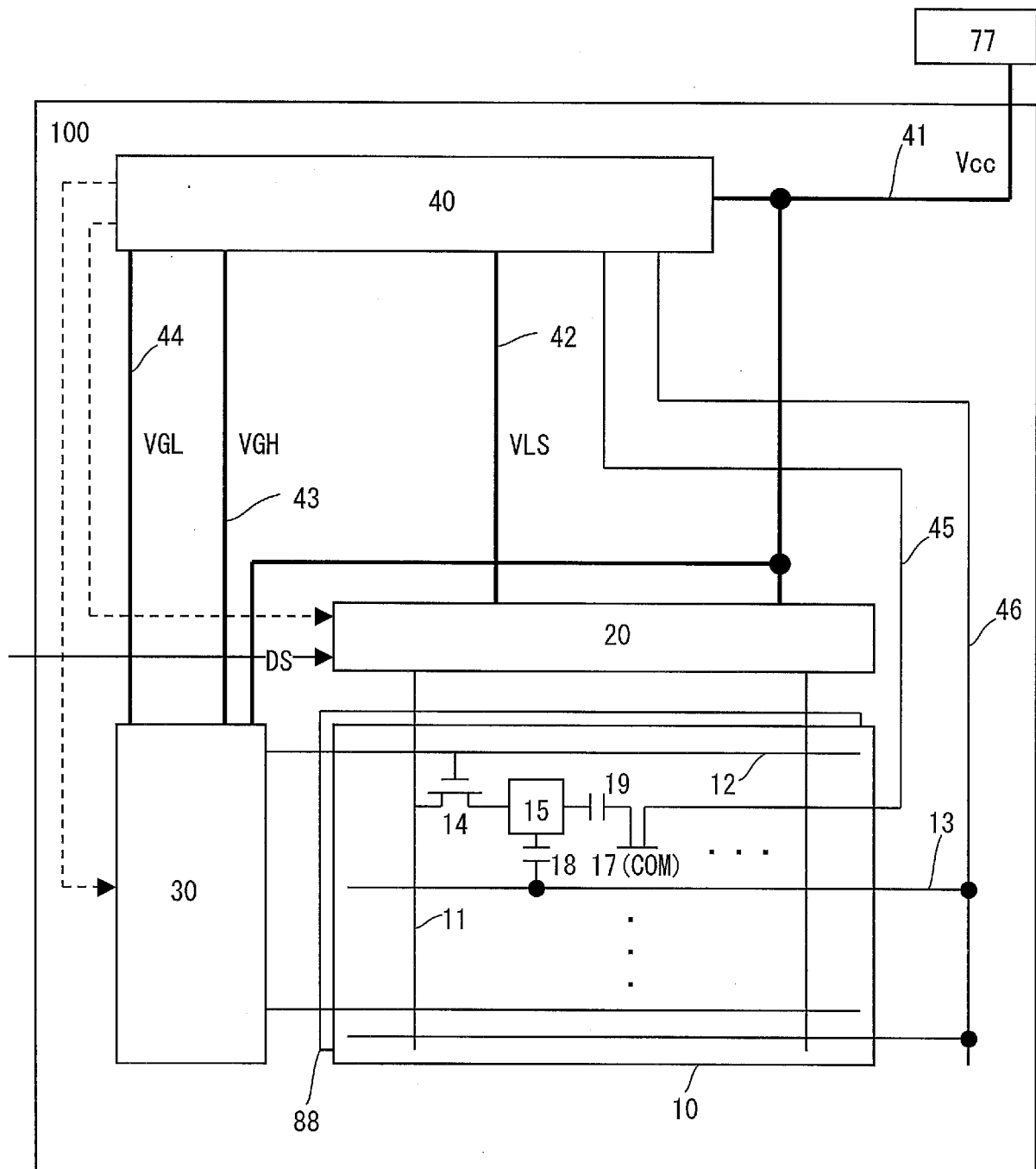


The diagram illustrates a semiconductor device 10, which includes a pixel array 11 and peripheral control logic blocks 20, 30, and 40. The pixel array 11 is composed of multiple rows and columns of pixels. Each pixel is formed by a first transistor 12, a second transistor 13, and a third transistor 14, which are connected to a common source line 15 and a common gate line 16. The first transistor 12 is connected to a data signal line 17 (labeled COM(17)) and a gate signal line 18. The second transistor 13 is connected to a gate signal line 19 and a data signal line 20. The third transistor 14 is connected to a gate signal line 21 and a data signal line 22. The pixel array 11 is connected to a data bus 23 and a gate bus 24. The peripheral control logic blocks 20, 30, and 40 are connected to the data bus 23 and the gate bus 24. Block 20 is connected to the data bus 23 and the gate bus 24. Block 30 is connected to the data bus 23 and the gate bus 24. Block 40 is connected to the data bus 23 and the gate bus 24. The device 10 is powered by a VCC supply and a VGL supply. The VCC supply is connected to the data bus 23 and the gate bus 24. The VGL supply is connected to the data bus 23 and the gate bus 24. The device 10 is also connected to a DS signal line and a VLS signal line. The DS signal line is connected to the data bus 23 and the gate bus 24. The VLS signal line is connected to the data bus 23 and the gate bus 24. The device 10 is also connected to a VGH signal line and a VLS signal line. The VGH signal line is connected to the data bus 23 and the gate bus 24. The VLS signal line is connected to the data bus 23 and the gate bus 24. The device 10 is also connected to a VCC supply and a VGL supply. The VCC supply is connected to the data bus 23 and the gate bus 24. The VGL supply is connected to the data bus 23 and the gate bus 24. The device 10 is also connected to a DS signal line and a VLS signal line. The DS signal line is connected to the data bus 23 and the gate bus 24. The VLS signal line is connected to the data bus 23 and the gate bus 24. The device 10 is also connected to a VGH signal line and a VLS signal line. The VGH signal line is connected to the data bus 23 and the gate bus 24. The VLS signal line is connected to the data bus 23 and the gate bus 24.

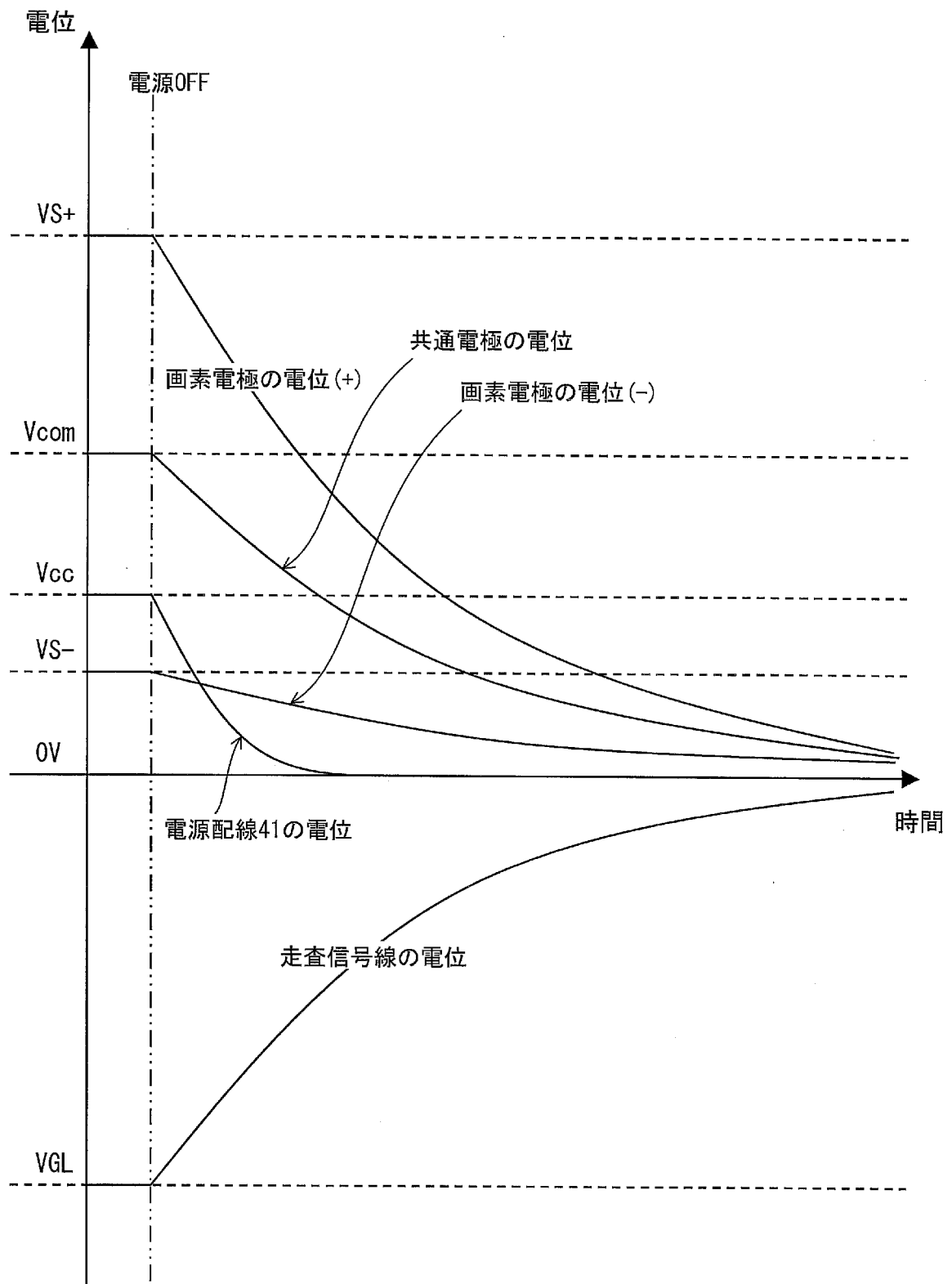
[図17]



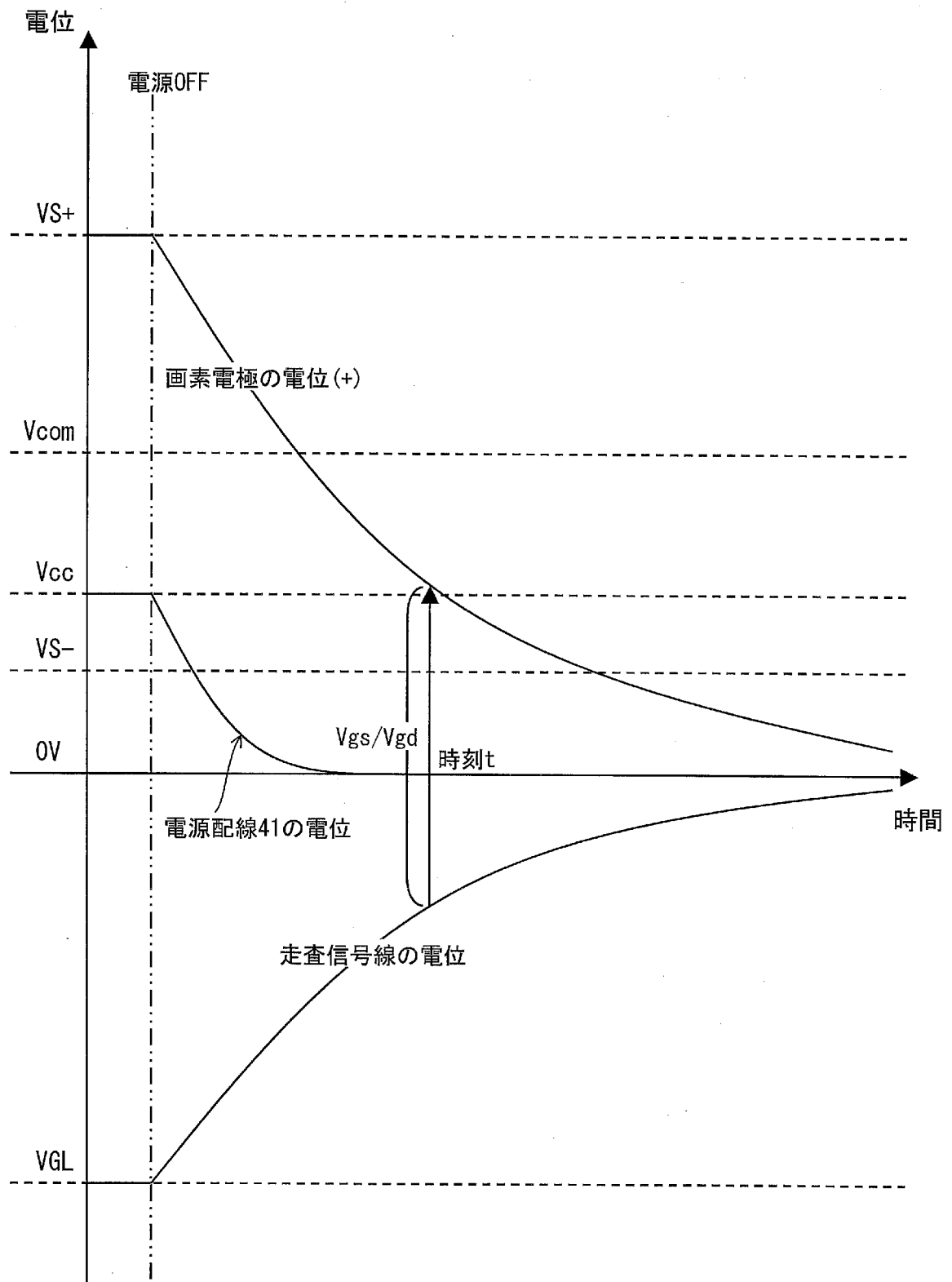
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/081318

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G02F1/133, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-212689 A (Toshiba Matsushita Display Technology Co., Ltd.), 23 August 2007 (23.08.2007), entire text; fig. 1 to 5 (Family: none)	1-12
A	JP 2008-241749 A (Sharp Corp.), 09 October 2008 (09.10.2008), entire text; fig. 1 to 7 (Family: none)	1-12
A	JP 2011-70055 A (Sony Corp.), 07 April 2011 (07.04.2011), entire text; fig. 1 to 11 & US 2011/0075063 A1 & CN 102034450 A	1-12

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 January, 2014 (28.01.14)

Date of mailing of the international search report
10 February, 2014 (10.02.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G09G3/36(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. G02F1/1368, G02F1/133, G09G3/36			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 4 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 4 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 4 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2007-212689 A（東芝松下ディスプレイテクノロジー株式会社） 2007.08.23, 全文, 第 1-5 図 （ファミリーなし）	1-12	
A	JP 2008-241749 A（シャープ株式会社）2008.10.09, 全文, 第 1-7 図 （ファミリーなし）	1-12	
A	JP 2011-70055 A（ソニー株式会社）2011.04.07, 全文, 第 1-11 図 & US 2011/0075063 A1 & CN 102034450 A	1-12	
☐ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 2 8 . 0 1 . 2 0 1 4		国際調査報告の発送日 1 0 . 0 2 . 2 0 1 4	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号		特許庁審査官（権限のある職員） 鈴木 俊光 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5	2 L 9 1 1 5