

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月19日(19.09.2024)



(10) 国際公開番号

WO 2024/190116 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2024/002595
- (22) 国際出願日: 2024年1月29日(29.01.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-041930 2023年3月16日(16.03.2023) JP
- (71) 出願人:株式会社ジャパンディスプレイ(JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).
- (72) 発明者: 渡壁 創 (WATAKABE Hajime); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 津吹 将志(TSUBUKU Masashi); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 佐々木 俊成(SASAKI Toshinari); 〒1050003 東京都港区西

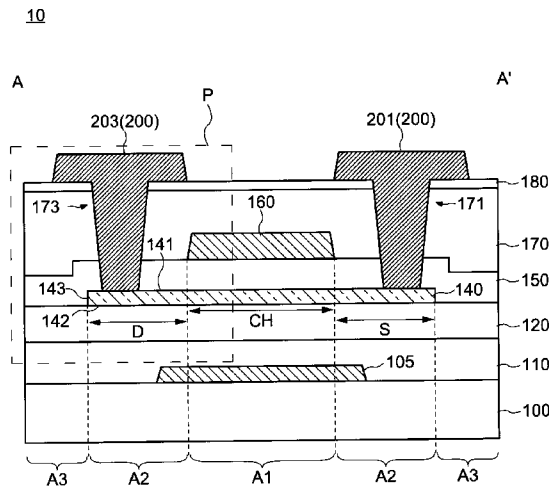
新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 花田 明紘(HANADA Akihiro); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 田丸 尊也(TAMARU Takaya); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 望月 真里奈(MOCHIZUKI Marina); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 小野寺 涼(ONODERA Ryo); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人:弁理士法人高橋・林アンドパートナーズ(TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.); 〒1440052 東京都大田区蒲田5-24-2 損保ジャパン蒲田ビル9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

(54) Title: SEMICONDUCTOR DEVICE AND PRODUCTION METHOD FOR SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A semiconductor device according to the present invention includes an oxide insulation layer, an oxide semiconductor layer that is above the oxide insulation layer, a gate insulation layer that is above the oxide semiconductor layer, and a gate electrode that is above the gate insulation layer. In a first region in which the oxide insulation layer, the oxide semiconductor layer, the gate insulation layer, and the gate electrode are layered in the given order, the gate electrode includes impurities. In a second region in which the gate electrode is not present and the oxide insulation layer, the oxide semiconductor layer, and the gate insulation layer are layered in the given order, the oxide insulation layer, the oxide semiconductor layer, and the gate insulation layer include impurities. In a third region in which the gate electrode and the oxide semiconductor layer are not present and the oxide insulation layer and the gate insulation layer are layered in the given order, the oxide insulation layer and the gate insulation layer include impurities. A concentration profile for the impurities includes a first peak and a second peak in the layering direction of the second region.



WO 2024/190116 A1

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 半導体装置は、酸化物絶縁層と、酸化物絶縁層の上の酸化物半導体層と、酸化物半導体層の上のゲート絶縁層と、ゲート絶縁層の上のゲート電極と、を含み、酸化物絶縁層、酸化物半導体層、ゲート絶縁層、及びゲート電極が順に積層される第1領域では、ゲート電極が不純物を含み、ゲート電極を含まず、酸化物絶縁層、酸化物半導体層、及びゲート絶縁層が順に積層される第2領域では、酸化物絶縁層、酸化物半導体層、及びゲート絶縁層が不純物を含み、ゲート電極及び酸化物半導体層を含まず、酸化物絶縁層及びゲート絶縁層が順に積層される第3領域では、酸化物絶縁層及びゲート絶縁層が不純物を含み、第2領域の積層方向において、不純物の濃度プロファイルは、第1ピーク及び第2ピークを含む。

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明の一実施形態は、酸化物半導体をチャンネルとして用いる半導体装置及びその製造方法に関する。

背景技術

[0002] 近年、アモルファスシリコン、低温ポリシリコン、及び単結晶シリコンなどを用いたシリコン半導体膜に替わり、酸化物半導体膜をチャンネルとして用いる半導体装置の開発が進められている（例えば、特許文献1～特許文献6参照）。このような酸化物半導体膜を含む半導体装置は、アモルファスシリコン膜を含む薄膜トランジスタと同様に、単純な構造かつ低温プロセスで製造することができる。また、酸化物半導体膜を含む半導体装置は、アモルファスシリコン膜を含む半導体装置より高い電界効果移動度を有することが知られている。

先行技術文献

特許文献

[0003] 特許文献1：特開2021-141338号公報
特許文献2：特開2014-099601号公報
特許文献3：特開2021-153196号公報
特許文献4：特開2018-006730号公報
特許文献5：特開2016-184771号公報
特許文献6：特開2021-108405号公報

発明の概要

発明が解決しようとする課題

[0004] 酸化物半導体では、酸素欠陥に水素が結合されるとキャリアが生成される。このメカニズムを利用し、半導体装置において、酸化物半導体層に酸素欠陥を形成し、形成された酸素欠陥に水素を供給することによって、低抵抗な

領域であるソース領域及びドレイン領域を形成することができる。一方で、酸化物半導体層のチャネル領域に水素が拡散すると、半導体装置のチャネルとして機能が低下する。具体的には、水素がチャネル領域に拡散することによって、半導体装置の電気特性における閾値電圧が変化するため、閾値電圧のばらつきが増大し、半導体装置の製造歩留まりが低下する。そのため、酸化物半導体層と接する絶縁層として、水素をトラップすることができる過剰酸素を含む酸化物層を用いることで、チャネル領域への水素の侵入が抑制される。

[0005] しかしながら、過剰酸素を含む酸化物層は、電子トラップとして機能するため、このような酸化物層を含む半導体装置において、信頼性が著しく低下する。したがって、信頼性が低下することを抑制し、酸化物半導体層のソース領域及びドレイン領域に水素を供給し、酸化物半導体層のチャネル領域に水素が侵入することを抑制することができる半導体装置が望まれている。

[0006] 本発明の一実施形態は、上記問題に鑑み、チャネル領域への水素の侵入を防止する水素トラップ領域を含む半導体装置を提供することを目的の一つとする。

課題を解決するための手段

[0007] 本発明の一実施形態に係る半導体装置は、酸化物絶縁層と、酸化物絶縁層の上の酸化物半導体層と、酸化物半導体層の上のゲート絶縁層と、ゲート絶縁層の上のゲート電極と、を含み、酸化物絶縁層、酸化物半導体層、ゲート絶縁層、及びゲート電極が順に積層される第1領域では、ゲート電極が不純物を含み、ゲート電極を含まず、酸化物絶縁層、酸化物半導体層、及びゲート絶縁層が順に積層される第2領域では、酸化物絶縁層、酸化物半導体層、及びゲート絶縁層が不純物を含み、ゲート電極及び酸化物半導体層を含まず、酸化物絶縁層及びゲート絶縁層が順に積層される第3領域では、酸化物絶縁層及びゲート絶縁層が不純物を含み、第2領域の積層方向において、不純物の濃度プロファイルは、第1ピーク及び第2ピークを含む。

[0008] 本発明の一実施形態に係る半導体装置は、酸化物絶縁層と、酸化物絶縁層

の上の酸化物半導体層と、酸化物半導体層の上のゲート絶縁層と、ゲート絶縁層の上のゲート電極と、を含み、酸化物絶縁層、酸化物半導体層、ゲート絶縁層、及びゲート電極が順に積層される第1領域では、ゲート電極が不純物を含み、ゲート電極を含まず、酸化物絶縁層、酸化物半導体層、及びゲート絶縁層が順に積層される第2領域では、酸化物半導体層及びゲート絶縁層が不純物を含み、ゲート電極及び酸化物半導体層を含まず、酸化物絶縁層及びゲート絶縁層が順に積層される第3領域では、酸化物絶縁層及びゲート絶縁層が不純物を含み、第3領域の積層方向において、不純物の濃度プロファイルは、第1ピーク及び第2ピークを含む。

[0009] 本発明の一実施形態に係る半導体装置の製造方法は、酸化物絶縁層を形成し、酸化物絶縁層の上に第1パターンを有するマスク層を形成し、マスク層をマスクとして酸化物絶縁層に第1不純物を注入し、酸化物絶縁層の上に第2パターンを有する酸化物半導体層を形成し、酸化物半導体層を覆い、酸化物絶縁層及び酸化物半導体層の上にゲート絶縁層を形成し、ゲート絶縁層の上に第3パターンを有するゲート電極を形成し、ゲート電極をマスクとして、酸化物半導体層に第2不純物を注入する。

[0010] 本発明の一実施形態に係る半導体装置の製造方法は、酸化物絶縁層を形成し、酸化物絶縁層の上に第1パターンを有する酸化物半導体層を形成し、酸化物半導体層を形成した第1パターンを有するレジストをマスクとして酸化物絶縁層に第1不純物を注入し、酸化物半導体層を覆い、酸化物絶縁層及び酸化物半導体層の上にゲート絶縁層を形成し、ゲート絶縁層の上に第2パターンを有するゲート電極を形成し、ゲート電極をマスクとして、酸化物半導体層に第2不純物を注入する。

図面の簡単な説明

- [0011] [図1]本発明の一実施形態に係る半導体装置の概要を示す断面図である。
[図2]本発明の一実施形態に係る半導体装置の概要を示す平面図である。
[図3]本発明の一実施形態に係る半導体装置の構成を示す模式的な部分拡大断面図である。

[図4]本発明の一実施形態に係る半導体装置において、第1領域～第3領域における不純物濃度のプロファイルを示すグラフである。

[図5]本発明の一実施形態に係る半導体装置において、第1領域～第3領域における不純物濃度のプロファイルを示すグラフである。

[図6]本発明の一実施形態に係る半導体装置の製造方法を示すシーケンス図である。

[図7]本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

[図8]本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

[図9]本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

[図10]本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

。

[図11]本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

。

[図12]本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

。

[図13]本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

。

[図14]本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

。

[図15]本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

。

[図16]本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

。

[図17]本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

。

[図18]本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

。

[図19]本発明の一実施形態に係る半導体装置において、第2領域及び第3領

域における水素トラップ領域を説明する模式的な断面図である。

[図20]本発明の一実施形態に係る半導体装置において、第2領域及び第3領域における水素トラップ領域を説明する模式的な断面図である。

[図21]本発明の一実施形態に係る半導体装置の構成を示す模式的な部分拡大断面図である。

[図22]本発明の一実施形態に係る半導体装置において、第1領域～第3領域における不純物濃度のプロファイルを示すグラフである。

[図23]本発明の一実施形態に係る半導体装置において、第1領域～第3領域における不純物濃度のプロファイルを示すグラフである。

[図24]本発明の一実施形態に係る半導体装置の製造方法を示すシーケンス図である。

[図25]本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

[図26]本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

発明を実施するための形態

[0012] 以下に、本発明の各実施形態について、図面を参照しつつ説明する。以下の開示はあくまで一例にすぎない。当業者が、発明の主旨を保ちつつ、実施形態の構成を適宜変更することによって容易に想到し得る構成は、当然に本発明の範囲に含有される。図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合がある。しかし、図示された形状はあくまで一例であって、本発明の解釈を限定するものではない。本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0013] 本発明の各実施の形態において、基板から酸化物半導体層に向かう方向を上又は上方という。逆に、酸化物半導体層から基板に向かう方向を下又は下方という。このように、説明の便宜上、上方又は下方という語句を用いて説明するが、例えば、基板と酸化物半導体層との上下関係が図示と逆になるよ

うに配置されてもよい。以下の説明で、例えば基板上の酸化物半導体層という表現は、上記のように基板と酸化物半導体層との上下関係を説明しているに過ぎず、基板と酸化物半導体層との間に他の部材が配置されていてもよい。上方又は下方は、複数の層が積層された構造における積層順を意味するものであり、トランジスタの上方の画素電極と表現する場合、平面視において、トランジスタと画素電極とが重ならない位置関係であってもよい。一方、トランジスタの鉛直上方の画素電極と表現する場合は、平面視において、トランジスタと画素電極とが重なる位置関係を意味する。

[0014] 本明細書において、「膜」という用語と、「層」という用語とは、場合により、互いに入れ替えることができる。

[0015] 本明細書において、「表示装置」とは、電気光学層を用いて映像を表示する構造体を指す。例えば、表示装置という用語は、電気光学層を含む表示パネルを指す場合もあり、又は表示セルに対して他の光学部材（例えば、偏光部材、バックライト、タッチパネル等）を装着した構造体を指す場合もある。「電気光学層」には、技術的な矛盾が生じない限り、液晶層、エレクトロルミネセンス（EL）層、エレクトロクロミック（EC）層、電気泳動層が含まれ得る。したがって、後述する実施形態について、表示装置として、液晶層を含む液晶表示装置、及び有機EL層を含む有機EL表示装置を例示して説明するが、本実施形態における構造は、上述した他の電気光学層を含む表示装置へ適用することができる。

[0016] 本明細書において、「 α はA、B又はCを含む」、「 α はA、B及びCのいずれかを含む」、「 α はA、B及びCからなる群から選択される一つを含む」、といった表現は、特に明示が無い限り、 α がA～Cの複数の組み合わせを含む場合を排除しない。さらに、これらの表現は、 α が他の要素を含む場合も排除しない。

[0017] なお、以下の各実施形態は、技術的な矛盾を生じない限り、互いに組み合わせることができる。

[0018] <第1実施形態>

図1～図20を参照して、本発明の一実施形態に係る半導体装置10について説明する。以下に示す実施形態の半導体装置10は、表示装置に用いられるトランジスタの他に、例えば、マイクロプロセッサ (Micro-Processing Unit: MPU) などの集積回路 (Integrated Circuit: IC)、又はメモリ回路に用いられてもよい。

[0019] [1. 半導体装置10の構成]

図1及び図2を用いて、本発明の一実施形態に係る半導体装置10の構成について説明する。図1は、本発明の一実施形態に係る半導体装置10の概要を示す断面図である。図2は、本発明の一実施形態に係る半導体装置10の概要を示す平面図である。具体的には、図1は、図2のA-A'線に沿って切断された断面図である。

[0020] 図1に示すように、半導体装置10は基板100の上方に設けられている。半導体装置10は、遮光層105、窒化物絶縁層110、酸化物絶縁層120、酸化物半導体層140、ゲート絶縁層150、ゲート電極160、絶縁層170、180、ソース電極201、及びドレイン電極203を含む。ソース電極201及びドレイン電極203を特に区別しない場合、これらを併せてソース・ドレイン電極200という場合がある。

[0021] 遮光層105は基板100の上に設けられている。窒化物絶縁層110及び酸化物絶縁層120は基板100及び遮光層105の上に設けられている。窒化物絶縁層110は、遮光層105の上面及び端部を覆う。酸化物半導体層140は酸化物絶縁層120の上に設けられている。酸化物半導体層140はパターニングされている。酸化物絶縁層120の一部は、酸化物半導体層140の端部を越えて酸化物半導体層140のパターンより外側に延びている。

[0022] 本実施形態では、酸化物絶縁層120と酸化物半導体層140とが接した構成が例示されているが、この構成に限定されない。例えば、酸化物絶縁層120と酸化物半導体層140との間に金属酸化物層が設けられてもよい。例えば、当該金属酸化物層として、アルミニウムを主成分とする金属酸化物

が用いられてもよい。具体的には、当該金属酸化物層として、酸化アルミニウムが用いられてもよい。

[0023] ゲート絶縁層150は、酸化物半導体層140の上面141及び側面143を覆い、酸化物半導体層140の上に設けられている。すなわち、酸化物半導体層140の上面141及び側面143はゲート絶縁層150と接し、酸化物半導体層140の下面142は酸化物絶縁層120と接している。ゲート電極160は、酸化物半導体層140と対向するように、ゲート絶縁層150の上に設けられている。

[0024] 絶縁層170はゲート絶縁層150及びゲート電極160の上に設けられている。絶縁層170は、ゲート電極160を覆う。絶縁層180は絶縁層170の上に設けられている。絶縁層170、180には、酸化物半導体層140に達する開口171、173が設けられている。ソース電極201は開口171の内部に設けられている。ソース電極201は開口171の底部で酸化物半導体層140に接している。ドレイン電極203は開口173の内部に設けられている。ドレイン電極203は開口173の底部で酸化物半導体層140に接している。

[0025] 遮光層105は、酸化物半導体層140に対して基板100側から入射する光を遮蔽する機能を備える。窒化物絶縁層110は、基板100から酸化物半導体層140に向かって拡散する不純物を遮蔽するバリア膜としての機能を備える。遮光層105が、半導体装置10のボトムゲートとしての機能を備えてもよい。この場合、窒化物絶縁層110及び酸化物絶縁層120は、ボトムゲートに対するゲート絶縁層としての機能を備える。

[0026] 半導体装置10の動作は、主にゲート電極160に供給される電圧によって制御される。遮光層105が、ボトムゲートとしての機能を備える場合、遮光層105には補助的な電圧が供給される。ただし、遮光層105にゲート電極160と同様の電圧が供給されてもよい。一方、遮光層105が単に遮光膜として用いられる場合、遮光層105に特定の電圧が供給されず、遮光層105の電位がフローティングであってもよい。あるいは、遮光層10

5は絶縁体であってもよい。

[0027] 半導体装置10は、ゲート電極160及び酸化物半導体層140の各々のパターンを基準として、第1領域A1、第2領域A2、及び第3領域A3に区分される。第1領域A1は、平面視でゲート電極160と重なる領域である。第1領域A1では、酸化物絶縁層120、酸化物半導体層140、ゲート絶縁層150、及びゲート電極160が順に積層されている。第2領域A2は、平面視でゲート電極160とは重ならず、酸化物半導体層140と重なる領域である。第2領域A2では、酸化物絶縁層120、酸化物半導体層140、及びゲート絶縁層150が順に積層されている。第3領域A3は、平面視でゲート電極160及び酸化物半導体層140の両方と重ならない領域である。第3領域A3では、酸化物絶縁層120及びゲート絶縁層150が順に積層されている。

[0028] ゲート絶縁層150の厚さは、例えば、100nm以上である。ゲート絶縁層150の厚さは、250nm以上、又は300nm以上であってもよい。

[0029] 酸化物半導体層140は、ゲート電極160のパターンを基準として、ソース領域S、ドレイン領域D、及びチャネル領域CHに区分される。ソース領域S及びドレイン領域Dは、第2領域A2に属する領域である。チャネル領域CHは、第1領域A1に属する領域である。平面視で、チャネル領域CHにおける端部は、ゲート電極160の端部と一致している。チャネル領域CHにおける酸化物半導体層140は、半導体の性質を有する。ソース領域S及びドレイン領域Dにおける各々の酸化物半導体層140は、導体の性質を有する。つまり、ソース領域S及びドレイン領域Dにおける酸化物半導体層140のキャリア濃度は、チャネル領域CHにおける酸化物半導体層140のキャリア濃度より高い。ソース電極201及びドレイン電極203は、それぞれ、ソース領域S及びドレイン領域Dと接しており、酸化物半導体層140と電氣的に接続されている。酸化物半導体層140は、単層構造であってもよく、積層構造であってもよい。

[0030] 本実施形態では、半導体装置10として、ゲート電極160が酸化物半導体層140の上方に設けられたトップゲート型トランジスタが用いられた構成を例示するが、この構成に限定されない。例えば、上記のように、半導体装置10は、ゲート電極160に加えて遮光層105がゲートとして機能する、デュアルゲート型トランジスタであってもよい。又は、半導体装置10は、主に遮光層105がゲートとして機能する、ボトムゲート型トランジスタであってもよい。上記の構成はあくまで一実施形態に過ぎず、本発明は上記の構成に限定されない。

[0031] 図2に示すD1方向において、遮光層105の幅はゲート電極160の幅より大きい。D1方向は、ソース電極201とドレイン電極203とを結ぶ方向であり、半導体装置10のチャンネル長Lを示す方向である。具体的には、酸化物半導体層140とゲート電極160とが重なる領域（チャンネル領域CH）におけるD1方向の長さがチャンネル長Lであり、当該チャンネル領域CHにおけるD2方向の幅がチャンネル幅Wである。遮光層105及びゲート電極160はD2方向に延在している。

[0032] 図2では、平面視において、ソース・ドレイン電極200が遮光層105及びゲート電極160と重ならない構成が例示されているが、この構成に限定されない。例えば、平面視において、ソース・ドレイン電極200が遮光層105及びゲート電極160の少なくともいずれか一方と重なっていてもよい。上記の構成はあくまで一実施形態に過ぎず、本発明は上記の構成に限定されない。

[0033] [2. 半導体装置10の各部材の材質]

基板100として、ガラス基板、石英基板、及びサファイア基板など、透光性を有する剛性基板が用いられる。基板100が可撓性を備える必要がある場合、基板100として、ポリイミド基板、アクリル基板、シロキサン基板、フッ素樹脂基板など、樹脂を含む基板が用いられる。基板100として樹脂を含む基板が用いられる場合、基板100の耐熱性を向上させるために、上記の樹脂に不純物が導入されてもよい。特に、半導体装置10がトップ

エミッション型のディスプレイである場合、基板100が透明である必要はないため、基板100の透明度を悪化させる不純物が用いられてもよい。表示装置ではない集積回路に半導体装置10が用いられる場合は、基板100としてシリコン基板、炭化シリコン基板、若しくは化合物半導体基板などの半導体基板、又はステンレス基板などの導電性基板など、非透光性基板が用いられる。

[0034] 遮光層105、ゲート電極160、及びソース・ドレイン電極200として、一般的な金属材料が用いられる。例えば、これらの部材として、例えば、アルミニウム (Al)、チタン (Ti)、クロム (Cr)、コバルト (Co)、ニッケル (Ni)、モリブデン (Mo)、ハフニウム (Hf)、タンタル (Ta)、タングステン (W)、ビスマス (Bi)、銀 (Ag)、銅 (Cu)、又はこれらの合金若しくは化合物が用いられる。遮光層105、ゲート電極160、及びソース・ドレイン電極200として、上記の材料が単層で用いられてもよく積層で用いられてもよい。遮光層105として、導電性が不要である場合には、上記の金属材料以外の材料が用いられてもよい。例えば、遮光層105として、例えば黒色樹脂などのブラックマトリクスが用いられてもよい。遮光層105は、単層構造であってもよく、積層構造であってもよい。例えば、遮光層105は、赤色カラーフィルタ、緑色カラーフィルタ、及び青色カラーフィルタの積層構造であってもよい。

[0035] 窒化物絶縁層110、酸化物絶縁層120、及び絶縁層170、180として、一般的な絶縁性材料が用いられる。例えば、酸化物絶縁層120及び絶縁層180として、酸化シリコン (SiO_x)、酸化窒化シリコン (SiO_xN_y)、酸化アルミニウム (AlO_x)、又は酸化窒化アルミニウム (AlO_xN_y) などの無機絶縁層が用いられる。窒化物絶縁層110及び絶縁層170として、窒化シリコン (SiN_x)、窒化酸化シリコン (SiN_xO_y)、窒化アルミニウム (AlN_x)、窒化酸化アルミニウム (AlN_xO_y) などの無機絶縁層が用いられる。ただし、絶縁層170として、酸化シリコン (SiO_x)、酸化窒化シリコン (SiO_xN_y)、酸化アルミニウム (AlO_x)、

又は酸化窒化アルミニウム (AlO_xN_y) などの無機絶縁層が用いられてもよい。絶縁層 180 として、窒化シリコン (SiN_x)、窒化酸化シリコン (SiN_xO_y)、窒化アルミニウム (AlN_x)、又は窒化酸化アルミニウム (AlN_xO_y) などの無機絶縁層が用いられてもよい。

[0036] ゲート絶縁層 150 として、上記の絶縁層のうち酸素を含む絶縁層が用いられる。例えば、ゲート絶縁層 150 として、酸化シリコン (SiO_x)、酸化窒化シリコン (SiO_xN_y)、酸化アルミニウム (AlO_x)、又は酸化窒化アルミニウム (AlO_xN_y) などの無機絶縁層が用いられる。

[0037] 酸化物絶縁層 120 として、熱処理によって酸素を放出する機能を備える絶縁層が用いられる。つまり、酸化物絶縁層 120 として、酸素を過剰に含む酸化物絶縁層が用いられる。酸化物絶縁層 120 が酸素を放出する熱処理の温度は、例えば、600°C 以下、500°C 以下、450°C 以下、又は 400°C 以下である。つまり、酸化物絶縁層 120 は、例えば、基板 100 としてガラス基板が用いられた場合における半導体装置 10 の製造工程で行われる熱処理温度で酸素を放出する。絶縁層 170、180 の少なくともいずれか一方に、酸化物絶縁層 120 と同様に、熱処理によって酸素を放出する機能を備える絶縁層が用いられてもよい。

[0038] ゲート絶縁層 150 として、欠陥が少ない絶縁層が用いられる。例えば、ゲート絶縁層 150 における酸素の組成比と、ゲート絶縁層 150 と同様の組成の絶縁層（以下、「他の絶縁層」という）における酸素の組成比と、を比較した場合、ゲート絶縁層 150 における酸素の組成比の方が当該他の絶縁層における酸素の組成比より当該絶縁層に対する化学量論比に近い。具体的には、ゲート絶縁層 150 及び絶縁層 180 の各々に酸化シリコン (SiO_x) が用いられる場合、ゲート絶縁層 150 として用いられる酸化シリコンにおける酸素の組成比は、絶縁層 180 として用いられる酸化シリコンにおける酸素の組成比に比べて、酸化シリコンの化学量論比に近い。例えば、ゲート絶縁層 150 として、電子スピン共鳴法 (ESR) で評価したときに欠陥が観測されない層が用いられてもよい。

- [0039] 上記の SiO_xN_y 及び AlO_xN_y は、酸素（O）より少ない比率（ $x > y$ ）の窒素（N）を含有するシリコン化合物及びアルミニウム化合物である。
 SiN_xO_y 及び AlN_xO_y は、窒素より少ない比率（ $x > y$ ）の酸素を含有するシリコン化合物及びアルミニウム化合物である。
- [0040] 酸化物半導体層140として、半導体の特性を有する金属酸化物を用いることができる。例えば、酸化物半導体層140として、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）、及び酸素（O）を含む酸化物半導体を用いることができる。例えば、酸化物半導体層140として、 $\text{In} : \text{Ga} : \text{Zn} : \text{O} = 1 : 1 : 1 : 4$ の組成比を有する酸化物半導体を用いることができる。ただし、本実施形態で使用されるIn、Ga、Zn、及びOを含む酸化物半導体は上記の組成に限定されず、上記とは異なる組成の酸化物半導体を用いられてもよい。例えば、移動度を向上させるためにInの比率が上記より大きい酸化物半導体層が用いられてもよい。一方、バンドギャップを大きくし、光照射による影響を小さくするためにGaの比率が上記より大きい酸化物半導体層が用いられてもよい。
- [0041] 例えば、Inの比率が上記より大きい酸化物半導体層140として、インジウム（In）を含む2以上の金属を含む酸化物半導体を用いられてもよい。この場合、酸化物半導体層140において、全金属元素に対するインジウムの比率が原子比率で50%以上であってもよい。酸化物半導体層140として、インジウムに加えて、ガリウム（Ga）、亜鉛（Zn）、アルミニウム（Al）、ハフニウム（Hf）、イットリウム（Y）、ジルコニア（Zr）、ランタノイドが用いられてもよい。酸化物半導体層140として、上記以外の金属元素が用いられてもよい。
- [0042] 酸化物半導体層140として、In、Ga、Zn、及びOを含む酸化物半導体に他の元素が添加されていてもよく、例えばAl、Snなどの金属元素が添加されていてもよい。上記の酸化物半導体以外にもIn、Gaを含む酸化物半導体（IGO）、In、Znを含む酸化物半導体（IZO）、In、Sn、Znを含む酸化物半導体（ITZO）、及びIn、Wを含む酸化物半

導体などが酸化物半導体層140として用いられてもよい。

[0043] インジウムの比率が大きい場合、酸化物半導体層140が結晶化しやすい。上記のように、酸化物半導体層140において、全金属元素に対するインジウムの比率が50%以上である材料を用いることで、多結晶構造を有する酸化物半導体層140を得ることができる。インジウム以外の金属元素として、ガリウムを含むことが好ましい。ガリウムは、インジウムと同じ第13族元素に属する。そのため、酸化物半導体層140の結晶性がガリウムによって阻害されることなく、酸化物半導体層140は多結晶構造を有する。

[0044] 酸化物半導体層140の詳細な製造方法は後述するが、酸化物半導体層140は、スパッタリング法を用いて形成することができる。スパッタリング法によって形成される酸化物半導体層140の組成は、スパッタリングターゲットの組成に依存する。酸化物半導体層140が多結晶構造を有する場合であっても、スパッタリングターゲットの組成と酸化物半導体層140の組成とは略一致する。この場合、酸化物半導体層140の金属元素の組成は、スパッタリングターゲットの金属元素の組成に基づき特定することができる。

[0045] 酸化物半導体層140が多結晶構造を有する場合、X線回折(X-ray Diffraction: XRD)法を用いて、酸化物半導体層の組成を特定してもよい。具体的には、XRD法によって取得された酸化物半導体層の結晶構造及び格子定数に基づき、酸化物半導体層の金属元素の組成を特定することができる。さらに、酸化物半導体層140の金属元素の組成は、蛍光X線分析又は電子プローブマイクロアナライザ(Electron Probe Micro Analyzer: EPMA)分析などを用いて特定することもできる。ただし、酸化物半導体層140に含まれる酸素は、スパッタリングのプロセス条件などにより変化するため、この限りではない。

[0046] 上述のように、酸化物半導体層140は、アモルファス構造を有していてもよく、多結晶構造を有していてもよい。多結晶構造を有する酸化物半導体は、Poly-OS (Poly-crystalline Oxide S

emiconductor) 技術を用いて作製することができる。以下では、アモルファス構造を有する酸化物半導体と区別するとき、多結晶構造を有する酸化物半導体を Poly-Ox として説明する場合がある。

[0047] 上記のように、酸化物絶縁層 120 と酸化物半導体層 140 との間に金属酸化物層が設けられる場合、当該金属酸化物層として、アルミニウムを主成分とする金属酸化物が用いられる。例えば、金属酸化物層として、酸化アルミニウム (AlO_x)、酸化窒化アルミニウム (AlO_xN_y)、窒化酸化アルミニウム (AlN_xO_y)、又は窒化アルミニウム (AlN_x) などの無機絶縁層が用いられる。「アルミニウムを主成分とする金属酸化物層」とは、金属酸化物層に含まれるアルミニウムの比率が、金属酸化物層全体の 1% 以上であることを意味する。金属酸化物層に含まれるアルミニウムの比率は、金属酸化物層全体の 5% 以上 70% 以下、10% 以上 60% 以下、又は 30% 以上 50% 以下であってもよい。上記の比率は、質量比であってもよく、重量比であってもよい。

[0048] [3. 水素トラップ領域の構成]

水素トラップ領域は、酸化物絶縁層 120 及びゲート絶縁層 150 に形成される。そこで、図 3～図 5 を参照して、酸化物絶縁層 120 及びゲート絶縁層 150 に形成される水素トラップ領域の構成について説明する。

[0049] 図 3 は、本発明の一実施形態に係る半導体装置の構成を示す模式的な部分拡大断面図である。具体的には、図 3 は、図 1 における領域 P を拡大した断面図である。図 3 に示す領域 P は、ドレイン領域 D 近傍の領域であるが、ソース領域 S 近傍も領域 P と同様の構成を有する。

[0050] 詳細は後述するが、酸化物半導体層 140 のソース領域 S 及びドレイン領域 D は、ゲート電極 160 をマスクとした不純物のイオン注入によって形成される。不純物として、例えば、ホウ素 (B)、リン (P)、アルゴン (Ar)、又は窒素 (N) などが用いられる。不純物のイオン注入によって、ソース領域 S 及びドレイン領域 D には酸素欠陥が生成される。生成された酸素欠陥に水素が結合されることによって、ソース領域 S 及びドレイン領域 D は

低抵抗化する。窒化シリコンは酸化シリコンに比べて水素を多く含ため、例えば、絶縁層170として窒化シリコンが用いられることで、絶縁層170から水素が拡散され、ソース領域S及びドレイン領域Dを低抵抗化することができる。

[0051] 不純物のイオン注入はゲート電極160をマスクとするが、酸化物半導体層140には、ゲート絶縁層150を介して不純物のイオン注入が行われる。そのため、第2領域A2及び第3領域A3におけるゲート絶縁層150にも不純物が導入され、これにより、ゲート絶縁層150にダングリングボンド欠陥DBが形成される。また、第2領域A2及び第3領域A3において、不純物は、酸化物半導体層140及びゲート絶縁層150を通り抜け、酸化物絶縁層120に導入されてもよい。なお、本実施形態では、第2領域A2及び第3領域A3における酸化物絶縁層120にダングリングボンド欠陥DBを形成するため、酸化物絶縁層120には、上述した不純物のイオン注入とは別に、不純物のイオン注入が行われる。

[0052] 結果として、図3に示すように、第2領域A2及び第3領域A3では、酸化物絶縁層120及びゲート絶縁層150にダングリングボンド欠陥DBが形成される。酸化物絶縁層120及びゲート絶縁層150の各々として酸化シリコンが用いられるとき、酸化物絶縁層120及びゲート絶縁層150には、シリコンのダングリングボンド欠陥DBが形成される。

[0053] 酸化物絶縁層120及びゲート絶縁層150に形成されたダングリングボンド欠陥DBは、水素をトラップする。つまり、第2領域A2及び第3領域A3における酸化物絶縁層120及びゲート絶縁層150に水素トラップ領域が形成されている。したがって、例えば、絶縁層170の成膜時に絶縁層170から拡散した水素が、第2領域A2及び第3領域A3における酸化物絶縁層120及びゲート絶縁層150の水素トラップ領域にトラップされるため、水素がチャネル領域CHに侵入することを抑制することができる。なお、水素トラップ領域では水素がトラップされるため、絶縁層170を成膜した後の状態において、第2領域A2及び第3領域A3におけるゲート絶縁

層150の水素濃度は、第1領域A1におけるゲート絶縁層150の水素濃度よりも大きい。同様に、第2領域A2及び第3領域A3における酸化物絶縁層120の水素濃度は、第1領域A1における酸化物絶縁層120の水素濃度よりも大きい。

[0054] 上述したように、水素トラップ領域のダングリングボンド欠陥DBはイオン注入によって形成されるため、酸化物絶縁層120及びゲート絶縁層150は、イオン注入によって導入された不純物を含む。酸化物絶縁層120及びゲート絶縁層150に形成されるダングリングボンド欠陥DBの量の分布は、これらに含まれる不純物の濃度プロファイルに対応する。つまり、イオン注入によって導入される不純物の濃度プロファイルを調整することで、ダングリングボンド欠陥DBの位置及び量を調整することができる。

[0055] 水素がチャンネル領域CHに侵入することに起因して、半導体装置10の電気特性に異常が発生することを抑制するためには、第2領域A2及び第3領域A3における酸化物絶縁層120にダングリングボンド欠陥DBを形成することが効果的である。そのため、本実施形態では、ゲート絶縁層150を介することなく、酸化物絶縁層120に不純物のイオン注入を行う。これにより、ゲート絶縁層150の膜厚に依存することなく、第2領域A2及び第3領域A3における酸化物絶縁層120に水素トラップ領域を形成することができる。また、ゲート絶縁層150の膜厚を大きくし、ゲート絶縁層150における高電圧に対する耐性を向上させることができる。例えば、ゲート絶縁層150の厚さは200nm以上である。

[0056] 図4及び図5の各々は、本発明の一実施形態に係る半導体装置において、第1領域A1～第3領域A3における不純物の濃度プロファイルを示すグラフである。図4及び図5の各々に示す3つの濃度プロファイルの各々の縦軸は単位体積当たりの不純物の濃度（Concentration [cm^{-3}])を示し、横軸は積層方向（膜厚方向）における層の名称を示す。横軸における「UC」は酸化物絶縁層120及び窒化物絶縁層110に対応する。「OS」は酸化物半導体層140に対応する。「GI」はゲート絶縁層150

に対応する。「GL」はゲート電極160に対応する。「PAS」は絶縁層170に対応する。

[0057] 図4に示すように、第1領域A1では、不純物の濃度プロファイルは、ゲート電極160(GL)中にピークを有している。すなわち、第1領域A1には、1つのピークが含まれる。金属材料は、イオン注入によって導入される不純物に対して、高い阻止能を備える。ゲート電極160として金属材料が用いられる場合、不純物は、ゲート電極160によって阻止され、ゲート絶縁層150(GI)に到達しない。したがって、第1領域A1におけるゲート絶縁層150には不純物の導入に伴うダングリングボンド欠陥DBは形成されない。ただし、半導体装置10の電気特性に影響がない範囲であれば、不純物がゲート絶縁層150に到達していてもよい。

[0058] 第2領域A2では、不純物の濃度プロファイルは、酸化物絶縁層120(UC)及び酸化物半導体層140(OS)中にピークを有している。すなわち、第2領域A2には、2つのピークが含まれる。第2領域A2における積層方向において、酸化物絶縁層120のピーク位置の不純物の濃度及び酸化物半導体層140のピーク位置の不純物の濃度は、ゲート絶縁層150中に含まれる不純物の濃度より大きい。第2領域A2における不純物の導入の目的は、ソース領域S及びドレイン領域Dの形成であるため、上記のような濃度プロファイルとなるようにイオン注入の条件が設定されることが好ましいが、これに限られない。第2領域A2における不純物の濃度プロファイルは、酸化物絶縁層120(UC)及びゲート絶縁層150(GI)中にピークを有していてもよい(図5参照)。この場合、第2領域A2における積層方向において、酸化物絶縁層120のピーク位置の不純物の濃度及びゲート絶縁層150のピーク位置の不純物の濃度は、酸化物半導体層140中に含まれる不純物の濃度よりも大きい場合がある。

[0059] 第3領域A3では、不純物の濃度プロファイルは、酸化物絶縁層120(UC)中にピークを有している。すなわち、第3領域A3には、1つのピークが含まれる。第3領域A3における積層方向において、酸化物絶縁層12

0のピーク位置の不純物の濃度は、ゲート絶縁層150中に含まれる不純物の濃度より大きい場合がある。第3領域A3におけるゲート絶縁層150の不純物の濃度プロファイルは、第2領域A2におけるゲート絶縁層150の不純物の濃度プロファイルと実質的には同じである。そのため、図5に示す第3領域A3における不純物の濃度プロファイルでは、酸化物絶縁層120（UC）及びゲート絶縁層150（G1）中にピークを有していてもよい。この場合、第3領域A3には、2つのピークが含まれる。

[0060] 詳細は後述するが、本実施形態では、少なくとも2回の不純物のイオン注入が行われる。1回目の不純物のイオン注入では、第2領域A2及び第3領域A3における酸化物絶縁層120に不純物が導入される。一方、2回目の不純物のイオン注入では、ゲート絶縁層150を介して、第2領域A2及び第3領域A3における酸化物絶縁層120に不純物が導入される。そのため、第1領域A1、第2領域A2、及び第3領域A3における酸化物絶縁層120において、不純物の濃度は、第1領域A1、第2領域、及び第3領域の順に大きくなる場合がある。

[0061] 本実施形態では、第3領域A3における積層方向において、酸化物絶縁層120中の所定の位置に含まれる不純物の濃度は、 $1 \times 10^{16} / \text{cm}^3$ 以上、 $1 \times 10^{17} / \text{cm}^3$ 以上、又は $1 \times 10^{18} / \text{cm}^3$ 以上である。当該所定の位置は、濃度プロファイルのピークの位置であってもよく、酸化物絶縁層120とゲート絶縁層150との界面に相当する位置であってもよい。又は、当該所定の位置は、当該界面に相当する位置から酸化物絶縁層120の方向に所定の深さ移動した位置であってもよい。

[0062] 図2を参照すると、チャンネル領域CHが第1領域A1に属し、ソース領域S及びドレイン領域Dが第2領域A2に属し、チャンネル領域CH、ソース領域S、及びドレイン領域D以外の領域が第3領域A3に属する。つまり、チャンネル領域CHは、第2領域A2によって挟まれており、第3領域A3によって囲まれている。したがって、例えば、絶縁層170の成膜時に絶縁層170から拡散した水素は、チャンネル領域CHの周囲に位置する第2領域A2

及び第3領域A3における酸化物絶縁層120及びゲート絶縁層150に形成された水素トラップ領域によってトラップされる。その結果、当該水素がチャンネル領域CHに侵入することを抑制することができる。

[0063] [4. 半導体装置10の製造方法]

図6～図15を参照して、本発明の一実施形態に係る半導体装置10の製造方法について説明する。図6は、本発明の一実施形態に係る半導体装置の製造方法を示すシーケンス図である。図7～図15は、本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

[0064] 図6及び図7に示すように、基板100の上に遮光層105が形成され、遮光層105の上に窒化物絶縁層110及び酸化物絶縁層120が形成される（図6のステップS1010の「絶縁層／遮光層形成」）。窒化物絶縁層110として、例えば、窒化シリコンが形成される。酸化物絶縁層120として、例えば、酸化シリコンが形成される。窒化物絶縁層110及び酸化物絶縁層120はCVD（Chemical Vapor Deposition）法によって成膜される。例えば、窒化物絶縁層110の厚さは、50nm以上500nm以下、又は150nm以上300nm以下である。酸化物絶縁層120の厚さは、50nm以上500nm以下、又は150nm以上300nm以下である。

[0065] 窒化物絶縁層110として窒化シリコンが用いられることで、窒化物絶縁層110は、例えば基板100側から酸化物半導体層140に向かって拡散する不純物をブロックすることができる。例えば、酸化物絶縁層120として用いられる酸化シリコンは、熱処理によって酸素を放出する物性の酸化シリコンである。

[0066] 図6及び図8に示すように、酸化物絶縁層120の上に酸化物半導体層140を形成する（図6のステップS1020の「OS成膜」）。酸化物半導体層140は、スパッタリング法又は原子層堆積法（ALD：Atomic Layer Deposition）によって成膜される。

[0067] 酸化物絶縁層120と酸化物半導体層140との間に、アルミニウムを主

成分とする金属酸化物層が設けられる場合、当該金属酸化物層も、上記と同様にスパッタリング法又は原子層堆積法によって成膜される。

[0068] 酸化物半導体層140の厚さは、例えば、10nm以上100nm以下、15nm以上70nm以下、又は20nm以上40nm以下である。本実施形態では、酸化物半導体層140の厚さは30nmである。後述する熱処理（OSアニール）前の酸化物半導体層140はアモルファスである。

[0069] 後述するOSアニールによって、酸化物半導体層140を結晶化する場合、成膜後かつOSアニール前の酸化物半導体層140はアモルファス（酸化物半導体の結晶成分が少ない状態）であることが好ましい。つまり、酸化物半導体層140の成膜条件は、成膜直後の酸化物半導体層140ができるだけ結晶化しない条件であることが好ましい。例えば、スパッタリング法によって酸化物半導体層140が成膜される場合、被成膜対象物（基板100及びその上に形成された構造物）の温度を制御しながら酸化物半導体層140が成膜される。

[0070] スパッタリング法によって被成膜対象物に対して成膜を行うと、プラズマ中で発生したイオン及びスパッタリングターゲットによって反跳した原子が被成膜対象物に衝突するため、成膜処理に伴い被成膜対象物の温度が上昇する。成膜処理中の被成膜対象物の温度が上昇すると、成膜直後の状態で酸化物半導体層140に微結晶が含まれ、その後のOSアニールによる結晶化が阻害される場合がある。上記のように被成膜対象物の温度を制御するために、例えば、被成膜対象物を冷却しながら成膜を行うことができる。例えば、被成膜対象物の被成膜面の温度（以下、「成膜温度」という。）が100℃以下、70℃以下、50℃以下、又は30℃以下になるように、被成膜対象物を当該被成膜面の反対側の面から冷却することができる。上記のように、被成膜対象物を冷却しながら酸化物半導体層140の成膜を行うことで、成膜直後の状態で結晶成分が少ない酸化物半導体層140を成膜することができる。酸化物半導体層140の成膜条件における酸素分圧は、2%以上20%以下、3%以上15%以下、又は3%以上10%以下である。

[0071] 図6及び図9に示すように、酸化物半導体層140のパターンを形成する(図6のステップS1030の「OSパターン形成」)。図示しないが、酸化物半導体層140の上にレジストマスクを形成し、当該レジストマスクを用いて酸化物半導体層140をエッチングする。酸化物半導体層140のエッチングとして、ウェットエッチングが用いられてもよく、ドライエッチングが用いられてもよい。ウェットエッチングとして、酸性のエッチャントを用いてエッチングを行うことができる。エッチャントとして、例えば、シュウ酸、PAN、硫酸、過酸化水素水、又はフッ酸を用いることができる。ステップS1020における酸化物半導体層140はアモルファスであるため、ウェットエッチングにより酸化物半導体層140を容易に所定の形状にパターニングすることができる。

[0072] 酸化物半導体層140のパターン形成の後に酸化物半導体層140に対して熱処理(OSアニール)が行われる(図6のステップS1040の「OSアニール」)。OSアニールでは、酸化物半導体層140が、所定の到達温度で所定の時間保持される。所定の到達温度は、300℃以上500℃以下、又は350℃以上450℃以下である。到達温度での保持時間は、15分以上120分以下、又は30分以上60分以下である。本実施形態では、このOSアニールによって、酸化物半導体層140が結晶化する。ただし、必ずしもOSアニールによって酸化物半導体層140が結晶化しなくてもよい。

[0073] 図6及び図10に示すように、酸化物半導体層140の上に、所定のパターンを有するマスク層300を形成する(図6のステップS1050の「マスク層の形成」)。マスク層300は、レジストを用いて形成されていてもよく、金属を用いて形成されていてもよい。マスク層300は、フォトリソグラフィ工程を経てパターニングされる。マスク層300の所定のパターンは、ゲート電極160のパターンと略一致していてもよく、異なってもよい。マスク層300の所定のパターンがゲート電極160のパターンと異なる場合、断面視において、マスク層300の幅がゲート電極160の幅

と略一致するように、マスク層300を形成する。

[0074] 図6及び図11に示すように、マスク層300をマスクとして、酸化物絶縁層120に不純物のイオン注入が行われる(図6のステップS1060の「第1イオン注入」)。不純物として、例えば、ホウ素(B)、リン(P)、アルゴン(Ar)、又は窒素(N)などが用いられる。これにより、酸化物絶縁層120に、ホウ素(B)、リン(P)、アルゴン(Ar)、又は窒素(N)などの不純物が導入される。酸化物絶縁層120に導入された不純物は、ダングリングボンド欠陥DBを形成する。酸化物絶縁層120のダングリングボンド欠陥DBが形成された領域は、水素トラップ領域として機能することができる。

[0075] ステップS1060における第1イオン注入では、酸化物絶縁層120にダングリングボンド欠陥DBを形成する一方、窒化物絶縁層110にダングリングボンド欠陥DBを形成しないようにすることが重要である。そのため、第1イオン注入では、酸化物絶縁層120中にピークを持つ濃度プロファイルを有するように不純物のイオン注入を行う。ピークの位置及び不純物の量は、イオン注入のプロセスパラメータ(例えば、ドーズ量、加速電圧、プラズマ電力など)を調整することで制御することができる。例えば、ドーズ量は $1 \times 10^{14} / \text{cm}^2$ 以上、 $5 \times 10^{14} / \text{cm}^2$ 、又は $1 \times 10^{15} / \text{cm}^2$ 以上である。例えば、加速電圧は10keV超、15keV以上、又は20keV以上である。

[0076] なお、ステップS1060では、酸化物半導体層140にも不純物が導入される。そのため、酸化物半導体層140に酸素欠陥が形成され、ソース領域S及びドレイン領域Dが形成される。ただし、ステップS1060では、酸化物半導体層140に十分な酸素欠陥が形成されなくてもよい。

[0077] 図6及び図12に示すように、ゲート絶縁層150を成膜する(図6のステップS1070の「G1形成」)。ゲート絶縁層150として、例えば、酸化シリコンが形成される。ゲート絶縁層150はCVD法によって形成される。例えば、ゲート絶縁層150として上記のように欠陥が少ない絶縁層

を形成するために、350℃以上の成膜温度でゲート絶縁層150を成膜してもよい。ゲート絶縁層150の厚さは、例えば、100nm以上500nm以下、200nm以上400nm以下、又は250nm以上350nm以下である。ゲート絶縁層150を成膜した後に、ゲート絶縁層150の上部に酸素を打ち込む処理を行ってもよい。酸素を打ち込む処理として、ゲート絶縁層150の上に金属酸化物層をスパッタリング法によって形成する構成を行ってもよい。

[0078] 酸化物半導体層140の上にゲート絶縁層150が成膜された状態で、酸化物半導体層140へ酸素を供給するための熱処理（酸化アニール）が行われる（図6のステップS1080の「酸化アニール」）。酸化物半導体層140が成膜されてから酸化物半導体層140の上にゲート絶縁層150が成膜されるまでの間の工程で、酸化物半導体層140の上面141及び側面143には多くの酸素欠損が発生する。上記の酸化アニールによって、酸化物絶縁層120及びゲート絶縁層150から放出された酸素が酸化物半導体層140に供給され、酸素欠損が修復される。ゲート絶縁層150に酸素を打ち込む処理を行わない場合、ゲート絶縁層150の上に、熱処理によって酸素を放出する絶縁層を形成した状態で酸化アニールが行われてもよい。

[0079] ゲート絶縁層150から酸化物半導体層140への酸素供給量を多くするために、ゲート絶縁層150の上に、アルミニウムを主成分とする金属酸化物層がスパッタリング法によって形成され、その状態で酸化アニールが行われてもよい。この金属酸化物層として、ガスに対するバリア性が高い酸化アルミニウムが用いられることで、酸化アニール時にゲート絶縁層150に打ち込まれた酸素が外方拡散することを抑制することができる。上記の金属酸化物層の形成及び酸化アニールによって、ゲート絶縁層150に打ち込まれた酸素が効率良く酸化物半導体層140に供給される。

[0080] 図6及び図13に示すように、ゲート電極160を成膜し、パターニングする（図6のステップS1090の「GE形成」）。ゲート電極160は、スパッタリング法又は原子層堆積法によって成膜される。ゲート電極160

は、フォトリソグラフィ工程を経てパターニングされる。

[0081] 図6及び図14に示すように、ゲート電極160をマスクとして、酸化物半導体層140に不純物のイオン注入が行われる(図6のステップS1100の「第2イオン注入」)。不純物として、例えば、ホウ素(B)、リン(P)、アルゴン(Ar)、又は窒素(N)などが用いられる。ステップS1090における第2イオン注入の不純物は、ステップS1060における第1イオン注入の不純物と同じであってもよく、異なってもよい。これにより、酸化物半導体層140に、ホウ素(B)、リン(P)、アルゴン(Ar)、又は窒素(N)などが導入される。

[0082] ステップS1100における第2イオン注入では、ゲート電極160がマスクとして用いられる。そのため、酸化物半導体層140において、ゲート電極160と重畳しない領域には不純物が導入され、酸素欠陥が形成される。生成された酸素欠陥に水素が結合されることにより、酸化物半導体層140の抵抗が低下する。すなわち、酸化物半導体層140中にソース領域S及びドレイン領域Dが形成される。一方、酸化物半導体層140において、ゲート電極160と重畳する領域には不純物が導入されず、酸素欠陥が形成されない。すなわち、酸化物半導体層140中にチャネル領域CHが形成される。なお、マスクとして用いられたゲート電極160には、不純物が導入される。

[0083] また、ステップS1100における第2イオン注入では、ゲート絶縁層150及び酸化物絶縁層120にも不純物が導入される。ゲート絶縁層150及び酸化物絶縁層120に導入された不純物は、ダングリングボンド欠陥DBを形成する。ゲート絶縁層150及び酸化物絶縁層120のダングリングボンド欠陥DBが形成された領域は、水素トラップ領域として機能することができる。

[0084] ステップS1060における第1イオン注入及びステップS1100における第2イオン注入が行われることにより、第1領域A1、第2領域A2、及び第3領域A3が形成される。第1領域A1では、ゲート電極160が、

不純物を含む。第2領域A2では、酸化物絶縁層120、酸化物半導体層140、及びゲート絶縁層150が、不純物を含む。第2領域A2における酸化物半導体層140は、ソース領域又はドレイン領域として機能する。また、第2領域A2における酸化物絶縁層120及びゲート絶縁層150は、水素トラップ領域として機能する。第3領域A3では、酸化物絶縁層120及びゲート絶縁層150が、不純物を含む。第3領域A3における酸化物絶縁層120及びゲート絶縁層150は、水素トラップ領域として機能する。

[0085] ステップS1100における第2イオン注入では、第2領域A2における酸化物半導体層140及びゲート絶縁層150の一方の中にピークを持つ濃度プロファイルを有するように不純物のイオン注入を行う。ピークの位置及び不純物の量は、イオン注入のプロセスパラメータ（例えば、ドーズ量、加速電圧、プラズマ電力など）を調整することで制御することができる。例えば、ドーズ量は $1 \times 10^{14} / \text{cm}^2$ 以上、 $5 \times 10^{14} / \text{cm}^2$ 、又は $1 \times 10^{15} / \text{cm}^2$ 以上である。例えば、加速電圧は10keV超、15keV以上、又は20keV以上である。

[0086] ソース領域S及びドレイン領域Dの酸素欠陥には水素を導入して低抵抗化する。しかしながら、チャネル領域CHに水素が侵入すると、チャネル領域CHも低抵抗化してしまい、ハンブが現れる、又はデプレッション化するなど、半導体装置の電気特性が悪化する。そのため、水素がチャネル領域CHに侵入を抑制する水素トラップ領域を形成する必要がある。特に、後述する絶縁層170の成膜において、ゲート絶縁層150だけでなく、酸化物絶縁層120中にも水素トラップ領域が形成されていることが重要である。本実施形態では、ゲート絶縁層150を形成する前に、ステップS1060において、酸化物絶縁層120中に水素トラップ領域を形成する第1イオン注入が行われる。そのため、ゲート絶縁層150の膜厚が大きい場合（例えば、ゲート絶縁層150の膜厚が200nm以上である場合）であっても、酸化物絶縁層120中に十分な不純物をイオン注入してダングリングボンド欠陥DBを形成し、水素トラップ領域を形成することができる。

[0087] 図6及び図15に示すように、ゲート絶縁層150及びゲート電極160の上に層間膜として絶縁層170、180を成膜する(図6のステップS1110の「層間膜成膜」)。絶縁層170、180はCVD法によって成膜される。例えば、絶縁層170として窒化シリコン層が形成され、絶縁層180として酸化シリコン層が形成される。ただし、絶縁層170、180として用いられる材料は上記に限定されない。絶縁層170の厚さは、50nm以上500nm以下である。絶縁層180の厚さは、50nm以上500nm以下である。

[0088] 図6及び図16に示すように、絶縁層170、180に開口171、173を形成する(図6のステップS1120の「コンタクト開孔」)。開口171によってソース領域Sが露出されている。開口173によってドレイン領域Dが露出されている。開口171、173によって露出されたソース領域S及びドレイン領域Dの上並びに絶縁層180の上にソース・ドレイン電極200を形成することで(図6のステップS1130の「SD形成」)、図1に示す半導体装置10が完成する。

[0089] 図1に示す半導体装置10の製造方法は、上述した方法に限られない。例えば、ステップS1010の後に、ステップS1050及びステップS1060を行ってもよい。この場合、酸化物絶縁層120の上に、所定のパターンを有するマスク層300が形成される(図17参照)。また、マスク層300をマスクとして、酸化物絶縁層120に不純物のイオン注入が行われる(図18参照)。その後、ステップS1020～ステップS1040及びステップS1070～ステップS1130が順に行われる。

[0090] [5. ダングリングボンド欠陥DBにおける水素トラップ]

図19及び図20の各々は、本発明の一実施形態に係る半導体装置において、第2領域及び第3領域における水素トラップ領域を説明する模式的な断面図である。

[0091] 図19に示すように、ステップS1060における第1イオン注入及びステップS1100における第2イオン注入によって、第2領域A2及び第3

領域A3における酸化物絶縁層120及びゲート絶縁層150に不純物が導入され、第2領域A2及び第3領域A3における酸化物絶縁層120及びゲート絶縁層150にダングリングボンド欠陥DBが形成される。

[0092] 図20には、絶縁層170が成膜された状態が示されている。絶縁層170がその上方から拡散した不純物をブロックする機能を有するためには、絶縁層170は欠陥の少ない緻密な膜であることが好ましい。そのような絶縁層170を得るためには、高温で絶縁層170を成膜する必要がある。例えば、絶縁層170として窒化シリコン層を成膜した場合、当該絶縁層170には大量の水素が含まれ、成膜温度に起因して絶縁層170から酸化物絶縁層120、酸化物半導体層140、及びゲート絶縁層150に大量の水素が拡散する。そのため、酸化物絶縁層120及びゲート絶縁層150に水素トラップ領域が形成されていないと、酸化物絶縁層120及びゲート絶縁層150を介して、ソース領域S及びドレイン領域Dだけでなく、チャンネル領域CHにまで水素が拡散してしまう。

[0093] 一方、図20に示すように、ダングリングボンド欠陥DBが、酸化物絶縁層120及びゲート絶縁層150中に形成されている場合、絶縁層170の成膜時に絶縁層170から拡散された水素Hは上記ダングリングボンド欠陥DBによってトラップされる（「×」の上に「○」が重ねて表示されている）。すなわち、酸化物絶縁層120及びゲート絶縁層150中のダングリングボンド欠陥DBを含む領域が水素トラップ領域として機能する。したがって、ステップS1110において、成膜中又は成膜後に絶縁層170から拡散された水素Hがチャンネル領域CHに侵入することを抑制することができる。そのため、絶縁層170として水素を大量に含む膜を用いることができるため、不純物のブロック機能が高い絶縁層170を実現することができる。さらに、ソース領域S及びドレイン領域Dにおける酸化物半導体層140を十分に低抵抗化することができる。

[0094] 本実施形態の場合、酸化物絶縁層120に形成されるダングリングボンド欠陥DBの分布に基づき、第1領域A1における酸化物絶縁層120、第2

領域A2における酸化物絶縁層120、及び第3領域A3における酸化物絶縁層120の順で、トラップされる水素Hの量が多くなる場合がある。

[0095] 本実施形態では、チャンネル領域CHを囲む第2領域A2及び第3領域A3において、酸化物絶縁層120及びゲート絶縁層150に多くのダングリグボンド欠陥DBを含む水素トラップ領域が形成されることで、チャンネル領域CHに水素が侵入することを抑制することができる。その結果、ハンパが抑制された電気特性を有する半導体装置10を得ることができる。

[0096] <第2実施形態>

図21～図26を参照して、本発明の一実施形態に係る半導体装置20について説明する。なお、以下では、半導体装置20の構成が半導体装置10の構成と同様であるとき、半導体装置20の説明を省略する場合がある。

[0097] [1. 半導体装置20の構成及び各部材の材質]

半導体装置20の概要は、図1及び図2に示す半導体装置10の概要と同様であるため、ここでは説明を省略する。また、半導体装置20の各部材の材質も、半導体装置10と同様であるため、ここでは説明を省略する。

[0098] [2. 水素トラップ領域の構成]

水素トラップ領域は、酸化物絶縁層120及びゲート絶縁層150に形成される。そこで、図21～図23を参照して、酸化物絶縁層120及びゲート絶縁層150に形成される水素トラップ領域の構成について説明する。

[0099] 図21は、本発明の一実施形態に係る半導体装置の構成を示す模式的な部分拡大断面図である。具体的には、図21は、図1における領域Pを拡大した断面図である。図21に示す領域Pは、ドレイン領域D近傍の領域であるが、ソース領域S近傍も領域Pと同様の構成を有する。

[0100] ソース領域S及びドレイン領域Dを形成するための不純物のイオン注入はゲート電極160をマスクとするが、酸化物半導体層140には、ゲート絶縁層150を介して不純物のイオン注入が行われる。そのため、第2領域A2及び第3領域A3におけるゲート絶縁層150にも不純物が導入され、これにより、ゲート絶縁層150にダングリグボンド欠陥DBが形成される

。また、第2領域A2及び第3領域A3において、不純物は、酸化物半導体層140及びゲート絶縁層150を通り抜け、酸化物絶縁層120に導入される場合がある。なお、本実施形態では、第3領域A3における酸化物絶縁層120にダングリングボンド欠陥DBを形成するため、酸化物絶縁層120には、上述した不純物のイオン注入とは別に、不純物のイオン注入が行われる。

[0101] 結果として、図21に示すように、第2領域A2では、ゲート絶縁層150にダングリングボンド欠陥DBが形成され、第3領域A3では、酸化物絶縁層120及びゲート絶縁層150にダングリングボンド欠陥DBが形成される。酸化物絶縁層120及びゲート絶縁層150の各々として酸化シリコンが用いられるとき、酸化物絶縁層120及びゲート絶縁層150には、シリコンのダングリングボンド欠陥DBが形成される。

[0102] 図22及び図23の各々は、本発明の一実施形態に係る半導体装置において、第1領域A1～第3領域A3における不純物の濃度プロファイルを示すグラフである。図22及び図23の各々に示す3つの濃度プロファイルの各々の縦軸は単位体積当たりの不純物の濃度（Concentration [/ cm³]）を示し、横軸は積層方向（膜厚方向）における層の名称を示す。横軸における「UC」は酸化物絶縁層120及び窒化物絶縁層110に対応する。「OS」は酸化物半導体層140に対応する。「GI」はゲート絶縁層150に対応する。「GL」はゲート電極160に対応する。「PAS」は絶縁層170に対応する。

[0103] 図22に示すように、第1領域A1では、不純物の濃度プロファイルは、ゲート電極160（GL）中にピークを有している。すなわち、第1領域A1には、1つのピークが含まれる。金属材料は、イオン注入によって導入される不純物に対して、高い阻止能を備える。ゲート電極160として金属材料が用いられる場合、不純物は、ゲート電極160によって阻止され、ゲート絶縁層150（GI）に到達しない。したがって、第1領域A1におけるゲート絶縁層150には不純物の導入に伴うダングリングボンド欠陥DBは

形成されない。ただし、半導体装置 10 の電気特性に影響がない範囲であれば、不純物がゲート絶縁層 150 に到達していてもよい。

[0104] 第 2 領域 A 2 では、不純物の濃度プロファイルは、酸化物半導体層 140 (OS) 中にピークを有している。すなわち、第 2 領域 A 2 には、1 つのピークが含まれる。第 2 領域 A 2 における積層方向において、酸化物半導体層 140 のピーク位置の不純物の濃度は、ゲート絶縁層 150 中に含まれる不純物の濃度より大きい。第 2 領域 A 2 における不純物の導入の目的は、ソース領域 S 及びドレイン領域 D の形成であるため、上記のような濃度プロファイルとなるようにイオン注入の条件が設定されることが好ましいが、これに限られない。第 2 領域 A 2 における不純物の濃度プロファイルは、ゲート絶縁層 150 (G1) 中にピークを有していてもよい (図 23 参照)。この場合、第 2 領域 A 2 における積層方向において、ゲート絶縁層 150 のピーク位置の不純物の濃度は、酸化物半導体層 140 中に含まれる不純物の濃度よりも大きい。

[0105] 第 3 領域 A 3 では、不純物の濃度プロファイルは、酸化物絶縁層 120 (UC) 中にピークを有している。すなわち、第 3 領域 A 3 には、1 つのピークが含まれる。第 3 領域 A 3 における積層方向において、酸化物絶縁層 120 のピーク位置の不純物の濃度は、ゲート絶縁層 150 中に含まれる不純物の濃度より大きい。第 3 領域 A 3 におけるゲート絶縁層 150 の不純物の濃度プロファイルは、第 2 領域 A 2 におけるゲート絶縁層 150 の不純物の濃度プロファイルと実質的には同じである。そのため、図 23 に示す第 3 領域 A 3 における不純物の濃度プロファイルでは、酸化物絶縁層 120 (UC) 及びゲート絶縁層 150 (G1) 中にピークを有していてもよい。この場合、第 3 領域 A 3 には、2 つのピークが含まれる。

[0106] 詳細は後述するが、本実施形態では、少なくとも 2 回の不純物のイオン注入が行われる。1 回目の不純物のイオン注入では、第 3 領域 A 3 における酸化物絶縁層 120 に不純物が導入される。一方、2 回目の不純物のイオン注入では、ゲート絶縁層 150 を介して、第 2 領域 A 2 及び第 3 領域 A 3 にお

ける酸化物絶縁層120に不純物が導入される。なお、2回目の不純物のイオン注入では、酸化物絶縁層120に不純物が導入される場合がある。そのため、第1領域A1、第2領域A2、及び第3領域A3における酸化物絶縁層120において、不純物の濃度は、第1領域A1、第2領域A2、及び第3領域A3の順に大きくなる場合がある。なお、第2領域A2における酸化物絶縁層120に不純物が導入された場合、第2領域A2における酸化物絶縁層120の不純物の濃度は、 $1 \times 10^{16} / \text{cm}^3$ 未満である。

[0107] 本実施形態では、第3領域A3における積層方向において、酸化物絶縁層120中の所定の位置に含まれる不純物の濃度は、 $1 \times 10^{16} / \text{cm}^3$ 以上、 $1 \times 10^{17} / \text{cm}^3$ 以上、又は $1 \times 10^{18} / \text{cm}^3$ 以上である。当該所定の位置は、濃度プロファイルのピークの位置であってもよく、酸化物絶縁層120とゲート絶縁層150との界面に相当する位置であってもよい。又は、当該所定の位置は、当該界面に相当する位置から酸化物絶縁層120の方向に所定の深さ移動した位置であってもよい。

[0108] 図2を参照すると、チャンネル領域CHが第1領域A1に属し、ソース領域S及びドレイン領域Dが第2領域A2に属し、チャンネル領域CH、ソース領域S、及びドレイン領域D以外の領域が第3領域A3に属する。つまり、チャンネル領域CHは、第2領域A2によって挟まれており、第3領域A3によって囲まれている。したがって、例えば、絶縁層170の成膜時に絶縁層170から拡散した水素は、チャンネル領域CHの周囲に位置する第2領域A2及び第3領域A3におけるゲート絶縁層150並びに第3領域A3における酸化物絶縁層120に形成された水素トラップ領域によってトラップされる。その結果、当該水素がチャンネル領域CHに侵入することを抑制することができる。

[0109] [3. 半導体装置10の製造方法]

図24～図26を参照して、本発明の一実施形態に係る半導体装置10の製造方法について説明する。図24は、本発明の一実施形態に係る半導体装置の製造方法を示すシーケンス図である。図25及び図26は、本発明の一

実施形態に係る半導体装置の製造方法を示す断面図である。

- [0110] 図24に示すステップS2010～ステップS2030は、図5に示すステップS1010～ステップS1030と同様である。ただし、ステップS2030では、図25に示すように、酸化物半導体層140のパターニングに用いられたレジストマスク310が除去されずに、そのまま残される。
- [0111] 図24及び図26に示すように、レジストマスク310をマスクとして、酸化物絶縁層120に不純物のイオン注入が行われる（図24のステップS2040の「第1イオン注入」）。不純物として、例えば、ホウ素（B）、リン（P）、アルゴン（Ar）、又は窒素（N）などが用いられる。これにより、酸化物絶縁層120に、ホウ素（B）、リン（P）、アルゴン（Ar）、又は窒素（N）などの不純物が導入される。酸化物絶縁層120に導入された不純物は、ダングリングボンド欠陥DBを形成する。酸化物絶縁層120のダングリングボンド欠陥DBが形成された領域は、水素トラップ領域として機能することができる。
- [0112] ステップS2040における第1イオン注入では、酸化物絶縁層120にダングリングボンド欠陥DBを形成する一方、窒化物絶縁層110にダングリングボンド欠陥DBを形成しないようにすることが重要である。そのため、第1イオン注入では、酸化物絶縁層120中にピークを持つ濃度プロファイルを有するように不純物のイオン注入を行う。ピークの位置及び不純物の量は、イオン注入のプロセスパラメータ（例えば、ドーズ量、加速電圧、プラズマ電力など）を調整することで制御することができる。例えば、ドーズ量は $1 \times 10^{14} / \text{cm}^2$ 以上、 $5 \times 10^{14} / \text{cm}^2$ 、又は $1 \times 10^{15} / \text{cm}^2$ 以上である。例えば、加速電圧は10keV超、15keV以上、又は20keV以上である。
- [0113] なお、酸化物絶縁層120に不純物が導入された後、レジストマスク310は除去される。
- [0114] ステップS2040における第1イオン注入の後に酸化物半導体層140に対して熱処理（OSアニール）が行われる（図24のステップS2050

の「OSアニール」)。ステップS2040はステップS1050と同様である。

[0115] 図24に示すステップS2060～ステップS2120は、図5に示すステップS1070～ステップS1130と同様である。

[0116] 本実施形態の場合、酸化物絶縁層120に形成されるダングリングボンド欠陥DBの分布に基づき、第1領域A1における酸化物絶縁層120、第2領域A2における酸化物絶縁層120、及び第3領域A3における酸化物絶縁層120の順で、トラップされる水素Hの量が多くなる場合がある。

[0117] 本実施形態では、チャンネル領域CHを囲む第2領域A2及び第3領域A3において、酸化物絶縁層120及びゲート絶縁層150に多くのダングリングボンド欠陥DBを含む水素トラップ領域が形成されることで、チャンネル領域CHに水素が侵入することを抑制することができる。その結果、ハンパが抑制された電気特性を有する半導体装置20を得ることができる。

[0118] 本発明の実施形態として上述した各実施形態は、相互に矛盾しない限りにおいて、適宜組み合わせて実施することができる。また、各実施形態を基にして、当業者が適宜構成要素の追加、削除、もしくは設計変更を行ったもの、又は工程の追加、省略、もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

[0119] 上述した各実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、又は当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

[0120] 10、20：半導体装置、 100：基板、 105：遮光層、 110：窒化物絶縁層、 120：酸化物絶縁層、 140：酸化物半導体層、 141：上面、 142：下面、 143：側面、 150：ゲート絶縁層、 160：ゲート電極、 165A：酸化物絶縁層、 170：絶縁層、 171：開口、 173：開口、 180：絶縁層、 200：ソース・ド

レイン電極、 201 : ソース電極、 203 : ドレイン電極、 300 :
マスク層、 310 : レジストマスク、 A1 : 第1領域、 A2 : 第2領
域、 A3 : 第3領域、 CH : チャネル領域、 D : ドレイン領域、 D
B : ダングリングボンド欠陥、 S : ソース領域

請求の範囲

- [請求項1] 酸化物絶縁層と、
前記酸化物絶縁層の上の酸化物半導体層と、
前記酸化物半導体層の上のゲート絶縁層と、
前記ゲート絶縁層の上のゲート電極と、を含み、
前記酸化物絶縁層、前記酸化物半導体層、前記ゲート絶縁層、及び
前記ゲート電極が順に積層される第1領域では、前記ゲート電極が不
純物を含み、
前記ゲート電極を含まず、前記酸化物絶縁層、前記酸化物半導体層
、及び前記ゲート絶縁層が順に積層される第2領域では、前記酸化物
絶縁層、前記酸化物半導体層、及び前記ゲート絶縁層が前記不純物を
含み、
前記ゲート電極及び前記酸化物半導体層を含まず、前記酸化物絶縁
層及び前記ゲート絶縁層が順に積層される第3領域では、前記酸化物
絶縁層及び前記ゲート絶縁層が前記不純物を含み、
前記第2領域の積層方向において、前記不純物の濃度プロファイル
は、第1ピーク及び第2ピークを含む、半導体装置。
- [請求項2] 前記第1ピークは、前記酸化物絶縁層の中に含まれている、請求項
1に記載の半導体装置。
- [請求項3] 前記第2ピークは、前記酸化物半導体層の中に含まれている、請求
項2に記載の半導体装置。
- [請求項4] 前記第2ピークは、前記ゲート絶縁層の中に含まれている、請求項
2に記載の半導体装置。
- [請求項5] 前記第3領域の積層方向において、前記不純物の濃度プロファイル
は、第3ピーク及び第4ピークを含む、請求項1に記載の半導体装置
。
- [請求項6] 前記第3ピークは、前記酸化物絶縁層の中に含まれている、請求項
5に記載の半導体装置。

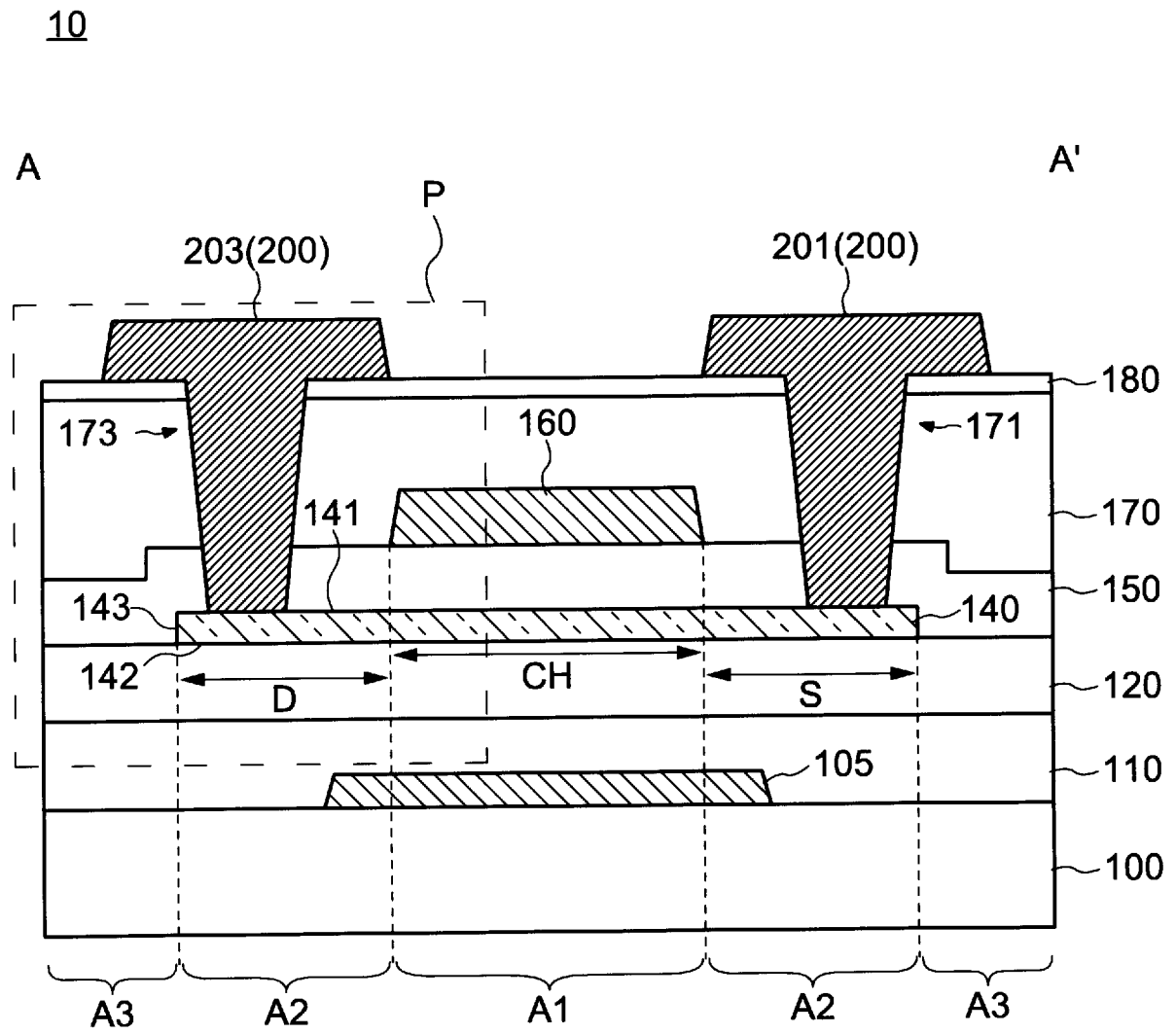
- [請求項7] 前記第4ピークは、前記ゲート絶縁層の中に含まれている、請求項6に記載の半導体装置。
- [請求項8] 酸化物絶縁層と、
前記酸化物絶縁層の上の酸化物半導体層と、
前記酸化物半導体層の上のゲート絶縁層と、
前記ゲート絶縁層の上のゲート電極と、を含み、
前記酸化物絶縁層、前記酸化物半導体層、前記ゲート絶縁層、及び前記ゲート電極が順に積層される第1領域では、前記ゲート電極が不純物を含み、
前記ゲート電極を含まず、前記酸化物絶縁層、前記酸化物半導体層、及び前記ゲート絶縁層が順に積層される第2領域では、前記酸化物半導体層及び前記ゲート絶縁層が前記不純物を含み、
前記ゲート電極及び前記酸化物半導体層を含まず、前記酸化物絶縁層及び前記ゲート絶縁層が順に積層される第3領域では、前記酸化物絶縁層及び前記ゲート絶縁層が前記不純物を含み、
前記第3領域の積層方向において、前記不純物の濃度プロファイルは、第1ピーク及び第2ピークを含む、半導体装置。
- [請求項9] 前記第1ピークは、前記酸化物絶縁層の中に含まれている、請求項8に記載の半導体装置。
- [請求項10] 前記第2ピークは、前記ゲート絶縁層の中に含まれている、請求項9に記載の半導体装置。
- [請求項11] 前記第2領域において、前記酸化物絶縁層に含まれる前記不純物の濃度は、 $1 \times 10^{16} / \text{cm}^3$ 未満である、請求項8に記載の半導体装置。
- [請求項12] 前記不純物は、ホウ素、リン、アルゴン、及び窒素からなる群から選択される1つである、請求項1乃至請求項11のいずれか一項に記載の半導体装置。
- [請求項13] 前記ゲート絶縁層の膜厚は、100nm以上である、請求項1乃至

請求項 1 1 のいずれか一項に記載の半導体装置。

- [請求項14] 酸化物絶縁層を形成し、
前記酸化物絶縁層の上に第1パターンを有するマスク層を形成し、
前記マスク層をマスクとして前記酸化物絶縁層に第1不純物を注入し、
前記酸化物絶縁層の上に第2パターンを有する酸化物半導体層を形成し、
前記酸化物半導体層を覆い、前記酸化物絶縁層及び前記酸化物半導体層の上にゲート絶縁層を形成し、
前記ゲート絶縁層の上に第3パターンを有するゲート電極を形成し、
前記ゲート電極をマスクとして、前記酸化物半導体層に第2不純物を注入する、半導体装置の製造方法。
- [請求項15] 前記第1パターンと前記第3パターンとは、略一致する、請求項14に記載の半導体装置の製造方法。
- [請求項16] 酸化物絶縁層を形成し、
前記酸化物絶縁層の上に第1パターンを有する酸化物半導体層を形成し、
前記酸化物半導体層を形成した前記第1パターンを有するレジストをマスクとして前記酸化物絶縁層に第1不純物を注入し、
前記酸化物半導体層を覆い、前記酸化物絶縁層及び前記酸化物半導体層の上にゲート絶縁層を形成し、
前記ゲート絶縁層の上に第2パターンを有するゲート電極を形成し、
前記ゲート電極をマスクとして、前記酸化物半導体層に第2不純物を注入する、半導体装置の製造方法。
- [請求項17] 前記第1不純物と前記第2不純物とは、同じ元素である、請求項14乃至請求項16のいずれか一項に記載の半導体装置の製造方法。

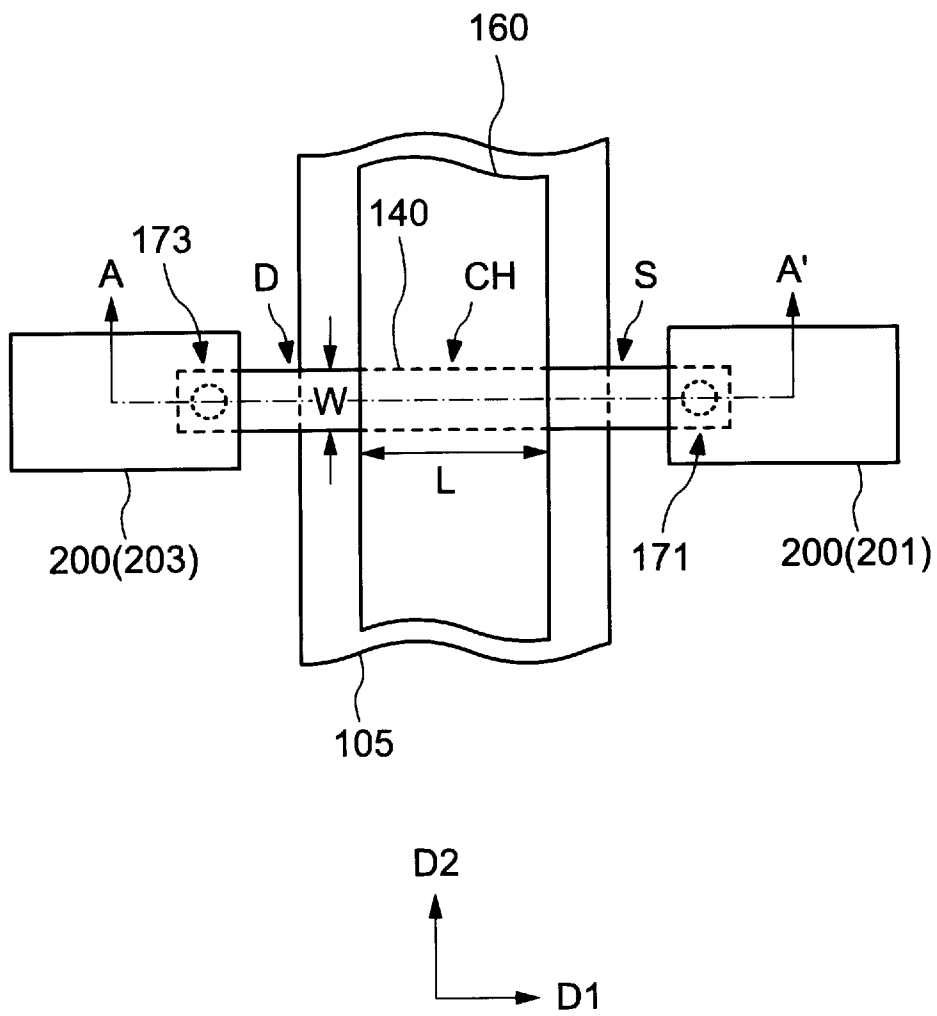
- [請求項18] 前記第1不純物と前記第2不純物とは、異なる元素である、請求項14乃至請求項16のいずれか一項に記載の半導体装置の製造方法。
- [請求項19] 前記第1不純物及び前記第2不純物の各々は、ホウ素、リン、アルゴン、及び窒素からなる群から選択される1つである、請求項14乃至請求項16のいずれか一項に記載の半導体装置の製造方法。
- [請求項20] 前記ゲート絶縁層の膜厚は、100nm以上である、請求項14乃至請求項16のいずれか一項に記載の半導体装置の製造方法。

[図1]

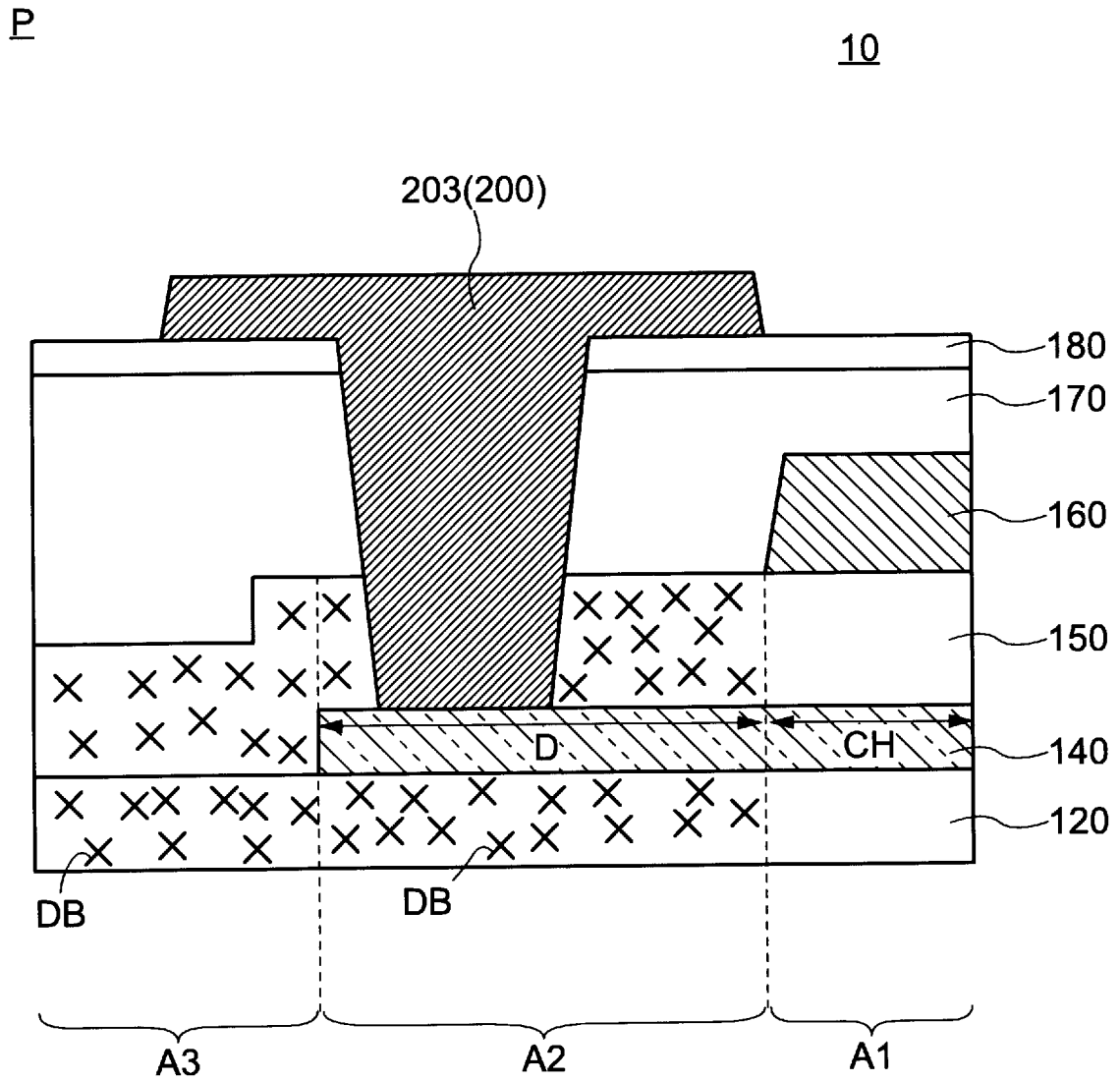


[図2]

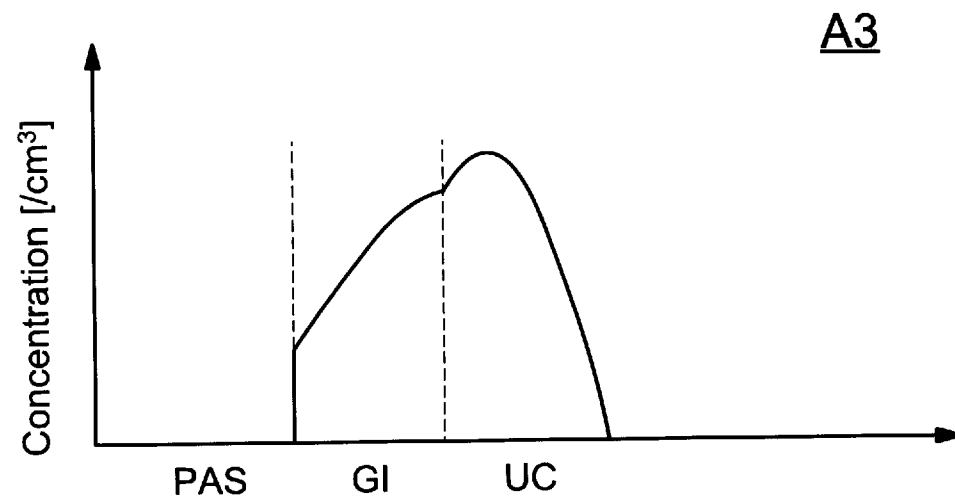
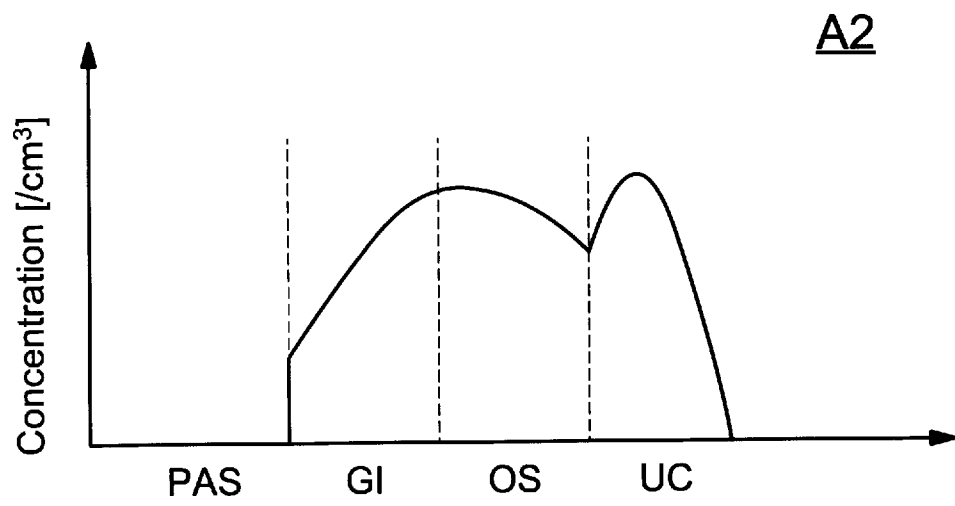
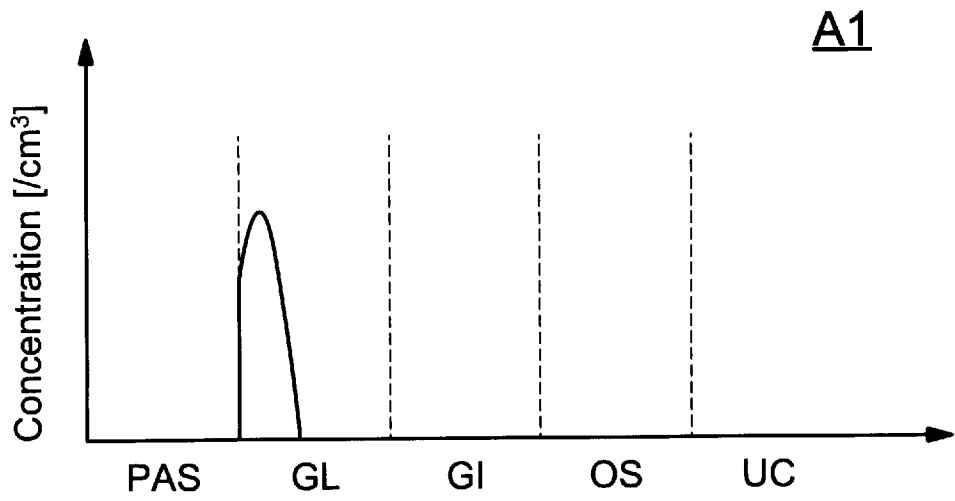
10



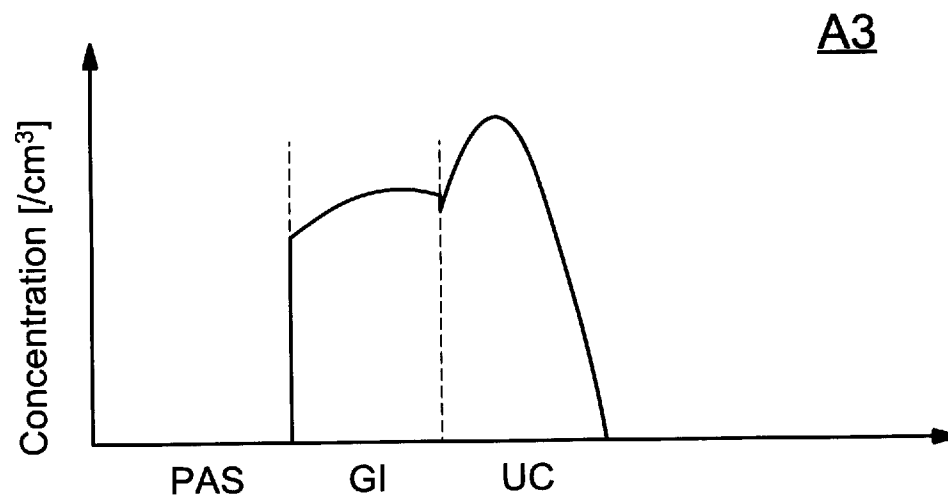
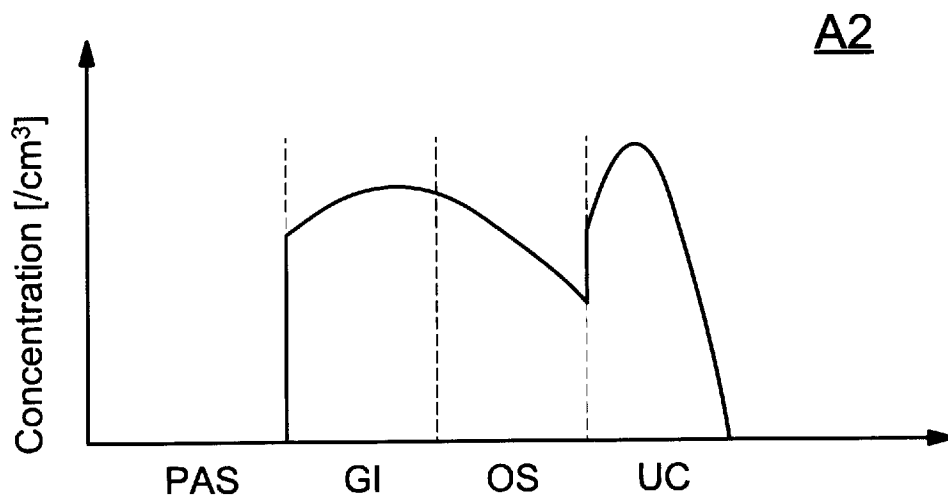
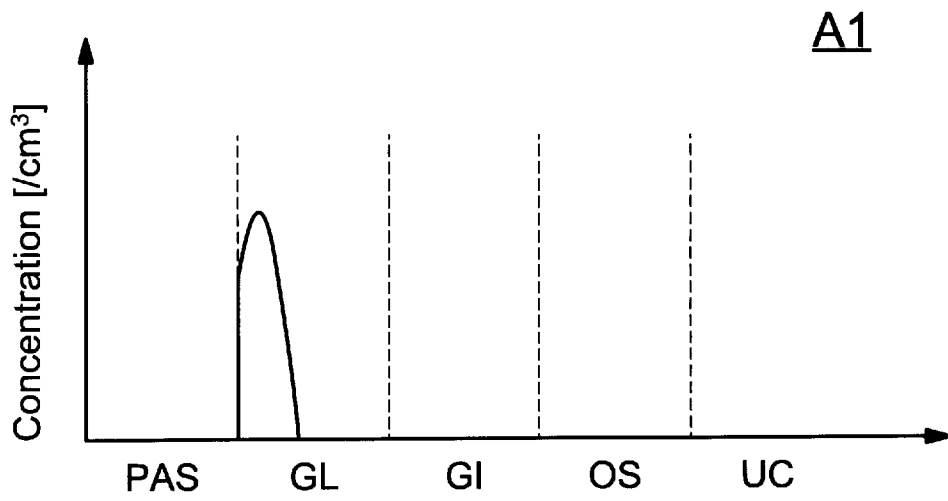
[図3]



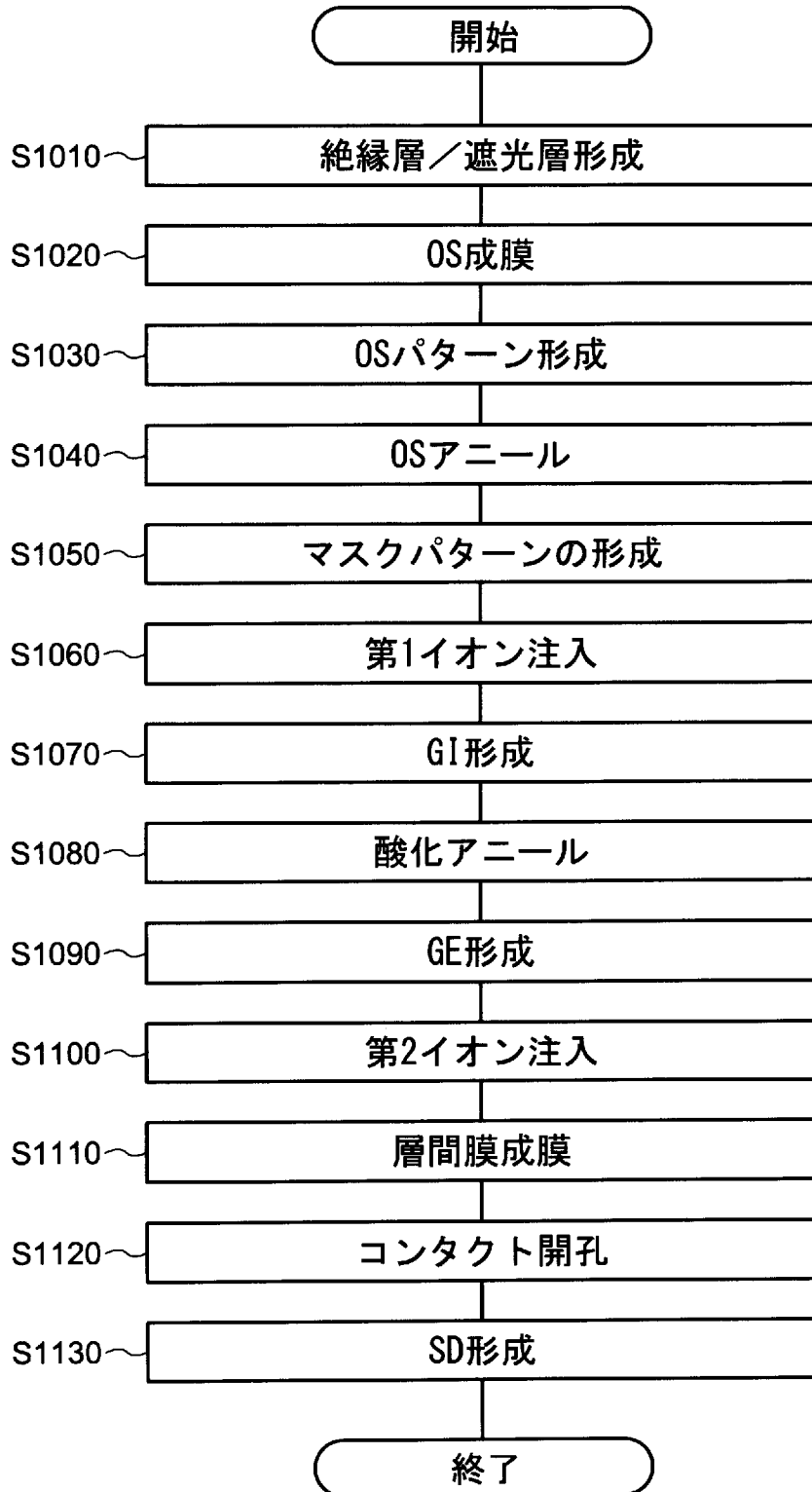
[図4]



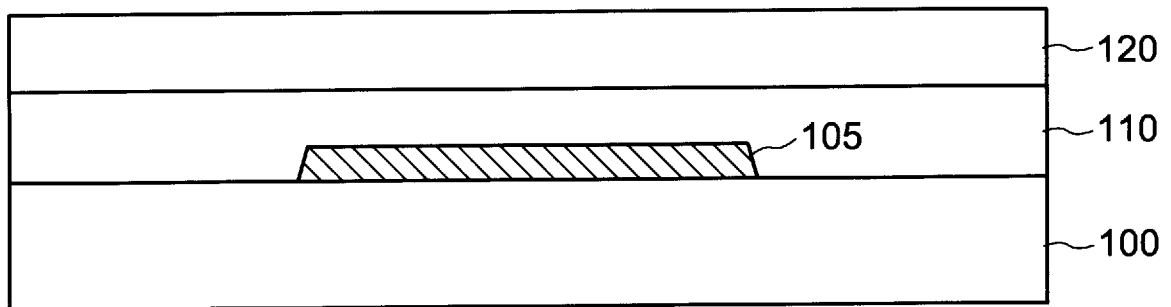
[図5]



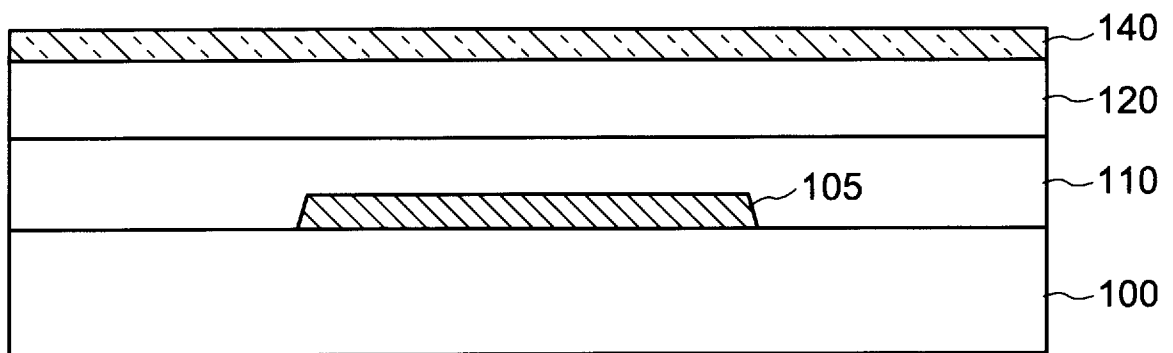
[図6]



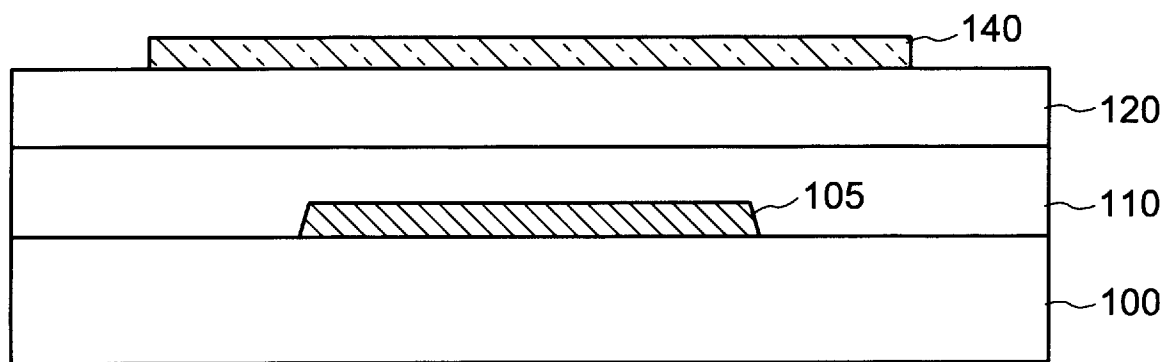
[図7]



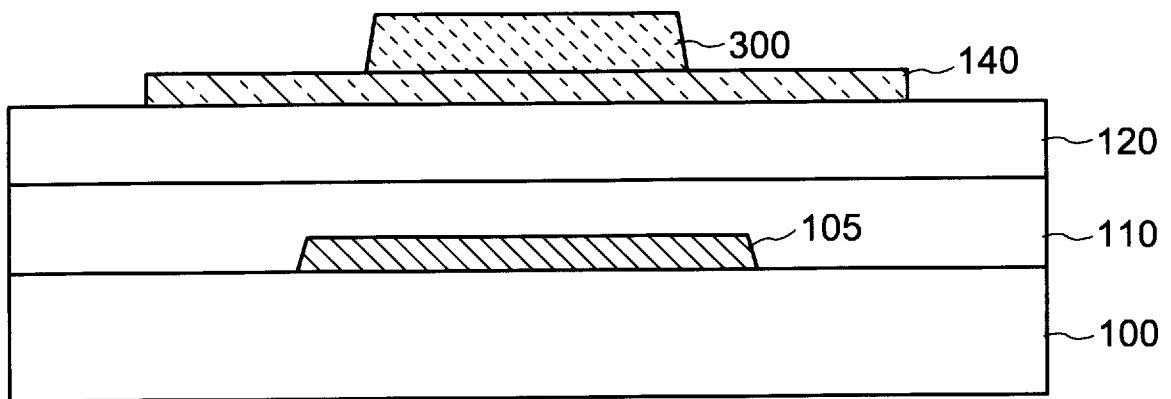
[図8]



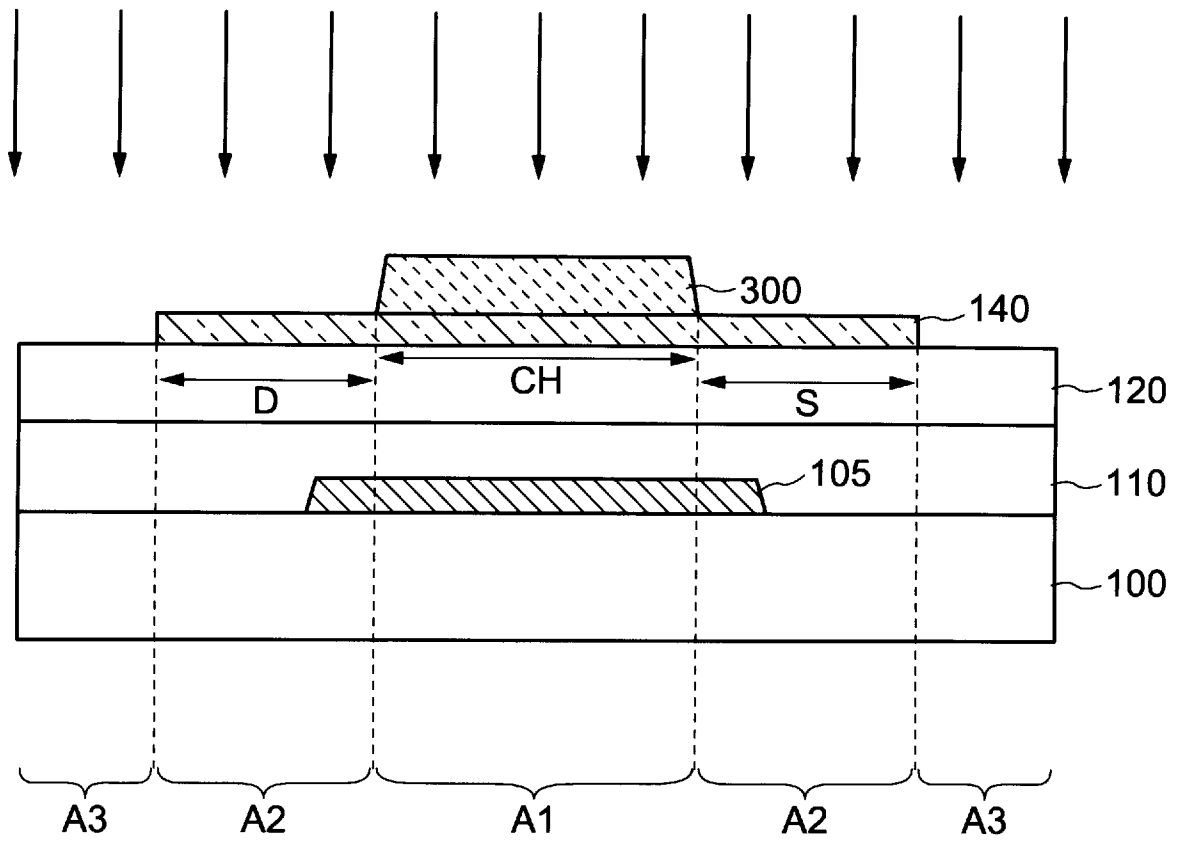
[図9]



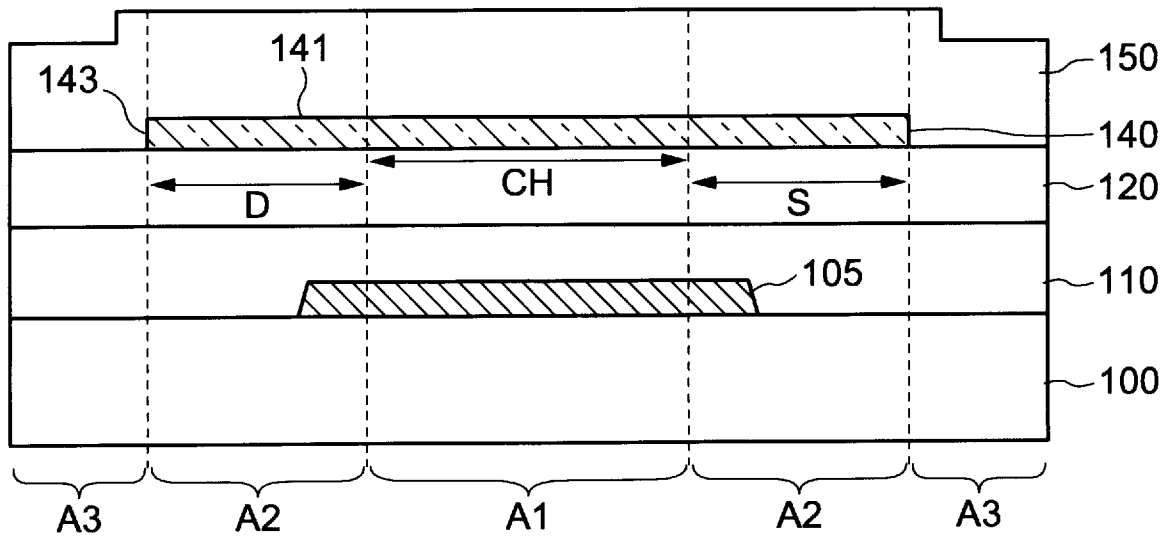
[図10]



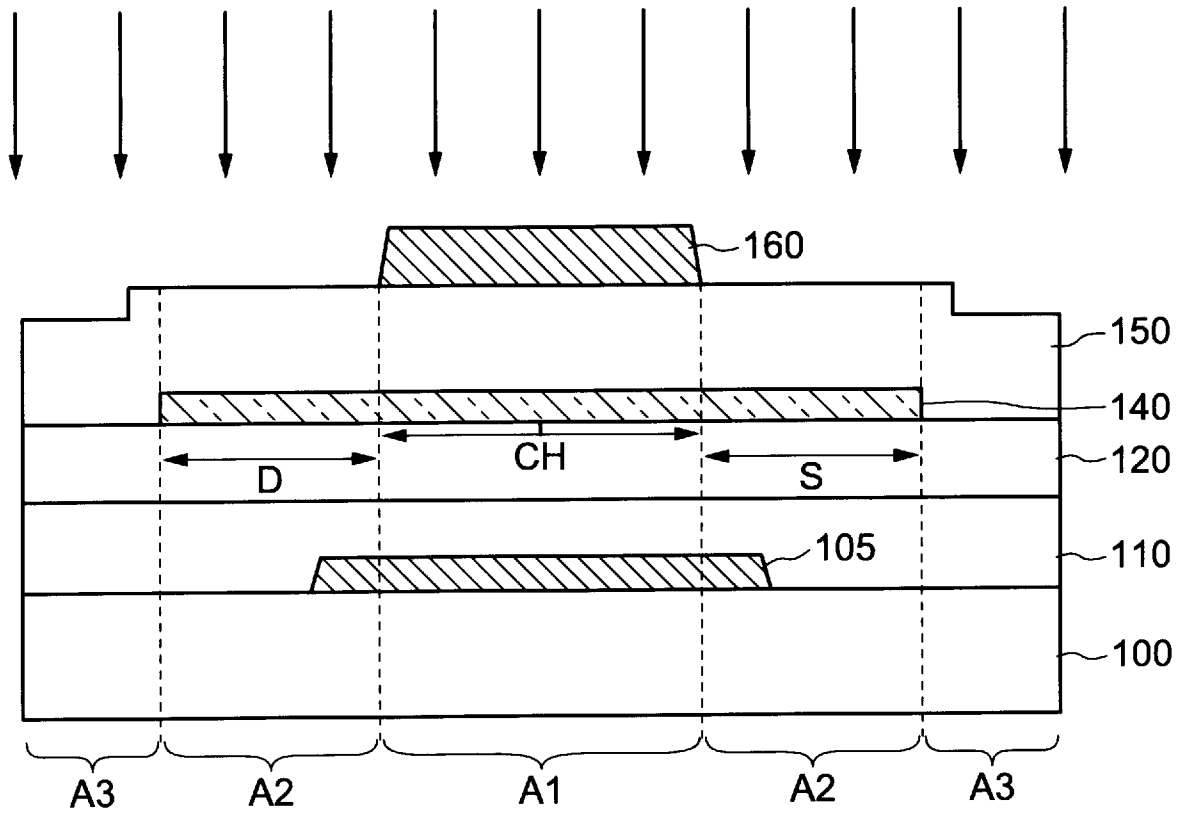
[図11]



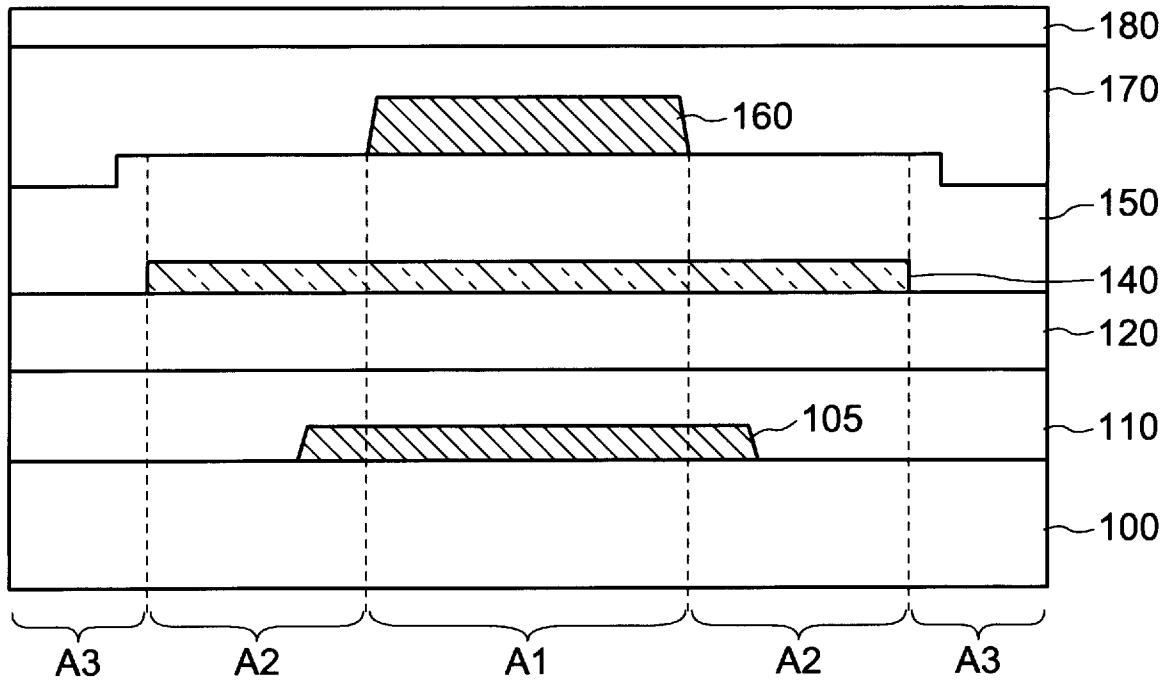
[図12]



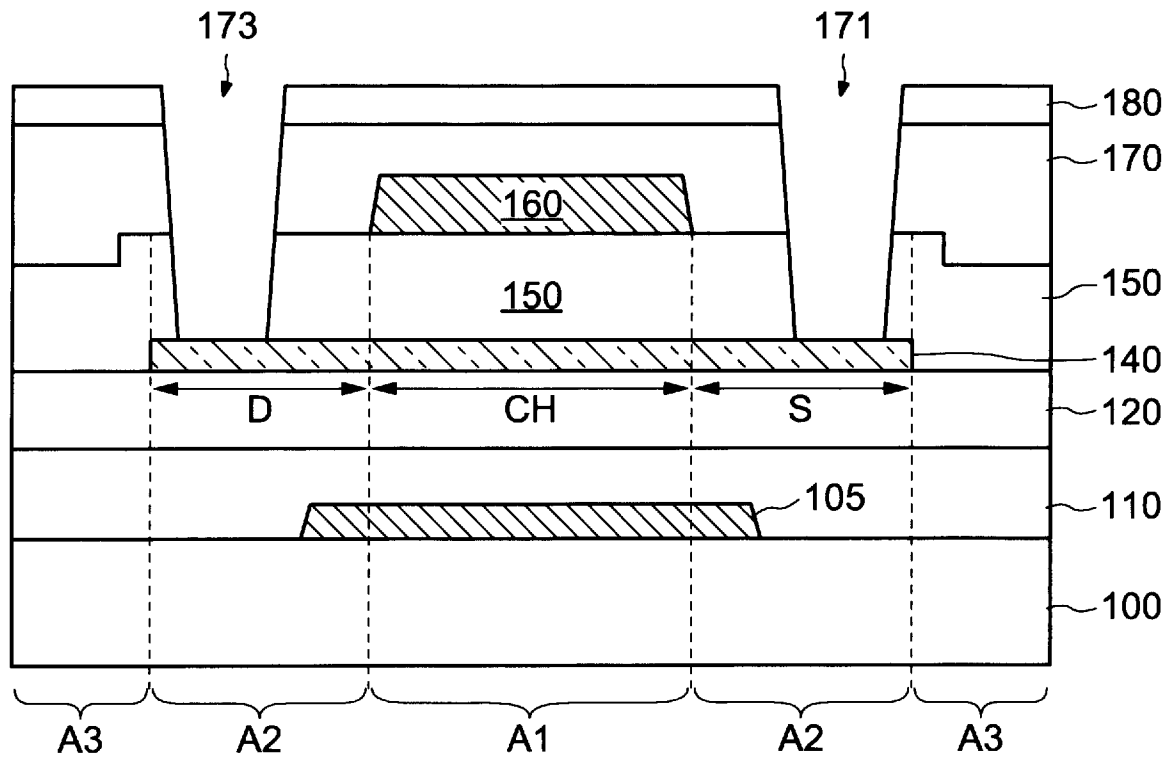
[図14]



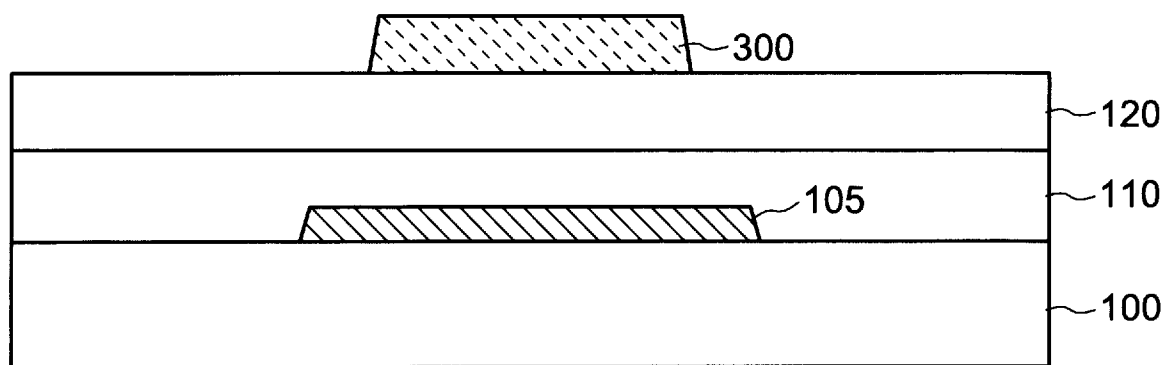
[図15]



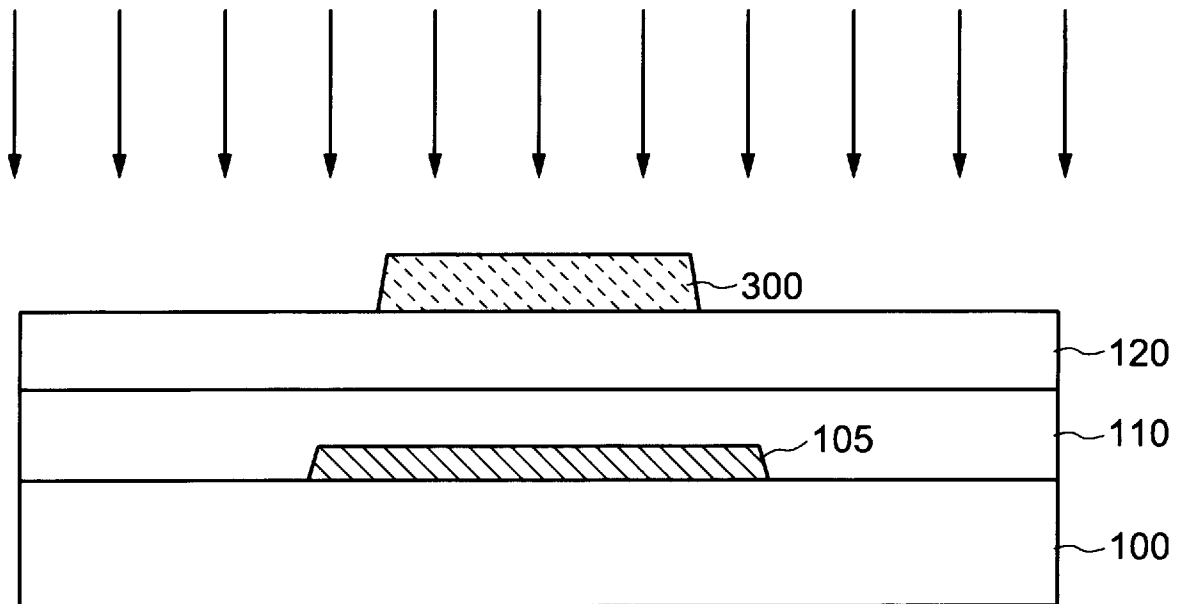
[図16]



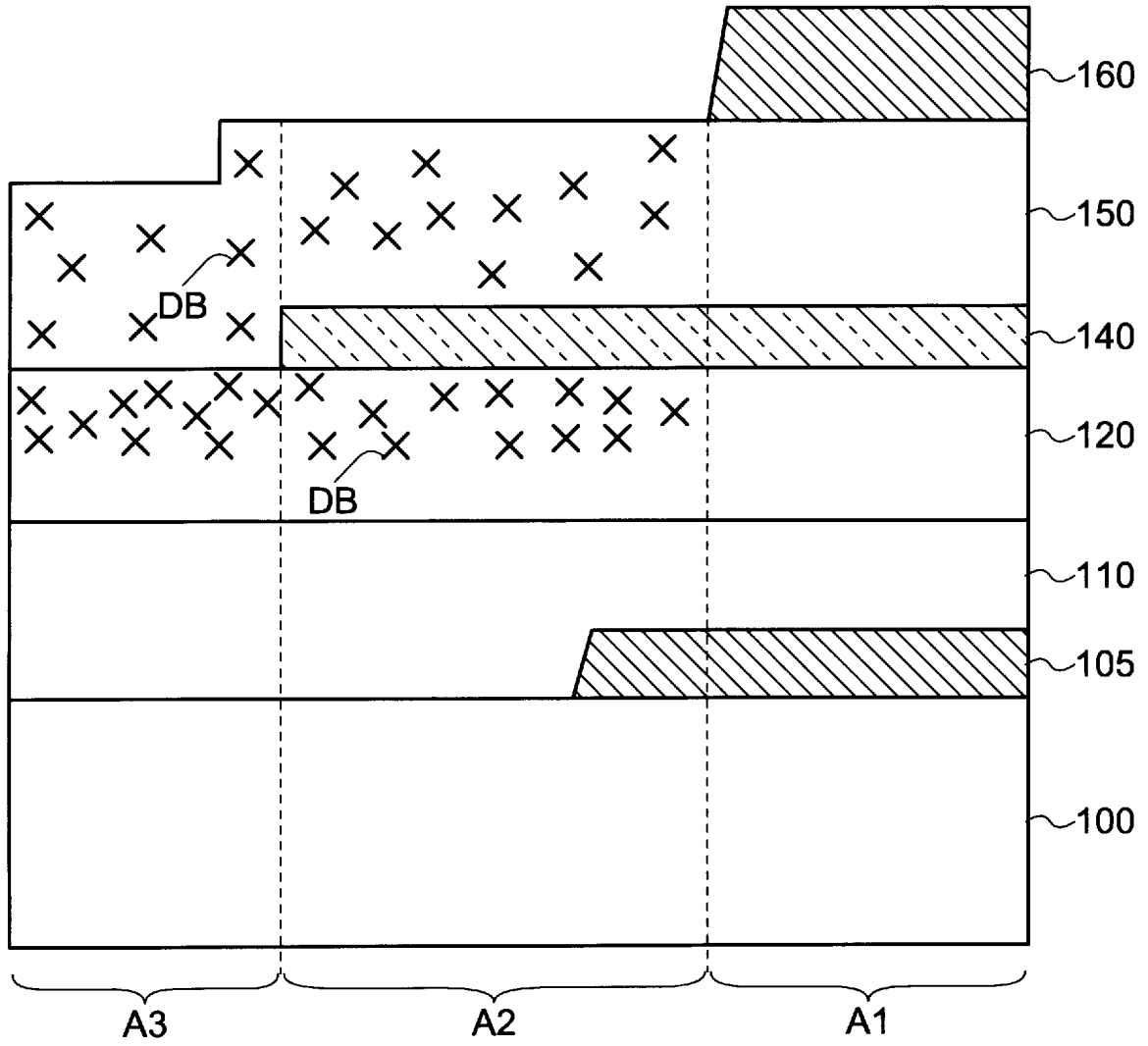
[図17]



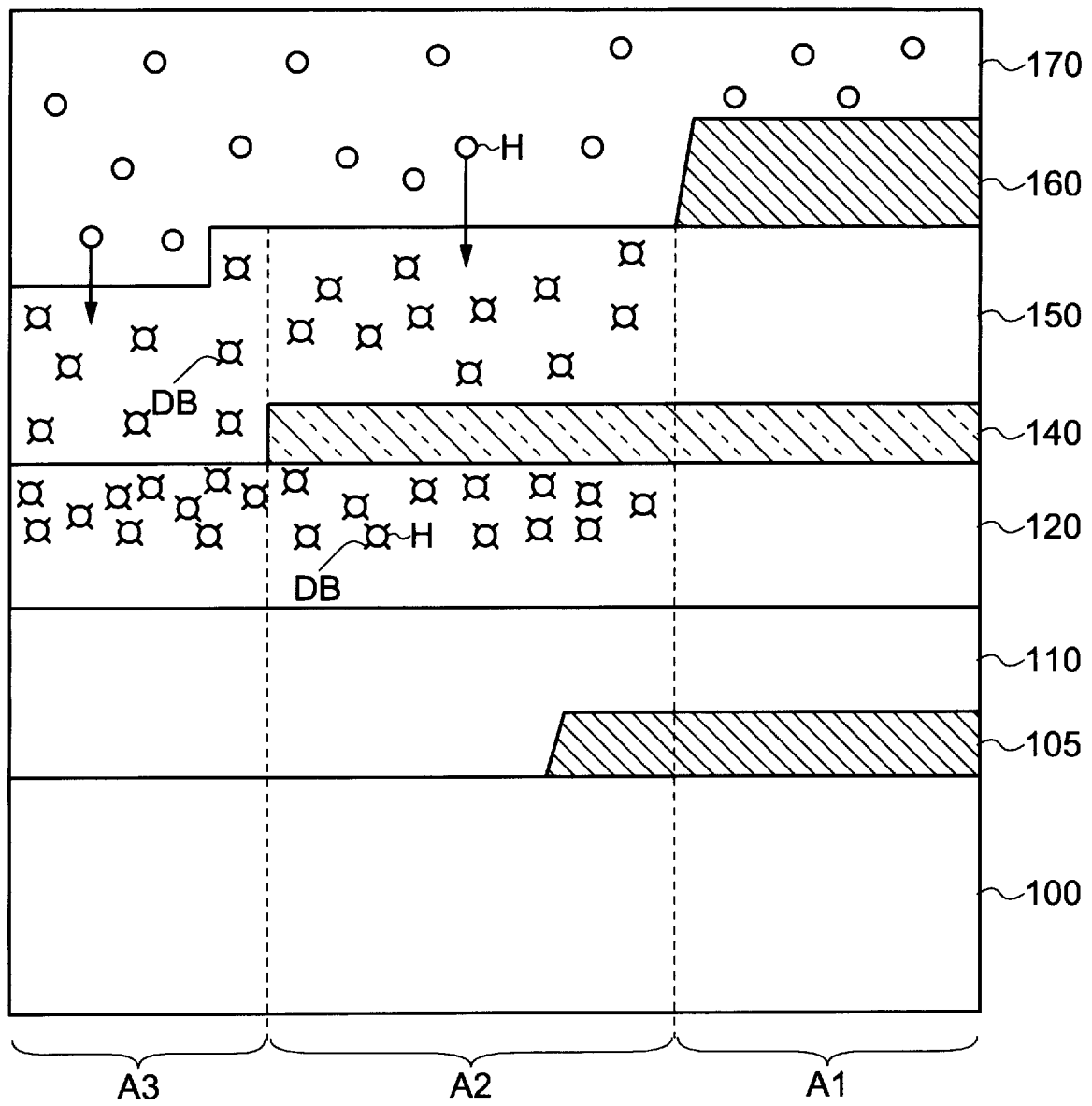
[図18]



[図19]



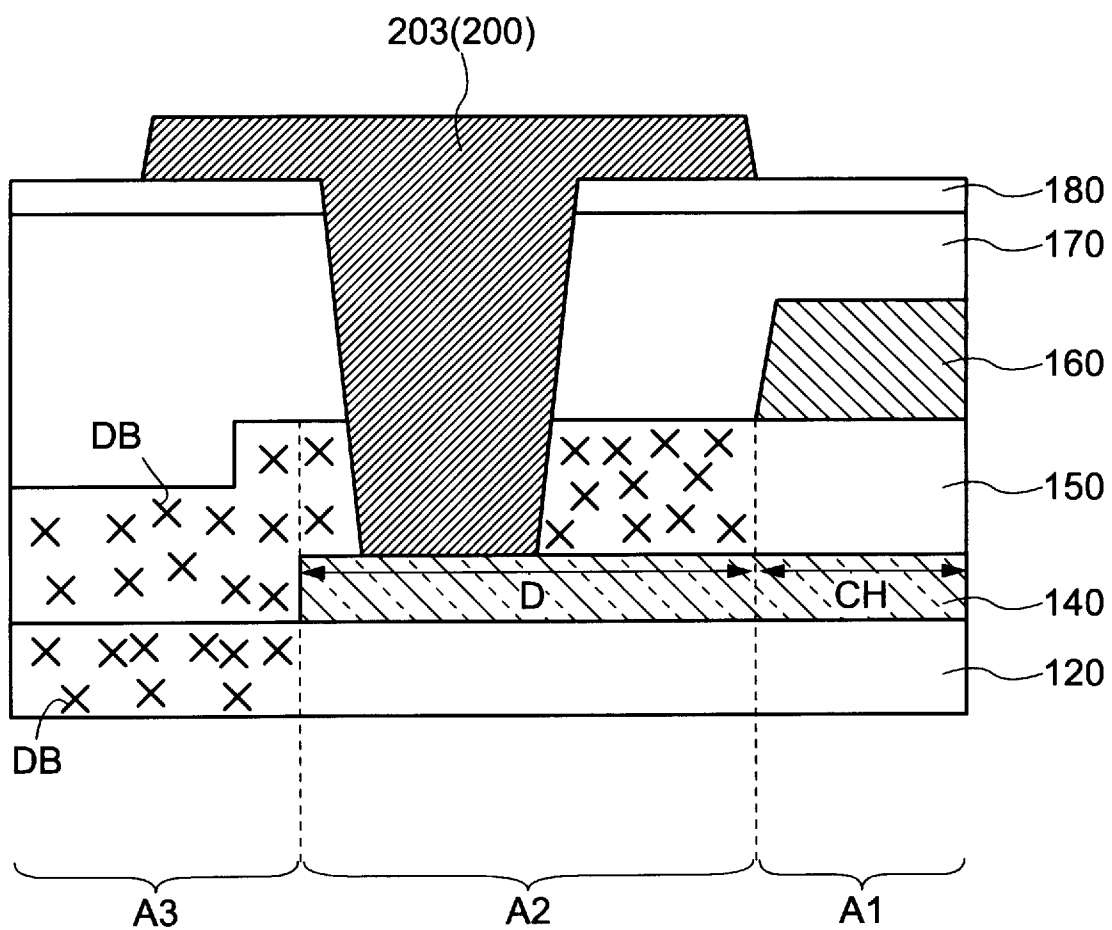
[図20]



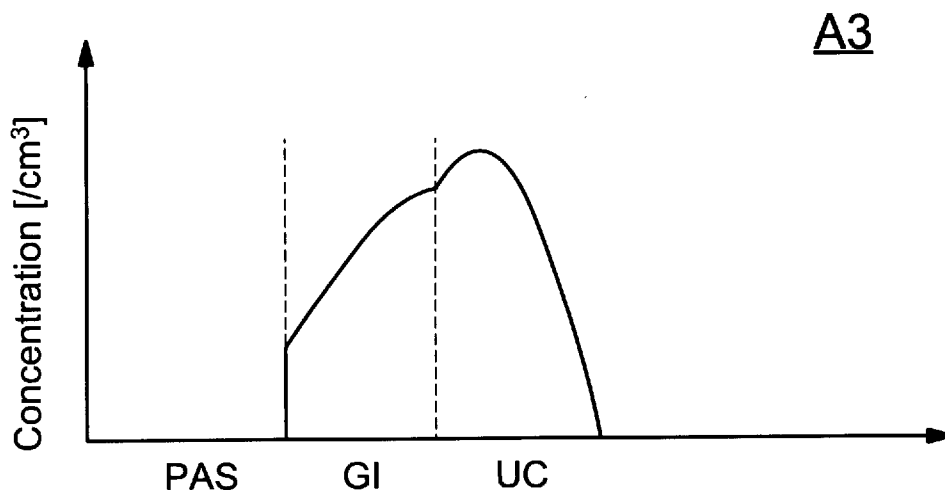
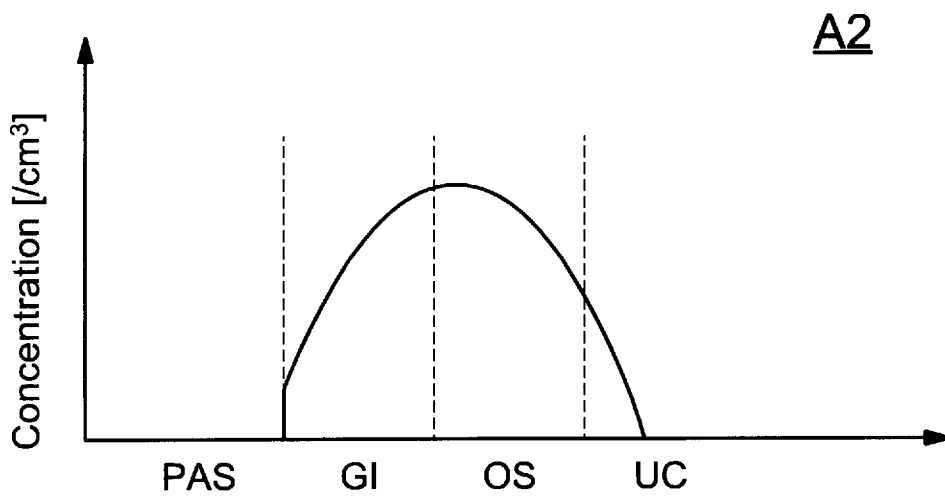
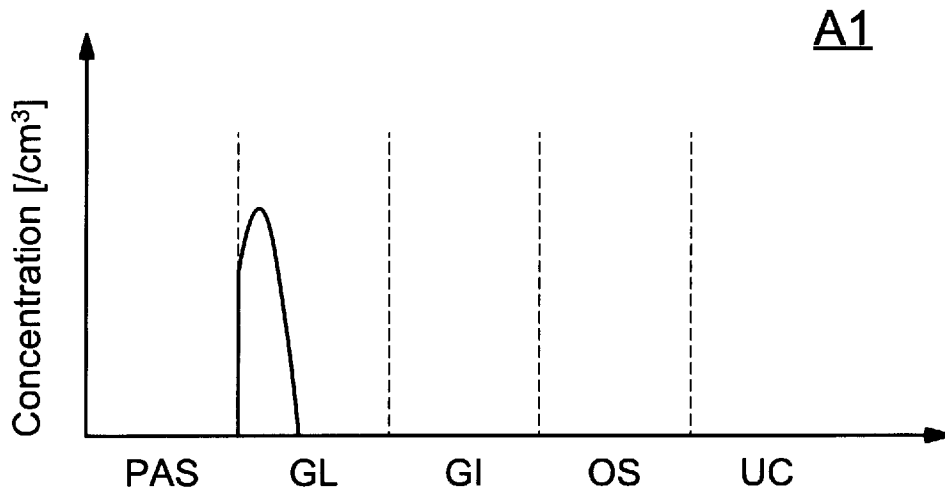
[図21]

P

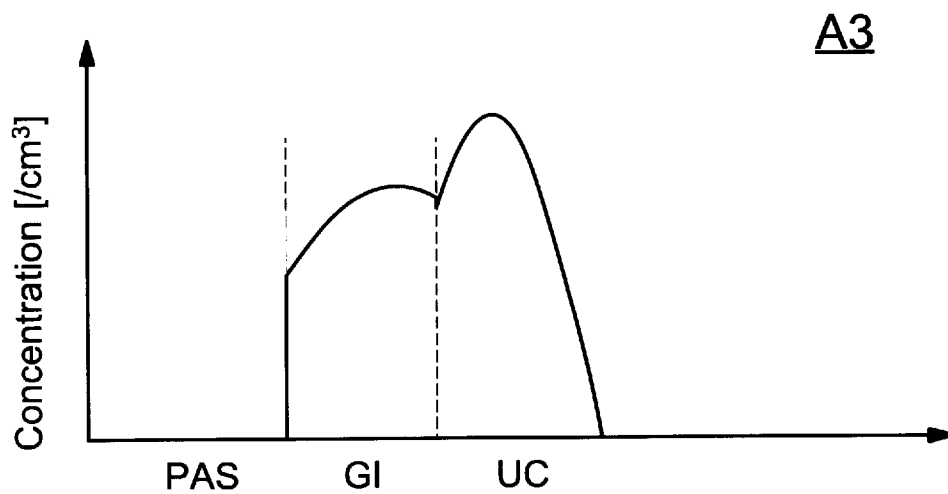
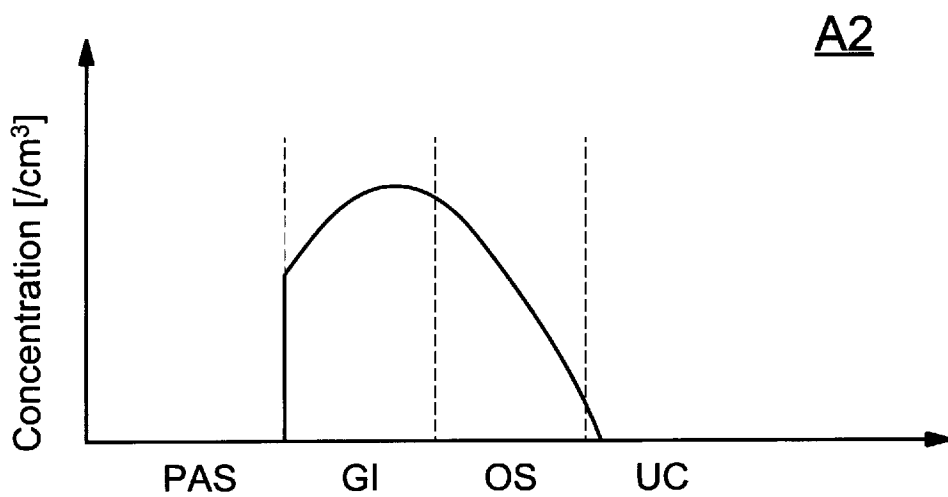
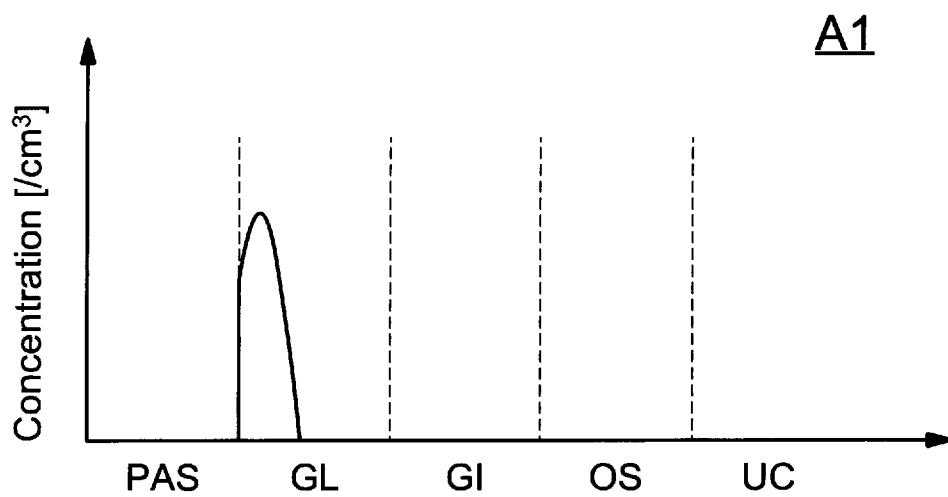
20



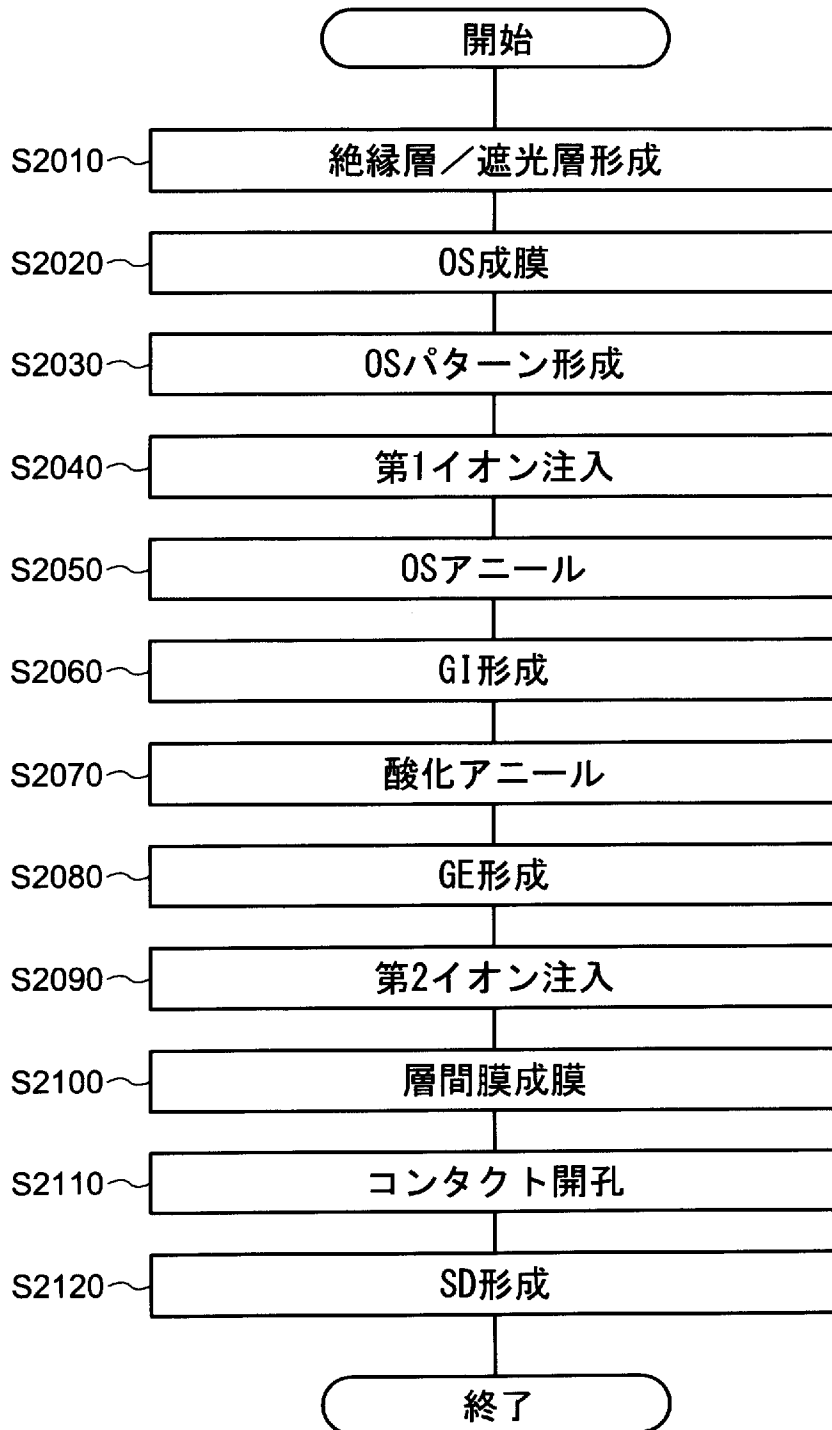
[図22]



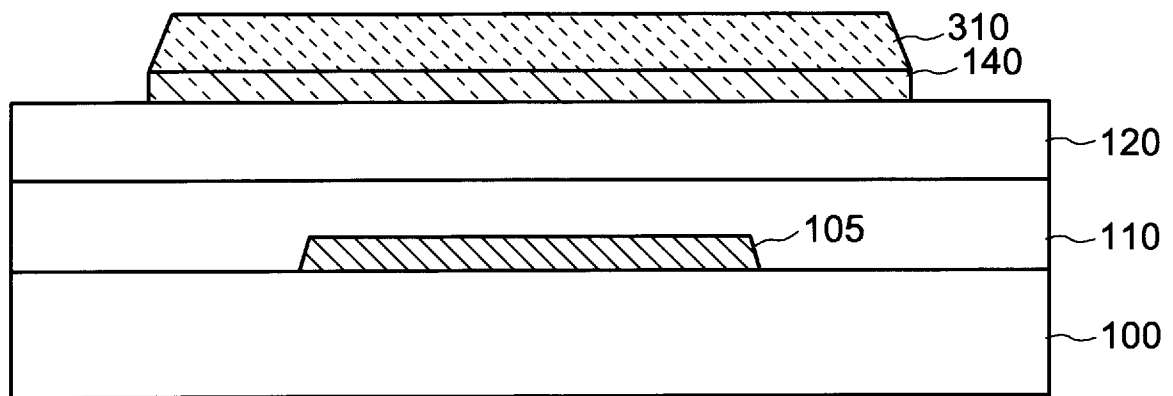
[図23]



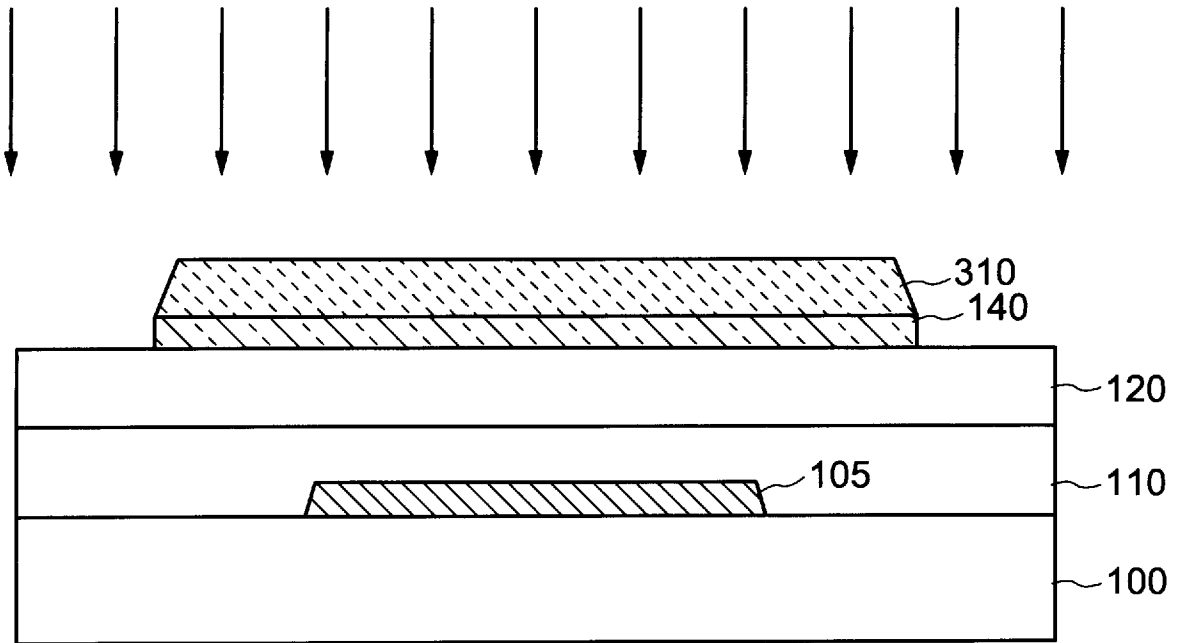
[図24]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/002595

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 29/786</i> (2006.01)i FI: H01L29/78 618B; H01L29/78 616V		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/786		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2015-144258 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 06 August 2015 (2015-08-06) paragraphs [0162], [0165], [0167], [0169]-[0170], fig. 7B	1-10, 12-13
Y		14-20
A		11
Y	JP 2017-107913 A (JAPAN DISPLAY INC.) 15 June 2017 (2017-06-15) paragraphs [0015]-[0027], fig. 2-5	14-15, 17-18, 20
Y	JP 2012-238851 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 06 December 2012 (2012-12-06) fig. 3	14-15, 17-18, 20
Y	JP 2009-123732 A (SEIKO EPSON CORPORATION) 04 June 2009 (2009-06-04) paragraphs [0063]-[0077], fig. 6-7	16-20
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 12 March 2024		Date of mailing of the international search report 26 March 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/002595

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2019/166906 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 06 September 2019 (2019-09-06) paragraphs [0055], [0264]-[0280]	16-20
Y	JP 2009-135448 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 June 2009 (2009-06-18) paragraphs [0201]-[0210], fig. 22	18
A	JP 2007-294491 A (MITSUBISHI ELECTRIC CORPORATION) 08 November 2007 (2007-11-08) entire text, all drawings	1-20
A	JP 2011-258939 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 22 December 2011 (2011-12-22) entire text, all drawings	1-20
A	WO 2009/011084 A1 (SHARP KABUSHIKI KAISHA) 22 January 2009 (2009-01-22) entire text, all drawings	1-20
A	JP 2003-31587 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 31 January 2003 (2003-01-31) entire text, all drawings	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/002595

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2015-144258	A	06 August 2015	US 2015/0187950 A1 paragraphs [0180], [0183], [0185], [0187]-[0188], fig. 7B	
JP	2017-107913	A	15 June 2017	US 2017/0162715 A1 paragraphs [0030]-[0048], fig. 2-5	
JP	2012-238851	A	06 December 2012	US 2012/0276694 A1 fig. 3A-E EP 2518773 A1 CN 102760697 A KR 10-2012-0121846 A	
JP	2009-123732	A	04 June 2009	(Family: none)	
WO	2019/166906	A1	06 September 2019	US 2020/0357926 A1 paragraphs [0088], [0299]- [0315] CN 111788696 A KR 10-2020-0126987 A	
JP	2009-135448	A	18 June 2009	US 2009/0117707 A1 paragraphs [0252]-[0261], fig. 22 CN 101425456 A KR 10-2009-0045123 A	
JP	2007-294491	A	08 November 2007	US 2007/0272927 A1 entire text, all drawings KR 10-2007-0104252 A CN 101060140 A TW 200742090 A	
JP	2011-258939	A	22 December 2011	US 2011/0281394 A1 entire text, all drawings TW 201203392 A KR 10-2013-0058021 A	
WO	2009/011084	A1	22 January 2009	US 2010/0181575 A1 entire text, all drawings CN 101743629 A	
JP	2003-31587	A	31 January 2003	US 2003/0020118 A1 entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/786(2006.01)i FI: H01L29/78 618B; H01L29/78 616V		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/786 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2015-144258 A（株式会社半導体エネルギー研究所）06.08.2015（2015-08-06） 段落[0162], [0165], [0167], [0169]-[0170]及び図7B	1-10, 12-13
Y		14-20
A		11
Y	JP 2017-107913 A（株式会社ジャパンディスプレイ）15.06.2017（2017-06-15） 段落[0015]-[0027], 図2-5	14-15, 17-18, 20
Y	JP 2012-238851 A（株式会社半導体エネルギー研究所）06.12.2012（2012-12-06） 図3	14-15, 17-18, 20
Y	JP 2009-123732 A（セイコーエプソン株式会社）04.06.2009（2009-06-04） 段落[0063]-[0077], 図6-7	16-20
Y	WO 2019/166906 A1（株式会社半導体エネルギー研究所）06.09.2019（2019-09-06） 段落[0055], [0264]-[0280]	16-20
Y	JP 2009-135448 A（株式会社半導体エネルギー研究所）18.06.2009（2009-06-18） 段落[0201]-[0210], 図22	18
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 12.03.2024	国際調査報告の発送日 26.03.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 脇水 佳弘 5F 2376 電話番号 03-3581-1101 内線 3516	

C. 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-294491 A (三菱電機株式会社) 08.11.2007 (2007 - 11 - 08) 全文, 全図	1-20
A	JP 2011-258939 A (株式会社半導体エネルギー研究所) 22.12.2011 (2011 - 12 - 22) 全文, 全図	1-20
A	WO 2009/011084 A1 (シャープ株式会社) 22.01.2009 (2009 - 01 - 22) 全文, 全図	1-20
A	JP 2003-31587 A (株式会社半導体エネルギー研究所) 31.01.2003 (2003 - 01 - 31) 全文, 全図	1-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/002595

引用文献	公表日	パテントファミリー文献	公表日
JP 2015-144258 A	06.08.2015	US 2015/0187950 A1 段落[0180], [0183], [0185], [0187]-[0188]及び図7B	
JP 2017-107913 A	15.06.2017	US 2017/0162715 A1 段落[0030]-[0048], 図2-5	
JP 2012-238851 A	06.12.2012	US 2012/0276694 A1 図3A-E EP 2518773 A1 CN 102760697 A KR 10-2012-0121846 A	
JP 2009-123732 A	04.06.2009	(ファミリーなし)	
WO 2019/166906 A1	06.09.2019	US 2020/0357926 A1 段落[0088], [0299]-[0315] CN 111788696 A KR 10-2020-0126987 A	
JP 2009-135448 A	18.06.2009	US 2009/0117707 A1 段落[0252]-[0261], 図22 CN 101425456 A KR 10-2009-0045123 A	
JP 2007-294491 A	08.11.2007	US 2007/0272927 A1 全文, 全図 KR 10-2007-0104252 A CN 101060140 A TW 200742090 A	
JP 2011-258939 A	22.12.2011	US 2011/0281394 A1 全文, 全図 TW 201203392 A KR 10-2013-0058021 A	
WO 2009/011084 A1	22.01.2009	US 2010/0181575 A1 全文, 全図 CN 101743629 A	
JP 2003-31587 A	31.01.2003	US 2003/0020118 A1 全文, 全図	