

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 2 月 2 日 (02.02.2017)



(10) 国际公布号
WO 2017/015984 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01)
- (21) 国际申请号: PCT/CN2015/086375
- (22) 国际申请日: 2015 年 8 月 7 日 (07.08.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510456411.6 2015 年 7 月 29 日 (29.07.2015) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋丁珂, Hubei 430079 (CN)。
- (72) 发明人: 郝思坤 (HAO, Sikun); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋丁珂, Hubei 430079 (CN)。 张鑫 (ZHANG, Xin); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋丁珂, Hubei 430079 (CN)。 戴荣磊 (DAI, Ronglei); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋丁珂, Hubei 430079 (CN)。

- (74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙) (ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: DRIVE CIRCUIT

(54) 发明名称: 驱动电路

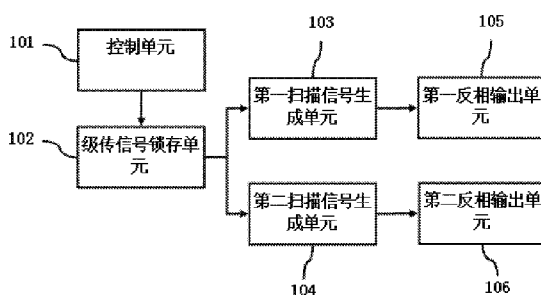


图 1

101 CONTROL UNIT
102 CASCADED TRANSMISSION SIGNAL LATCHING UNIT
103 FIRST SCANNING SIGNAL GENERATION UNIT
104 SECOND SCANNING SIGNAL GENERATION UNIT
105 FIRST REVERSED PHASE OUTPUT UNIT
106 SECOND REVERSED PHASE OUTPUT UNIT

(57) Abstract: A drive circuit. A drive unit in the drive circuit comprises: a control unit (101) for controlling the output of a cascaded transmission signal; a cascaded transmission signal latching unit (102) for receiving the cascaded transmission signal, so as to generate a latching signal; first and second scanning signal generation units (103, 104); a first reversed phase output unit (105) for reversing the phase of a first scanning signal; and a second reversed phase output unit (106) for reversing the phase of a second scanning signal. Thus, a structure of a GOA circuit is simplified.

(57) 摘要: 一种驱动电路, 所述驱动电路中的驱动单元包括: 控制单元 (101), 用于控制级传信号的输出; 级传信号锁存单元 (102), 用于接收级传信号, 以生成锁存信号; 第一、第二扫描信号生成单元 (103, 104); 第一反相输出单元 (105), 用于对第一扫描信号进行反相; 第二反相输出单元 (106), 用于对第二扫描信号进行反相, 从而简化 GOA 电路的结构。



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

驱动电路

技术领域

- [1] 本发明涉及驱动技术领域，特别涉及一种驱动电路。

背景技术

- [2] 传统的GOA（Gate driver On Array）技术方案一般是通过在现有的薄膜晶体管阵列基板的制程中将扫描驱动电路形成在该薄膜晶体管阵列基板上，以实现对该薄膜晶体管阵列基板上的像素阵列逐行扫描。
- [3] 然而，传统的GOA电路的结构过于复杂，难以适应显示面板超窄边框的需求。
- [4] 故，有必要提出一种新的技术方案，以解决上述技术问题。

对发明的公开

技术问题

- [5] 本发明的目的在于提供一种驱动电路，其能简化GOA电路的结构，适应显示面板超窄边框的需求。

问题的解决方案

技术解决方案

- [6] 一种驱动电路，所述驱动电路包括：至少两驱动单元，至少两所述驱动单元以阵列的形式排列，至少两所述驱动单元相互连接，至少两所述驱动单元中的第一驱动单元用于接收第二驱动单元所生成的第二驱动信号集合中的至少一第二子信号，并生成第一驱动信号集合，其中，所述第二驱动单元为至少两所述驱动单元中除所述第一驱动单元以外的一个所述驱动单元；其中，所述驱动单元包括：一控制单元，用于根据正反向扫描信号控制级传信号的输出；一级传信号锁存单元，用于接收所述级传信号，并对所述级传信号进行锁存，以生成锁存信号；一第一扫描信号生成单元，用于生成第一扫描信号；一第二扫描信号生成单元，用于生成第二扫描信号；一第一反相输出单元，用于对所述第一扫描信号进行反相，并生成经过反相的第一扫描信号；以及一第二反相输出单元，用于对所述第二扫描信号进行反相，并生成经过反相的第二扫描信号；所述

控制单元包括第一级传信号输入端、第二级传信号输入端、第一开关控制信号输入端、第二开关控制信号输入端、第一级传信号输出端；所述控制单元还包括：一第一薄膜晶体管，第一薄膜晶体管包括第一栅极、第一源极和第一漏极，所述第一栅极与所述第一开关控制信号输入端连接，所述第一源极与所述第一级传信号输入端连接，所述第一漏极与所述第一级传信号输出端连接，所述第一薄膜晶体管用于根据所述第一开关控制信号输入端所提供的所述第一开关控制信号控制所述第一级传信号输入端的第一级传信号的输出；一第二薄膜晶体管，第二薄膜晶体管包括第二栅极、第二源极和第二漏极，所述第二栅极与所述第一开关控制信号输入端连接，所述第二源极与所述第二级传信号输入端连接，所述第二漏极与所述第一级传信号输出端连接，所述第二薄膜晶体管用于根据所述第一开关控制信号控制所述第二级传信号输入端的第二级传信号的输出；一第三薄膜晶体管，第三薄膜晶体管包括第三栅极、第三源极和第三漏极，所述第三栅极与所述第二开关控制信号输入端连接，所述第三源极与所述第一级传信号输入端连接，所述第三漏极与所述第一级传信号输出端连接，所述第三薄膜晶体管用于根据所述第二开关控制信号输入端所提供的第二开关控制信号控制所述第一级传信号的输出；以及一第四薄膜晶体管，第四薄膜晶体管包括第四栅极、第四源极和第四漏极，所述第四栅极与所述第二开关控制信号输入端连接，所述第四源极与所述第二级传信号输入端连接，所述第四漏极与所述第一级传信号输出端连接，所述第四薄膜晶体管用于根据所述第二开关控制信号控制所述第二级传信号的输出；所述级传信号锁存单元包括第一时钟信号输入端、第三级传信号输入端、锁存信号输出端；所述级传信号锁存单元还包括：一第一反相器，所述第一反相器包括第一反相输入端和第一反相输出端，所述第一反相输入端与所述第一时钟信号输入端连接，所述第一反相输入端用于接收第一时钟信号；一第二反相器，所述第二反相器包括第二反相输入端和第二反相输出端，所述第二反相输入端与所述第一反相输出端连接，所述第二反相器还与所述第三级传信号输入端及所述锁存信号输出端连接；一第三反相器，所述第三反相器包括第三反相输入端和第三反相输出端，所述第三反相输入端与所述第一时钟信号输入端连接，所述第三反相器还与所述第三级传信号

输入端及所述锁存信号输出端连接，所述第三反相输入端用于接收所述第一时钟信号；以及一第四反相器，所述第四反相器包括第四反相输入端和第四反相输出端，所述第四反相输入端与所述第三反相输出端和所述第二反相输出端连接，所述第四反相输出端与所述锁存信号输出端连接。

[7] 在上述驱动电路中，所述第一薄膜晶体管的第一电流通道开启时所述第二薄膜晶体管的第二电流通道关闭，所述第一电流通道关闭时所述第二电流通道开启，所述第一电流通道为所述第一源极和所述第一漏极之间的电流通道，所述第二电流通道为所述第二源极和所述第二漏极之间的电流通道；所述第三薄膜晶体管的第三电流通道开启时所述第四薄膜晶体管的第四电流通道关闭，所述第三电流通道关闭时所述第四电流通道开启，所述第三电流通道为所述第三源极和所述第三漏极之间的电流通道，所述第四电流通道为所述第四源极和所述第四漏极之间的电流通道。

[8] 在上述驱动电路中，所述第一反相器、所述第二反相器、所述第三反相器和所述第四反相器的组合用于对级传信号进行移位和锁存。

[9] 在上述驱动电路中，所述第二反相器包括第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管和第八薄膜晶体管；所述第三反相器包括第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管和第十二薄膜晶体管；所述第五薄膜晶体管包括第五栅极、第五源极和第五漏极，所述第五栅极与所述第一反相输出端连接，所述第五源极用于接收第一高电压信号，所述第五薄膜晶体管用于在所述第五栅极所接收到的经过反相的所述第一时钟信号为低电平信号时开启所述第五源极和所述第五漏极之间的第五电流通道，以及用于在所述第五栅极所接收到的所述经过反相的第一时钟信号为高电平信号时关闭所述第五电流通道；所述第六薄膜晶体管包括第六栅极、第六源极和第六漏极，所述第六栅极用于接收第三级传信号，所述第六源极与所述第五漏极连接，所述第六漏极与所述第四反相输入端连接，所述第六薄膜晶体管用于在所述第六栅极所接收到的所述第三级传信号为低电平信号时开启所述第六源极和所述第六漏极之间的第六电流通道，以及用于在所述第六栅极所接收到的所述第三级传信号为高电平信号时关闭所述第六电流通道；所述第七薄膜晶体管包括第七栅极、第七源极和第

七漏极, 所述第七栅极用于接收第四级传信号, 所述第七源极用于接收第一低电压信号, 所述第七薄膜晶体管用于在所述第七栅极所接收到的所述第四级传信号为高电平信号时开启所述第七源极和所述第七漏极之间的第七电流通道, 以及用于在所述第七栅极接收到的所述第四级传信号为低电平信号时关闭所述第七电流通道; 所述第八薄膜晶体管包括第八栅极、第八源极和第八漏极, 所述第八栅极与所述第一反相输出端连接, 所述第八源极与所述第七漏极连接, 所述第八漏极与所述第四反相输入端连接, 所述第八薄膜晶体管用于在所述第八栅极接收到的所述经过反相的第一时钟信号为高电平信号时开启所述第八源极和所述第八漏极之间的第八电流通道, 以及用于在所述第八栅极所接收到的所述经过反相的第一时钟信号为低电平信号时关闭所述第八电流通道; 所述第九薄膜晶体管包括第九栅极、第九源极和第九漏极, 所述第九栅极用于接收所述第一时钟信号, 所述第九漏极与第四反相输入端连接, 所述第九薄膜晶体管用于在所述第九栅极所接收到的所述第一时钟信号为高电平信号时开启所述第九源极和所述第九漏极之间的第九电流通道, 以及用于在所述第九栅极所接收到所述第一时钟信号为低电平信号时关闭所述第五电流通道; 所述第十薄膜晶体管包括第十栅极、第十源极和第十漏极, 所述第十栅极与所述第六栅极连接, 所述第十栅极用于接收所述第三级传信号, 所述第十漏极与所述第九源极连接, 所述第十源极用于接收第二低电压信号, 所述第十薄膜晶体管用于在所述第十栅极所接收到的所述第三级传信号为高电平信号时开启所述第十源极和所述第十漏极之间的第十电流通道, 以及用于在所述第十栅极接收到的所述第三级传信号为低电平信号时关闭所述第十电流通道; 所述第十一薄膜晶体管包括第十一栅极、第十一源极和第十一漏极, 所述第十一栅极用于接收所述第四级传信号, 所述第十一漏极还与所述第四反相输入端连接, 所述第十一薄膜晶体管用于在所述第十一栅极所接收到的所述第四级传信号为低电平信号时开启所述第十一源极和所述第十一漏极之间的第十一电流通道, 以及用于在所述第十一栅极所接收到的所述第四级传信号高电平信号时关闭所述第十一电流通道; 以及所述第十二薄膜晶体管包括第十二栅极、第十二源极和第十二漏极, 所述第十二栅极用于接收所述第一时钟信号, 所述第十二源极用于接收第二高电压

信号，所述第十二漏极与所述第十一源极连接，所述第十二薄膜晶体管用于在所述第十二栅极所接收到的所述第一时钟信号为低电平信号时开启所述第十二源极和所述第十二漏极之间的第十二电流通道，以及用于在所述第十二栅极所接收到的所述第一时钟信号为高电平信号时关闭所述第十二电流通道；其中，所述第四反相输出端还与所述第七栅极连接和所述第十一栅极连接。

[10] 在上述驱动电路中，所述驱动电路还包括：复位单元，所述复位单元包括第二十五薄膜晶体管，所述第二十五薄膜晶体管包括第二十五栅极、第二十五源极和第二十五漏极；所述第二十五源极用于接收第五高电压信号，所述第二十五漏极与所述级传信号锁存单元连接；所述第二十五栅极用于接收电路重置信号，并用于根据所述电路重置信号开启或关闭所述第二十五源极和所述第二十五漏极之间的第二十五电流通道。

[11] 一种驱动电路，所述驱动电路包括：至少两驱动单元，至少两所述驱动单元以阵列的形式排列，至少两所述驱动单元相互连接，至少两所述驱动单元中的第一驱动单元用于接收第二驱动单元所生成的第二驱动信号集合中的至少一第二子信号，并生成第一驱动信号集合，其中，所述第二驱动单元为至少两所述驱动单元中除所述第一驱动单元以外的一个所述驱动单元；其中，所述驱动单元包括：一控制单元，用于根据正反向扫描信号控制级传信号的输出；一级传信号锁存单元，用于接收所述级传信号，并对所述级传信号进行锁存，以生成锁存信号；一第一扫描信号生成单元，用于生成第一扫描信号；一第二扫描信号生成单元，用于生成第二扫描信号；一第一反相输出单元，用于对所述第一扫描信号进行反相，并生成经过反相的第一扫描信号；以及一第二反相输出单元，用于对所述第二扫描信号进行反相，并生成经过反相的第二扫描信号。

[12] 在上述驱动电路中，所述控制单元包括第一级传信号输入端、第二级传信号输入端、第一开关控制信号输入端、第二开关控制信号输入端、第一级传信号输出端；所述控制单元还包括：一第一薄膜晶体管，第一薄膜晶体管包括第一栅极、第一源极和第一漏极，所述第一栅极与所述第一开关控制信号输入端连接，所述第一源极与所述第一级传信号输入端连接，所述第一漏极与所述第一级传信号输出端连接，所述第一薄膜晶体管用于根据所述第一开关控制信号输入

端所提供的第二开关控制信号控制所述第一级传信号输入端的第一级传信号的输出；一第二薄膜晶体管，第二薄膜晶体管包括第二栅极、第二源极和第二漏极，所述第二栅极与所述第一开关控制信号输入端连接，所述第二源极与所述第二级传信号输入端连接，所述第二漏极与所述第一级传信号输出端连接，所述第二薄膜晶体管用于根据所述第一开关控制信号控制所述第二级传信号输入端的第二级传信号的输出；一第三薄膜晶体管，第三薄膜晶体管包括第三栅极、第三源极和第三漏极，所述第三栅极与所述第二开关控制信号输入端连接，所述第三源极与所述第一级传信号输入端连接，所述第三漏极与所述第一级传信号输出端连接，所述第三薄膜晶体管用于根据所述第二开关控制信号输入端所提供的第二开关控制信号控制所述第一级传信号的输出；以及一第四薄膜晶体管，第四薄膜晶体管包括第四栅极、第四源极和第四漏极，所述第四栅极与所述第二开关控制信号输入端连接，所述第四源极与所述第二级传信号输入端连接，所述第四漏极与所述第一级传信号输出端连接，所述第四薄膜晶体管用于根据所述第二开关控制信号控制所述第二级传信号的输出。

[13] 在上述驱动电路中，所述第一薄膜晶体管的第一电流通道开启时所述第二薄膜晶体管的第二电流通道关闭，所述第一电流通道关闭时所述第二电流通道开启，所述第一电流通道为所述第一源极和所述第一漏极之间的电流通道，所述第二电流通道为所述第二源极和所述第二漏极之间的电流通道；所述第三薄膜晶体管的第三电流通道开启时所述第四薄膜晶体管的第四电流通道关闭，所述第三电流通道关闭时所述第四电流通道开启，所述第三电流通道为所述第三源极和所述第三漏极之间的电流通道，所述第四电流通道为所述第四源极和所述第四漏极之间的电流通道。

[14] 在上述驱动电路中，所述级传信号锁存单元包括第一时钟信号输入端、第三级传信号输入端、锁存信号输出端；所述级传信号锁存单元还包括：一第一反相器，所述第一反相器包括第一反相输入端和第一反相输出端，所述第一反相输入端与所述第一时钟信号输入端连接，所述第一反相输入端用于接收第一时钟信号；一第二反相器，所述第二反相器包括第二反相输入端和第二反相输出端，所述第二反相输入端与所述第一反相输出端连接，所述第二反相器还与所述

第三级传信号输入端及所述锁存信号输出端连接；一第三反相器，所述第三反相器包括第三反相输入端和第三反相输出端，所述第三反相输入端与所述第一时钟信号输入端连接，所述第三反相器还与所述第三级传信号输入端及所述锁存信号输出端连接，所述第三反相输入端用于接收所述第一时钟信号；以及一第四反相器，所述第四反相器包括第四反相输入端和第四反相输出端，所述第四反相输入端与所述第三反相输出端和所述第二反相输出端连接，所述第四反相输出端与所述锁存信号输出端连接。

[15] 在上述驱动电路中，所述第一反相器、所述第二反相器、所述第三反相器和所述第四反相器的组合用于对级传信号进行移位和锁存。

[16] 在上述驱动电路中，所述第二反相器包括第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管和第八薄膜晶体管；所述第三反相器包括第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管和第十二薄膜晶体管；所述第五薄膜晶体管包括第五栅极、第五源极和第五漏极，所述第五栅极与所述第一反相输出端连接，所述第五源极用于接收第一高电压信号，所述第五薄膜晶体管用于在所述第五栅极所接收到的经过反相的所述第一时钟信号为低电平信号时开启所述第五源极和所述第五漏极之间的第五电流通道，以及用于在所述第五栅极所接收到的所述经过反相的第一时钟信号为高电平信号时关闭所述第五电流通道；所述第六薄膜晶体管包括第六栅极、第六源极和第六漏极，所述第六栅极用于接收第三级传信号，所述第六源极与所述第五漏极连接，所述第六漏极与所述第四反相输入端连接，所述第六薄膜晶体管用于在所述第六栅极所接收到的所述第三级传信号为低电平信号时开启所述第六源极和所述第六漏极之间的第六电流通道，以及用于在所述第六栅极所接收到的所述第三级传信号为高电平信号时关闭所述第六电流通道；所述第七薄膜晶体管包括第七栅极、第七源极和第七漏极，所述第七栅极用于接收第四级传信号，所述第七源极用于接收第一低电压信号，所述第七薄膜晶体管用于在所述第七栅极所接收到的所述第四级传信号为高电平信号时开启所述第七源极和所述第七漏极之间的第七电流通道，以及用于在所述第七栅极接收到的所述第四级传信号为低电平信号时关闭所述第七电流通道；所述第八薄膜晶体管包括第八栅极、第八源极和第八漏极，所

述第八栅极与所述第一反相输出端连接，所述第八源极与所述第七漏极连接，所述第八漏极与所述第四反相输入端连接，所述第八薄膜晶体管用于在所述第八栅极接收到的所述经过反相的第一时钟信号为高电平信号时开启所述第八源极和所述第八漏极之间的第八电流通道，以及用于在所述第八栅极所接收到的所述经过反相的第一时钟信号为低电平信号时关闭所述第八电流通道；所述第九薄膜晶体管包括第九栅极、第九源极和第九漏极，所述第九栅极用于接收所述第一时钟信号，所述第九漏极与第四反相输入端连接，所述第九薄膜晶体管用于在所述第九栅极所接收到的所述第一时钟信号为高电平信号时开启所述第九源极和所述第九漏极之间的第九电流通道，以及用于在所述第九栅极所接收到所述第一时钟信号为低电平信号时关闭所述第五电流通道；所述第十薄膜晶体管包括第十栅极、第十源极和第十漏极，所述第十栅极与所述第六栅极连接，所述第十栅极用于接收所述第三级传信号，所述第十漏极与所述第九源极连接，所述第十源极用于接收第二低电压信号，所述第十薄膜晶体管用于在所述第十栅极所接收到的所述第三级传信号为高电平信号时开启所述第十源极和所述第十漏极之间的第十电流通道，以及用于在所述第十栅极接收到的所述第三级传信号为低电平信号时关闭所述第十电流通道；所述第十一薄膜晶体管包括第十一栅极、第十一源极和第十一漏极，所述第十一栅极用于接收所述第四级传信号，所述第十一漏极还与所述第四反相输入端连接，所述第十一薄膜晶体管用于在所述第十一栅极所接收到的所述第四级传信号为低电平信号时开启所述第十一源极和所述第十一漏极之间的第十一电流通道，以及用于在所述第十一栅极所接收到的所述第四级传信号高电平信号时关闭所述第十一电流通道；所述第十二薄膜晶体管包括第十二栅极、第十二源极和第十二漏极，所述第十二栅极用于接收所述第一时钟信号，所述第十二源极用于接收第二高电压信号，所述第十二漏极与所述第十一源极连接，所述第十二薄膜晶体管用于在所述第十二栅极所接收到的所述第一时钟信号为低电平信号时开启所述第十二源极和所述第十二漏极之间的第十二电流通道，以及用于在所述第十二栅极所接收到的所述第一时钟信号为高电平信号时关闭所述第十二电流通道；其中，所述第四反相输出端还与所述第七栅极连接和所述第十一栅极连接。

- [17] 在上述驱动电路中，所述第一扫描信号生成单元包括第二时钟信号输入端、第一锁存信号输入端、第四级传信号输入端/第四时钟信号输入端、第一扫描信号输出端，其中，所述第一锁存信号输入端与所述锁存信号输出端连接；所述第一扫描信号生成单元还包括：一第十三薄膜晶体管，所述第十三薄膜晶体管包括第十三栅极、第十三源极和第十三漏极，所述第十三栅极与所述第二时钟信号输入端连接，所述第十三栅极用于接收所述第二时钟信号输入端所提供的第二时钟信号，所述第十三源极用于接收第三高电压信号，所述第十三漏极与所述第一扫描信号输出端连接，第十三薄膜晶体管用于在所述第十三栅极所接收到的所述第二时钟信号为低电平信号时开启所述第十三源极与所述第十三漏极之间的第十三电流通道，以及用于在所述第二时钟信号为高电平信号时关闭所述第十三电流通道；一第十四薄膜晶体管，所述第十四薄膜晶体管包括第十四栅极、第十四源极和第十四漏极，所述第十四栅极与所述第一锁存信号输入端连接，所述第十四栅极用于接收所述第一锁存信号输入端所提供的所述锁存信号，所述第十四源极用于接收所述第三高电压信号，所述第十四漏极与所述第一扫描信号输出端连接，第十四薄膜晶体管用于在所述第十四栅极所接收到的所述锁存信号为低电平信号时开启所述第十四源极与所述第十四漏极之间的第十四电流通道，以及用于在所述锁存信号为高电平信号时关闭所述第十四电流通道；一第十五薄膜晶体管，所述第十五薄膜晶体管包括第十五栅极、第十五源极和第十五漏极，所述第十五栅极与所述第四级传信号输入端或第四时钟信号输入端连接，所述第十五栅极用于接收所述第四级传信号输入端所提供的第四级传信号或所述第四时钟信号输入端所提供的第四时钟信号，所述第十五源极用于接收所述第三高电压信号，所述第十五漏极与所述第一扫描信号输出端连接，第十五薄膜晶体管用于在所述第十五栅极所接收到的所述第四级传信号或所述第四时钟信号为低电平信号时开启所述第十五源极与所述第十五漏极之间的第十五电流通道，以及用于在所述第四级传信号或所述第四时钟信号为高电平信号时关闭所述第十五电流通道；一第十六薄膜晶体管，所述第十六薄膜晶体管包括第十六栅极、第十六源极和第十六漏极，所述第十六栅极与所述第二时钟信号输入端连接，所述第十六栅极用于接收所述第二时钟信号输入端所

提供的所述第二时钟信号，所述第十六漏极与所述第一扫描信号输出端连接，第十六薄膜晶体管用于在所述第十六栅极所接收到的所述第二时钟信号为高电平信号时开启所述第十六源极与所述第十六漏极之间的第十六电流通路，以及用于在所述第二时钟信号为低电平信号时关闭所述第十六电流通路；一第十七薄膜晶体管，所述第十七薄膜晶体管包括第十七栅极、第十七源极和第十七漏极，所述第十七栅极与所述第一锁存信号输入端连接，所述第十七栅极用于接收所述第一锁存信号输入端所提供的所述锁存信号，所述第十七漏极与所述第十六源极连接，第十七薄膜晶体管用于在所述第十七栅极所接收到的所述锁存信号为高电平信号时开启所述第十七源极与所述第十七漏极之间的第十七电流通路，以及用于在所述锁存信号为低电平信号时关闭所述第十七电流通路；以及一第十八薄膜晶体管，所述第十八薄膜晶体管包括第十八栅极、第十八源极和第十八漏极，所述第十八栅极与所述第四级传信号输入端或第四时钟信号输入端连接，所述第十八栅极用于接收所述第四级传信号输入端所提供的所述第四级传信号或所述第四时钟信号输入端所提供的所述第四时钟信号，所述第十八源极用于接收所述第三低电压信号，所述第十八漏极与所述第十七源极连接，第十八薄膜晶体管用于在所述第十八栅极所接收到的所述第四级传信号或所述第四时钟信号为高电平信号时开启所述第十八源极与所述第十八漏极之间的第十八电流通路，以及用于在所述第四级传信号或所述第四时钟信号为低电平信号时关闭所述第十八电流通路；所述第二扫描信号生成单元包括第三时钟信号输入端/第六时钟信号输入端、第二锁存信号输入端、第五级传信号输入端/第五时钟信号输入端、第二扫描信号输出端，其中，所述第二锁存信号输入端与所述锁存信号输出端连接，所述第五级传信号输入端与所述第四级传信号输入端连接，所述第五时钟信号输入端与所述第四时钟信号输入端连接；所述第二扫描信号生成单元还包括：一第十九薄膜晶体管，所述第十九薄膜晶体管包括第十九栅极、第十九源极和第十九漏极，所述第十九栅极与所述第五级传信号输入端或所述第五时钟信号输入端连接，所述第十九栅极用于接收所述第五级传信号输入端所提供的第四级传信号或所述第五时钟信号输入端所提供的第五时钟信号，所述第十九源极用于接收第四高电压信号，所述第十九漏极与所述

第二扫描信号输出端连接，第十九薄膜晶体管用于在所述第十九栅极所接收到的所述第四级传信号或所述第五时钟信号为低电平信号时开启所述第十九源极与所述第十九漏极之间的第十九电流通路，以及用于在所述第四级传信号或所述第五时钟信号为高电平信号时关闭所述第十九电流通路；一第二十薄膜晶体管，所述第二十薄膜晶体管包括第二十栅极、第二十源极和第二十漏极，所述第二十栅极与所述第二锁存信号输入端连接，所述第二十栅极用于接收所述第二锁存信号输入端所提供的所述锁存信号，所述第二十源极用于接收所述第四高电压信号，所述第二十漏极与所述第二扫描信号输出端连接，第二十薄膜晶体管用于在所述第二十栅极所接收到的所述锁存信号为低电平信号时开启所述第二十源极与第二十漏极之间的第二十电流通路，以及用于在所述锁存信号为高电平信号时关闭所述第二十电流通路；一第二十一薄膜晶体管，所述第二十一薄膜晶体管包括第二十一栅极、第二十一源极和第二十一漏极，所述第二十一栅极与所述第三时钟信号输入端或所述第六时钟信号输入端连接，所述第二十一栅极用于接收所述第三时钟信号输入端所提供的第三时钟信号或所述第六时钟信号输入端所提供的第六时钟信号，所述第二十一源极用于接收所述第四高电压信号，所述第二十一漏极与所述第二扫描信号输出端连接，第二十一薄膜晶体管用于在所述第二十一栅极所接收到的所述第三时钟信号或所述第六时钟信号为低电平信号时开启所述第二十一源极与第二十一漏极之间的第二十一电流通路，以及用于在所述第三时钟信号或所述第六时钟信号为高电平信号时关闭所述第二十一电流通路；一第二十二薄膜晶体管，所述第二十二薄膜晶体管包括第二十二栅极、第二十二源极和第二十二漏极，所述第二十二栅极与所述第五级传信号输入端或所述第五时钟信号输入端连接，所述第二十二栅极用于接收所述第五级传信号输入端所提供的第四级传信号或所述第五时钟信号输入端所提供的所述第五时钟信号，所述第二十二漏极与所述第二扫描信号输出端连接，第二十二薄膜晶体管用于在所述第二十二栅极所接收到的所述第四级传信号或所述第五时钟信号为高电平信号时开启所述第二十二源极与第二十二漏极之间的第二十二电流通路，以及用于在所述第四级传信号或所述第五时钟信号为低电平信号时关闭所述第二十二电流通路；一第二十三薄

膜晶体管，所述第二十三薄膜晶体管包括第二十三栅极、第二十三源极和第二十三漏极，所述第二十三栅极与所述第二锁存信号输入端连接，所述第二十三栅极用于接收所述第二锁存信号输入端所提供的所述锁存信号，所述第二十三漏极与所述第二十二源极连接，第二十三薄膜晶体管用于在所述第二十三栅极所接收到的所述锁存信号为高电平信号时开启所述第二十三源极与所述第二十三漏极之间的第二十三电流通道，以及用于在所述锁存信号为低电平信号时关闭所述第二十三电流通道；以及一第二十四薄膜晶体管，所述第二十四薄膜晶体管包括第二十四栅极、第二十四源极和第二十四漏极，所述第二十四栅极与所述第三时钟信号输入端或所述第六时钟信号输入端连接，所述第二十四栅极用于接收所述第三时钟信号输入端所提供的所述第三时钟信号或所述第六时钟信号输入端所提供的第六时钟信号，所述第二十四源极用于接收所述第四低电压信号，所述第二十四漏极与所述第二十三源极连接，第二十四薄膜晶体管用于在所述第二十四栅极所接收到的所述第三时钟信号或所述第六时钟信号为高电平信号时开启所述第二十四源极与所述第二十四漏极之间的第二十四电流通道，以及用于在所述第三时钟信号或所述第六时钟信号为低电平信号时关闭所述第二十四电流通道。

[18] 在上述驱动电路中，所述第一反相输出单元包括第一扫描信号输入端和经过反相的第一扫描信号输出端；所述第一反相输出单元包括：一第五反相器，所述第五反相器包括第五反相输入端和第五反相输出端，所述第五反相输入端与所述第一扫描信号输入端连接，所述第五反相输出端与所述经过反相的第一扫描信号输出端连接。

[19] 在上述驱动电路中，第一反相输出单元还用于对所述第一扫描信号进行稳定化处理，以生成所述经过反相的第一扫描信号，所述第一反相输出单元还包括：一第六反相器，所述第六反相器包括第六反相输入端和第六反相输出端，所述第六反相输入端与所述第五反相输出端连接；以及一第七反相器，所述第七反相器包括第七反相输入端和第七反相输出端，所述第七反相输入端与所述第六反相输出端连接，所述第七反相输出端与所述经过反相的第一扫描信号输出端连接。

- [20] 在上述驱动电路中，所述第二反相输出单元包括第二扫描信号输入端和经过反相的第二扫描信号输出端；所述第二反相输出单元包括：一第八反相器，所述第八反相器包括第八反相输入端和第八反相输出端，所述第八反相输入端与所述第二扫描信号输入端连接，所述第八反相输出端与所述经过反相的第二扫描信号输出端连接。
- [21] 在上述驱动电路中，所述第二反相输出单元还用于对所述第二扫描信号进行稳定化处理，以生成所述经过反相的第二扫描信号，所述第二反相输出单元还包括：一第九反相器，所述第九反相器包括第九反相输入端和第九反相输出端，所述第九反相输入端与所述第八反相输出端连接；以及一第十反相器，所述第十反相器包括第十反相输入端和第十反相输出端，所述第十反相输入端与所述第九反相输出端连接，所述第十反相输出端与所述经过反相的第二扫描信号输出端连接。
- [22] 在上述驱动电路中，所述驱动电路还包括：时钟信号反相处理单元，用于将所述第二时钟信号进行反向处理，以生成所述第六时钟信号。
- [23] 在上述驱动电路中，所述时钟信号反相处理单元包括第十三反相器，所述第十三反相器用于接收所述第二时钟信号，并用于将所述第二时钟信号进行反向处理，以生成所述第六时钟信号。
- [24] 在上述驱动电路中，所述驱动电路还包括：复位单元，所述复位单元包括第二十五薄膜晶体管，所述第二十五薄膜晶体管包括第二十五栅极、第二十五源极和第二十五漏极；所述第二十五源极用于接收第五高电压信号，所述第二十五漏极与所述级传信号锁存单元连接；所述第二十五栅极用于接收电路重置信号，并用于根据所述电路重置信号开启或关闭所述第二十五源极和所述第二十五漏极之间的第二十五电流通道的。

发明的有益效果

有益效果

- [25] 相对现有技术，本发明能简化驱动电路的结构，适应显示面板超窄边框的需求。

对附图的简要说明

附图说明

- [26] 图1为本发明的驱动电路的第一实施例的框图；
- [27] 图2为图1所示的驱动电路的第一实施例的电路图；
- [28] 图3为图2中的级传信号锁存单元的电路图；
- [29] 图4为图2中的第一扫描信号生成单元的电路图；
- [30] 图5为图2中的第二扫描信号生成单元的电路图；
- [31] 图6为本发明的驱动电路的第一实施例中各个信号的波形图；
- [32] 图7为本发明的驱动电路的第二实施例的电路图；
- [33] 图8为本发明的驱动电路的第二实施例中各个信号的波形图；
- [34] 图9为本发明的驱动电路的第三实施例的电路图；
- [35] 图10为本发明的驱动电路的第四实施例的电路图。

实施该发明的最佳实施例

本发明的最佳实施方式

- [36] 本说明书所使用的词语“实施例”意指实例、示例或例证。此外，本说明书和所附权利要求中所使用的冠词“一”一般地可以被解释为“一个或多个”，除非另外指定或从上下文可以清楚确定单数形式。
- [37] 本发明的驱动电路适用于显示面板，例如TFT-LCD（Thin Film Transistor Liquid Crystal Display，薄膜晶体管液晶显示面板）、OLED（Organic Light Emitting Diode，有机发光二极管显示面板）等，本发明的驱动电路用于为所述显示面板提供驱动信号（扫描信号）。
- [38] 参考图1和图2，图1为本发明的驱动电路的第一实施例的框图，图2为图1所示的驱动电路的第一实施例的电路图。
- [39] 本实施例的驱动电路包括至少两驱动单元，至少两所述驱动单元以阵列（例如，一维阵列）的形式排列，至少两所述驱动单元相互连接（例如，在排列位置上相邻的两个所述驱动单元相互连接，或者在排列位置上相隔至少一个所述驱动单元的任意两个所述驱动单元相互连接），至少两所述驱动单元中的第一驱动单元用于接收第二驱动单元所生成的第二驱动信号集合中的至少一第二子信号，并生成第一驱动信号集合，其中，所述第二驱动单元为至少两所述驱动单

元中除所述第一驱动单元以外的一个所述驱动单元。

- [40] 在本实施例中，所述驱动单元包括控制单元101、级传信号锁存单元102、第一扫描信号生成单元103、第二扫描信号生成单元104、第一反相输出单元105和第二反相输出单元106。
- [41] 所述控制单元101用于根据正反向扫描信号控制级传信号的输出。所述级传信号锁存单元102用于接收所述级传信号，并对所述级传信号进行锁存，以生成锁存信号。所述第一扫描信号生成单元103用于生成第一扫描信号。所述第二扫描信号生成单元104用于生成第二扫描信号。所述第一反相输出单元105用于对所述第一扫描信号进行反相，并生成经过反相的第一扫描信号GN+1。所述第二反相输出单元106用于对所述第二扫描信号进行反相，并生成经过反相的第二扫描信号GN+2。
- [42] 在本实施例中，所述控制单元101包括第一级传信号输入端1015、第二级传信号输入端1016、第一开关控制信号输入端1018、第二开关控制信号输入端1019、第一级传信号输出端1017。所述控制单元101还包括第一薄膜晶体管1011、第二薄膜晶体管1012、第三薄膜晶体管1013、第四薄膜晶体管1014。
- [43] 所述第一薄膜晶体管1011包括第一栅极、第一源极和第一漏极，所述第一栅极与所述第一开关控制信号输入端1018连接，所述第一源极与所述第一级传信号输入端1015连接，所述第一漏极与所述第一级传信号输出端1017连接，所述第一薄膜晶体管1011用于根据所述第一开关控制信号输入端1018所提供的所述第一开关控制信号DU控制所述第一级传信号输入端1015的第一级传信号的输出。
- [44] 所述第二薄膜晶体管1012包括第二栅极、第二源极和第二漏极，所述第二栅极与所述第一开关控制信号输入端1018连接，所述第二源极与所述第二级传信号输入端1016连接，所述第二漏极与所述第一级传信号输出端1017连接，所述第二薄膜晶体管1012用于根据所述第一开关控制信号DU控制所述第二级传信号输入端1016的第二级传信号的输出。
- [45] 所述第三薄膜晶体管1013包括第三栅极、第三源极和第三漏极，所述第三栅极与所述第二开关控制信号输入端1019连接，所述第三源极与所述第一级传信号输入端1015连接，所述第三漏极与所述第一级传信号输出端1017连接，所述第

三薄膜晶体管1013用于根据所述第二开关控制信号输入端1019所提供的第二开关控制信号UD控制所述第一级传信号的输出。

[46] 所述第四薄膜晶体管1014包括第四栅极、第四源极和第四漏极，所述第四栅极与所述第二开关控制信号输入端1019连接，所述第四源极与所述第二级传信号输入端1016连接，所述第四漏极与所述第一级传信号输出端1017连接，所述第四薄膜晶体管1014用于根据所述第二开关控制信号UD控制所述第二级传信号的输出。

[47] 其中，所述第一薄膜晶体管1011的第一电流通道开启时所述第二薄膜晶体管1012的第二电流通道关闭，所述第一电流通道关闭时所述第二电流通道开启，所述第一电流通道为所述第一源极和所述第一漏极之间的电流通道，所述第二电流通道为所述第二源极和所述第二漏极之间的电流通道。

[48] 所述第三薄膜晶体管1013的第三电流通道开启时所述第四薄膜晶体管1014的第四电流通道关闭，所述第三电流通道关闭时所述第四电流通道开启，所述第三电流通道为所述第三源极和所述第三漏极之间的电流通道，所述第四电流通道为所述第四源极和所述第四漏极之间的电流通道。

[49] 在本实施例中，所述级传信号锁存单元102包括第一时钟信号输入端（1025，1026）、第三级传信号输入端1027、锁存信号输出端1028。所述级传信号锁存单元102还包括第一反相器1021、第二反相器1022、第三反相器1023、第四反相器1024。

[50] 所述第一反相器1021包括第一反相输入端和第一反相输出端，所述第一反相输入端与所述第一时钟信号输入端（1025，1026）连接，所述第一反相输入端用于接收第一时钟信号（CT1、CK）。

[51] 所述第二反相器1022包括第二反相输入端和第二反相输出端，所述第二反相输入端与所述第一反相输出端连接，所述第二反相器1022还与所述第三级传信号输入端1027及所述锁存信号输出端1028连接。

[52] 所述第三反相器1023包括第三反相输入端和第三反相输出端，所述第三反相输入端与所述第一时钟信号输入端（1025，1026）连接，所述第三反相器1023还与所述第三级传信号输入端1027及所述锁存信号输出端1028连接，所述第三反

相输入端用于接收所述第一时钟信号。

- [53] 所述第四反相器1024包括第四反相输入端和第四反相输出端，所述第四反相输入端与所述第三反相输出端和所述第二反相输出端连接，所述第四反相输出端与所述锁存信号输出端1028连接。
- [54] 所述第一反相器1021、所述第二反相器1022、所述第三反相器1023和所述第四反相器1024的组合用于对级传信号（STN信号）进行移位和锁存。
- [55] 参考图3，图3为图2中的级传信号锁存单元102的电路图。
- [56] 所述第二反相器1022包括第五薄膜晶体管302、第六薄膜晶体管303、第七薄膜晶体管304和第八薄膜晶体管305，其中，所述第二反相器1022与由所述第五薄膜晶体管302、所述第六薄膜晶体管303、所述第七薄膜晶体管304和所述第八薄膜晶体管305所组成的电路等效。所述第三反相器1023包括第九薄膜晶体管306、第十薄膜晶体管307、第十一薄膜晶体管301和第十二薄膜晶体管308，其中，所述第三反相器1023与由所述第九薄膜晶体管306、所述第十薄膜晶体管307、所述第十一薄膜晶体管301和所述第十二薄膜晶体管308所组成的电路等效。
- [57] 所述第五薄膜晶体管302包括第五栅极、第五源极和第五漏极，所述第五栅极与所述第一反相输出端连接，所述第五源极用于接收第一高电压信号，所述第五薄膜晶体管302用于在所述第五栅极所接收到的经过反相的第一时钟信号为低电平信号时开启所述第五源极和所述第五漏极之间的第五电流通道，以及用于在所述第五栅极所接收到的所述经过反相的第一时钟信号为高电平信号时关闭所述第五电流通道。
- [58] 所述第六薄膜晶体管303包括第六栅极、第六源极和第六漏极，所述第六栅极用于接收第三级传信号（STN-2），所述第六源极与所述第五漏极连接，所述第六漏极与所述第四反相输入端连接，所述第六薄膜晶体管303用于在所述第六栅极所接收到的所述第三级传信号为低电平信号时开启所述第六源极和所述第六漏极之间的第六电流通道，以及用于在所述第六栅极所接收到的所述第三级传信号为高电平信号时关闭所述第六电流通道。
- [59] 所述第七薄膜晶体管304包括第七栅极、第七源极和第七漏极，所述第七栅极用于接收第四级传信号（STN），所述第七源极用于接收第一低电压信号，所述

第七薄膜晶体管304用于在所述第七栅极所接收到的所述第四级传信号为高电平信号时开启所述第七源极和所述第七漏极之间的第七电流通道，以及用于在所述第七栅极接收到的所述第四级传信号为低电平信号时关闭所述第七电流通道。

[60] 所述第八薄膜晶体管305包括第八栅极、第八源极和第八漏极，所述第八栅极与所述第一反相输出端连接，所述第八源极与所述第七漏极连接，所述第八漏极与所述第四反相输入端连接，所述第八薄膜晶体管305用于在所述第八栅极接收到的所述经过反相的第一时钟信号为高电平信号时开启所述第八源极和所述第八漏极之间的第八电流通道，以及用于在所述第八栅极所接收到的所述经过反相的第一时钟信号为低电平信号时关闭所述第八电流通道。

[61] 所述第九薄膜晶体管306包括第九栅极、第九源极和第九漏极，所述第九栅极用于接收所述第一时钟信号，所述第九漏极与第四反相输入端连接，所述第九薄膜晶体管306用于在所述第九栅极所接收到的所述第一时钟信号为高电平信号时开启所述第九源极和所述第九漏极之间的第九电流通道，以及用于在所述第九栅极所接收到所述第一时钟信号为低电平信号时关闭所述第五电流通道。

[62] 所述第十薄膜晶体管307包括第十栅极、第十源极和第十漏极，所述第十栅极与所述第六栅极连接，所述第十栅极用于接收所述第三级传信号，所述第十漏极与所述第九源极连接，所述第十源极用于接收第二低电压信号，所述第十薄膜晶体管307用于在所述第十栅极所接收到的所述第三级传信号为高电平信号时开启所述第十源极和所述第十漏极之间的第十电流通道，以及用于在所述第十栅极接收到的所述第三级传信号为低电平信号时关闭所述第十电流通道。

[63] 所述第十一薄膜晶体管301包括第十一栅极、第十一源极和第十一漏极，所述第十一栅极用于接收所述第四级传信号，所述第十一漏极还与所述第四反相输入端连接，所述第十一薄膜晶体管301用于在所述第十一栅极所接收到的所述第四级传信号为低电平信号时开启所述第十一源极和所述第十一漏极之间的第十一电流通道，以及用于在所述第十一栅极所接收到的所述第四级传信号高电平信号时关闭所述第十一电流通道。

[64] 所述第十二薄膜晶体管308包括第十二栅极、第十二源极和第十二漏极，所述

第十二栅极用于接收所述第一时钟信号，所述第十二源极用于接收第二高电压信号，所述第十二漏极与所述第十一源极连接，所述第十二薄膜晶体管308用于在所述第十二栅极所接收到的所述第一时钟信号为低电平信号时开启所述第十二源极和所述第十二漏极之间的第十二电流通道，以及用于在所述第十二栅极所接收到的所述第一时钟信号为高电平信号时关闭所述第十二电流通道。

[65] 其中，所述第四反相输出端还与所述第七栅极连接和所述第十一栅极连接。

[66] 参考图2和图4，图4为图2中的第一扫描信号生成单元103的电路图。

[67] 在本实施例中，所述第一扫描信号生成单元103包括第二时钟信号输入端1031、第一锁存信号输入端1032、第四级传信号输入端1033/第四时钟信号输入端、第一扫描信号输出端407，其中，所述第一锁存信号输入端1032与所述锁存信号输出端1028连接。所述第一扫描信号生成单元103还包括第十三薄膜晶体管401、第十四薄膜晶体管402、第十五薄膜晶体管403、第十六薄膜晶体管404、第十七薄膜晶体管405、第十八薄膜晶体管406。

[68] 所述第十三薄膜晶体管401包括第十三栅极、第十三源极和第十三漏极，所述第十三栅极与所述第二时钟信号输入端1031连接，所述第十三栅极用于接收所述第二时钟信号输入端1031所提供的第二时钟信号，所述第十三源极用于接收第三高电压信号，所述第十三漏极与所述第一扫描信号输出端407连接，第十三薄膜晶体管401用于在所述第十三栅极所接收到的所述第二时钟信号为低电平信号时开启所述第十三源极与所述第十三漏极之间的第十三电流通道，以及用于在所述第二时钟信号为高电平信号时关闭所述第十三电流通道。

[69] 所述第十四薄膜晶体管402包括第十四栅极、第十四源极和第十四漏极，所述第十四栅极与所述第一锁存信号输入端1032连接，所述第十四栅极用于接收所述第一锁存信号输入端1032所提供的所述锁存信号，所述第十四源极用于接收所述第三高电压信号，所述第十四漏极与所述第一扫描信号输出端407连接，第十四薄膜晶体管402用于在所述第十四栅极所接收到的所述锁存信号为低电平信号时开启所述第十四源极与所述第十四漏极之间的第十四电流通道，以及用于在所述锁存信号为高电平信号时关闭所述第十四电流通道。

[70] 所述第十五薄膜晶体管403包括第十五栅极、第十五源极和第十五漏极，所述

第十五栅极与所述第四级传信号输入端1033或第四时钟信号输入端连接, 所述第十五栅极用于接收所述第四级传信号输入端1033所提供的第四级传信号或所述第四时钟信号输入端所提供的第四时钟信号, 所述第十五源极用于接收所述第三高电压信号, 所述第十五漏极与所述第一扫描信号输出端407连接, 第十五薄膜晶体管403用于在所述第十五栅极所接收到的所述第四级传信号或所述第四时钟信号为低电平信号时开启所述第十五源极与所述第十五漏极之间的第十五电流通路, 以及用于在所述第四级传信号或所述第四时钟信号为高电平信号时关闭所述第十五电流通路。

[71] 所述第十六薄膜晶体管404包括第十六栅极、第十六源极和第十六漏极, 所述第十六栅极与所述第二时钟信号输入端1031连接, 所述第十六栅极用于接收所述第二时钟信号输入端1031所提供的所述第二时钟信号, 所述第十六漏极与所述第一扫描信号输出端407连接, 第十六薄膜晶体管404用于在所述第十六栅极所接收到的所述第二时钟信号为高电平信号时开启所述第十六源极与所述第十六漏极之间的第十六电流通路, 以及用于在所述第二时钟信号为低电平信号时关闭所述第十六电流通路。

[72] 所述第十七薄膜晶体管405包括第十七栅极、第十七源极和第十七漏极, 所述第十七栅极与所述第一锁存信号输入端1032连接, 所述第十七栅极用于接收所述第一锁存信号输入端1032所提供的所述锁存信号, 所述第十七漏极与所述第十六源极连接, 第十七薄膜晶体管405用于在所述第十七栅极所接收到的所述锁存信号为高电平信号时开启所述第十七源极与所述第十七漏极之间的第十七电流通路, 以及用于在所述锁存信号为低电平信号时关闭所述第十七电流通路。

[73] 所述第十八薄膜晶体管406包括第十八栅极、第十八源极和第十八漏极, 所述第十八栅极与所述第四级传信号输入端1033或第四时钟信号输入端连接, 所述第十八栅极用于接收所述第四级传信号输入端1033所提供的所述第四级传信号或所述第四时钟信号输入端所提供的所述第四时钟信号, 所述第十八源极用于接收所述第三低电压信号, 所述第十八漏极与所述第十七源极连接, 第十八薄膜晶体管406用于在所述第十八栅极所接收到的所述第四级传信号或所述第四时钟信号为高电平信号时开启所述第十八源极与所述第十八漏极之间的第十八电

流通道，以及用于在所述第四级传信号或所述第四时钟信号为低电平信号时关闭所述第十八电流通道。

[74] 参考图5，图5为图2中的第二扫描信号生成单元104的电路图。

[75] 在本实施例中，所述第二扫描信号生成单元104包括第三时钟信号输入端1043/第六时钟信号输入端、第二锁存信号输入端1042、第五级传信号输入端1041/第五时钟信号输入端、第二扫描信号输出端507，其中，所述第二锁存信号输入端1042与所述锁存信号输出端1028连接，所述第五级传信号输入端1041与所述第四级传信号输入端1033连接，所述第五时钟信号输入端1043与所述第四时钟信号输入端连接。所述第二扫描信号生成单元104还包括第十九薄膜晶体管501、第二十薄膜晶体管502、第二十一薄膜晶体管503、第二十二薄膜晶体管504、第二十三薄膜晶体管505、第二十四薄膜晶体管506。

[76] 所述第十九薄膜晶体管501包括第十九栅极、第十九源极和第十九漏极，所述第十九栅极与所述第五级传信号输入端1041或所述第五时钟信号输入端连接，所述第十九栅极用于接收所述第五级传信号输入端1041所提供的第四级传信号或所述第五时钟信号输入端所提供的第五时钟信号，所述第十九源极用于接收第四高电压信号，所述第十九漏极与所述第二扫描信号输出端507连接，第十九薄膜晶体管501用于在所述第十九栅极所接收到的所述第四级传信号或所述第五时钟信号为低电平信号时开启所述第十九源极与所述第十九漏极之间的第十九电流通道，以及用于在所述第四级传信号或所述第五时钟信号为高电平信号时关闭所述第十九电流通道。

[77] 所述第二十薄膜晶体管502包括第二十栅极、第二十源极和第二十漏极，所述第二十栅极与所述第二锁存信号输入端1042连接，所述第二十栅极用于接收所述第二锁存信号输入端1042所提供的所述锁存信号，所述第二十源极用于接收所述第四高电压信号，所述第二十漏极与所述第二扫描信号输出端507连接，第二十薄膜晶体管502用于在所述第二十栅极所接收到的所述锁存信号为低电平信号时开启所述第二十源极与所述第二十漏极之间的第二十电流通道，以及用于在所述锁存信号为高电平信号时关闭所述第二十电流通道。

[78] 所述第二十一薄膜晶体管503包括第二十一栅极、第二十一源极和第二十一漏

极, 所述第二十一栅极与所述第三时钟信号输入端1043或所述第六时钟信号输入端连接, 所述第二十一栅极用于接收所述第三时钟信号输入端1043所提供的第三时钟信号或所述第六时钟信号输入端所提供的第六时钟信号, 所述第二十一源极用于接收所述第四高电压信号, 所述第二十一漏极与所述第二扫描信号输出端507连接, 第二十一薄膜晶体管503用于在所述第二十一栅极所接收到的所述第三时钟信号或所述第六时钟信号为低电平信号时开启所述第二十一源极与所述第二十一漏极之间的第二十一电流通路, 以及用于在所述第三时钟信号或所述第六时钟信号为高电平信号时关闭所述第二十一电流通路。

[79] 所述第二十二薄膜晶体管504包括第二十二栅极、第二十二源极和第二十二漏极, 所述第二十二栅极与所述第五级传信号输入端1041或所述第五时钟信号输入端连接, 所述第二十二栅极用于接收所述第五级传信号输入端1041所提供的第四级传信号或所述第五时钟信号输入端所提供的所述第五时钟信号, 所述第二十二漏极与所述第二扫描信号输出端507连接, 第二十二薄膜晶体管504用于在所述第二十二栅极所接收到的所述第四级传信号或所述第五时钟信号为高电平信号时开启所述第二十二源极与所述第二十二漏极之间的第二十二电流通路, 以及用于在所述第四级传信号或所述第五时钟信号为低电平信号时关闭所述第二十二电流通路。

[80] 所述第二十三薄膜晶体管505包括第二十三栅极、第二十三源极和第二十三漏极, 所述第二十三栅极与所述第二锁存信号输入端1042连接, 所述第二十三栅极用于接收所述第二锁存信号输入端1042所提供的所述锁存信号, 所述第二十三漏极与所述第二十二源极连接, 第二十三薄膜晶体管505用于在所述第二十三栅极所接收到的所述锁存信号为高电平信号时开启所述第二十三源极与所述第二十三漏极之间的第二十三电流通路, 以及用于在所述锁存信号为低电平信号时关闭所述第二十三电流通路。

[81] 所述第二十四薄膜晶体管506包括第二十四栅极、第二十四源极和第二十四漏极, 所述第二十四栅极与所述第三时钟信号输入端1043或所述第六时钟信号输入端连接, 所述第二十四栅极用于接收所述第三时钟信号输入端1043所提供的所述第三时钟信号或所述第六时钟信号输入端所提供的第六时钟信号, 所述第

二十四源极用于接收所述第四低电压信号，所述第二十四漏极与所述第二十三源极连接，第二十四薄膜晶体管506用于在所述第二十四栅极所接收到的所述第三时钟信号或所述第六时钟信号为高电平信号时开启所述第二十四源极与所述第二十四漏极之间的第二十四电流通路，以及用于在所述第三时钟信号或所述第六时钟信号为低电平信号时关闭所述第二十四电流通路。

[82] 在本实施例中，所述第一反相输出单元105包括第一扫描信号输入端1052和经过反相的第一扫描信号输出端1053。所述第一反相输出单元105包括第五反相器1051。

[83] 所述第五反相器1051包括第五反相输入端和第五反相输出端，所述第五反相输入端与所述第一扫描信号输入端1052连接，所述第五反相输出端与所述经过反相的第一扫描信号输出端1053连接。

[84] 所述第二反相输出单元106包括第二扫描信号输入端1062和经过反相的第二扫描信号输出端1063。所述第二反相输出单元106包括第八反相器1061。

[85] 所述第八反相器1061包括第八反相输入端和第八反相输出端，所述第八反相输入端与所述第二扫描信号输入端1062连接，所述第八反相输出端与所述经过反相的第二扫描信号输出端1063连接。

[86] 综上，在本实施例中，所述驱动电路通过级传、锁存（输出）、下拉三个阶段来实现扫描信号的输出，波形如图6所示。其中，在级传阶段，STV1高电平信号输入并与CT1高电平信号经时钟反相器作用，输出ST1高电平信号；在锁存（输出）阶段，ST1高电平信号与CT1低电平信号经时钟反相器作用，维持ST1高电平信号，同时ST1信号、STV1信号与CK1（CK3）信号经三输入与非门作用，输出高电平的扫描信号；在下拉阶段，STV1低电平信号与CT1高电平信号经时钟反相器作用，输出ST1低信号，完成电路下拉。其中，信号STV1、STV2、ST1、ST2、ST5、ST6、ST9、ST10均为级传信号；信号CT1、CT2、CT3、CT4、CK1、CK2、CK3、CK4均为时钟信号，CT1、CT2、CT3、CT4均具有第一高电平持续周期，CK1、CK2、CK3、CK4均具有第二高电平持续周期，所述第一高电平持续周期与所述第二高电平持续周期不相等。

[87] 通过上述技术方案，可以使得驱动电路的结构得到简化，从而能够适应显示面

板超窄边框的需求。

[88] 此外，在本实施例中，通过使用三输入与非门来生成并输出扫描信号（包括所述第一扫描信号和所述第二扫描信号），有利于减少传统的所述驱动电路中NAND（闪存）单元的TFT（Thin Film Transistor，薄膜晶体管）的个数。

[89] 此外，本实施例的技术方案可以实现通过单级的锁存信号来生成双级（双行）的扫描信号，因此有利于简化所述驱动电路的结构，同时能够确保所述驱动电路长时间操作的稳定性。

[90] 参考图7，图7为本发明的驱动电路的第二实施例的电路图。本实施例与上述第一实施例相似，不同之处在于：

[91] 在本实施例中，第一反相输出单元105还用于对所述第一扫描信号进行稳定化处理，以生成所述经过反相的第一扫描信号GN+1，所述第一反相输出单元105还包括第六反相器1054和第七反相器1055。

[92] 所述第六反相器1054包括第六反相输入端和第六反相输出端，所述第六反相输入端与所述第五反相输出端连接。

[93] 所述第七反相器1055包括第七反相输入端和第七反相输出端，所述第七反相输入端与所述第六反相输出端连接，所述第七反相输出端与所述经过反相的第一扫描信号输出端1053连接。

[94] 所述第二反相输出单元106还用于对所述第二扫描信号进行稳定化处理，以生成所述经过反相的第二扫描信号GN+2，所述第二反相输出单元106还包括第九反相器1064和第十反相器1065。

[95] 所述第九反相器1064包括第九反相输入端和第九反相输出端，所述第九反相输入端与所述第八反相输出端连接。

[96] 所述第十反相器1065包括第十反相输入端和第十反相输出端，所述第十反相输入端与所述第九反相输出端连接，所述第十反相输出端与所述经过反相的第二扫描信号输出端1063连接。

[97] 参考图8，图8为本发明的驱动电路的第三实施例的电路图。本实施例与上述第一实施例或第二实施例相似，不同之处在于：

[98] 在本实施例中，所述第一扫描信号生成单元103中的所述第四级传信号输入端1

033替换为第四时钟信号输入端（CT3）。

[99] 所述第十五栅极与所述第四时钟信号输入端连接，所述第十五栅极用于接收所述第四时钟信号输入端所提供的第四时钟信号，第十五薄膜晶体管403用于在所述第十五栅极所接收到的所述第四时钟信号为低电平信号时开启所述第十五源极与所述第十五漏极之间的第十五电流通路，以及用于在所述第四时钟信号为高电平信号时关闭所述第十五电流通路。

[100] 所述第十八栅极与第四时钟信号输入端连接，所述第十八栅极用于接收所述第四时钟信号输入端所提供的所述第四时钟信号，第十八薄膜晶体管406用于在所述第十八栅极所接收到的所述第四时钟信号为高电平信号时开启所述第十八源极与所述第十八漏极之间的第十八电流通路，以及用于在所述第四时钟信号为低电平信号时关闭所述第十八电流通路。

[101] 所述第二扫描信号生成单元104中的第三时钟信号输入端1043替换为第六时钟信号输入端，所述第五级传信号输入端1041替换为第五时钟信号输入端（CT3），其中，所述第五时钟信号输入端与所述第四时钟信号输入端连接。

[102] 所述第十九栅极与所述第五时钟信号输入端连接，所述第十九栅极用于接收所述第五时钟信号输入端所提供的第五时钟信号，第十九薄膜晶体管501用于在所述第十九栅极所接收到的所述第五时钟信号为低电平信号时开启所述第十九源极与所述第十九漏极之间的第十九电流通路，以及用于在所述第五时钟信号为高电平信号时关闭所述第十九电流通路。

[103] 所述第二十一栅极与所述第六时钟信号输入端连接，所述第二十一栅极用于接收所述第六时钟信号输入端所提供的第六时钟信号，第二十一薄膜晶体管503用于在所述第二十一栅极所接收到的所述第六时钟信号为低电平信号时开启所述第二十一源极与所述第二十一漏极之间的第二十一电流通路，以及用于在所述第六时钟信号为高电平信号时关闭所述第二十一电流通路。

[104] 所述第二十二栅极与所述第五时钟信号输入端连接，所述第二十二栅极用于接收所述第五时钟信号输入端所提供的所述第五时钟信号，第二十二薄膜晶体管504用于在所述第二十二栅极所接收到的所述第五时钟信号为高电平信号时开启所述第二十二源极与所述第二十二漏极之间的第二十二电流通路，以及用于在

所述第五时钟信号为低电平信号时关闭所述第二十二电流通道。

[105] 所述第二十四栅极与所述第六时钟信号输入端连接，所述第二十四栅极用于接收所述第六时钟信号输入端所提供的所述第六时钟信号，第二十四薄膜晶体管506用于在所述第二十四栅极所接收到的所述第六时钟信号为高电平信号时开启所述第二十四源极与所述第二十四漏极之间的第二十四电流通道，以及用于在所述第六时钟信号为低电平信号时关闭所述第二十四电流通道。

[106] 所述驱动电路还包括时钟信号反相处理单元107，所述时钟信号反相处理单元107包括第十三反相器1071，所述第十三反相器1071用于接收所述第二时钟信号（CK3），并用于将所述第二时钟信号进行反向处理，以生成所述第六时钟信号。

[107] 在本实施例中，相关信号的波形图如图9所示。

[108] 参考图10，图10为本发明的驱动电路的第四实施例的电路图。本实施例与上述第一实施例至第三实施例中的任意一个实施例相似，不同之处在于：

[109] 所述驱动电路还包括复位单元108。所述复位单元108包括第二十五薄膜晶体管1081，所述第二十五薄膜晶体管1081包括第二十五栅极1082、第二十五源极1083和第二十五漏极，所述第二十五源极1083用于接收第五高电压信号，所述第二十五漏极与所述级传信号锁存单元102连接，具体地，所述第二十五漏极与所述级传信号锁存单元102中的所述第四反相输入端连接，所述第二十五栅极1082用于接收电路重置信号，并用于根据所述电路重置信号开启或关闭所述第二十五源极1083和第二十五漏极之间的第二十五电流通道。

[110] 尽管已经相对于一个或多个实现方式示出并描述了本发明，但是本领域技术人员基于对本说明书和附图的阅读和理解将会想到等价变型和修改。本发明包括所有这样的修改和变型，并且仅由所附权利要求的范围限制。特别地关于由上述组件执行的各种功能，用于描述这样的组件的术语旨在对应于执行所述组件的指定功能（例如其在功能上是等价的）的任意组件（除非另外指示），即使在结构上与执行本文所示的本说明书的示范性实现方式中的功能的公开结构不同。此外，尽管本说明书的特定特征已经相对于若干实现方式中的仅一个被公开，但是这种特征可以与如可以对给定或特定应用而言是期望和有利的其他

实现方式的一个或多个其他特征组合。而且，就术语“包括”、“具有”、“含有”或其变形被用在具体实施方式或权利要求中而言，这样的术语旨在以与术语“包含”相似的方式包括。

- [111] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

[权利要求 1]

一种驱动电路，其中，所述驱动电路包括：

至少两驱动单元，至少两所述驱动单元以阵列的形式排列，至少两所述驱动单元相互连接，至少两所述驱动单元中的第一驱动单元用于接收第二驱动单元所生成的第二驱动信号集合中的至少一第二子信号，并生成第一驱动信号集合，其中，所述第二驱动单元为至少两所述驱动单元中除所述第一驱动单元以外的一个所述驱动单元；

其中，所述驱动单元包括：

一控制单元，用于根据正反向扫描信号控制级传信号的输出；

一级传信号锁存单元，用于接收所述级传信号，并对所述级传信号进行锁存，以生成锁存信号；

一第一扫描信号生成单元，用于生成第一扫描信号；

一第二扫描信号生成单元，用于生成第二扫描信号；

一第一反相输出单元，用于对所述第一扫描信号进行反相，并生成经过反相的第一扫描信号；以及

一第二反相输出单元，用于对所述第二扫描信号进行反相，并生成经过反相的第二扫描信号；

所述控制单元包括第一级传信号输入端、第二级传信号输入端、第一开关控制信号输入端、第二开关控制信号输入端、第一级传信号输出端；

所述控制单元还包括：

一第一薄膜晶体管，第一薄膜晶体管包括第一栅极、第一源极和第一漏极，所述第一栅极与所述第一开关控制信号输入端连接，所述第一源极与所述第一级传信号输入端连接，所述第一漏极与所述第一级传信号输出端连接，所述第一薄膜晶体管用于根据所述第一开关控制信号输入端所提供的第一开关控制信号控制所述第一级传信号输入端的第一级传信号的输出；

一第二薄膜晶体管，第二薄膜晶体管包括第二栅极、第二源极和第二漏极，所述第二栅极与所述第一开关控制信号输入端连接，所述第二源极与所述第二级传信号输入端连接，所述第二漏极与所述第一级传信号输出端连接，所述第二薄膜晶体管用于根据所述第一开关控制信号控制所述第二级传信号输入端的第二级传信号的输出；

一第三薄膜晶体管，第三薄膜晶体管包括第三栅极、第三源极和第三漏极，所述第三栅极与所述第二开关控制信号输入端连接，所述第三源极与所述第一级传信号输入端连接，所述第三漏极与所述第一级传信号输出端连接，所述第三薄膜晶体管用于根据所述第二开关控制信号输入端所提供的第二开关控制信号控制所述第一级传信号的输出；以及

一第四薄膜晶体管，第四薄膜晶体管包括第四栅极、第四源极和第四漏极，所述第四栅极与所述第二开关控制信号输入端连接，所述第四源极与所述第二级传信号输入端连接，所述第四漏极与所述第一级传信号输出端连接，所述第四薄膜晶体管用于根据所述第二开关控制信号控制所述第二级传信号的输出；

所述级传信号锁存单元包括第一时钟信号输入端、第三级传信号输入端、锁存信号输出端；

所述级传信号锁存单元还包括：

一第一反相器，所述第一反相器包括第一反相输入端和第一反相输出端，所述第一反相输入端与所述第一时钟信号输入端连接，所述第一反相输入端用于接收第一时钟信号；

一第二反相器，所述第二反相器包括第二反相输入端和第二反相输出端，所述第二反相输入端与所述第一反相输出端连接，所述第二反相器还与所述第三级传信号输入端及所述锁存信号输出端连接；

一第三反相器，所述第三反相器包括第三反相输入端和第三反相

输出端，所述第三反相输入端与所述第一时钟信号输入端连接，所述第三反相器还与所述第三级传信号输入端及所述锁存信号输出端连接，所述第三反相输入端用于接收所述第一时钟信号；以及

一第四反相器，所述第四反相器包括第四反相输入端和第四反相输出端，所述第四反相输入端与所述第三反相输出端和所述第二反相输出端连接，所述第四反相输出端与所述锁存信号输出端连接。

[权利要求 2] 根据权利要求1所述的驱动电路，其中，所述第一薄膜晶体管的第一电流通道开启时所述第二薄膜晶体管的第二电流通道关闭，所述第一电流通道关闭时所述第二电流通道开启，所述第一电流通道为所述第一源极和所述第一漏极之间的电流通道，所述第二电流通道为所述第二源极和所述第二漏极之间的电流通道；
所述第三薄膜晶体管的第三电流通道开启时所述第四薄膜晶体管的第四电流通道关闭，所述第三电流通道关闭时所述第四电流通道开启，所述第三电流通道为所述第三源极和所述第三漏极之间的电流通道，所述第四电流通道为所述第四源极和所述第四漏极之间的电流通道。

[权利要求 3] 根据权利要求1所述的驱动电路，其中，所述第一反相器、所述第二反相器、所述第三反相器和所述第四反相器的组合用于对级传信号进行移位和锁存。

[权利要求 4] 根据权利要求1所述的驱动电路，其中，所述第二反相器包括第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管和第八薄膜晶体管；
所述第三反相器包括第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管和第十二薄膜晶体管；
所述第五薄膜晶体管包括第五栅极、第五源极和第五漏极，所述第五栅极与所述第一反相输出端连接，所述第五源极用于接收第

一高电压信号，所述第五薄膜晶体管用于在所述第五栅极所接收到的经过反相的所述第一时钟信号为低电平信号时开启所述第五源极和所述第五漏极之间的第五电流通道，以及用于在所述第五栅极所接收到的所述经过反相的第一时钟信号为高电平信号时关闭所述第五电流通道；

所述第六薄膜晶体管包括第六栅极、第六源极和第六漏极，所述第六栅极用于接收第三级传信号，所述第六源极与所述第五漏极连接，所述第六漏极与所述第四反相输入端连接，所述第六薄膜晶体管用于在所述第六栅极所接收到的所述第三级传信号为低电平信号时开启所述第六源极和所述第六漏极之间的第六电流通道，以及用于在所述第六栅极所接收到的所述第三级传信号为高电平信号时关闭所述第六电流通道；

所述第七薄膜晶体管包括第七栅极、第七源极和第七漏极，所述第七栅极用于接收第四级传信号，所述第七源极用于接收第一低电压信号，所述第七薄膜晶体管用于在所述第七栅极所接收到的所述第四级传信号为高电平信号时开启所述第七源极和所述第七漏极之间的第七电流通道，以及用于在所述第七栅极接收到的所述第四级传信号为低电平信号时关闭所述第七电流通道；

所述第八薄膜晶体管包括第八栅极、第八源极和第八漏极，所述第八栅极与所述第一反相输出端连接，所述第八源极与所述第七漏极连接，所述第八漏极与所述第四反相输入端连接，所述第八薄膜晶体管用于在所述第八栅极接收到的所述经过反相的第一时钟信号为高电平信号时开启所述第八源极和所述第八漏极之间的第八电流通道，以及用于在所述第八栅极所接收到的所述经过反相的第一时钟信号为低电平信号时关闭所述第八电流通道；

所述第九薄膜晶体管包括第九栅极、第九源极和第九漏极，所述第九栅极用于接收所述第一时钟信号，所述第九漏极与第四反相输入端连接，所述第九薄膜晶体管用于在所述第九栅极所接收到

的所述第一时钟信号为高电平信号时开启所述第九源极和所述第九漏极之间的第九电流通道，以及用于在所述第九栅极所接收到所述第一时钟信号为低电平信号时关闭所述第五电流通道；

所述第十薄膜晶体管包括第十栅极、第十源极和第十漏极，所述第十栅极与所述第六栅极连接，所述第十栅极用于接收所述第三级传信号，所述第十漏极与所述第九源极连接，所述第十源极用于接收第二低电压信号，所述第十薄膜晶体管用于在所述第十栅极所接收到的所述第三级传信号为高电平信号时开启所述第十源极和所述第十漏极之间的第十电流通道，以及用于在所述第十栅极接收到的所述第三级传信号为低电平信号时关闭所述第十电流通道；

所述第十一薄膜晶体管包括第十一栅极、第十一源极和第十一漏极，所述第十一栅极用于接收所述第四级传信号，所述第十一漏极还与所述第四反相输入端连接，所述第十一薄膜晶体管用于在所述第十一栅极所接收到的所述第四级传信号为低电平信号时开启所述第十一源极和所述第十一漏极之间的第十一电流通道，以及用于在所述第十一栅极所接收到的所述第四级传信号高电平信号时关闭所述第十一电流通道；以及

所述第十二薄膜晶体管包括第十二栅极、第十二源极和第十二漏极，所述第十二栅极用于接收所述第一时钟信号，所述第十二源极用于接收第二高电压信号，所述第十二漏极与所述第十一源极连接，所述第十二薄膜晶体管用于在所述第十二栅极所接收到的所述第一时钟信号为低电平信号时开启所述第十二源极和所述第十二漏极之间的第十二电流通道，以及用于在所述第十二栅极所接收到的所述第一时钟信号为高电平信号时关闭所述第十二电流通道；

其中，所述第四反相输出端还与所述第七栅极连接和所述第十一栅极连接。

[权利要求 5] 根据权利要求1所述的驱动电路，其中，所述驱动电路还包括：
复位单元，所述复位单元包括第二十五薄膜晶体管，所述第二十五薄膜晶体管包括第二十五栅极、第二十五源极和第二十五漏极；
所述第二十五源极用于接收第五高电压信号，所述第二十五漏极与所述级传信号锁存单元连接；
所述第二十五栅极用于接收电路重置信号，并用于根据所述电路重置信号开启或关闭所述第二十五源极和所述第二十五漏极之间的第二十五电流通道。

[权利要求 6] 一种驱动电路，其中，所述驱动电路包括：
至少两驱动单元，至少两所述驱动单元以阵列的形式排列，至少两所述驱动单元相互连接，至少两所述驱动单元中的第一驱动单元用于接收第二驱动单元所生成的第二驱动信号集合中的至少一第二子信号，并生成第一驱动信号集合，其中，所述第二驱动单元为至少两所述驱动单元中除所述第一驱动单元以外的一个所述驱动单元；
其中，所述驱动单元包括：
一控制单元，用于根据正反向扫描信号控制级传信号的输出；
一级传信号锁存单元，用于接收所述级传信号，并对所述级传信号进行锁存，以生成锁存信号；
一第一扫描信号生成单元，用于生成第一扫描信号；
一第二扫描信号生成单元，用于生成第二扫描信号；
一第一反相输出单元，用于对所述第一扫描信号进行反相，并生成经过反相的第一扫描信号；以及
一第二反相输出单元，用于对所述第二扫描信号进行反相，并生成经过反相的第二扫描信号。

[权利要求 7] 根据权利要求6所述的驱动电路，其中，所述控制单元包括第一级传信号输入端、第二级传信号输入端、第一开关控制信号输入端

、第二开关控制信号输入端、第一级传信号输出端；

所述控制单元还包括：

一第一薄膜晶体管，第一薄膜晶体管包括第一栅极、第一源极和第一漏极，所述第一栅极与所述第一开关控制信号输入端连接，所述第一源极与所述第一级传信号输入端连接，所述第一漏极与所述第一级传信号输出端连接，所述第一薄膜晶体管用于根据所述第一开关控制信号输入端所提供的所述第一开关控制信号控制所述第一级传信号输入端的第一级传信号的输出；

一第二薄膜晶体管，第二薄膜晶体管包括第二栅极、第二源极和第二漏极，所述第二栅极与所述第一开关控制信号输入端连接，所述第二源极与所述第二级传信号输入端连接，所述第二漏极与所述第一级传信号输出端连接，所述第二薄膜晶体管用于根据所述第一开关控制信号控制所述第二级传信号输入端的第二级传信号的输出；

一第三薄膜晶体管，第三薄膜晶体管包括第三栅极、第三源极和第三漏极，所述第三栅极与所述第二开关控制信号输入端连接，所述第三源极与所述第一级传信号输入端连接，所述第三漏极与所述第一级传信号输出端连接，所述第三薄膜晶体管用于根据所述第二开关控制信号输入端所提供的第二开关控制信号控制所述第一级传信号的输出；以及

一第四薄膜晶体管，第四薄膜晶体管包括第四栅极、第四源极和第四漏极，所述第四栅极与所述第二开关控制信号输入端连接，所述第四源极与所述第二级传信号输入端连接，所述第四漏极与所述第一级传信号输出端连接，所述第四薄膜晶体管用于根据所述第二开关控制信号控制所述第二级传信号的输出。

[权利要求 8]

根据权利要求7所述的驱动电路，其中，所述第一薄膜晶体管的第一电流通道开启时所述第二薄膜晶体管的第二电流通道关闭，所述第一电流通道关闭时所述第二电流通道开启，所述第一电流通

道为所述第一源极和所述第一漏极之间的电流通道，所述第二电流通道为所述第二源极和所述第二漏极之间的电流通道；

所述第三薄膜晶体管的第三电流通道开启时所述第四薄膜晶体管的第四电流通道关闭，所述第三电流通道关闭时所述第四电流通道开启，所述第三电流通道为所述第三源极和所述第三漏极之间的电流通道，所述第四电流通道为所述第四源极和所述第四漏极之间的电流通道。

[权利要求 9]

根据权利要求6所述的驱动电路，其中，所述级传信号锁存单元包括第一时钟信号输入端、第三级传信号输入端、锁存信号输出端；

所述级传信号锁存单元还包括：

一第一反相器，所述第一反相器包括第一反相输入端和第一反相输出端，所述第一反相输入端与所述第一时钟信号输入端连接，所述第一反相输入端用于接收第一时钟信号；

一第二反相器，所述第二反相器包括第二反相输入端和第二反相输出端，所述第二反相输入端与所述第一反相输出端连接，所述第二反相器还与所述第三级传信号输入端及所述锁存信号输出端连接；

一第三反相器，所述第三反相器包括第三反相输入端和第三反相输出端，所述第三反相输入端与所述第一时钟信号输入端连接，所述第三反相器还与所述第三级传信号输入端及所述锁存信号输出端连接，所述第三反相输入端用于接收所述第一时钟信号；以及

一第四反相器，所述第四反相器包括第四反相输入端和第四反相输出端，所述第四反相输入端与所述第三反相输出端和所述第二反相输出端连接，所述第四反相输出端与所述锁存信号输出端连接。

[权利要求 10]

根据权利要求9所述的驱动电路，其中，所述第一反相器、所述第

二反相器、所述第三反相器和所述第四反相器的组合用于对级传信号进行移位和锁存。

[权利要求 11]

根据权利要求9所述的驱动电路，其中，所述第二反相器包括第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管和第八薄膜晶体管；

所述第三反相器包括第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管和第十二薄膜晶体管；

所述第五薄膜晶体管包括第五栅极、第五源极和第五漏极，所述第五栅极与所述第一反相输出端连接，所述第五源极用于接收第一高电压信号，所述第五薄膜晶体管用于在所述第五栅极所接收到的经过反相的所述第一时钟信号为低电平信号时开启所述第五源极和所述第五漏极之间的第五电流通道，以及用于在所述第五栅极所接收到的所述经过反相的第一时钟信号为高电平信号时关闭所述第五电流通道；

所述第六薄膜晶体管包括第六栅极、第六源极和第六漏极，所述第六栅极用于接收第三级传信号，所述第六源极与所述第五漏极连接，所述第六漏极与所述第四反相输入端连接，所述第六薄膜晶体管用于在所述第六栅极所接收到的所述第三级传信号为低电平信号时开启所述第六源极和所述第六漏极之间的第六电流通道，以及用于在所述第六栅极所接收到的所述第三级传信号为高电平信号时关闭所述第六电流通道；

所述第七薄膜晶体管包括第七栅极、第七源极和第七漏极，所述第七栅极用于接收第四级传信号，所述第七源极用于接收第一低电压信号，所述第七薄膜晶体管用于在所述第七栅极所接收到的所述第四级传信号为高电平信号时开启所述第七源极和所述第七漏极之间的第七电流通道，以及用于在所述第七栅极接收到的所述第四级传信号为低电平信号时关闭所述第七电流通道；

所述第八薄膜晶体管包括第八栅极、第八源极和第八漏极，所述

第八栅极与所述第一反相输出端连接，所述第八源极与所述第七漏极连接，所述第八漏极与所述第四反相输入端连接，所述第八薄膜晶体管用于在所述第八栅极接收到的所述经过反相的第一时钟信号为高电平信号时开启所述第八源极和所述第八漏极之间的第八电流通路，以及用于在所述第八栅极接收到的所述经过反相的第一时钟信号为低电平信号时关闭所述第八电流通路；

所述第九薄膜晶体管包括第九栅极、第九源极和第九漏极，所述第九栅极用于接收所述第一时钟信号，所述第九漏极与第四反相输入端连接，所述第九薄膜晶体管用于在所述第九栅极接收到的所述第一时钟信号为高电平信号时开启所述第九源极和所述第九漏极之间的第九电流通路，以及用于在所述第九栅极接收到的所述第一时钟信号为低电平信号时关闭所述第五电流通路；

所述第十薄膜晶体管包括第十栅极、第十源极和第十漏极，所述第十栅极与所述第六栅极连接，所述第十栅极用于接收所述第三级传信号，所述第十漏极与所述第九源极连接，所述第十源极用于接收第二低电压信号，所述第十薄膜晶体管用于在所述第十栅极接收到的所述第三级传信号为高电平信号时开启所述第十源极和所述第十漏极之间的第十电流通路，以及用于在所述第十栅极接收到的所述第三级传信号为低电平信号时关闭所述第十电流通路；

所述第十一薄膜晶体管包括第十一栅极、第十一源极和第十一漏极，所述第十一栅极用于接收所述第四级传信号，所述第十一漏极还与所述第四反相输入端连接，所述第十一薄膜晶体管用于在所述第十一栅极接收到的所述第四级传信号为低电平信号时开启所述第十一源极和所述第十一漏极之间的第十一电流通路，以及用于在所述第十一栅极接收到的所述第四级传信号高电平信号时关闭所述第十一电流通路；以及

所述第十二薄膜晶体管包括第十二栅极、第十二源极和第十二漏

极，所述第十二栅极用于接收所述第一时钟信号，所述第十二源极用于接收第二高电压信号，所述第十二漏极与所述第十一源极连接，所述第十二薄膜晶体管用于在所述第十二栅极所接收到的所述第一时钟信号为低电平信号时开启所述第十二源极和所述第十二漏极之间的第十二电流通道，以及用于在所述第十二栅极所接收到的所述第一时钟信号为高电平信号时关闭所述第十二电流通道；

其中，所述第四反相输出端还与所述第七栅极连接和所述第十一栅极连接。

[权利要求 12]

根据权利要求6所述的驱动电路，其中，所述第一扫描信号生成单元包括第二时钟信号输入端、第一锁存信号输入端、第四级传信号输入端/第四时钟信号输入端、第一扫描信号输出端，其中，所述第一锁存信号输入端与所述锁存信号输出端连接；

所述第一扫描信号生成单元还包括：

一第十三薄膜晶体管，所述第十三薄膜晶体管包括第十三栅极、第十三源极和第十三漏极，所述第十三栅极与所述第二时钟信号输入端连接，所述第十三栅极用于接收所述第二时钟信号输入端所提供的第二时钟信号，所述第十三源极用于接收第三高电压信号，所述第十三漏极与所述第一扫描信号输出端连接，第十三薄膜晶体管用于在所述第十三栅极所接收到的所述第二时钟信号为低电平信号时开启所述第十三源极与所述第十三漏极之间的第十三电流通道，以及用于在所述第二时钟信号为高电平信号时关闭所述第十三电流通道；

一第十四薄膜晶体管，所述第十四薄膜晶体管包括第十四栅极、第十四源极和第十四漏极，所述第十四栅极与所述第一锁存信号输入端连接，所述第十四栅极用于接收所述第一锁存信号输入端所提供的所述锁存信号，所述第十四源极用于接收所述第三高电压信号，所述第十四漏极与所述第一扫描信号输出端连接，第十

四薄膜晶体管用于在所述第十四栅极所接收到的所述锁存信号为低电平信号时开启所述第十四源极与所述第十四漏极之间的第十四电流通道，以及用于在所述锁存信号为高电平信号时关闭所述第十四电流通道；

一第十五薄膜晶体管，所述第十五薄膜晶体管包括第十五栅极、第十五源极和第十五漏极，所述第十五栅极与所述第四级传信号输入端或第四时钟信号输入端连接，所述第十五栅极用于接收所述第四级传信号输入端所提供的第四级传信号或所述第四时钟信号输入端所提供的第四时钟信号，所述第十五源极用于接收所述第三高电压信号，所述第十五漏极与所述第一扫描信号输出端连接，第十五薄膜晶体管用于在所述第十五栅极所接收到的所述第四级传信号或所述第四时钟信号为低电平信号时开启所述第十五源极与所述第十五漏极之间的第十五电流通道，以及用于在所述第四级传信号或所述第四时钟信号为高电平信号时关闭所述第十五电流通道；

一第十六薄膜晶体管，所述第十六薄膜晶体管包括第十六栅极、第十六源极和第十六漏极，所述第十六栅极与所述第二时钟信号输入端连接，所述第十六栅极用于接收所述第二时钟信号输入端所提供的所述第二时钟信号，所述第十六漏极与所述第一扫描信号输出端连接，第十六薄膜晶体管用于在所述第十六栅极所接收到的所述第二时钟信号为高电平信号时开启所述第十六源极与所述第十六漏极之间的第十六电流通道，以及用于在所述第二时钟信号为低电平信号时关闭所述第十六电流通道；

一第十七薄膜晶体管，所述第十七薄膜晶体管包括第十七栅极、第十七源极和第十七漏极，所述第十七栅极与所述第一锁存信号输入端连接，所述第十七栅极用于接收所述第一锁存信号输入端所提供的所述锁存信号，所述第十七漏极与所述第十六源极连接，第十七薄膜晶体管用于在所述第十七栅极所接收到的所述锁存

信号为高电平信号时开启所述第十七源极与所述第十七漏极之间的第十七电流通道，以及用于在所述锁存信号为低电平信号时关闭所述第十七电流通道；以及

一第十八薄膜晶体管，所述第十八薄膜晶体管包括第十八栅极、第十八源极和第十八漏极，所述第十八栅极与所述第四级传信号输入端或第四时钟信号输入端连接，所述第十八栅极用于接收所述第四级传信号输入端所提供的所述第四级传信号或所述第四时钟信号输入端所提供的所述第四时钟信号，所述第十八源极用于接收所述第三低电压信号，所述第十八漏极与所述第十七源极连接，第十八薄膜晶体管用于在所述第十八栅极所接收到的所述第四级传信号或所述第四时钟信号为高电平信号时开启所述第十八源极与所述第十八漏极之间的第十八电流通道，以及用于在所述第四级传信号或所述第四时钟信号为低电平信号时关闭所述第十八电流通道；

所述第二扫描信号生成单元包括第三时钟信号输入端/第六时钟信号输入端、第二锁存信号输入端、第五级传信号输入端/第五时钟信号输入端、第二扫描信号输出端，其中，所述第二锁存信号输入端与所述锁存信号输出端连接，所述第五级传信号输入端与所述第四级传信号输入端连接，所述第五时钟信号输入端与所述第四时钟信号输入端连接；

所述第二扫描信号生成单元还包括：

一第十九薄膜晶体管，所述第十九薄膜晶体管包括第十九栅极、第十九源极和第十九漏极，所述第十九栅极与所述第五级传信号输入端或所述第五时钟信号输入端连接，所述第十九栅极用于接收所述第五级传信号输入端所提供的第四级传信号或所述第五时钟信号输入端所提供的第五时钟信号，所述第十九源极用于接收第四高电压信号，所述第十九漏极与所述第二扫描信号输出端连接，第十九薄膜晶体管用于在所述第十九栅极所接收到的所述第

四级传信号或所述第五时钟信号为低电平信号时开启所述第十九源极与所述第十九漏极之间的第十九电流通道，以及用于在所述第四级传信号或所述第五时钟信号为高电平信号时关闭所述第十九电流通道；

一第二十薄膜晶体管，所述第二十薄膜晶体管包括第二十栅极、第二十源极和第二十漏极，所述第二十栅极与所述第二锁存信号输入端连接，所述第二十栅极用于接收所述第二锁存信号输入端所提供的所述锁存信号，所述第二十源极用于接收所述第四高电压信号，所述第二十漏极与所述第二扫描信号输出端连接，第二十薄膜晶体管用于在所述第二十栅极所接收到的所述锁存信号为低电平信号时开启所述第二十源极与所述第二十漏极之间的第二十电流通道，以及用于在所述锁存信号为高电平信号时关闭所述第二十电流通道；

一第二十一薄膜晶体管，所述第二十一薄膜晶体管包括第二十一栅极、第二十一源极和第二十一漏极，所述第二十一栅极与所述第三时钟信号输入端或所述第六时钟信号输入端连接，所述第二十一栅极用于接收所述第三时钟信号输入端所提供的第三时钟信号或所述第六时钟信号输入端所提供的第六时钟信号，所述第二十一源极用于接收所述第四高电压信号，所述第二十一漏极与所述第二扫描信号输出端连接，第二十一薄膜晶体管用于在所述第二十一栅极所接收到的所述第三时钟信号或所述第六时钟信号为低电平信号时开启所述第二十一源极与所述第二十一漏极之间的第二十一电流通道，以及用于在所述第三时钟信号或所述第六时钟信号为高电平信号时关闭所述第二十一电流通道；

一第二十二薄膜晶体管，所述第二十二薄膜晶体管包括第二十二栅极、第二十二源极和第二十二漏极，所述第二十二栅极与所述第五级传信号输入端或所述第五时钟信号输入端连接，所述第二十二栅极用于接收所述第五级传信号输入端所提供的第四级传信

号或所述第五时钟信号输入端所提供的所述第五时钟信号，所述第二十二漏极与所述第二扫描信号输出端连接，第二十二薄膜晶体管用于在所述第二十二栅极所接收到的所述第四级传信号或所述第五时钟信号为高电平信号时开启所述第二十二源极与所述第二十二漏极之间的第二十二电流通道，以及用于在所述第四级传信号或所述第五时钟信号为低电平信号时关闭所述第二十二电流通道；

一第二十三薄膜晶体管，所述第二十三薄膜晶体管包括第二十三栅极、第二十三源极和第二十三漏极，所述第二十三栅极与所述第二锁存信号输入端连接，所述第二十三栅极用于接收所述第二锁存信号输入端所提供的所述锁存信号，所述第二十三漏极与所述第二十二源极连接，第二十三薄膜晶体管用于在所述第二十三栅极所接收到的所述锁存信号为高电平信号时开启所述第二十三源极与所述第二十三漏极之间的第二十三电流通道，以及用于在所述锁存信号为低电平信号时关闭所述第二十三电流通道；以及一第二十四薄膜晶体管，所述第二十四薄膜晶体管包括第二十四栅极、第二十四源极和第二十四漏极，所述第二十四栅极与所述第三时钟信号输入端或所述第六时钟信号输入端连接，所述第二十四栅极用于接收所述第三时钟信号输入端所提供的所述第三时钟信号或所述第六时钟信号输入端所提供的第六时钟信号，所述第二十四源极用于接收所述第四低电压信号，所述第二十四漏极与所述第二十三源极连接，第二十四薄膜晶体管用于在所述第二十四栅极所接收到的所述第三时钟信号或所述第六时钟信号为高电平信号时开启所述第二十四源极与所述第二十四漏极之间的第二十四电流通道，以及用于在所述第三时钟信号或所述第六时钟信号为低电平信号时关闭所述第二十四电流通道。

[权利要求 13]

根据权利要求12所述的驱动电路，其中，所述第一反相输出单元包括第一扫描信号输入端和经过反相的第一扫描信号输出端；

所述第一反相输出单元包括：

一第五反相器，所述第五反相器包括第五反相输入端和第五反相输出端，所述第五反相输入端与所述第一扫描信号输入端连接，所述第五反相输出端与所述经过反相的第一扫描信号输出端连接。

[权利要求 14]

根据权利要求13所述的驱动电路，其中，第一反相输出单元还用于对所述第一扫描信号进行稳定化处理，以生成所述经过反相的第一扫描信号，所述第一反相输出单元还包括：

一第六反相器，所述第六反相器包括第六反相输入端和第六反相输出端，所述第六反相输入端与所述第五反相输出端连接；以及一第七反相器，所述第七反相器包括第七反相输入端和第七反相输出端，所述第七反相输入端与所述第六反相输出端连接，所述第七反相输出端与所述经过反相的第一扫描信号输出端连接。

[权利要求 15]

根据权利要求12所述的驱动电路，其中，所述第二反相输出单元包括第二扫描信号输入端和经过反相的第二扫描信号输出端；所述第二反相输出单元包括：

一第八反相器，所述第八反相器包括第八反相输入端和第八反相输出端，所述第八反相输入端与所述第二扫描信号输入端连接，所述第八反相输出端与所述经过反相的第二扫描信号输出端连接。

[权利要求 16]

根据权利要求15所述的驱动电路，其中，所述第二反相输出单元还用于对所述第二扫描信号进行稳定化处理，以生成所述经过反相的第二扫描信号，所述第二反相输出单元还包括：

一第九反相器，所述第九反相器包括第九反相输入端和第九反相输出端，所述第九反相输入端与所述第八反相输出端连接；以及一第十反相器，所述第十反相器包括第十反相输入端和第十反相输出端，所述第十反相输入端与所述第九反相输出端连接，所述第十反相输出端与所述经过反相的第二扫描信号输出端连接。

- [权利要求 17] 根据权利要求12所述的驱动电路，其中，所述驱动电路还包括：
时钟信号反相处理单元，用于将所述第二时钟信号进行反向处理，以生成所述第六时钟信号。
- [权利要求 18] 根据权利要求17所述的驱动电路，其中，所述时钟信号反相处理单元包括第十三反相器，所述第十三反相器用于接收所述第二时钟信号，并用于将所述第二时钟信号进行反向处理，以生成所述第六时钟信号。
- [权利要求 19] 根据权利要求6所述的驱动电路，其中，所述驱动电路还包括：
复位单元，所述复位单元包括第二十五薄膜晶体管，所述第二十五薄膜晶体管包括第二十五栅极、第二十五源极和第二十五漏极；
所述第二十五源极用于接收第五高电压信号，所述第二十五漏极与所述级传信号锁存单元连接；
所述第二十五栅极用于接收电路重置信号，并用于根据所述电路重置信号开启或关闭所述第二十五源极和所述第二十五漏极之间的第二十五电流通道。

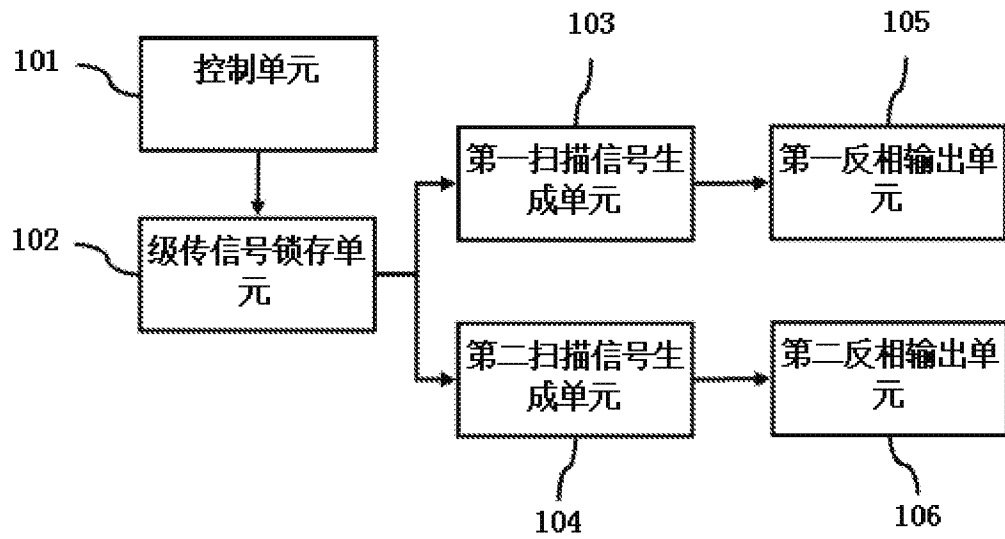


图 1

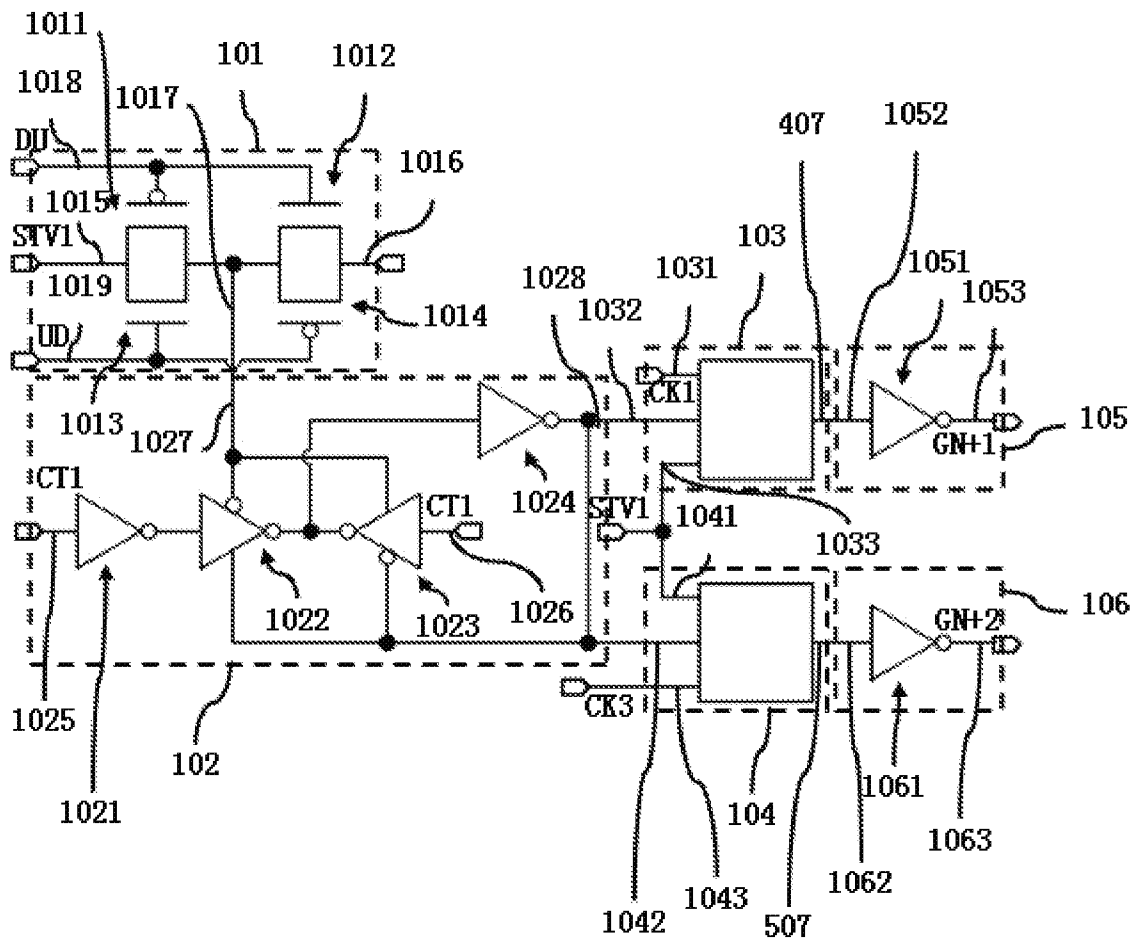


图 2

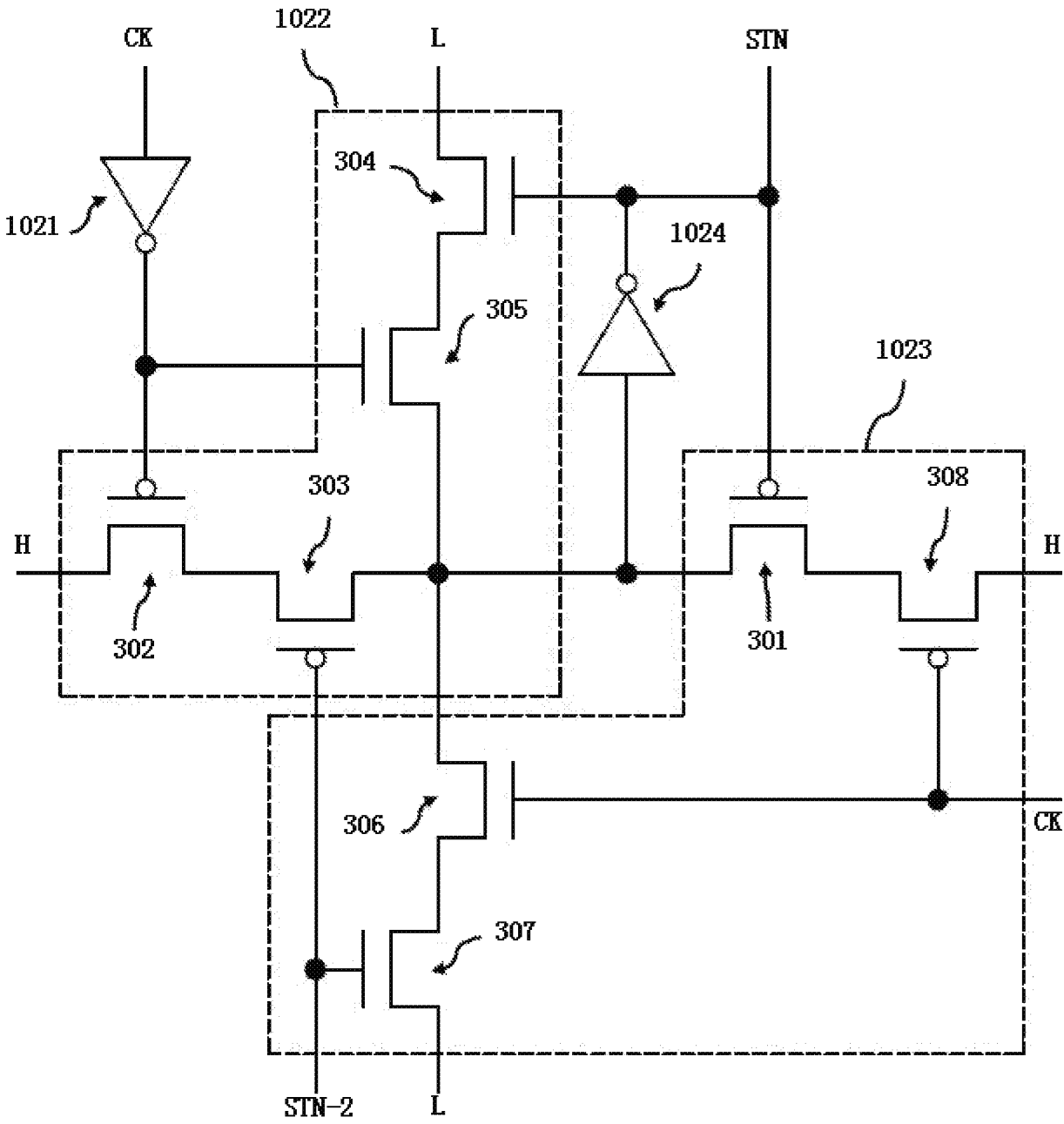


图 3

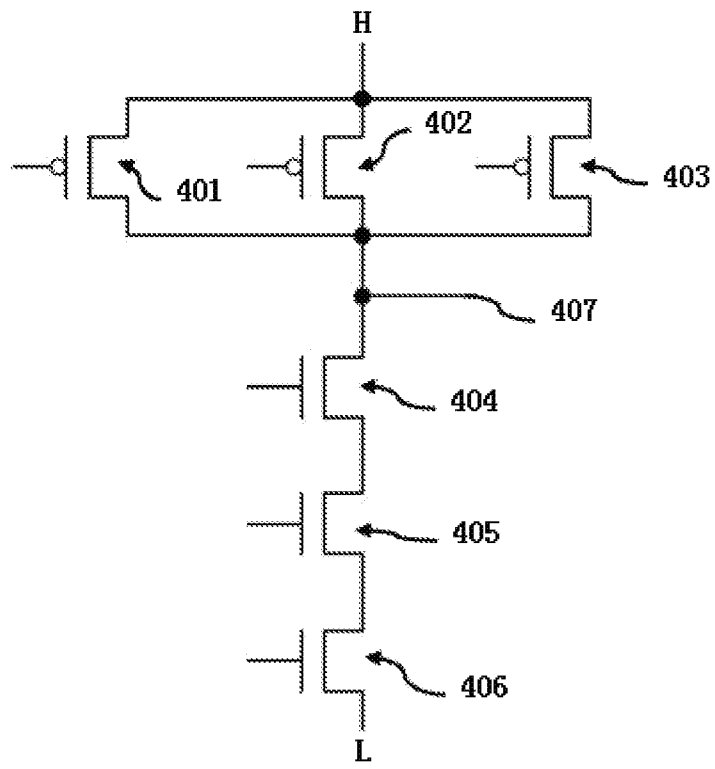


图 4

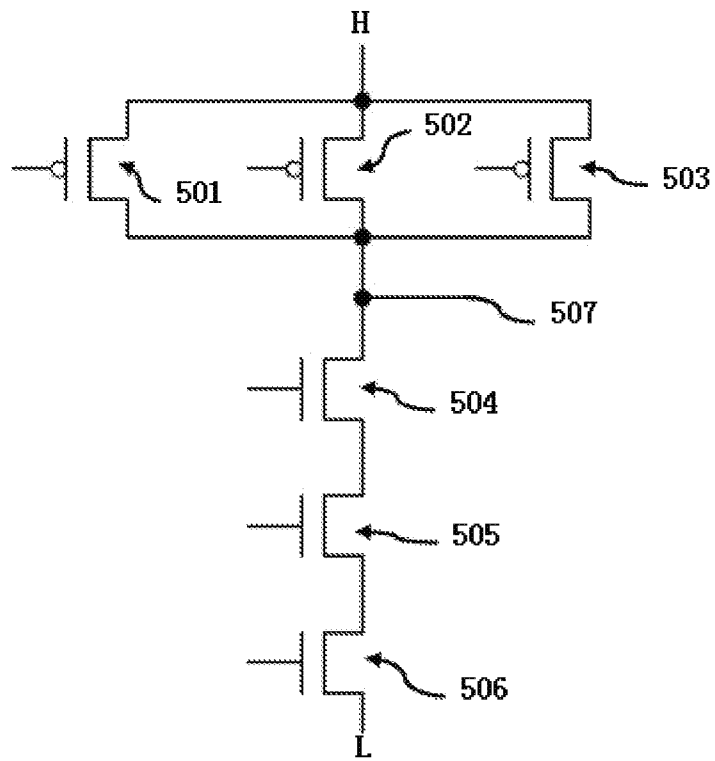


图 5

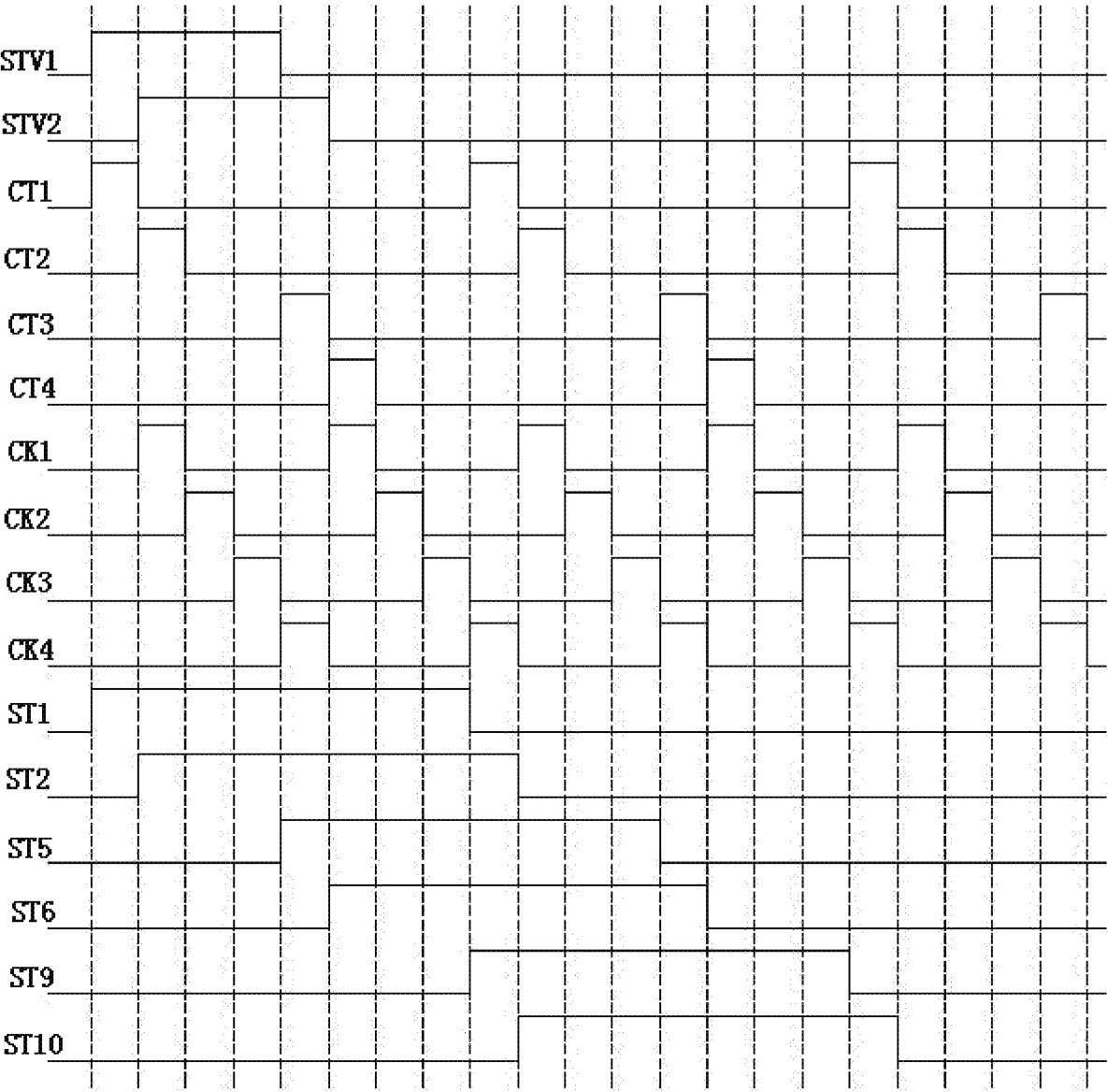


图 6

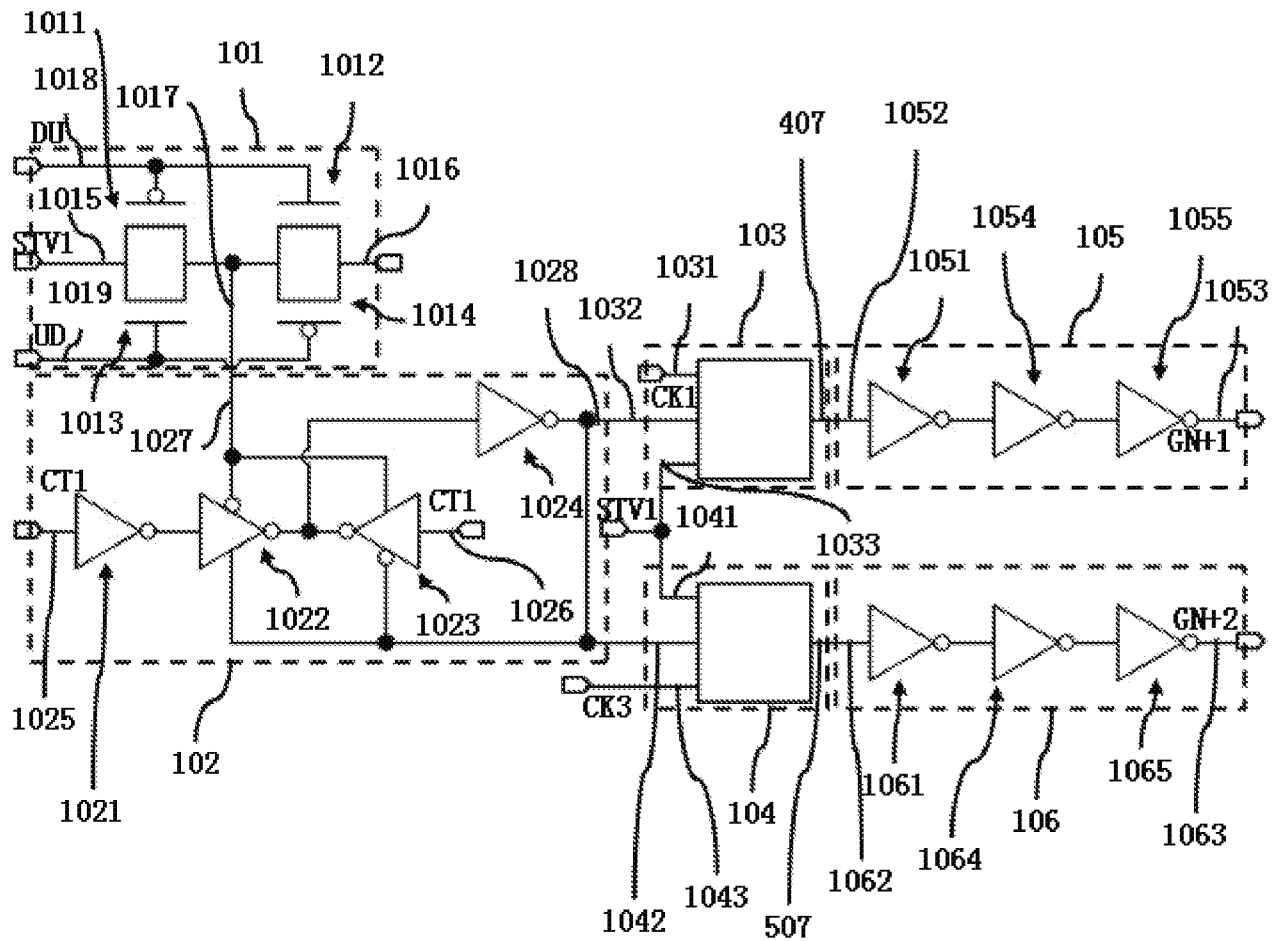


图 7

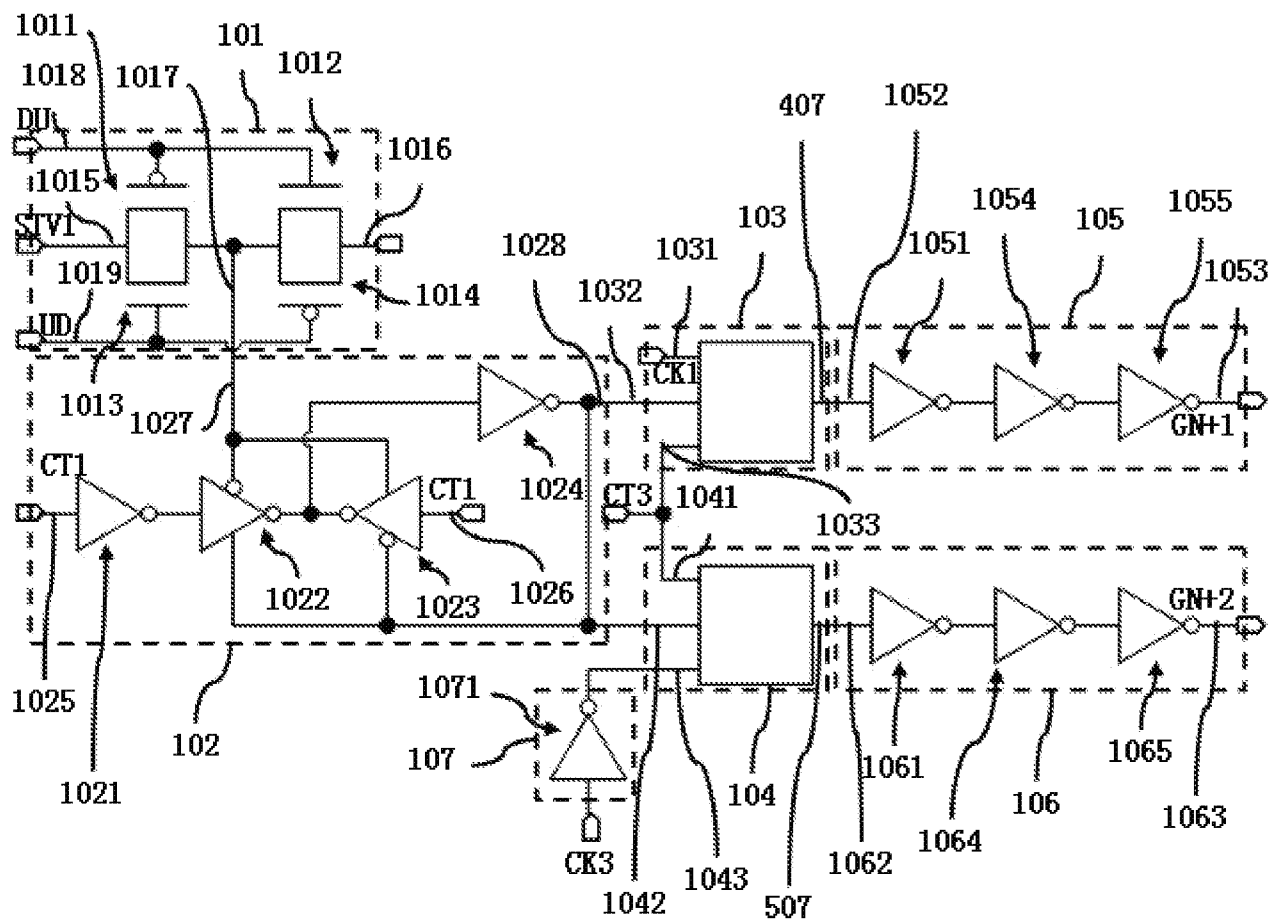


图 8

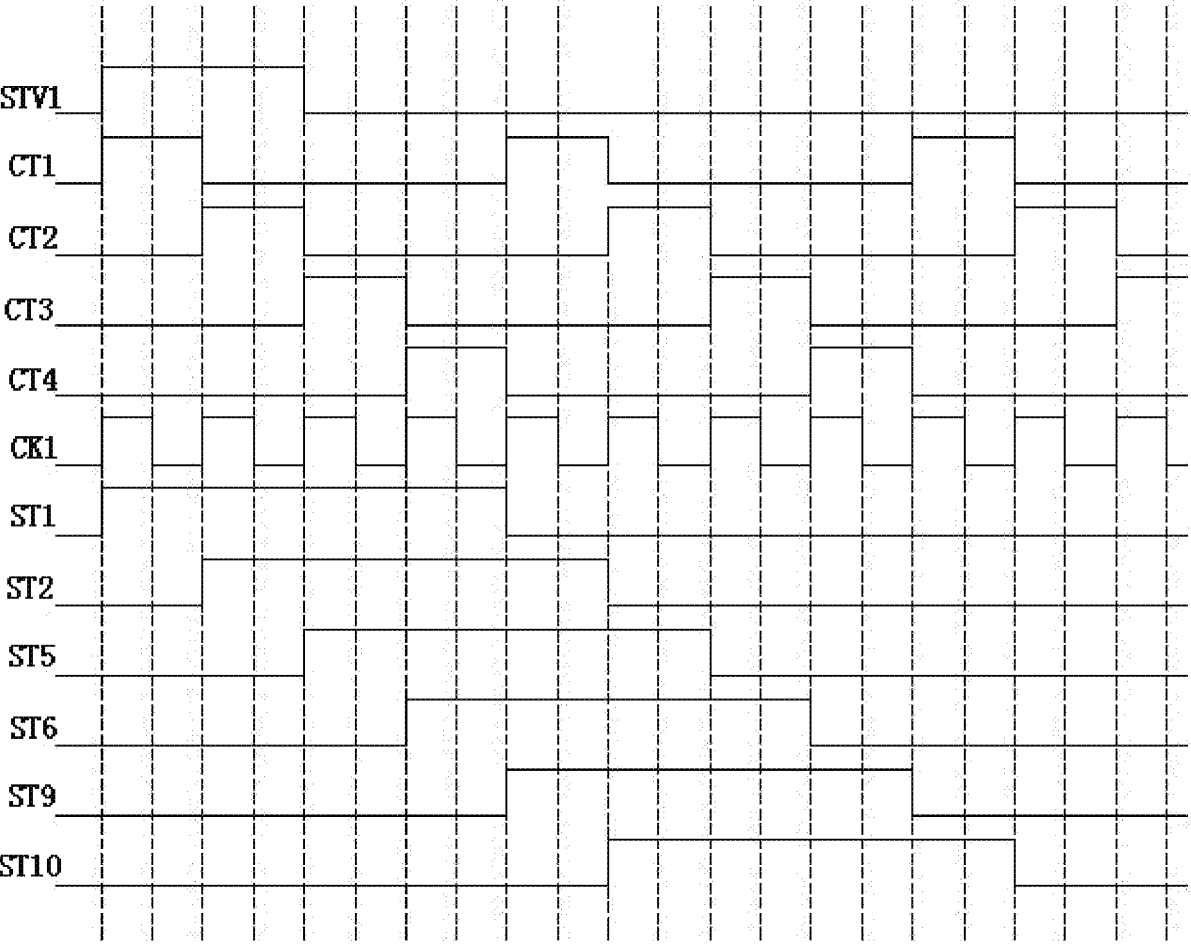


图 9

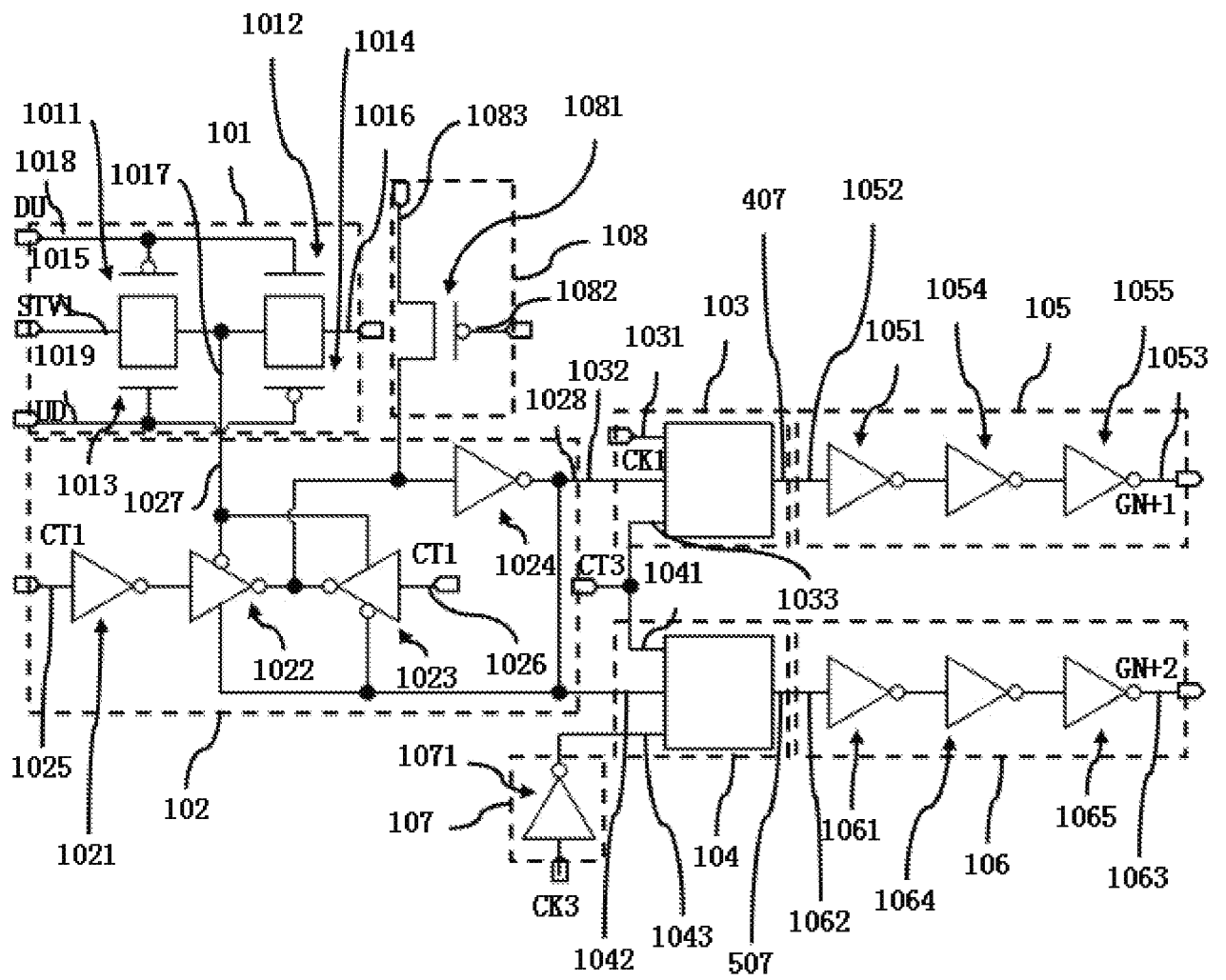


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/086375

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI: grid, reversed phase, thin film transistor, pixel, gate, driv+, GOA, control+, latch??, inver+, scan+, direction+, bi 1w direction+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2010001990 A1 (KIM, M.H. et al.), 07 January 2010 (07.01.2010), description, paragraphs [0028]-[0036], and figure 2	6-8
A	US 2013038587 A1 (SAMSUNG ELECTRONICS CO., LTD.), 14 February 2013 (14.02.2013), the whole document	1-19
A	CN 104299583 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 21 January 2015 (21.01.2015), the whole document	1-19
A	CN 104392686 A (XIAMEN TIANMA MICROELECTRONICS CO. LTD. et al.), 04 March 2015 (04.03.2015), the whole document	1-19

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 02 September 2015 (02.09.2015)	Date of mailing of the international search report 10 October 2015 (10.10.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LI, Yuan Telephone No.: (86-10) 62414013

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/086375

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2010001990 A1	07 January 2010	KR 20100004635 A	13 January 2010
		KR 100969773 B1	13 July 2010
US 2013038587 A1	14 February 2013	KR 20130016699 A	18 February 2013
		US 2014340387 A1	20 November 2014
CN 104299583 A	21 January 2015	None	
CN 104392686 A	04 March 2015	None	

国际检索报告

国际申请号

PCT/CN2015/086375

A. 主题的分类

G09G 3/20(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPODOC, CNPAT, CNKI: 栅极, 驱动, 控制, 锁存, 反相, 扫描, 双向, 方向, 薄膜晶体管, 像素, gate, driv+, GOA, control+, latch?+, inver+, scan+, direction+, bi lw direction+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US 2010001990 A1 (KIM, MI-HAE等) 2010年 1月 7日 (2010 - 01 - 07) 说明书第[0028]-[0036]段, 附图2	6-8
A	US 2013038587 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2013年 2月 14日 (2013 - 02 - 14) 全文	1-19
A	CN 104299583 A (京东方科技集团股份有限公司等) 2015年 1月 21日 (2015 - 01 - 21) 全文	1-19
A	CN 104392686 A (厦门天马微电子有限公司等) 2015年 3月 4日 (2015 - 03 - 04) 全文	1-19

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 9月 2日

国际检索报告邮寄日期

2015年 10月 10日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

李元

电话号码 (86-10)62414013

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/086375

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2010001990	A1	2010年 1月 7日	KR	20100004635	A	2010年 1月 13日
				KR	100969773	B1	2010年 7月 13日
US	2013038587	A1	2013年 2月 14日	KR	20130016699	A	2013年 2月 18日
				US	2014340387	A1	2014年 11月 20日
CN	104299583	A	2015年 1月 21日	无			
CN	104392686	A	2015年 3月 4日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)