

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 9 月 12 日(12.09.2014)



(10) 国際公開番号

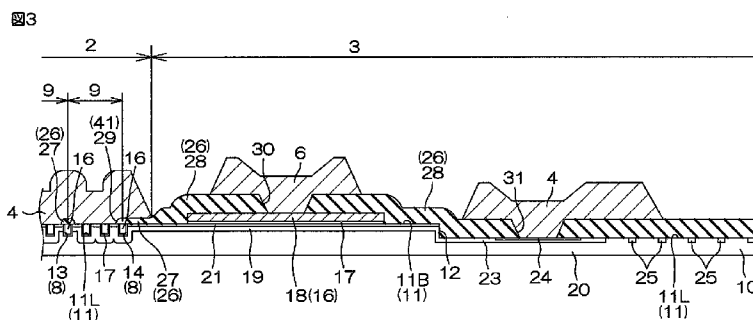
WO 2014/136801 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/12 (2006.01)
H01L 29/06 (2006.01)
- (21) 国際出願番号: PCT/JP2014/055519
- (22) 国際出願日: 2014 年 3 月 4 日(04.03.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-043407 2013 年 3 月 5 日(05.03.2013) JP
- (71) 出願人: ローム株式会社(ROHM CO., LTD.) [JP/JP];
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者: 中野 佑紀(NAKANO, Yuki); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 中村 亮太(NAKAMURA, Ryota); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 稲岡 耕作, 外(INAOKA, Kosaku et al.);
〒5410054 大阪府大阪市中央区南本町 2 丁目 6 番 1 2 号 サンマリオン NBF タワー 2 1 階 あい特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This semiconductor device includes: a first conductivity-type semiconductor layer provided with a cell portion, and an outer peripheral portion disposed around a periphery of the cell portion; and a surface insulation film which is disposed so as to extend over the cell portion and the outer peripheral portion, and which is formed so as to be thinner in a cell-portion section thereof.

(57) 要約: 本発明の半導体装置は、セル部および前記セル部の周囲に配置された外周部を有する第 1 導電型の半導体層と、前記セル部および前記外周部に跨るように配置され、前記セル部において、前記外周部における部分よりも薄くなるように形成された表面絶縁膜とを含む。



WO 2014/136801 A1

WO 2014/136801 A1



NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI 添付公開書類:

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, — 国際調査報告 (条約第 21 条(3))
MR, NE, SN, TD, TG).

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 従来、モータ制御システム、電力変換システムなど、各種パワーエレクトロニクス分野におけるシステムに主として使用される半導体パワーデバイスが注目されている。

[0003] この種の半導体パワーデバイスとして、たとえば、トレンチゲート構造を有するS i C半導体装置が提案されている。

[0004] たとえば、特許文献1は、n⁺型のS i C基板と、当該S i C基板上に形成されたn⁻型のエピタキシャル層（ドリフト領域）と、エピタキシャル層の表面側に形成されたp型のボディ領域と、ボディ領域内においてその表面側に形成されたn⁺型のソース領域と、ソース領域およびボディ領域を貫通してドリフト領域に達するように形成された格子状のゲートトレンチと、ゲートトレンチの内面に形成されたゲート絶縁膜と、ゲートトレンチに埋設されたゲート電極と、格子状のゲートトレンチに取り囲む位置においてソース領域およびボディ領域を貫通してドリフト領域に達するように形成されたソーストレンチと、ソース電極に入り込むように形成されたソース電極とを含む、電界効果トランジスタを開示している。

先行技術文献

特許文献

[0005] 特許文献1：特開2011-134910号公報

発明の概要

発明が解決しようとする課題

[0006] 本発明の目的は、従来の耐压特性を犠牲にすることなく、表面金属層の平坦性を向上できる半導体装置を提供することである。

課題を解決するための手段

- [0007] 本発明の半導体装置は、セル部および前記セル部の周囲に配置された外周部を有する第1導電型の半導体層と、前記セル部および前記外周部に跨るように配置され、前記セル部において、前記外周部における部分よりも薄くなるように形成された表面絶縁膜とを含む。
- [0008] この構成によれば、セル部の表面絶縁膜を選択的に薄くすることにより、たとえば表面絶縁膜に開口（コンタクトホール等）が形成される場合に、表面絶縁膜の表面とセル部の表面（デバイス表面）との段差（凹凸）を小さくできる。これにより、当該開口に金属を埋め込んで、表面絶縁膜上に表面金属層を形成するときに、当該表面金属層の平坦性を向上できる。したがって、たとえば表面金属層にワイヤを接合する場合においては、表面金属層とワイヤとの密着性を向上できる。その結果、ワイヤを良好に接合できるので、ワイヤ接合部の信頼性を向上できる。さらに、表面金属層の平坦性が良いので、ワイヤ接合の際、超音波振動や圧力によってデバイスが破壊されることを防止でき、組み立て歩留まりの低下を防止できる。
- [0009] 一方、外周部の表面絶縁膜の厚さは、セル部の表面絶縁膜の厚さと切り離して設計できる。したがって、外周部の電界分布に影響を与えないような厚さで設計することにより、耐圧特性を維持できる。つまり、この構成によれば、表面金属層の平坦性の改善に際し、耐圧特性の変動や当該変動による耐圧不良を防止できる。
- [0010] 前記半導体装置は、前記セル部の表面側に形成されたゲートトレンチと、ゲート絶縁膜を介して前記ゲートトレンチに埋め込まれ、オン時に前記ゲートトレンチの側部にチャネルを形成するゲート電極とを含み、前記外周部は、前記ゲートトレンチの深さ以上の深さ位置に配置された半導体表面を有しており、前記外周部の前記半導体表面に形成された第2導電型の半導体領域を有する耐圧構造をさらに含んでもよい。
- [0011] この構成によれば、耐圧構造を、ゲートトレンチの深さと同等かそれ以上の深さ位置に形成できる。これにより、ゲートトレンチの底部から半導体層

の裏面までの当該半導体層の厚さを、耐圧構造を構成する半導体領域から当該裏面までの厚さよりも厚くできる。その結果、半導体層の表面側－裏面側間にかかる電界を、耐圧構造に安定して分担させることができる。よって、ゲートトレンチの深さに依存せずに、半導体層に安定した電界分布を形成できるので、ゲートトレンチの底部への電界集中を良好に緩和できる。

[0012] 前記半導体装置は、前記ゲート電極に対してコンタクトをとるためのゲートフィンガーをさらに含み、前記ゲートトレンチは、前記ゲートフィンガーの下方において前記ゲートフィンガーを横切るライン状のトレンチを含んでいてもよい。

[0013] この構成によれば、ゲート電圧の印加時に電界が集中しやすいトレンチの角部（たとえば、格子状トレンチの交差部における角等）がゲートフィンガーの下方に配置されないため、ゲート絶縁膜の信頼性や耐圧を向上できる。

[0014] 前記ゲートトレンチは、オン時に前記チャネルがその側部に形成される内側トレンチと、当該内側トレンチの延長部で構成され、当該内側トレンチに対して外側に配置された外側トレンチとを含み、前記半導体装置は、前記外側トレンチの側部および底部に形成された第2導電型の層をさらに含んでいてもよい。

[0015] この構成によれば、半導体層の導電型とは異なる第2導電型の層によって、当該第2導電型の層と半導体層との接合（pn接合）から空乏層を発生させることができる。そして、この空乏層が等電位面を外側トレンチから遠ざけるので、外側トレンチの底部にかかる電界を緩和できる。よって、外側トレンチの底部における破壊を防止できる。

[0016] 前記半導体装置は、前記ゲート電極に対してコンタクトをとるためのゲートフィンガーをさらに含み、前記ゲートトレンチは、前記ゲートフィンガーの下方領域に選択的に形成されており、前記半導体装置は、当該下方領域において前記ゲートトレンチが形成されていない前記半導体層の半導体表面に形成され、前記半導体層よりも高濃度に不純物を含有する第1導電型の高濃度層をさらに含んでいてもよい。

[0017] この構成によれば、不純物濃度が高い高濃度層の酸化レートを、それよりも低濃度の半導体層に比べて速くできる。したがって、ゲート絶縁膜を熱酸化によって形成する場合には、ゲートフィンガーの下方領域において、ゲートトレンチの上部に厚い酸化膜を選択的に形成できる。これにより、ゲート電圧の印加時にゲートトレンチの上部エッジにかかる電界を弱め、ゲート絶縁膜の絶縁破壊を防止できる。

[0018] 前記セル部は、前記半導体層の表面に露出するように配置された第1導電型のソース領域と、前記ソース領域に接するように配置され、オン時に前記チャンネルが形成される第2導電型のチャンネル領域と、前記チャンネル領域に接するように配置された第1導電型のドレイン領域と、前記半導体層の前記表面において前記ソース領域を含むように区画されたソース部に選択的に形成された第2トレンチと、前記第2トレンチの底部に選択的に配置され、前記チャンネル領域と電氣的に接続された第2導電型のチャンネルコンタクト領域とを含んでいてもよい。

[0019] 前記セル部は、前記半導体層の表面に露出するように配置された第1導電型のソース領域と、前記ソース領域に接するように配置され、オン時に前記チャンネルが形成される第2導電型のチャンネル領域と、前記チャンネル領域に接するように配置された第1導電型のドレイン領域と、前記半導体層の前記表面において前記ソース領域を含むように区画されたソース部に選択的に形成された第2トレンチと、前記第2トレンチに埋め込まれたトレンチ埋め込み部と、前記ソース部において前記第2トレンチの底部よりも高い位置に選択的に配置され、前記チャンネル領域と電氣的に接続された第2導電型のチャンネルコンタクト領域とを含んでいてもよい。

[0020] この構成によれば、第2トレンチによって、たとえばゲートトレンチの底部付近における等電位面の集中を防止でき、当該底部付近での電位勾配を緩やかにできる。そのため、ゲートトレンチの底部に対する電界集中を緩和できる。

[0021] また、第2トレンチにトレンチ埋め込み部が埋め込まれているので、半導

体層の表面（デバイス表面）において、ソース部とそれ以外の部分との段差（凹凸）を小さくできる。これにより、当該デバイス表面上に表面金属層を形成するときに、表面金属層の平坦性を向上できる。したがって、たとえば表面金属層にワイヤを接合する場合においては、表面金属層とワイヤとの密着性を向上できる。その結果、ワイヤを良好に接合できるので、ワイヤ接合部の信頼性を向上できる。さらに、表面金属層の平坦性が良いので、ワイヤ接合の際、超音波振動や圧力によってデバイスが破壊されることを防止でき、組み立て歩留まりの低下を防止できる。

[0022] さらに、チャネルコンタクト領域が第2トレンチの底部よりも高い位置に配置されているので、第2トレンチが形成されていても、このチャネルコンタクト領域を介してチャネル領域へのコンタクトを確実にとることができる。つまり、表面金属層の平坦性の改善に際し、ゲート耐圧、チャネル領域へのコンタクト性等のデバイス性能の低下を防止できる。

[0023] 前記トレンチ埋め込み部は、前記第2トレンチの内面に形成された絶縁膜と、前記絶縁膜の内側に埋め込まれたポリシリコン層とからなってもよい。

[0024] この構成によれば、たとえば、半導体層の表面に SiO_2 からなる表面絶縁膜が形成されている場合において、当該表面絶縁膜を選択的にエッチングしてソース部をコンタクトホールから露出させるとき、第2トレンチに埋め込まれたポリシリコン層をエッチングストッパとして使用できる。そのため、当該コンタクトエッチングの工程の制御を簡単にできる。

[0025] 前記絶縁膜は、 SiO_2 、 AlON 、 Al_2O_3 、 SiO_2/AlON 、 $\text{SiO}_2/\text{AlON}/\text{SiO}_2$ 、 SiO_2/SiN および $\text{SiO}_2/\text{SiN}/\text{SiO}_2$ のいずれかからなってもよい。

[0026] この構成によれば、たとえば、ゲート絶縁膜を第2トレンチ内の絶縁膜と同一工程で形成することによって、ゲート絶縁膜を上例に示した材料で構成できる。この場合、ゲート絶縁膜を AlON や Al_2O_3 等の高誘電率（High-k）膜で構成すれば、ゲート耐圧を向上でき、デバイスの信頼性を向上できる。

。

- [0027] 前記絶縁膜は、窒素（N）を含むS i O₂膜を有していてもよい。
- [0028] この構成によれば、たとえば、ゲート絶縁膜を第2トレンチ内の絶縁膜と同一工程で形成することによって、窒素（N）を含むS i O₂膜を有する材料でゲート絶縁膜を構成できる。このゲート絶縁膜によって、チャネル移動度を向上できる。
- [0029] 前記絶縁膜は、前記第2トレンチの前記底部において、前記第2トレンチの側部における部分よりも厚くなるように形成されていてもよい。
- [0030] この構成によれば、たとえば、ゲート絶縁膜を第2トレンチ内の絶縁膜と同一工程で形成することによって、ゲート絶縁膜に関しても、たとえばゲートトレンチの底部において、ゲートトレンチの側部における部分よりも厚くできる。これにより、ゲートトレンチの底部での耐圧を向上できる。
- [0031] 前記ポリシリコン層は、n⁺型ポリシリコンからなってもよい。
- [0032] この構成によれば、たとえば、ゲート電極を第2トレンチ内のポリシリコン層と同一工程で形成することによって、ゲート電極をn⁺型ポリシリコンで構成できる。n⁺型ポリシリコンはシート抵抗が比較的低いので、トランジスタのスイッチング速度を高速化できる。
- [0033] 前記トレンチ埋め込み部は、前記第2トレンチを埋め戻す絶縁層からなってもよい。
- [0034] この構成によれば、第2トレンチ内が絶縁層で満たされているので、第2トレンチを介して流れるリーク電流を防止するか、もしくは低減できる。
- [0035] 前記絶縁層は、S i O₂からなってもよい。この場合、前記絶縁層は、リン（P）またはホウ素（B）を含むS i O₂からなってもよい。
- [0036] この構成によれば、リンまたはホウ素を含むことによってS i O₂の融点が低下するので、絶縁層の埋め込みプロセスを簡単にできる。そのようなS i O₂としては、たとえば、PSG（リンシリケートガラス）、PB SG（リンホウ素シリケートガラス）を使用できる。
- [0037] 前記トレンチ埋め込み部は、前記第2トレンチを埋め戻すポリシリコン層

からなっているもよい。

[0038] この構成によれば、たとえば、半導体層の表面に SiO_2 からなる表面絶縁膜が形成されている場合において、当該表面絶縁膜を選択的にエッチングしてソース部をコンタクトホールから露出させるとき、第2トレンチに埋め込まれたポリシリコン層をエッチングストッパとして使用できる。そのため、当該コンタクトエッチングの工程の制御を簡単にできる。

[0039] 前記ポリシリコン層は、 p^+ 型ポリシリコンからなっているもよい。

[0040] この構成によれば、たとえば、チャネル領域およびチャネルコンタクト領域が p 型の場合、 p^+ 型のポリシリコン層を利用してこれらの領域を電氣的に接続できる。これにより、チャネル領域とチャネルコンタクト領域との間の電流路の長さを短くできるので、これらの間のベース抵抗を小さくできる。その結果、ラッチアップを良好に防止できる。さらに、チャネルコンタクト領域がポリシリコン層に接している場合には、これらの間のコンタクト抵抗を小さくすることもできる。このコンタクト抵抗の低減化も、チャネル領域ーチャネルコンタクト領域間のベース抵抗の低減化に寄与する。

[0041] 本発明の半導体装置は、前記チャネル領域および前記チャネルコンタクト領域に連なるように、前記第2トレンチの前記底部および側部に形成された第2導電型の層をさらに含んでもよい。

[0042] この構成によれば、半導体層の導電型とは異なる第2導電型の層によって、当該第2導電型の層と半導体層との接合（ pn 接合）から空乏層を発生させることができる。そして、この空乏層が等電位面をゲートトレンチから遠ざけるので、ゲートトレンチの底部にかかる電界を一層緩和できる。

[0043] 前記ゲート電極は、前記ゲートトレンチの内面に形成されたポリシリコンからなる下地膜と、前記下地膜の内側に埋め込まれた Mo 、 W 、 Al 、 Pt 、 Ni および Ti の少なくとも一種を含む埋め込みメタルとを含んでもよい。

[0044] この構成によれば、埋め込みメタルによってゲート抵抗を比較的に低くできるので、トランジスタのスイッチング速度を高速化できる。

[0045] 前記半導体装置は、前記半導体層の表面側に配置された銅（Cu）を含む金属からなる表面金属層をさらに含んでもよい。この場合、この場合、請求項 21 に記載の発明のように、前記表面金属層は、Al-Cu 系合金を含んでもよい。

[0046] この構成によれば、表面金属層のシート抵抗を低くできるので、電流密度を高くできる。

[0047] 前記セル部には、複数の単位セルが、前記ゲートトレンチによって格子状に区画されていてもよいし、前記ゲートトレンチによってストライプ状に区画されていてもよい。

[0048] 前記半導体層は、SiC、GaN またはダイヤモンドからなってもよい。

図面の簡単な説明

[0049] [図1] 図 1 は、本発明の第 1 実施形態に係る半導体装置の模式平面図である。

[図2] 図 2 は、図 1 の要部拡大図であって、一部を透視して示している。

[図3] 図 3 は、図 2 のIII-III断面における半導体装置の断面構造を示す。

[図4] 図 4 は、図 2 のIV-IV断面における半導体装置の断面構造を示す。

[図5] 図 5 は、図 2 のV-V断面における半導体装置の断面構造を示す。

[図6] 図 6 は、図 2 のVI-VI断面における半導体装置の断面構造を示す。

[図7] 図 7 は、図 3 のセル部を拡大して示す図である。

[図8] 図 8 は、前記セル部の第 1 変形例を示す図である。

[図9] 図 9 は、前記セル部の第 2 変形例を示す図である。

[図10] 図 10 は、前記セル部の第 3 変形例を示す図である。

[図11] 図 11 は、前記セル部の第 4 変形例を示す図である。

[図12] 図 12 は、前記セル部の第 5 変形例を示す図である。

[図13] 図 13 は、本発明の第 2 実施形態に係る半導体装置の模式断面図である。

[図14] 図 14 は、本発明の第 2 実施形態に係る半導体装置の模式断面図である。

[図15]図15は、本発明の第3実施形態に係る半導体装置の模式断面図である。

[図16]図16は、本発明の第3実施形態に係る半導体装置の模式断面図である。

[図17]図17は、第1参考形態に係る半導体装置の模式断面図である。

[図18]図18は、第1参考形態に係る半導体装置の模式断面図である。

[図19]図19は、第2参考形態に係る半導体装置の模式断面図である。

[図20]図20は、第2参考形態に係る半導体装置の模式断面図である。

[図21]図21は、本発明の第4実施形態に係る半導体装置の模式断面図である。

発明を実施するための形態

[0050] <第1実施形態>

以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

[0051] 図1は、本発明の第1実施形態に係る半導体装置の模式平面図である。

[0052] 半導体装置1は、SiCが採用されたMISFET (Metal Insulator Field Effect Transistor) を含む。半導体装置1の外形は、たとえば、図1に示すように、平面視正方形のチップ状である。チップ状の半導体装置1のサイズは、図1の紙面における上下左右方向の長さがそれぞれ数mm程度である。半導体装置1には、セル部2と、セル部2の周囲に配置された外周部3とが設定されている。外周部3は、この実施形態では、セル部2を取り囲むように環状に設定されているが、セル部2に対してチップの外側の領域であれば、特に環状である必要はない。

[0053] 半導体装置1は、ソースパッド4、ゲートパッド5およびゲートフィンガー6を含む。

[0054] ソースパッド4は、セル部2の上方領域に配置されている。この実施形態では、ソースパッド4は、セル部2のほぼ全域を覆うように、たとえば平面視正方形に形成されている。ソースパッド4の周縁部には、外周部3に沿ってソースパッド4の中央領域を取り囲む除去領域7 (図1のクロスハッチ

ング部分）が形成されている。除去領域 7 は、その一部が選択的にソースパッド 4 の中央領域へ向かって窪んでいる。窪みは、その全体がセル部 2 の上方領域に配置されていて、ここにゲートパッド 5 が設置されている。

[0055] ゲートフィンガー 6 は、セル部 2 と外周部 3 との境界に対して外周部 3 側の位置において、ゲートパッド 5 から外周部 3 に沿って除去領域 7 全体に亘って延びている。この実施形態では、一对のゲートフィンガー 6 がゲートパッド 5 に対して対称な形状で形成されている。そして、この実施形態では、たとえば、除去領域 7 のゲートフィンガー 6 に対して内側の部分に沿って、前述のセル部 2 と外周部 3 との境界（図 2 の境界 L と同じ）が設定されている。

[0056] セル部 2 には、さらにゲートトレンチ 8 が形成されている。ゲートトレンチ 8 は、この実施形態では、ゲートパッド 5 の下方領域を避けるように、ソースパッド 4 の下方領域に選択的に形成されている。この領域において、ゲートトレンチ 8 は、複数の単位セル 9 を区画するように形成されている。ゲートトレンチ 8 のパターンは、図 1 に示すように、格子状であってもよいし、ストライプ状であってもよい。これにより、セル部 2 には、多数の単位セル 9 がマトリクス状（行列状）またはストライプ状（直線状）に規則的に配列されることとなる。なお、図示しないが、単位セル 9 のパターンは、ハニカム状等の他の形状であってもよい。

[0057] 次に、半導体装置 1 のセル部 2 および外周部 3 の内部構造を説明する。

[0058] 図 2 は、図 1 の要部拡大図であって、一部を透視して示している。具体的には、ソースパッド 4 およびゲートフィンガー 6 の下方領域の構造を実線で示し、ソースパッド 4 およびゲートフィンガー 6 を破線で示している。図 3 は、図 2 の III-III 断面における半導体装置の断面構造を示す。図 4 は、図 2 の IV-IV 断面における半導体装置の断面構造を示す。図 5 は、図 2 の V-V 断面における半導体装置の断面構造を示す。図 6 は、図 2 の VI-VI 断面における半導体装置の断面構造を示す。

[0059] 半導体装置 1 は、 n^+ 型 SiC（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21}$

cm^{-3}) からなる基板 (図示せず) と、基板上に形成された n -型 SiC (たとえば、濃度が $1 \times 10^{15} \sim 1 \times 10^{17} \text{cm}^{-3}$) からなる n -型エピタキシャル層 10 とを含む。 n -型エピタキシャル層 10 は、基板の表面に SiC をエピタキシャル成長させることによって形成された層である。この実施形態では、基板および n -型エピタキシャル層 10 が、本発明の半導体層の一例として示されている。また、基板の厚さは、たとえば、 $250 \mu\text{m} \sim 350 \mu\text{m}$ 程度であり、 n -型エピタキシャル層 10 の厚さは、 $3 \mu\text{m} \sim 20 \mu\text{m}$ 程度である。

[0060] n -型エピタキシャル層 10 は、その一部が選択的に掘り下がることによって形成された高低差のある半導体表面 11 を有している。この半導体表面 11 の高低差は、この実施形態では、セル部 2 および外周部 3 に選択的に形成されたゲートトレンチ 8 およびソーストレンチ 33 (後述)、ならびに外周部 3 に選択的に形成された低段部 12 によって形成されている。以下では、ゲートトレンチ 8、ソーストレンチ 33 および低段部 12 が形成されておらず、エピタキシャル成長後の高さ位置が維持された半導体表面 11 をベース表面 11B とし、ゲートトレンチ 8 の底面、ソーストレンチ 33 の底面および低段部 12 の底面のように、ベース表面 11B に対して相対的に低い高さ位置に形成された半導体表面 11 を低表面 11L とする。

[0061] ゲートトレンチ 8 は、この実施形態では、MISFET のゲートとして利用される内側トレンチ 13 と、内側トレンチ 13 に対して外側に配置された外側トレンチ 14 と、外側トレンチから外周部 3 へ向かって引き出され、ゲート電極 16 (後述) へのコンタクトとなるコンタクトトレンチ 15 とを含む。これらのトレンチ 13 ~ 15 は、互い連通するように一体的に形成されている。

[0062] 図 2 に示すように、内側トレンチ 13 は、複数の単位セル 9 を区画するように、複数のライン状のトレンチが互いに交差することによって格子状に形成されている。内側トレンチ 13 の各ラインの終端部は、外側トレンチ 14 によって互いに繋がっている。つまり、外側トレンチ 14 は、内側トレンチ

13を取り囲むように形成され、内側トレンチ13の互いに隣り合うラインの終端部間に跨っている。

[0063] コンタクトトレンチ15は、内側トレンチ13の各ラインの延長部で構成されたライン状に形成されており、セル部2と外周部3との境界Lに沿って互いに間隔を空けて複数配置されている。なお、コンタクトトレンチ15は、図2に示すように、内側トレンチ13のライン1本ずつに設けられている必要はなく、たとえば、内側トレンチ13のライン1本置きに設けられていてもよい。このライン状のコンタクトトレンチ15は、ゲートフィンガー6の下方領域においてゲートフィンガー6を横切るように形成されている。この実施形態では、コンタクトトレンチ15は、その終端部がゲートフィンガー6よりも外側に配置されている。つまり、コンタクトトレンチ15の終端部が、ゲートフィンガー6よりも外側にはみ出している。

[0064] そして、ゲートトレンチ8に、たとえばポリシリコンからなるゲート電極16が埋め込まれており、このゲート電極16とn⁻型エピタキシャル層10との間にゲート絶縁膜17が介在されている。

[0065] ゲート電極16は、たとえば図3および図4に示すように、ゲートフィンガー6の下方領域から離れた位置に形成された内側トレンチ13および外側トレンチ14においては、ベース表面11Bまで埋め込まれている。これにより、ゲート電極16も格子状に形成されており、各単位セル9の上面はゲート電極16で覆われずに露出している。一方、ゲートフィンガー6の下方領域に形成されたコンタクトトレンチ15においては、コンタクトトレンチ15の開口端からベース表面11Bを選択的に覆うように形成されたオーバーラップ部18を有している。オーバーラップ部18は、この実施形態では、図2に示すように、ライン状のコンタクトトレンチ15を横切るようにゲートフィンガー6に沿って形成されている。図5および図6に示すように、このオーバーラップ部18とn⁻型エピタキシャル層10との間にも、ゲート絶縁膜17が介在されている。

[0066] セル部2において、ゲート電極16は、単位セル9における反転層（チャ

ネル)の形成を制御する。すなわち、この半導体装置1は、いわゆるトレンチゲート型構造のMISFETを有している。

[0067] 低段部12は、この実施形態では、外周部3の全周に亘って形成されており、これにより、セル部2を取り囲んでいる。この低段部12は、ゲートトレンチ8の深さ以上の深さで形成されている。したがって、外周部3では、低段部12の底面(低表面11L)がゲートトレンチ8の底面(低表面11L)以上の深さ位置に配置されている。その深さは、たとえば、ベース表面11Bを基準に、ゲートトレンチ8の深さが $0.7\mu\text{m}\sim 3\mu\text{m}$ であるのに対し、 $0.7\mu\text{m}\sim 5\mu\text{m}$ である。

[0068] そして、このように高低差のある半導体表面11には、n型およびp型の不純物領域が選択的に形成されている。

[0069] 具体的には、n⁻型エピタキシャル層10の表面部に、p型ウェル19(たとえば、濃度が $1\times 10^{16}\sim 1\times 10^{19}\text{cm}^{-3}$)が、セル部2および外周部3に跨るように形成されている。一方、n⁻型エピタキシャル層10においてp型ウェル19の下方部の領域は、n⁻型ドレイン領域20である。この実施形態では、図3に示すように、p型ウェル19は、セル部2からゲートフィンガー6の下方領域を介して外周部3の低段部12に至るまで、その底部がベース表面11Bに倣うように連続的に形成されている。これにより、p型ウェル19は、低段部12の側部で露出している。

[0070] p型ウェル19には、図3、図5および図6に示すように、ゲートフィンガー6の下方領域においてn⁺型領域21が形成され、n⁻型エピタキシャル層10のベース表面11Bに露出している。n⁺型領域21は、n⁻型エピタキシャル層10よりも高濃度にn型不純物を含有する高濃度領域(たとえば、濃度が $1\times 10^{18}\sim 1\times 10^{21}\text{cm}^{-3}$)である。この実施形態では、図3に示すように、n⁺型領域21は、セル部2からゲートフィンガー6の下方領域を介して外周部3の低段部12に至るまで、その底部がベース表面11Bに倣うように連続的に形成されている。これにより、n⁺型領域21は、低段部12の側部で露出している。

[0071] n-型エピタキシャル層10には、図4～図6に示すように、ゲートフィンガー6の下方領域において、p型ウェル19に連なるようにp型層22（たとえば、濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ ）が形成されている。p型層22は、この実施形態では、コンタクトトレンチ15の底部および側部（終端部の側部も含む）に跨るように形成され、その内方領域がコンタクトトレンチ15に接している（コンタクトトレンチ15内に露出している）。また、p型層22は、コンタクトトレンチ15の底部において、コンタクトトレンチ15の側部における部分よりも厚くなるように形成されている。

[0072] また、n-型エピタキシャル層10には、図3および図4に示すように、低段部12において、p型ウェル19に連なるように本発明の耐圧構造の一例としてのp型層23（たとえば、濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ ）が形成されている。p型層23は、この実施形態では、低段部12の底部および側部に跨るように形成され、その内方領域が低段部12に接している（低段部12内に露出している）。このp型層23の表面部には、p⁺型ウェルコンタクト領域24（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ）が形成されている。この実施形態では、p⁺型ウェルコンタクト領域24は、低段部12における低表面11Lに形成され、セル部2を取り囲むように環状に形成されている。

[0073] また、低段部12においてp型層23の外側には、本発明の耐圧構造の一例としてのp型ガードリング25（たとえば、濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ ）が形成されている。この実施形態では、p型ガードリング25は、低段部12の低表面11Lにおいてセル部2を取り囲むように、互いに間隔を空けて複数本形成されている。

[0074] n-型エピタキシャル層10の表面には、セル部2および外周部3に跨るように表面絶縁膜26が形成されている。表面絶縁膜26は、たとえば、酸化シリコン（SiO₂）等の絶縁物からなる。表面絶縁膜26は、この実施形態では、セル部2上の内側部分27が、外周部3上の外側部分28よりも薄くなるように形成されている。この実施形態では、内側部分27の厚さが50

00 Å以下であり、外側部分26の厚さが5500 Å～20000 Å程度である。この表面絶縁膜26は、図2では表れていないが、その上に多層配線構造が配置される場合には、層間絶縁膜と呼んでもよい。

[0075] 表面絶縁膜26には、n⁻型エピタキシャル層10の表面全体に対して、各単位セル9、ゲート電極16（オーバーラップ部18）およびp⁺型ウェルコンタクト領域24をそれぞれ選択的に露出させるコンタクトホール29～31が形成されている。

[0076] 表面絶縁膜26上には、ソースパッド4およびゲートフィンガー6が形成されている。

[0077] ソースパッド4は、各コンタクトホール29，31を介して全ての単位セル9のp⁺型チャネルコンタクト領域34（後述）およびn⁺型ソース領域32（後述）、ならびにp⁺型ウェルコンタクト領域24に一括して接続されている。つまり、ソースパッド4は、全ての単位セル9に対して共通の電極となっている。また、ソースパッド4の材料としては、銅（Cu）を含む金属を使用でき、より好ましくは、Al-Cu系合金を含む金属を使用する。これにより、ソースパッド4のシート抵抗を低くできるので、電流密度を高くできる。また、ソースパッド4の厚さ（n⁻型エピタキシャル層10のベース表面11Bからソースパッド4の表面までの距離）は、たとえば、4 μm～5 μmである。なお、ソースパッド4は、n⁻型エピタキシャル層10との接続部分に、たとえばチタン（Ti）および窒化チタン（TiN）の積層構造（Ti/TiN）からなるコンタクトメタルを有していてもよい。

[0078] ゲートフィンガー6は、コンタクトホール30を介してゲート電極16（オーバーラップ部18）に接続されている。また、ゲートフィンガー6およびゲートパッド5の材料としては、ソースパッド4と同様に、銅（Cu）を含む金属を使用でき、より好ましくは、Al-Cu系合金を含む金属を使用する。ソースパッド4と同じ材料を使用することによって、ソースパッド4、ゲートパッド5およびゲートフィンガー6を同時に形成できる。

[0079] 次に、セル部2の構造をより詳細に説明する。図7は、図3のセル部2を

拡大して示す図である。

- [0080] セル部2には、前述したように、それぞれがトランジスタ動作を行う複数の単位セル9が、ゲートトレンチ8（内側トレンチ13および外側トレンチ14）によって格子状に区画されている。各単位セル9は、環状の n^+ 型ソース領域32、 n^+ 型ソース領域32に取り囲まれた環状のソーストレンチ33（第2トレンチ）、およびソーストレンチ33の内側に島状に形成された p^+ 型チャネルコンタクト領域34を含む。 p^+ 型チャネルコンタクト領域34は、その周囲がソーストレンチ33に取り囲まれている。また、各単位セル9の大きさは、たとえば、図7の紙面上下左右方向の長さがそれぞれ3～10 μm 程度である。
- [0081] 具体的には、セル部2において p 型ウェル19の表面部に n^+ 型ソース領域32が形成され、 n^- 型エピタキシャル層10のベース表面11Bに露出している。また、 p 型ウェル19のセル部2内の部分は、 n^+ 型ソース領域32に接するように配置され、トランジスタ動作の際にチャネルが形成される p 型チャネル領域35である。
- [0082] そして、ゲートトレンチ8およびソーストレンチ33は、 n^+ 型ソース領域32および p 型チャネル領域35（ p 型ウェル19）を貫通して、 n^- 型ドレイン領域20に達するように形成されている。ゲートトレンチ8およびソーストレンチ33は、この実施形態では、同じ幅および同じ深さで形成されているが、互いに異なる深さであってもよい。たとえば、ソーストレンチ33は、ゲートトレンチ8よりも浅くてもよいし、深くてもよい。
- [0083] ゲートトレンチ8およびソーストレンチ33によって、各単位セル9は、ソーストレンチ33に取り囲まれた柱状部36と、ソーストレンチ33とゲートトレンチ8との間に配置され、ソーストレンチ33によって柱状部36と間隔が付けられた環状部37とに分離されている。この実施形態では、環状部37の幅 W_1 （ソーストレンチ33とゲートトレンチ8との距離）は、たとえば、0.5 μm ～2.0 μm となっている。
- [0084] 柱状部36の頂部には、 n^- 型エピタキシャル層10のベース表面11Bに

露出するように、 p^+ 型チャネルコンタクト領域 34（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ）が形成されている。これにより、 p^+ 型チャネルコンタクト領域 34 は、ソーストレンチ 33 の側面の一部を形成している。 p^+ 型チャネルコンタクト領域 34 は、この実施形態では、その最深部がソーストレンチ 33 の底部よりも高い位置になっているが、特にこの位置である必要はない。 p^+ 型チャネルコンタクト領域 34 の最上部（この実施形態では、 n^- 型エピタキシャル層 10 のベース表面 11B で露出する部分）がソーストレンチ 33 の底部よりも高い位置にあってコンタクト可能であれば、当該最深部は、ソーストレンチ 33 の底部と同じ深さ位置であってもよいし、深くてもよい。

[0085] 環状部 37 には、 n^+ 型ソース領域 32 および p 型チャネル領域 35 がベース表面 11B 側から順に形成されている。これにより、 n^+ 型ソース領域 32 および p 型チャネル領域 35 は、ゲートトレンチ 8 の側面の一部をそれぞれ形成している。 n^+ 型ソース領域 32 は、この実施形態では、 n^+ 型領域 21（図 3～図 6 参照）および p^+ 型チャネルコンタクト領域 34 と同じ深さで形成されている。

[0086] また、 n^- 型エピタキシャル層 10 には、 p 型チャネル領域 35 および p^+ 型チャネルコンタクト領域 34、ならびに前述の p 型層 22（図 4～図 6 参照）に連なるように、 p 型層 38（たとえば、濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ ）が形成されている。 p 型層 38 は、ソーストレンチ 33 の底部を介して柱状部 36 および環状部 37 に跨るように形成され、その内方領域がソーストレンチ 33 に接している（ソーストレンチ 33 内に露出している）。 p 型層 38 は、環状部 37 のソーストレンチ 33 の側部において p 型チャネル領域 35 に接続され、柱状部 36 のソーストレンチ 33 の側部において p^+ 型チャネルコンタクト領域 34 に接続されている。したがって、 p 型チャネル領域 35 と p^+ 型チャネルコンタクト領域 34 は、この p 型層 38 を介して電氣的に接続されることとなる。

[0087] また、 p 型層 38 は、外側トレンチ 14 の底部を介して外側トレンチ 14

の外周縁に跨るようにも形成されており、当該外周縁において、外周部 3 へと延びる p 型ウェル 19 に接続されている。また、p 型層 38 は、図 2 および図 4 に示すように、内側トレンチ 13 においては、内側トレンチ 13 を構成するラインの交差部にのみ形成されていてもよい。なお、内側トレンチ 13 の交差部は、各単位セル 9 の角部に当たり、オン時にチャネルが形成されないか、形成されても当該チャネルを流れる電流は微量である。したがって、当該交差部において p 型チャネル領域 35 に接続されるように p 型層 38 が形成されていても、デバイスの性能にはほとんど影響がない。

[0088] また、p 型層 38 は、p 型層 22 と同様に、ゲートトレンチ 8 およびソーストレンチ 33 の底部において、ソーストレンチ 33 の側部における部分よりも厚くなるように形成されている。ただし、柱状部 36 においては、ソーストレンチ 33 の側部がソーストレンチ 33 で取り囲まれていて、その周囲から一様にイオン注入される。そのため、p⁺型チャネルコンタクト領域 34 の下方部を満たすように、ソーストレンチ 33 の底部の部分よりも厚く形成されている。

[0089] また、p 型層 38 は、この実施形態では、内側トレンチ 13 の交差部および外側トレンチ 14 以外の部分では、ゲートトレンチ 8 に接しないように（ゲートトレンチ 8 と間隔を空けて）、ゲートトレンチ 8 で取り囲まれた環状部 37 の全周に亘って形成されている。これにより、各単位セル 9 においてゲートトレンチ 8 の側面の一部に n⁻型ドレイン領域 20 が配置されることとなるので、チャネル形成時の電流路を確保できる。

[0090] ゲートトレンチ 8 は、この実施形態では、側面および底面を有する断面視略 U 字状に形成されている。ゲートトレンチ 8 の内面（側面および底面）には、その一方表面および他方表面がゲートトレンチ 8 の内面に沿うように、ゲート絶縁膜 17 が形成されている。

[0091] ゲート絶縁膜 17 は、ゲートトレンチ 8 の底部において、ゲートトレンチ 8 の側部における部分よりも厚くなるように形成されている。この実施形態のように断面視略 U 字状のゲートトレンチ 8 では、ゲート絶縁膜 17 の相対

的に厚い部分はゲートトレンチ 8 の底面に接する部分であり、相対的に薄い部分はゲートトレンチ 8 の側面に接する部分である。電界集中が起きやすいゲートトレンチ 8 の底部の絶縁膜を厚くすることによって、ゲートトレンチ 8 の底部での耐圧を向上できる。なお、ゲートトレンチ 8 の形状によっては側面と底面と明確に判別できない場合があるが、その場合には、ゲートトレンチ 8 の深さ方向に交差する方向の面に接するゲート絶縁膜 17 が相対的に厚ければよい。

[0092] そして、ゲート絶縁膜 17 の内側は、ゲート電極 16 で埋め戻されている。この実施形態では、ゲート電極 16 は、その上面が n^- 型エピタキシャル層 10 のベース表面 11B と略面一となるように、ゲートトレンチ 8 に埋め込まれている。ゲート電極 16 は、ゲート絶縁膜 17 を介して p 型チャネル領域 35 に対向している。各単位セル 9 では、ゲート電極 16 に印加する電圧を制御することによって、 p 型チャネル領域 35 に単位セル 9 の周囲に沿う環状のチャネルが形成される。そして、ゲートトレンチ 8 の側面に沿って n^- 型エピタキシャル層 10 のベース表面 11B へ向かって流れるドレイン電流を、チャネルを介して n^+ 型ソース領域 32 に流すことができる。これにより、半導体装置 1 のトランジスタ動作が行われる。

[0093] ソーストレンチ 33 も同様に、この実施形態では、側面および底面を有する断面視略 U 字状に形成されている。ソーストレンチ 33 の内面（側面および底面）には、その一方表面および他方表面がソーストレンチ 33 の内面に沿うように、ソーストレンチ絶縁膜 39 が形成されている。

[0094] ソーストレンチ絶縁膜 39 は、ソーストレンチ 33 の底部において、ソーストレンチ 33 の側部における部分よりも厚くなるように形成されている。なお、ソーストレンチ 33 の形状によっては側面と底面と明確に判別できない場合があるが、その場合には、ソーストレンチ 33 の深さ方向に交差する方向の面に接するソーストレンチ絶縁膜 39 が相対的に厚ければよい。そして、ソーストレンチ絶縁膜 39 の内側は、トレンチ埋め込み層 40 で埋め戻されている。この実施形態では、トレンチ埋め込み層 40 は、その上面が n^-

型エピタキシャル層 10 のベース表面 11 B と略面一となるように、ソース
トレンチ 33 に埋め込まれている。

[0095] この実施形態では、ゲート絶縁膜 17 とソーストレンチ絶縁膜 39 が同じ
材料で構成され、ゲート電極 16 とトレンチ埋め込み層 40 が同じ材料で構
成されている。

[0096] たとえば、ゲート絶縁膜 17 およびソーストレンチ絶縁膜 39 の材料とし
ては、 SiO_2 、 AlON 、 Al_2O_3 、 SiO_2/AlON 、 SiO_2/AlO
 N/SiO_2 、 SiO_2/SiN および $\text{SiO}_2/\text{SiN}/\text{SiO}_2$ のいずれか
の膜を使用でき、より好ましくは、窒素 (N) を含む SiO_2 膜を有する膜を
使用する。なお、 SiO_2/AlON は、 SiO_2 (下側) と AlON (上側
) の積層膜のことである。ゲート絶縁膜 17 を AlON や Al_2O_3 等の高誘
電率 (High-k) 膜で構成すれば、ゲート耐圧を向上でき、デバイスの信頼性
を向上できる。さらに、窒素 (N) を含む SiO_2 膜を有する材料でゲート絶
縁膜 17 を構成すれば、チャネル移動度を向上させることもできる。

[0097] ゲート電極 16 およびトレンチ埋め込み層 40 の材料としては、ポリシリ
コンを使用でき、より好ましくは、 n^+ 型ポリシリコンを使用する。 n^+ 型ポ
リシリコンはシート抵抗が比較的低いので、トランジスタのスイッチング速
度を高速化できる。

[0098] なお、ゲート絶縁膜 17 およびソーストレンチ絶縁膜 39 は、互いに異な
る材料で構成されていてもよい。ゲート電極 16 およびトレンチ埋め込み層
40 も同様に、互いに異なる材料で構成されていてもよい。

[0099] 表面絶縁膜 26 に形成されたコンタクトホール 29 は、 n^- 型エピタキシャ
ル層 10 の表面全体に対して、ソーストレンチ 33 および n^+ 型ソース領域 3
2 を選択的に露出させている。この実施形態では、コンタクトホール 29 に
よって、各単位セル 9 にソース部 41 が区画されている。

[0100] 次に、図 1 ～図 7 で説明した半導体装置 1 の製造方法を説明する。

[0101] 半導体装置 1 を製造するには、CVD 法、LPE 法、MBE 法等のエピタ
キシャル成長法によって、 SiC 基板 (図示せず) の表面に、 n 型不純物を

ドーピングしながらSiC結晶が成長させられる。これにより、SiC基板上に、n⁻型エピタキシャル層10が形成される。このときのn⁻型エピタキシャル層10の成長面がベース表面11Bである。なお、n型不純物としては、たとえば、N（窒素）、P（リン）、As（ひ素）等を使用できる。

[0102] 次に、n⁻型エピタキシャル層10のベース表面11Bからp型不純物が選択的にイオン注入される。これにより、p型ウェル19（p型チャネル領域35）が形成される。なお、p型不純物としては、たとえば、Al（アルミニウム）、B（ホウ素）等を使用できる。また、p型ウェル19の形成と同時に、n⁻型エピタキシャル層10の残りの部分がn⁻型ドレイン領域20として形成される。

[0103] 次に、n⁻型エピタキシャル層10のベース表面11Bからn型不純物が選択的にイオン注入される。これにより、n⁺型領域21およびn⁺型ソース領域32が同時に形成される。

[0104] 次に、n⁻型エピタキシャル層10が、ゲートトレンチ8、ソーストレンチ33および低段部12を形成すべき領域に開口を有するマスクを用いて選択的にエッチングされる。これにより、n⁻型エピタキシャル層10が選択的にドライエッチングされて、ゲートトレンチ8、ソーストレンチ33および低段部12が形成され、同時に、低表面11Lが形成される。それと共に、ゲートトレンチ8によって、n⁻型エピタキシャル層10が複数の単位セル9に区画される。単位セル9は、柱状部36および環状部37を有することとなる。エッチングガスとしては、たとえば、SF₆（六フッ化硫黄）およびO₂（酸素）を含む混合ガス（SF₆/O₂ガス）、SF₆、O₂およびHBr（臭化水素）を含む混合ガス（SF₆/O₂/HBrガス）等を使用できる。

[0105] なお、外周部3の低表面11Lをゲートトレンチ8の深さよりも深い位置にする場合には、上記エッチングの後、さらに低段部12を選択的にエッチングすればよい。

[0106] 次に、n⁻型エピタキシャル層10の半導体表面11からp型不純物が選択的にイオン注入される。p型不純物は、たとえば、n⁻型エピタキシャル層1

0の半導体表面11に対して垂直方向に注入される。これにより、p型層22、p型層23、p型層38およびp型ガードリング25が同時に形成される。なお、これらの層22、23、38、25は、別々のイオン注入工程によって形成されてもよい。

[0107] 次に、n⁻型エピタキシャル層10の半導体表面11からp型不純物が選択的にイオン注入される。これにより、p⁺型チャネルコンタクト領域34およびp⁺型ウェルコンタクト領域24が同時に形成される。

[0108] 次に、たとえば、1400℃～2000℃でn⁻型エピタキシャル層10が熱処理される。これにより、n⁻型エピタキシャル層10に注入されたp型不純物およびn型不純物のイオンが活性化される。

[0109] 次に、たとえば熱酸化によって、ゲート絶縁膜17およびソーストレンチ絶縁膜39が同時に形成される。なお、ゲート絶縁膜17およびソーストレンチ絶縁膜39を高誘電率（High-k）膜で構成する場合には、CVD法によって膜材料を堆積すればよい。

[0110] 次に、たとえばCVD法によって、n型不純物がドーピングされたポリシリコン材料がn⁻型エピタキシャル層10の上方から堆積される。ポリシリコン材料の堆積は、少なくともゲートトレンチ8およびソーストレンチ33が完全に埋め戻されるまで続けられる。その後、堆積したポリシリコン材料がパターニングされることによって、セル部2ではゲートトレンチ8（内側トレンチ13および外側トレンチ14）外およびソーストレンチ33外のポリシリコン材料が除去され、外周部3ではポリシリコン材料がオーバーラップ部18として残存する。この際、低段部12に埋め込まれたポリシリコン材料は完全に除去される。これにより、ゲート電極16およびトレンチ埋め込み層40が同時に形成される。

[0111] 次に、たとえばCVD法によって、SiO₂等の絶縁材料がn⁻型エピタキシャル層10の上方から堆積される。これにより、表面絶縁膜26が形成される。

[0112] 次に、表面絶縁膜26のセル部2上の部分が選択的にエッチングされる。

これにより、当該部分のみが薄くされて、表面絶縁膜 26 の内側部分 27 および外側部分 28 が形成される。

[0113] 次に、表面絶縁膜 26 が選択的にエッチングされることによって、コンタクトホール 29～31 が同時に形成される。

[0114] 次に、たとえばスパッタ法によって、金属材料が n-型エピタキシャル層 10 の上方から堆積される。そして、当該材料をパターニングすることによって、ソースパッド 4、ゲートパッド 5 およびゲートフィンガー 6 が同時に形成される。以上の工程を経て、図 1～図 7 に示す半導体装置 1 が得られる。

[0115] 以上のように、この半導体装置 1 によれば、p 型層 23 および p 型ガードリング 25 が形成される半導体表面 11 が、ゲートトレンチ 8 の深さと同等かそれ以上の深さ位置の低表面 11L となっている。これにより、ゲートトレンチ 8 の底部から n-型エピタキシャル層 10 の裏面までの当該 n-型エピタキシャル層 10 の厚さを、p 型層 23 および p 型ガードリング 25 から当該裏面までの厚さよりも厚くできる。その結果、n-型エピタキシャル層 10 の表面側－裏面側間にかかる電界を、外周部 3 の p 型層 23 および p 型ガードリング 25 に安定して分担させることができる。よって、ゲートトレンチ 8 の深さに依存せずに、n-型エピタキシャル層 10 に安定した電界分布を形成できるので、ゲートトレンチ 8 の底部への電界集中を良好に緩和できる。

[0116] また、図 2 に示すように、ゲートフィンガー 6 の下方領域にゲートトレンチ 8 が形成されているが、ライン状のコンタクトトレンチ 15 がゲートフィンガー 6 を横切るように形成されているのみであり、しかもコンタクトトレンチ 15 の終端部がゲートフィンガー 6 よりも外側に配置されている。つまり、ゲート電圧の印加時に電界が集中しやすいトレンチの角部（たとえば、内側トレンチ 13 の交差部における角等）がゲートフィンガー 6 の下方に配置されないため、ゲート絶縁膜 17 の信頼性や耐圧を向上できる。

[0117] また、図 7 に示すように、p 型層 38 が、外側トレンチ 14 の底部を介して外側トレンチ 14 の外周縁に跨るようにも形成されている。これにより、p 型層 38 と n-型エピタキシャル層 10（n-型ドレイン領域 20）との接

合（ $p-n$ 接合）から空乏層を発生させることができる。そして、この空乏層が等電位面を外側トレンチ１４から遠ざけるので、外側トレンチ１４の底部にかかる電界を緩和できる。よって、外側トレンチ１４の底部における破壊を防止できる。

[0118] また、図５および図６に示すように、ゲートフィンガー６の下方領域において、 n^- 型エピタキシャル層１０の半導体表面１１（ベース表面１１Ｂ）に n^+ 型領域２１が形成されている。 n^+ 型の半導体領域は n^- 型の半導体領域よりも酸化レートが速いので、ゲート絶縁膜１７を熱酸化によって形成するときに、ゲートフィンガー６の下方領域において、ゲートトレンチ８（コンタクトトレンチ１５）の上部に厚い酸化膜を選択的に形成できる。これにより、ゲート電圧の印加時にコンタクトトレンチ１５の上部エッジにかかる電界を弱め、ゲート絶縁膜１７の絶縁破壊を防止できる。

[0119] また、図３および図４に示すように、セル部２の表面絶縁膜２６（内側部分２７）を選択的に薄くすることによって、コンタクトホール２９内のソース部４１における半導体表面１１（デバイス表面）と表面絶縁膜２６の表面との段差（凹凸）を小さくできる。これにより、コンタクトホール２９にソースパッド４を埋め込んで、表面絶縁膜２６上にソースパッド４を形成するときに、ソースパッド４の平坦性を一層向上できる。

[0120] 一方、外周部３の表面絶縁膜２６（外側部分２８）の厚さは、内側部分２７の厚さと切り離して設計できる。したがって、外周部３の電界分布に影響を与えないような厚さで設計することにより、耐压特性を維持できる。つまり、この構成によれば、ソースパッド４の平坦性の改善に際し、耐压特性の変動や当該変動による耐压不良を防止できる。

[0121] また、図７に示すように、ソーストレンチ３３に、ソーストレンチ絶縁膜３９を介してトレンチ埋め込み層４０が埋め込まれている。そのため、 n^- 型エピタキシャル層１０の表面（デバイス表面）において、コンタクトホール２９から露出するソース部４１とそれ以外の部分との段差（凹凸）を小さくできる。これにより、当該デバイス表面上のソースパッド４の平坦性を向上

できる。したがって、たとえばソースパッド4の表面にワイヤを接合する場合においては、ソースパッド4とワイヤとの密着性を向上できる。その結果、ワイヤを良好に接合できるので、ワイヤ接合部の信頼性を向上できる。さらに、ソースパッド4の平坦性が良いので、ワイヤ接合の際、超音波振動や圧力によってデバイスが破壊されることを防止でき、組み立て歩留まりの低下を防止できる。

[0122] 一方、ソーストレンチ33によって、ゲートトレンチ8の底部付近における等電位面の集中を防止でき、当該底部付近での電位勾配を緩やかにできる。そのため、ゲートトレンチ8の底部に対する電界集中を緩和できる。さらに、 p^+ 型チャネルコンタクト領域34が柱状部36の頂部に形成され、ソーストレンチ33の底部よりも高い位置に配置されている。したがって、ソーストレンチ33が形成されていても、この p^+ 型チャネルコンタクト領域34を介してp型チャネル領域35へのコンタクトを確実にとることができる。つまり、ソースパッド4の平坦性の改善に際し、ゲート耐圧、p型チャネル領域35へのコンタクト性等のデバイス性能の低下を防止できる。

[0123] さらに、この実施形態では、ソーストレンチ33の周囲にp型層38が形成されているので、このp型層38と n^- 型ドレイン領域20との接合(pn接合)から空乏層を発生させることができる。そして、この空乏層が等電位面をゲートトレンチ8から遠ざけるので、ゲートトレンチ8の底部にかかる電界を一層緩和できる。

[0124] また、この実施形態では、Siデバイスに比べてラッチアップが起きにくいSiCデバイスを採用しているため、 p^+ 型チャネルコンタクト領域34とp型チャネル領域35とを、ソーストレンチ33によって互いに離れた位置に設けることができる。すなわち、Siデバイスでは、比較的ラッチアップが起きやすいので、 p^+ 型チャネルコンタクト領域34をp型チャネル領域35の近傍に配置してこれらの領域34、35間の距離をできる限り短くし、当該領域34、35間のベース抵抗を低くすることが好ましい。一方、この半導体装置1のようなSiCデバイスでは、比較的ラッチアップが起きにく

く、領域 34, 35 間のベース抵抗を考慮する重要性が低いので、 p^+ 型チャネルコンタクト領域 34 を p 型チャネル領域 35 の近傍に配置しなくてもよい。したがって、 p^+ 型チャネルコンタクト領域 34 と p 型チャネル領域 35 とを、ソーストレンチ 33 によって互いに離れた位置に設け、これらの領域 34, 35 をソーストレンチ 33 の底部を経由する経路で電氣的に接続できる。

[0125] また、トレンチ埋め込み層 40 の外側にソーストレンチ絶縁膜 39 が配置されているので、 n^- 型エピタキシャル層 10 とソースパッド 4 との間にオフリーク電流が流れることを防止できる。具体的には、 p 型層 38 は、イオン注入時にソーストレンチ 33 の側部にイオンが入りにくいことから、ソーストレンチ 33 の側部において、ソーストレンチ 33 の底部における部分よりも薄くなっている。そのため、オフ時に高い電圧がかかると、この薄い p 型層 38 の部分を通り抜けてオフリーク電流が流れるおそれがある。そこで、ソーストレンチ絶縁膜 39 を形成しておくことで、たとえオフリーク電流が p 型層 38 を通り抜けても、ソーストレンチ絶縁膜 39 で確実にリーク電流を遮断できる。

[0126] また、ソーストレンチ 33 に埋め込まれたトレンチ埋め込み層 40 がポリシリコンであれば、 SiO_2 からなる表面絶縁膜 26 にコンタクトホール 29 を形成するときに、トレンチ埋め込み層 40 (ポリシリコン層) をエッチングストッパとして使用できる。そのため、当該コンタクトエッチングの工程の制御を簡単にできる。

[0127] また、ソーストレンチ 33 をゲートトレンチ 8 と同時に形成するので、製造工程を増やさず、アライメントのずれなくソーストレンチ 33 を簡単に形成できる。さらに、ソーストレンチ 33 とゲートトレンチ 8 の幅が同じであれば、ソーストレンチ 33 のエッチングレートをゲートトレンチ 8 と同じにできるため、ソーストレンチ 33 の形成のためのエッチングを安定して制御できる。

[0128] 次に、図 8～図 12 を参照して、セル部 2 の変形例について説明する。

- [0129] 図8～図12は、セル部2の第1～第5変形例を示す図である。図8～図12において、前述の図7に示された各部と対応する部分には同一の参照符号を付して示す。
- [0130] 図7の形態では、ソーストレンチ33に埋め込まれたトレンチ埋め込み部は、ソーストレンチ絶縁膜39およびトレンチ埋め込み層40（ポリシリコン層）からなっていたが、図8に示すように、ソーストレンチ33を埋め戻す絶縁層42のみからなってもよい。
- [0131] 絶縁層42の材料としては、 SiO_2 を使用でき、より好ましくは、リン（P）またはホウ素（B）を含む SiO_2 を使用する。そのような SiO_2 としては、たとえば、PSG（リンシリケートガラス）、PBSG（リンホウ素シリケートガラス）を使用できる。
- [0132] 図8に示す形態の半導体装置の製造工程は、上で説明した工程と実質的に同様である。ただし、ゲート電極16およびトレンチ埋め込み層40を形成した後、トレンチ埋め込み層40が選択的にエッチングして除去され、ソーストレンチ33が空洞にされる。そしてn-型エピタキシャル層10上に表面絶縁膜26に形成することによって、表面絶縁膜26の一部を利用してソーストレンチ33を埋め戻す。これにより、ソーストレンチ絶縁膜39および表面絶縁膜26がソーストレンチ33内で一体化して、絶縁層42が形成される。
- [0133] この構成によれば、ソーストレンチ33が絶縁層42で満たされているので、n-型エピタキシャル層10とソースパッド4との間にオフリーク電流が流れることを効果的に防止できる。
- [0134] また、絶縁層42がリンまたはホウ素を含む SiO_2 であれば、 SiO_2 の融点が低下するので、絶縁層42の埋め込みプロセスを簡単にできる。
- [0135] また、図9に示すように、ソーストレンチ33に埋め込まれたトレンチ埋め込み部は、ソーストレンチ33を埋め戻すポリシリコン層43のみからなってもよい。ポリシリコン層43の材料としては、p+型ポリシリコンを使用することが好ましい。

- [0136] 図8に示す形態の半導体装置の製造工程は、上で説明した工程と実質的に同様である。ただし、ゲート絶縁膜17およびソーストレンチ絶縁膜39を形成した後、ソーストレンチ絶縁膜39が選択的にエッチングして除去され、ソーストレンチ33が空洞にされる。そして、 n^- 型エピタキシャル層10の上方からポリシリコンが堆積されることによって、そのポリシリコンでソーストレンチ33を埋め戻す。これにより、ゲート電極16とポリシリコン層43が同時に形成される。
- [0137] この構成によれば、ソーストレンチ33にポリシリコン層43が埋め込まれているので、 SiO_2 からなる表面絶縁膜26にコンタクトホール29を形成するとき、ポリシリコン層43をエッチングストッパとして使用できる。そのため、当該コンタクトエッチングの工程の制御を簡単にできる。
- [0138] また、ポリシリコン層43が p^+ 型ポリシリコンであれば、このポリシリコン層43を利用して、 p^+ 型チャネルコンタクト領域34と p 型チャネル領域35とを電氣的に接続できる。これにより、領域34、35間の電流路の長さを短くできるので、これらの間のベース抵抗を小さくできる。その結果、ラッチアップを良好に防止できる。さらに、 p^+ 型チャネルコンタクト領域34がソーストレンチ33の側面でポリシリコン層43に接しているため、これらの間のコンタクト抵抗を小さくすることもできる。このコンタクト抵抗の低減化も、領域34、35間のベース抵抗の低減化に寄与する。
- [0139] また、図7の形態では、ソーストレンチ33は、環状の n^+ 型ソース領域32に取り囲まれた領域に環状に形成されていたが、図10に示すように、 n^+ 型ソース領域32に取り囲まれた領域に平面視四角形の窪み状のソーストレンチ44が形成されていてもよい。この場合、ソーストレンチ44の底部において p 型層38の表面部に p^+ 型チャネルコンタクト領域45が形成されていてもよい。
- [0140] また、図7の形態では、ゲート電極16は、ゲート絶縁膜17の内側を埋め戻すポリシリコンのみからなる層であったが、図11に示すように、ゲート絶縁膜17上に、一方表面および他方表面がゲートトレンチ8の内面に沿

うように形成されたポリシリコンからなる下地膜４６と、下地膜４６の内側に埋め込まれたMo、W、Al、Pt、NiおよびTiの少なくとも一種を含む埋め込みメタル４７とからなってもよい。この場合、ソーストレンチ３３内のトレンチ埋め込み部も同様に、ソーストレンチ絶縁膜３９上に、一方表面および他方表面がソーストレンチ３３の内面に沿うように形成されたポリシリコンからなる下地膜４８と、下地膜４８の内側に埋め込まれた埋め込みメタル４７と同じ材料からなる埋め込みメタル４９とからなってもよい。

[0141] この構成によれば、埋め込みメタル４７を用いたメタルゲートによって、ポリシリコンゲートに比べてゲート抵抗を比較的に低くできるので、トランジスタのスイッチング速度を高速化できる。

[0142] また、図７のセル部２にはトレンチゲート型構造のMISFETが形成されていたが、図１２に示すように、セル部２にプレーナ型構造のMISFETを形成してもよい。

[0143] すなわち、図１２に示す形態では、セル部２にはp型ウェル１９が各単位セル９に対応するようにマトリクス状（行列状）に配列されている。各p型ウェル１９の表面部には、ベース表面１１Ｂに露出するように環状のn⁺型ソース領域５０が形成されている。そして、各p型ウェル１９の外周縁とn⁺型ソース領域５０の外周縁との間の領域に対向するように、ゲート電極５１がゲート絶縁膜５２を介して配置されている。表面絶縁膜２６は、このゲート電極５１を被覆している。

<第２実施形態>

図１３および図１４は、本発明の第２実施形態に係る半導体装置の模式断面図であって、それぞれ図３および図４に対応する断面構造を示している。図１３および図１４において、前述の図３および図４に示された各部と対応する部分には同一の参照符号を付して示す。

[0144] 前述の第１実施形態では、低段部１２によるベース表面１１Ｂと低表面１１Ｌとの境界は、セル部２および外周部３に跨るp型ウェル１９に対するソ

ースパッド4のコンタクト位置よりも内側に設定されていたが、図13および図14に示すように、外側に設定されていてもよい。この場合、 p^+ 型ウェルコンタクト領域24は、 p 型ウェル19の内方領域において n^+ 型領域21に対して外側に間隔を空けた位置に形成されている。

[0145] この構成によれば、 p^+ 型チャネルコンタクト領域34と p^+ 型ウェルコンタクト領域24の両方をベース表面11Bに形成できるので、これらの領域24, 34を形成するときのイオン注入時、マスクのアライメントを合わせやすくできる。むろん、第1実施形態と同様の効果を実現することもできる。

<第3実施形態>

図15および図16は、本発明の第3実施形態に係る半導体装置の模式断面図であって、それぞれ図3および図4に対応する断面構造を示している。図15および図16において、前述の図3および図4に示された各部と対応する部分には同一の参照符号を付して示す。

[0146] 前述の第1実施形態では、外周部3に低段部12が形成されていたが、この第3実施形態では、外周部3に低段部21が形成されておらず、外周部3は、セル部2のベース表面11Bと同じ高さ位置の半導体表面11を有している。

[0147] この構成によれば、 p^+ 型チャネルコンタクト領域34と p^+ 型ウェルコンタクト領域24の両方をベース表面11Bに形成できるので、これらの領域24, 34を形成するときのイオン注入時、マスクのアライメントを合わせやすくできる。むろん、第1実施形態と同様の効果を実現することもできる。

<第1参考形態>

図17および図18は、本発明の第1参考形態に係る半導体装置の模式断面図であって、それぞれ図3および図4に対応する断面構造を示している。図17および図18において、前述の図3および図4に示された各部と対応する部分には同一の参照符号を付して示す。

[0148] 前述の第1実施形態では、表面絶縁膜26は、セル部2上の内側部分27が、外周部3上の外側部分28よりも薄くなるように形成されていたが、図17および図18に示すように、セル部2上の内側部分27が、外周部3上の外側部分28と同じ厚さで形成されていてもよい。その膜厚は、たとえば、5500Å～20000Å程度であってよい。

<第2参考形態>

図19および図20は、本発明の第2参考形態に係る半導体装置の模式断面図であって、それぞれ図3および図4に対応する断面構造を示している。図19および図20において、前述の図3および図4に示された各部と対応する部分には同一の参照符号を付して示す。

[0149] 図19および図20の構造は、第2実施形態の構造に、前述の第1参考形態の様な厚さの表面絶縁膜26の構成を組み合わせた例である。

<第4実施形態>

図21は、本発明の第4実施形態に係る半導体装置の模式断面図であって、図3に対応する断面構造を示している。図21において、前述の図3に示された各部と対応する部分には同一の参照符号を付して示す。

[0150] 前述の第1実施形態では、外周部3の耐压構造は、p型層23およびp型ガードリング25のように、p型の半導体領域のみからなるものであったが、図21に示すように、低表面11Lに形成されたトレンチと、当該トレンチの底部に形成されたp型の半導体領域とを含む構成であってもよい。この場合、トレンチ内には絶縁膜を介して導電材料が埋め込まれていてもよい。この実施形態では、低表面11Lに形成され、セル部2を取り囲む環状のトレンチ53と、トレンチ53の底部および側部に形成され、その内方領域がトレンチ53に接するp型層54とを含む、ガードリング55が形成されている。トレンチ53には、トレンチ絶縁膜56を介してポリシリコン層57が埋め込まれている。

[0151] この構成によっても、第1実施形態と同様の効果を実現できる。

[0152] 以上、本発明の実施形態を説明したが、本発明は、他の形態で実施するこ

ともできる。

[0153] たとえば、半導体装置 1 の各半導体部分の導電型を反転した構成が採用されてもよい。たとえば、半導体装置 1 において、p 型の部分が n 型であり、n 型の部分が p 型であってもよい。

[0154] また、半導体装置 1 において、半導体層を構成する層は、SiC からなる n 型エピタキシャル層に限らず、GaN、ダイヤモンド、Si からなる層等であってもよい。

[0155] また、各单位セル 9 は、平面視正方形（四角形状）に限らず、たとえば、平面視三角形、平面視五角形、平面視六角形等の他の平面視多角形状であってもよい。

[0156] 本発明の半導体装置は、たとえば、電気自動車（ハイブリッド車を含む）、電車、産業用ロボットなどの動力源として利用される電動モータを駆動するための駆動回路を構成するインバータ回路に用いられるパワーモジュールに組み込むことができる。また、太陽電池、風力発電機その他の発電装置（とくに自家発電装置）が発生する電力を商用電源の電力と整合するように変換するインバータ回路に用いられるパワーモジュールにも組み込むことができる。

[0157] また、前述の実施形態の開示から把握される特徴は、異なる実施形態間でも互いに組み合わせることができる。また、各実施形態において表した構成要素は、本発明の範囲で組み合わせることができる。

[0158] 本発明の実施形態は、本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

[0159] 本出願は、2013 年 3 月 5 日に日本国特許庁に提出された特願 2013-43407 号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

符号の説明

- [0160]
- 1 半導体装置
 - 2 セル部
 - 3 外周部
 - 4 ソースパッド
 - 5 ゲートパッド
 - 6 ゲートフィンガー
 - 7 除去領域
 - 8 ゲートトレンチ
 - 9 単位セル
 - 10 n-型エピタキシャル層
 - 11 半導体表面
 - 11B ベース表面
 - 11L 低表面
 - 12 低段部
 - 13 内側トレンチ
 - 14 外側トレンチ
 - 15 コンタクトトレンチ
 - 16 ゲート電極
 - 17 ゲート絶縁膜
 - 18 オーバーラップ部
 - 19 p型ウェル
 - 20 n-型ドレイン領域
 - 21 n+型領域
 - 22 p型層
 - 23 p型層
 - 24 p+型ウェルコンタクト領域
 - 25 p型ガードリング
 - 26 表面絶縁膜

- 27 内側部分
- 28 外側部分
- 29 コンタクトホール
- 30 コンタクトホール
- 31 コンタクトホール
- 32 n^+ 型ソース領域
- 33 ソーストレンチ
- 34 p^+ 型チャネルコンタクト領域
- 35 p 型チャネル領域
- 36 柱状部
- 37 環状部
- 38 p 型層
- 39 ソーストレンチ絶縁膜
- 40 トレンチ埋め込み層
- 41 ソース部
- 42 絶縁層
- 43 ポリシリコン層
- 44 ソーストレンチ
- 45 p^+ 型チャネルコンタクト領域
- 46 下地膜
- 47 埋め込みメタル
- 48 下地膜
- 49 埋め込みメタル
- 50 n^+ 型ソース領域
- 51 ゲート電極
- 52 ゲート絶縁膜
- 53 トレンチ
- 54 p 型層

- 5 5 ガードリング
- 5 6 トレンチ絶縁膜
- 5 7 ポリシリコン層

請求の範囲

- [請求項1] セル部および前記セル部の周囲に配置された外周部を有する第1導電型の半導体層と、
- 前記セル部および前記外周部に跨るように配置され、前記セル部において、前記外周部における部分よりも薄くなるように形成された表面絶縁膜とを含む、半導体装置。
- [請求項2] 前記半導体装置は、
- 前記セル部の表面側に形成されたゲートトレンチと、
- ゲート絶縁膜を介して前記ゲートトレンチに埋め込まれ、オン時に前記ゲートトレンチの側部にチャネルを形成するゲート電極とを含み、
- 前記外周部は、前記ゲートトレンチの深さ以上の深さ位置に配置された半導体表面を有しており、
- 前記外周部の前記半導体表面に形成された第2導電型の半導体領域を有する耐压構造をさらに含む、請求項1に記載の半導体装置。
- [請求項3] 前記半導体装置は、前記ゲート電極に対してコンタクトをとるためのゲートフィンガーをさらに含み、
- 前記ゲートトレンチは、前記ゲートフィンガーの下方において前記ゲートフィンガーを横切るライン状のトレンチを含む、請求項2に記載の半導体装置。
- [請求項4] 前記ゲートトレンチは、オン時に前記チャネルがその側部に形成される内側トレンチと、当該内側トレンチの延長部で構成され、当該内側トレンチに対して外側に配置された外側トレンチとを含み、
- 前記半導体装置は、前記外側トレンチの側部および底部に形成された第2導電型の層をさらに含む、請求項2または3に記載の半導体装置。
- [請求項5] 前記半導体装置は、前記ゲート電極に対してコンタクトをとるためのゲートフィンガーをさらに含み、

前記ゲートトレンチは、前記ゲートフィンガーの下方領域に選択的に形成されており、

前記半導体装置は、当該下方領域において前記ゲートトレンチが形成されていない前記半導体層の半導体表面に形成され、前記半導体層よりも高濃度に不純物を含有する第1導電型の高濃度層をさらに含む、請求項2に記載の半導体装置。

[請求項6]

前記セル部は、

前記半導体層の表面に露出するように配置された第1導電型のソース領域と、

前記ソース領域に接するように配置され、オン時に前記チャンネルが形成される第2導電型のチャンネル領域と、

前記チャンネル領域に接するように配置された第1導電型のドレイン領域と、

前記半導体層の前記表面において前記ソース領域を含むように区画されたソース部に選択的に形成された第2トレンチと、

前記第2トレンチの底部に選択的に配置され、前記チャンネル領域と電氣的に接続された第2導電型のチャンネルコンタクト領域とを含む、請求項1～5のいずれか一項に記載の半導体装置。

[請求項7]

前記セル部は、

前記半導体層の表面に露出するように配置された第1導電型のソース領域と、

前記ソース領域に接するように配置され、オン時に前記チャンネルが形成される第2導電型のチャンネル領域と、

前記チャンネル領域に接するように配置された第1導電型のドレイン領域と、

前記半導体層の前記表面において前記ソース領域を含むように区画されたソース部に選択的に形成された第2トレンチと、

前記第2トレンチに埋め込まれたトレンチ埋め込み部と、

前記ソース部において前記第2トレンチの底部よりも高い位置に選択的に配置され、前記チャネル領域と電氣的に接続された第2導電型のチャネルコンタクト領域とを含む、請求項1～5のいずれか一項に記載の半導体装置。

[請求項8] 前記トレンチ埋め込み部は、前記第2トレンチの内面に形成された絶縁膜と、前記絶縁膜の内側に埋め込まれたポリシリコン層とからなる、請求項7に記載の半導体装置。

[請求項9] 前記絶縁膜は、 SiO_2 、 AlON 、 Al_2O_3 、 SiO_2/AlON 、 $\text{SiO}_2/\text{AlON}/\text{SiO}_2$ 、 SiO_2/SiN および $\text{SiO}_2/\text{SiN}/\text{SiO}_2$ のいずれかからなる、請求項8に記載の半導体装置。

[請求項10] 前記絶縁膜は、窒素（N）を含む SiO_2 膜を有する、請求項8または9に記載の半導体装置。

[請求項11] 前記絶縁膜は、前記第2トレンチの前記底部において、前記第2トレンチの側部における部分よりも厚くなるように形成されている、請求項8～10のいずれか一項に記載の半導体装置。

[請求項12] 前記ポリシリコン層は、 n^+ 型ポリシリコンからなる、請求項8～11のいずれか一項に記載の半導体装置。

[請求項13] 前記トレンチ埋め込み部は、前記第2トレンチを埋め戻す絶縁層からなる、請求項7に記載の半導体装置。

[請求項14] 前記絶縁層は、 SiO_2 からなる、請求項13に記載の半導体装置。

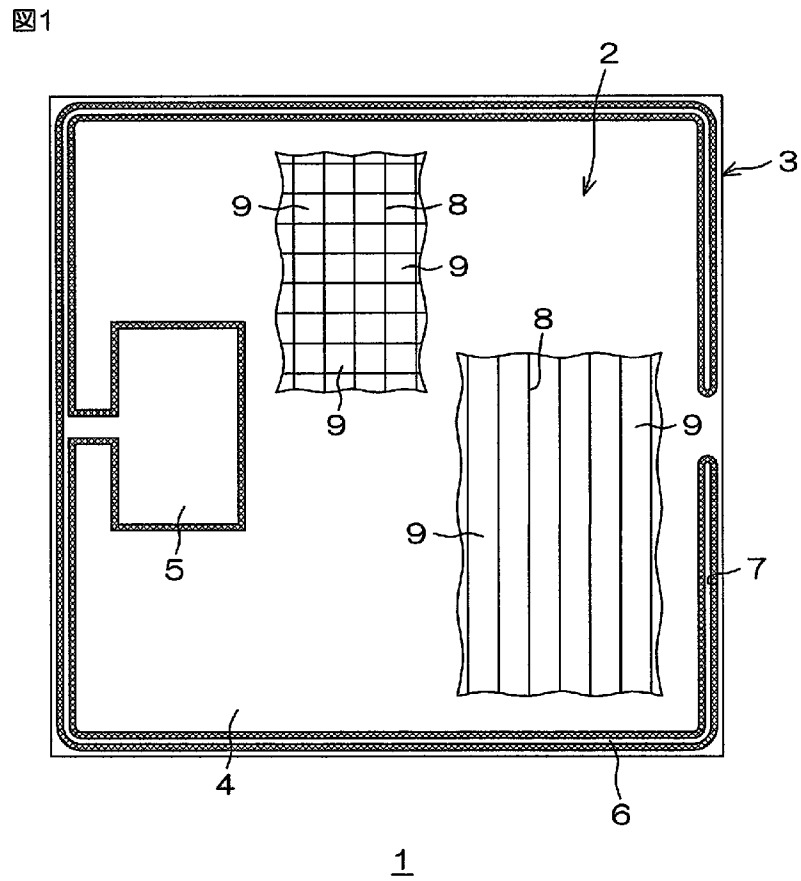
[請求項15] 前記絶縁層は、リン（P）またはホウ素（B）を含む SiO_2 からなる、請求項14に記載の半導体装置。

[請求項16] 前記トレンチ埋め込み部は、前記第2トレンチを埋め戻すポリシリコン層からなる、請求項7に記載の半導体装置。

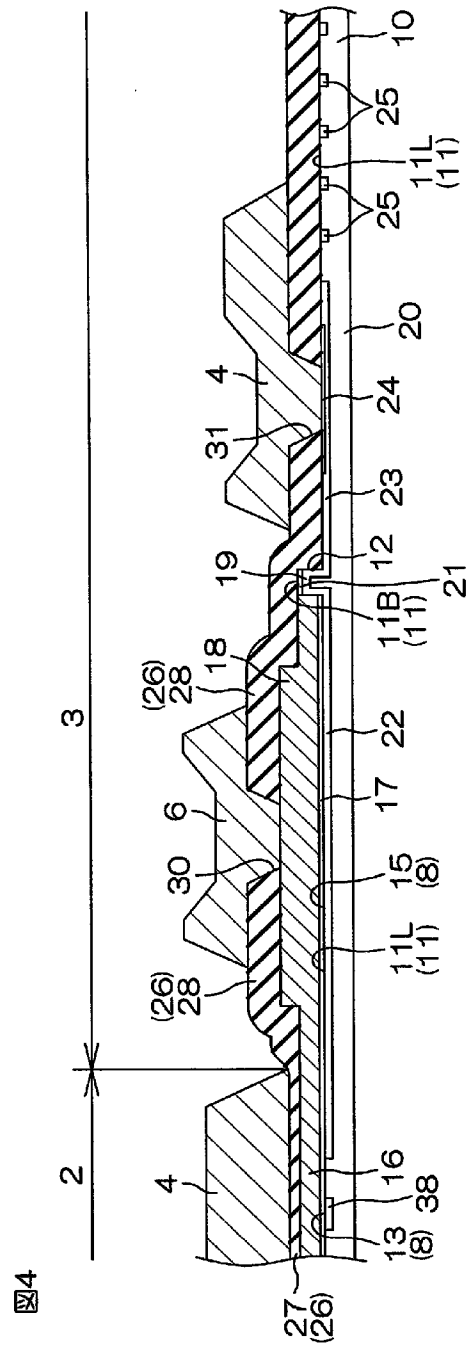
[請求項17] 前記ポリシリコン層は、 p^+ 型ポリシリコンからなる、請求項16に記載の半導体装置。

- [請求項18] 前記チャネル領域および前記チャネルコンタクト領域に連なるように、前記第2トレンチの前記底部および側部に形成された第2導電型の層をさらに含む、請求項6～17のいずれか一項に記載の半導体装置。
- [請求項19] 前記ゲート電極は、前記ゲートトレンチの内面に形成されたポリシリコンからなる下地膜と、前記下地膜の内側に埋め込まれたMo、W、Al、Pt、NiおよびTiの少なくとも一種を含む埋め込みメタルとを含む、請求項2～5のいずれか一項に記載の半導体装置。
- [請求項20] 前記半導体装置は、前記半導体層の表面側に配置された銅(Cu)を含む金属からなる表面金属層をさらに含む、請求項1～19のいずれか一項に記載の半導体装置。
- [請求項21] 前記表面金属層は、Al-Cu系合金を含む、請求項20に記載の半導体装置。
- [請求項22] 前記セル部には、前記ゲートトレンチによって格子状に区画された単位セルが複数形成されている、請求項2～5のいずれか一項に記載の半導体装置。
- [請求項23] 前記セル部には、前記ゲートトレンチによってストライプ状に区画された単位セルが複数形成されている、請求項2～5のいずれか一項に記載の半導体装置。
- [請求項24] 前記半導体層は、SiC、GaNまたはダイヤモンドからなる、請求項1～23のいずれか一項に記載の半導体装置。

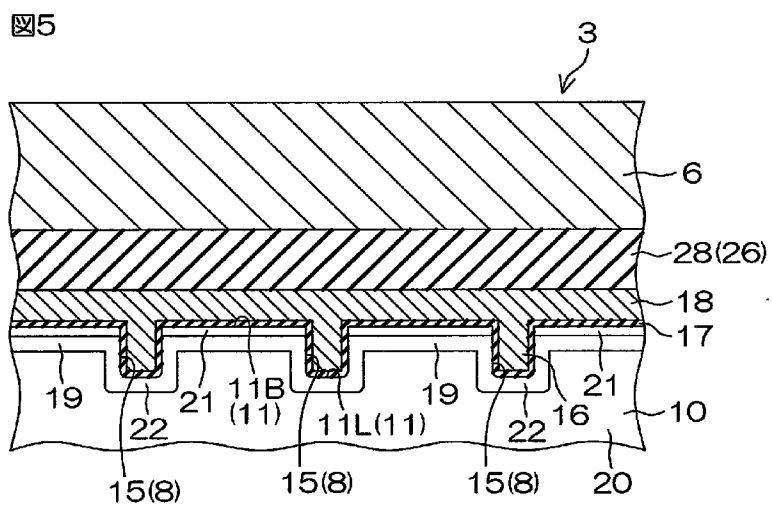
[図1]



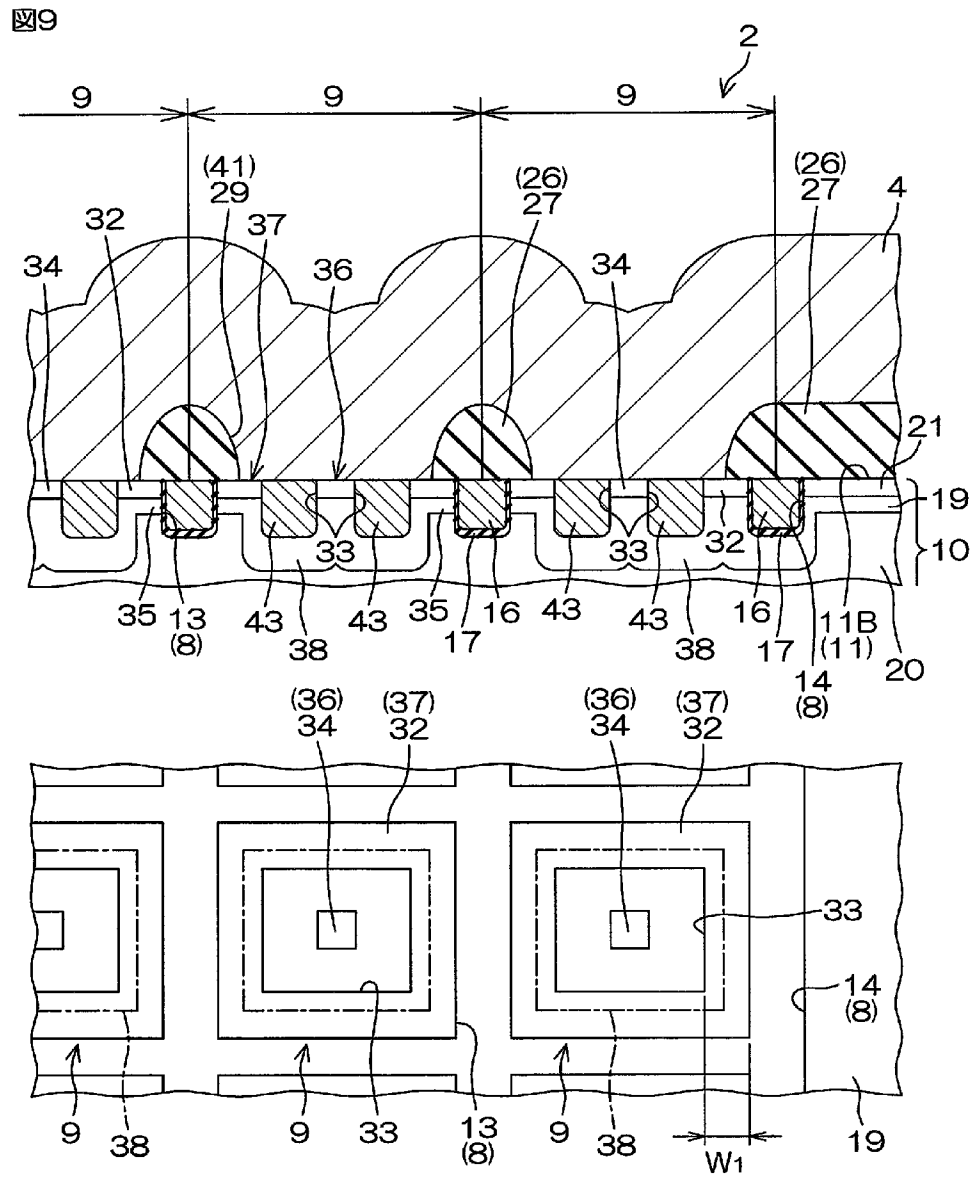
[図4]



[図5]

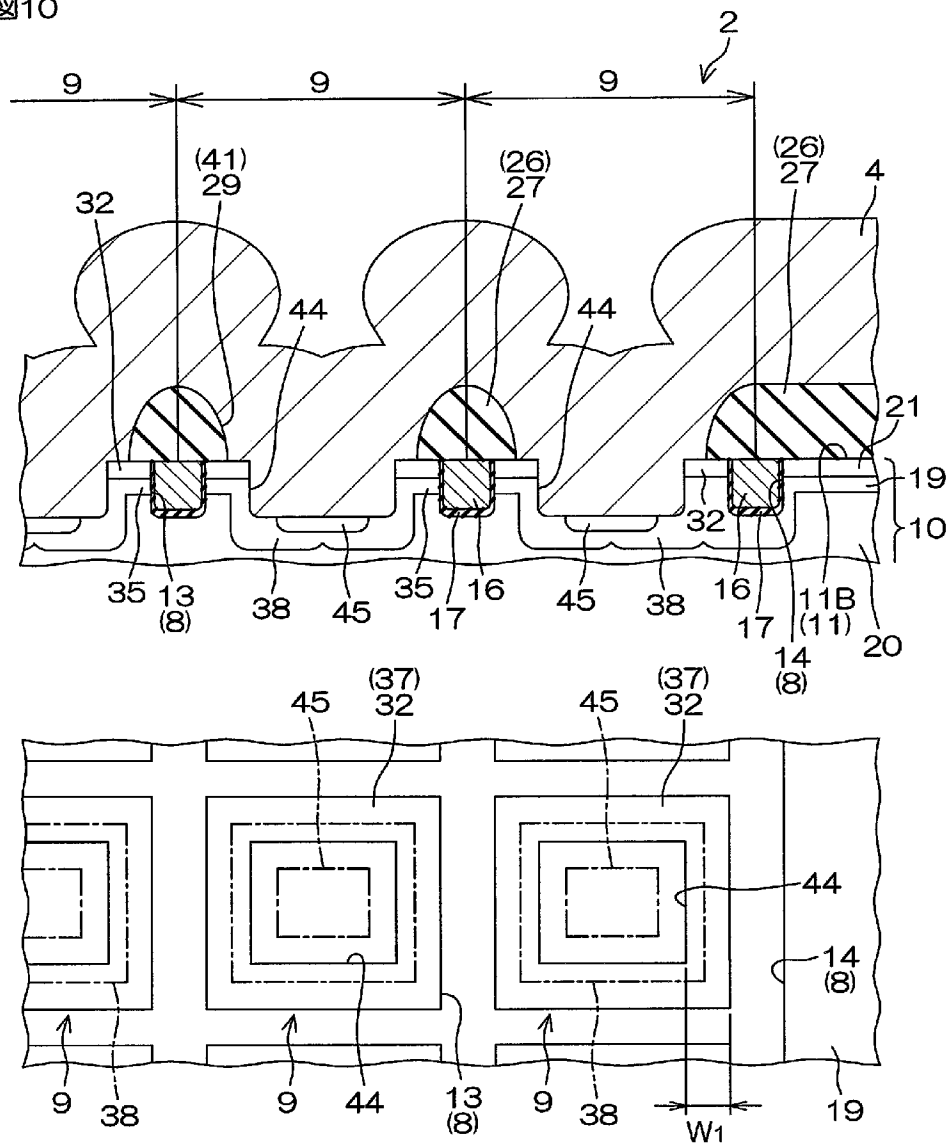


[図9]



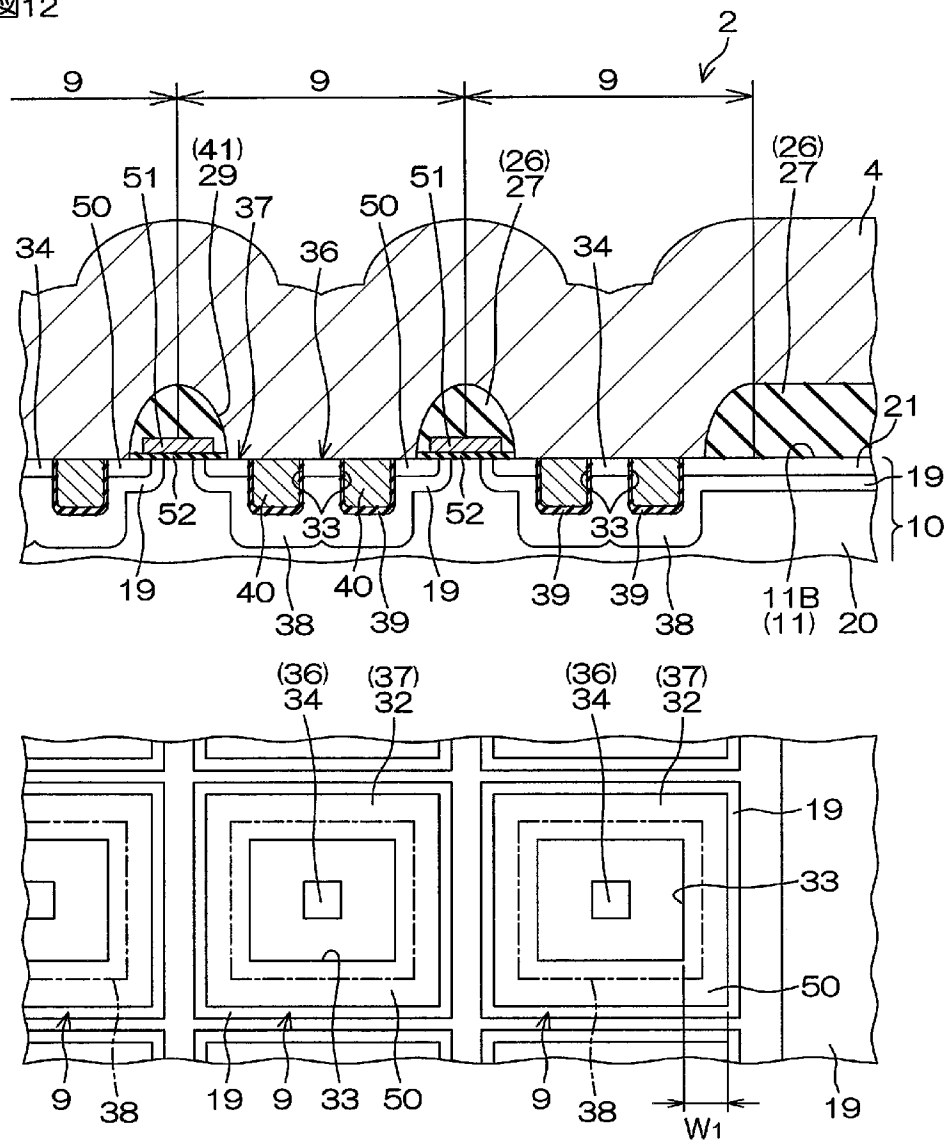
[図10]

図10

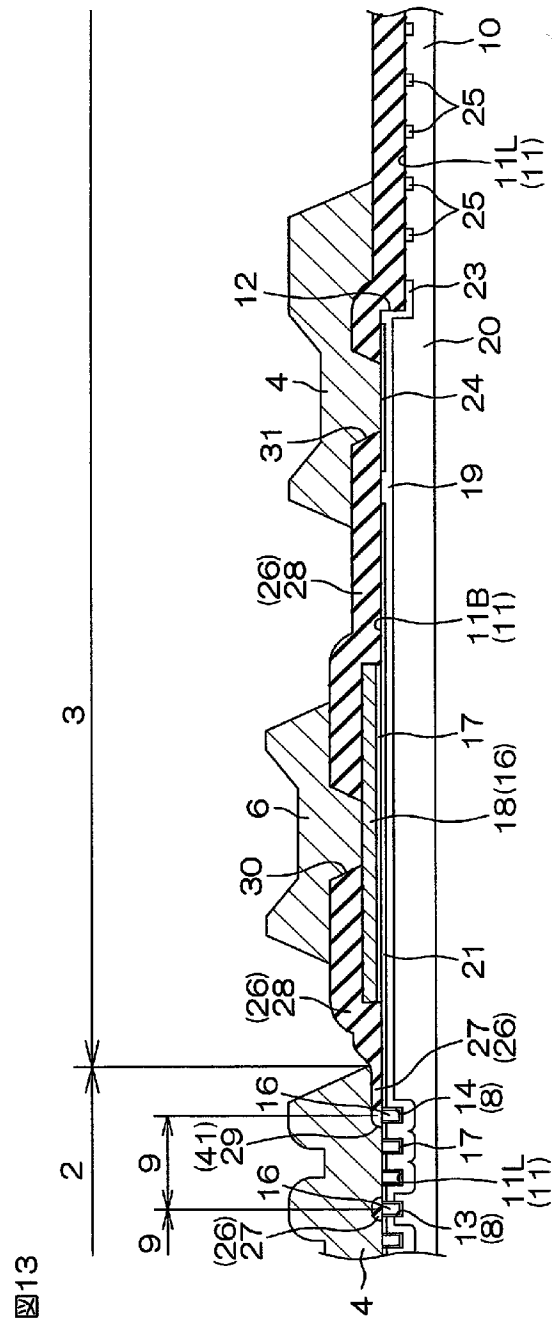


[図12]

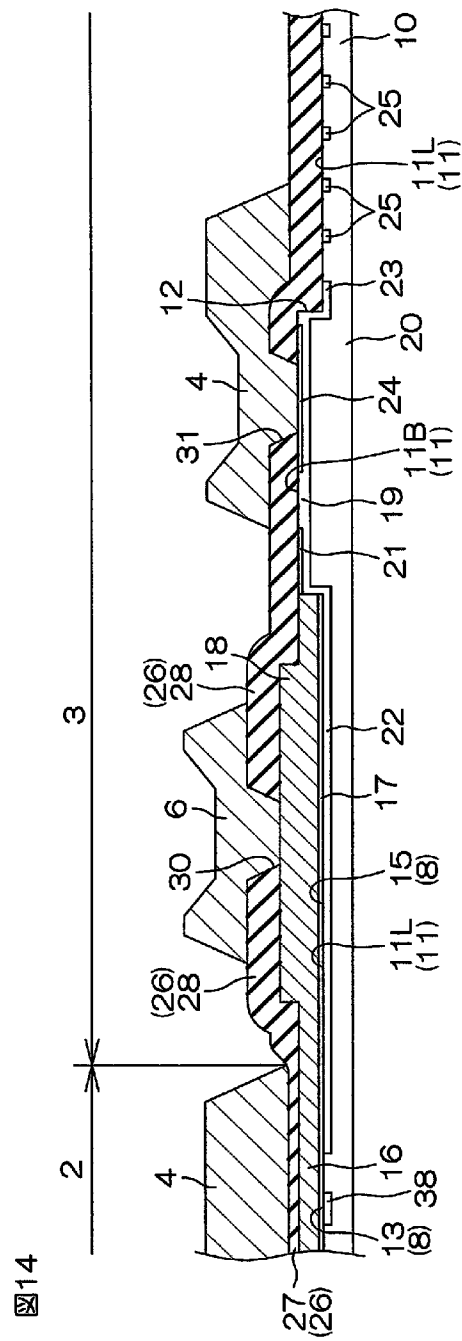
図12



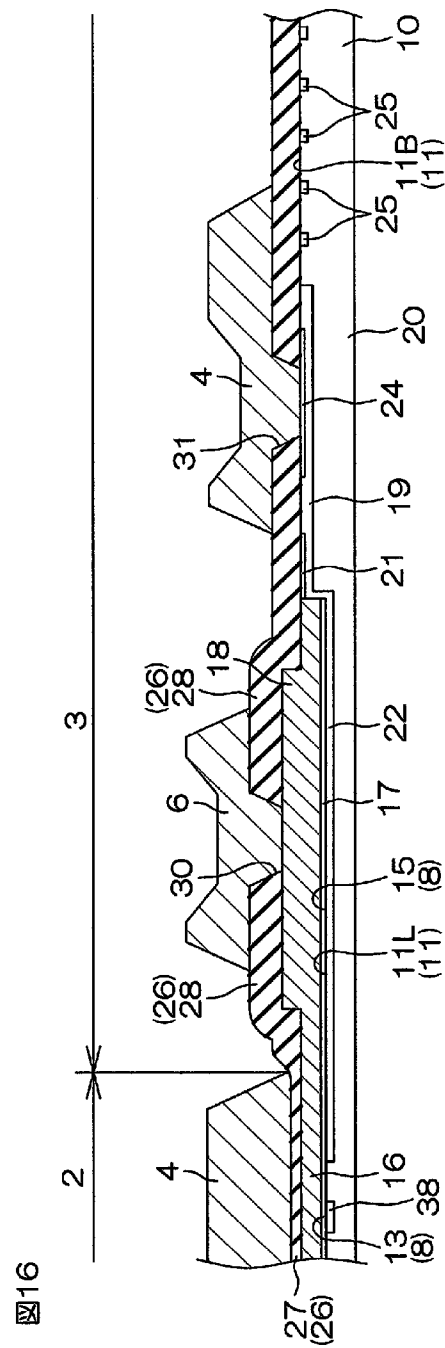
[図13]



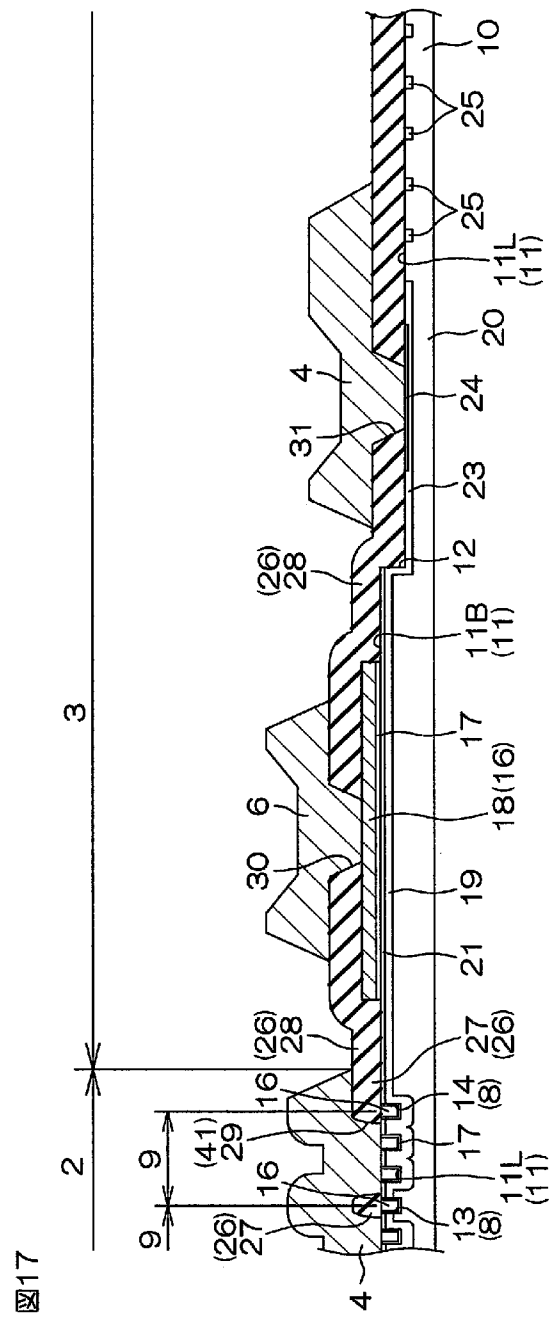
[図14]



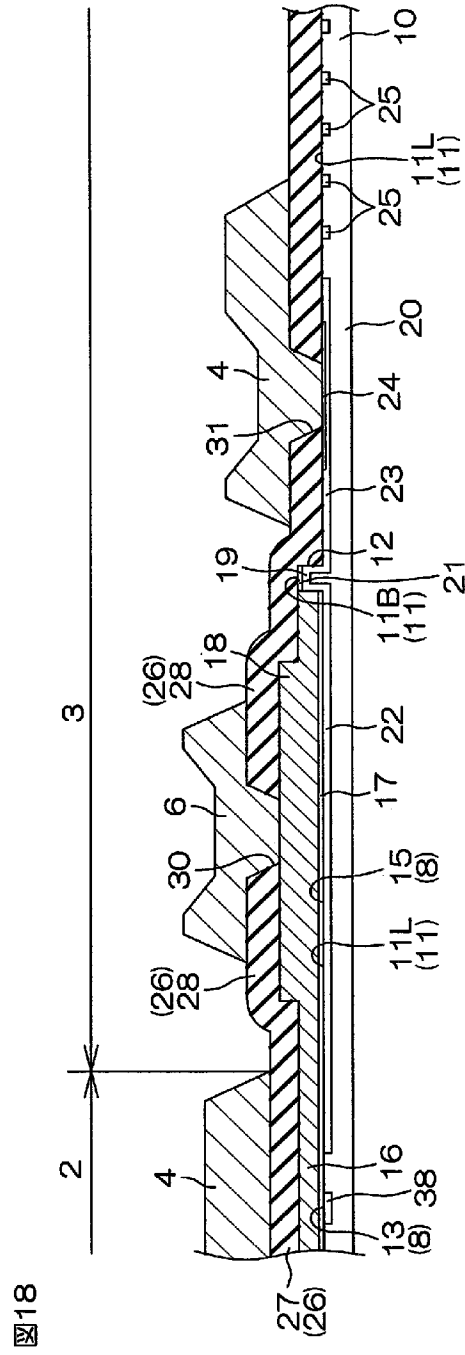
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/055519

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L29/06, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2011-210916 A (Mitsumi Electric Co., Ltd.), 20 October 2011 (20.10.2011), paragraphs [0026] to [0049]; fig. 1 & US 2011/0244638 A1 & CN 102208367 A	1 2-24
Y	JP 2012-4312 A (Denso Corp.), 05 January 2012 (05.01.2012), paragraphs [0032] to [0048]; fig. 1 (Family: none)	2-24
Y	JP 2012-60147 A (Siliconix, Inc.), 22 March 2012 (22.03.2012), paragraphs [0030] to [0031]; fig. 25 & US 2003/0178673 A1 & EP 1351313 A2 & CN 1455459 A	3-24

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
09 April, 2014 (09.04.14)

Date of mailing of the international search report
22 April, 2014 (22.04.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/055519

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-199515 A (Toshiba Corp.), 18 October 2012 (18.10.2012), paragraphs [0012] to [0039]; fig. 1 & US 2012/0228637 A1	4, 6-24
Y	JP 2012-178536 A (Rohm Co., Ltd.), 13 September 2012 (13.09.2012), paragraphs [0030] to [0050], [0089]; fig. 2, 4 & WO 2012/105613 A1 & EP 2672517 A1 & US 2013/306983 A1	6-24
Y	JP 2002-353456 A (Mitsubishi Electric Corp.), 06 December 2002 (06.12.2002), paragraphs [0062] to [0081]; fig. 1 & US 2002/0179976 A1 & DE 10161129 A1 & KR 10-2002-0090837 A	8-12, 18-24
Y	JP 2001-320051 A (Sanyo Electric Co., Ltd.), 16 November 2001 (16.11.2001), paragraph [0026]; fig. 3 (Family: none)	19-24
A	JP 2007-5516 A (Toyota Central Research and Development Laboratories, Inc.), 11 January 2007 (11.01.2007), entire text; all drawings & US 2007/0013412 A1	1-24
A	JP 2011-101036 A (Denso Corp.), 19 May 2011 (19.05.2011), entire text; all drawings (Family: none)	1-24
A	JP 2012-9502 A (Denso Corp.), 12 January 2012 (12.01.2012), entire text; all drawings & US 2011/0309464 A1 & DE 102011077764 A1 & CN 102299180 A	1-24
A	JP 2012-33802 A (Toshiba Corp.), 16 February 2012 (16.02.2012), entire text; all drawings & US 2012/0025306 A1 & CN 102347353 A & TW 201222818 A1	1-24
A	JP 2011-124464 A (Toshiba Corp.), 23 June 2011 (23.06.2011), entire text; all drawings & US 2011/0140197 A1 & CN 102097470 A	1-24

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/78(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L29/06, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2011-210916 A（ミツミ電機株式会社） 2011.10.20, 段落【0026】 - 【0049】，第1図	1
Y	& US 2011/0244638 A1 & CN 102208367 A	2-24
Y	JP 2012-4312 A（株式会社デンソー） 2012.01.05, 段落【0032】 - 【0048】，第1図（ファミリーなし）	2-24

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 0 4 . 2 0 1 4

国際調査報告の発送日

2 2 . 0 4 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

土谷 慎吾

5 F

3 1 4 3

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-60147 A (シリコニックス・インコーポレイテッド) 2012.03.22, 段落【0030】 - 【0031】, 第25図 & US 2003/0178673 A1 & EP 1351313 A2 & CN 1455459 A	3-24
Y	JP 2012-199515 A (株式会社東芝) 2012.10.18, 段落【0012】 - 【0039】, 第1図 & US 2012/0228637 A1	4, 6-24
Y	JP 2012-178536 A (ローム株式会社) 2012.09.13, 段落【0030】 - 【0050】, 【0089】, 第2, 4図 & WO 2012/105613 A1 & EP 2672517 A1 & US 2013/306983 A1	6-24
Y	JP 2002-353456 A (三菱電機株式会社) 2002.12.06, 段落【0062】 - 【0081】, 第1図 & US 2002/0179976 A1 & DE 10161129 A1 & KR 10-2002-0090837 A	8-12, 18-24
Y	JP 2001-320051 A (三洋電機株式会社) 2001.11.16, 段落【0026】, 第3図 (ファミリーなし)	19-24
A	JP 2007-5516 A (株式会社豊田中央研究所) 2007.01.11, 全文, 全図 & US 2007/0013412 A1	1-24
A	JP 2011-101036 A (株式会社デンソー) 2011.05.19, 全文, 全図 (ファミリーなし)	1-24
A	JP 2012-9502 A (株式会社デンソー) 2012.01.12, 全文, 全図 & US 2011/0309464 A1 & DE 102011077764 A1 & CN 102299180 A	1-24
A	JP 2012-33802 A (株式会社東芝) 2012.02.16, 全文, 全図 & US 2012/0025306 A1 & CN 102347353 A & TW 201222818 A1	1-24
A	JP 2011-124464 A (株式会社東芝) 2011.06.23, 全文, 全図 & US 2011/0140197 A1 & CN 102097470 A	1-24