



(12) 发明专利

(10) 授权公告号 CN 108123712 B

(45) 授权公告日 2022. 03. 29

(21) 申请号 201711046545.6

(22) 申请日 2017.10.31

(65) 同一申请的已公布的文献号
申请公布号 CN 108123712 A

(43) 申请公布日 2018.06.05

(30) 优先权数据
62/428,146 2016.11.30 US
15/428,841 2017.02.09 US

(73) 专利权人 台湾积体电路制造股份有限公司
地址 中国台湾新竹

(72) 发明人 蔡宗宪 沈瑞滨 张智贤 谢正祥

(74) 专利代理机构 北京德恒律治知识产权代理有限公司 11409
代理人 章社杲 李伟

(51) Int.Cl.
H03L 7/08 (2006.01)
H03L 7/085 (2006.01)

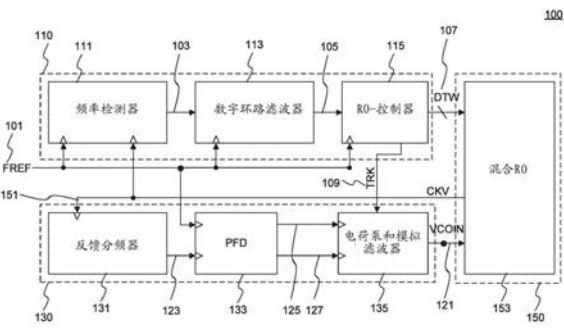
(56) 对比文件
CN 100367672 C, 2008.02.06
US 6141163 A, 2000.10.31
US 2013027139 A1, 2013.01.31
US 2011279156 A1, 2011.11.17
US 6674824 B1, 2004.01.06
US 5304955 A, 1994.04.19
CN 102281065 A, 2011.12.14
US 6097244 A, 2000.08.01
CN 102820887 A, 2012.12.12
CN 1442955 A, 2003.09.17

审查员 李桂英

权利要求书3页 说明书18页 附图17页

(54) 发明名称
混合锁相环及其运行方法

(57) 摘要
本发明提供了一种混合锁相环 (PLL) 器件, 该混合锁相环 (PLL) 器件结合了数字控制环路和模拟控制环路的优势。例如, 混合PLL包括接收混合PLL的输入参考信号和输出信号并生成数字调节字的数字控制环路。混合PLL还包括接收混合PLL的输入参考信号和输出信号并生成输出电压的模拟控制环路。混合PLL还包括混合振荡器。在混合PLL的频率跟踪运行模式期间, 数字控制环路的振荡控制器使用数字调节字控制混合振荡器并禁用模拟控制环路。在混合PLL的相位跟踪运行模式期间, 振荡控制器使能模拟控制环路以控制混合振荡器。本发明还提供了一种混合锁相环器件的运行方法。



1. 一种混合锁相环 (PLL), 包括:

数字控制环路, 配置为接收混合锁相环的输入参考信号和输出信号, 并生成数字调节字;

模拟控制环路, 配置为接收所述混合锁相环的输入参考信号和输出信号, 并生成输出电压; 以及

混合振荡器, 连接至所述数字控制环路和所述模拟控制环路;

其中, 所述数字控制环路包括:

鉴频器, 包括参考累加器和可变累加器, 并且配置为比较所述混合锁相环的输入参考信号的第一频率和输出信号的第二频率以提供误差信号;

振荡控制器, 包括零相位重启生成器, 所述振荡控制器配置为:

在所述混合锁相环的频率跟踪运行模式期间, 使用所述数字调节字控制所述混合振荡器, 并且禁用所述模拟控制环路; 和

在所述混合锁相环的相位跟踪运行模式期间, 使能所述模拟控制环路以控制所述混合振荡器, 同时保持向所述混合振荡器输送固定的所述数字调节字, 所述输出电压和所述数字调节字彼此独立地作用于所述混合振荡器,

其中, 所述零相位重启生成器配置为当所述混合锁相环进入所述相位跟踪运行模式时, 使所述参考累加器的输出与所述可变累加器的输出之间的频率差为零。

2. 根据权利要求1所述的混合锁相环, 其中, 所述鉴频器还包括求和元件, 所述求和元件配置为确定所述参考累加器的输出与所述可变累加器的输出之间的差。

3. 根据权利要求1所述的混合锁相环, 其中, 所述模拟控制环路包括:

鉴相器, 配置为比较输入参考信号的第一相位和第二时变信号的第二相位以提供误差信号, 其中, 所述第二时变信号由与所述混合锁相环的输出信号相关联的信号表示。

4. 根据权利要求1所述的混合锁相环, 其中, 所述混合振荡器包括:

数字调节库, 连接至所述数字控制环路并且配置为接收所述数字调节字;

模拟调节库, 连接至所述模拟控制环路并且配置为接收所述输出电压;

电流镜, 连接至所述数字调节库和所述模拟调节库; 以及

电流控制振荡器, 连接至所述电流镜。

5. 根据权利要求4所述的混合锁相环, 其中, 所述电流镜包括有源电流镜。

6. 根据权利要求4所述的混合锁相环, 其中, 所述数字调节库包括多个电流源, 其中, 每个电流源与开关串联连接, 并且所述开关由所述数字调节字控制。

7. 根据权利要求1所述的混合锁相环, 其中,

在所述频率跟踪运行模式期间, 将所述模拟控制环路的所述输出电压设定为固定电压; 以及

在所述相位跟踪运行模式期间, 所述模拟控制环路的所述输出电压跟踪所述输入参考信号的相位。

8. 根据权利要求1所述的混合锁相环, 其中, 所述振荡控制器配置为在所述混合锁相环的所述频率跟踪运行模式期间将跟踪信号设定为第一逻辑电平, 并且在所述混合锁相环的所述相位跟踪运行模式期间将所述跟踪信号设定为第二逻辑电平。

9. 根据权利要求1所述的混合锁相环, 其中, 所述振荡控制器包括:

检测器,配置为接收误差信号并生成振荡器调节代码;以及

跟踪趋势检测器,配置为:

接收所述振荡器调节代码;

检测在所述频率跟踪运行模式和所述相位跟踪运行模式之间进行切换的条件;以及
当检测到所述条件时,生成输出信号。

10. 根据权利要求9所述的混合锁相环,其中,所述振荡控制器还包括:

跟踪信号生成器,配置为:

接收所述跟踪趋势检测器的输出信号;以及

基于所述跟踪趋势检测器的输出信号生成跟踪信号,

其中,所述跟踪信号生成器在所述混合锁相环的所述频率跟踪运行模式期间将所述跟踪信号设定为第一逻辑电平,并且所述跟踪信号生成器在所述混合锁相环的所述相位跟踪运行模式期间将所述跟踪信号设定为第二逻辑电平。

11. 根据权利要求10所述的混合锁相环,其中,所述模拟控制环路配置为接收所述跟踪信号,并且配置为当将所述跟踪信号设定为所述第一逻辑电平时将所述输出电压设定为固定值。

12. 根据权利要求10所述的混合锁相环,其中,使用数字组件实施所述数字控制环路。

13. 根据权利要求12所述的混合锁相环,其中,使用模拟组件实施所述模拟控制环路。

14. 根据权利要求13所述的混合锁相环,其中,使用模拟组件实施所述混合振荡器。

15. 一种混合锁相环,包括:

数字控制环路,使用数字组件来实施,包括鉴频器并且配置为在频率跟踪运行模式期间运行;

模拟控制环路,使用模拟组件来实施,生成输出电压,并且配置为在相位跟踪运行模式期间运行;

混合振荡器,连接至所述数字控制环路和所述模拟控制环路;以及

振荡控制器,包括零相位重启生成器并且配置为:

接收误差信号;

确定所述误差信号的趋势;

将所述误差信号的趋势与所述误差信号的先前趋势进行比较;以及

根据检测到的所述误差信号的趋势的变化,使能或禁用所述模拟控制环路,其中,在使能所述模拟控制环路时,保持向所述混合振荡器输送固定的数字调节字,所述输出电压和所述数字调节字彼此独立地作用于所述混合振荡器,

其中,所述鉴频器包括参考累加器和可变累加器,并且配置为比较所述混合锁相环的输入参考信号的第一频率和输出信号的第二频率以提供误差信号,

其中,所述零相位重启生成器配置为当所述混合锁相环进入所述相位跟踪运行模式时,使所述参考累加器的输出与所述可变累加器的输出之间的频率差为零。

16. 根据权利要求15所述的混合锁相环,其中,所述趋势包括:

正趋势,表示所述误差信号的值从所述误差信号的先前值增加;

负趋势,表示所述误差信号的值从所述误差信号的先前值减少;

平坦趋势,表示所述误差信号的值与所述误差信号的先前值不变。

17. 根据权利要求15所述的混合锁相环, 其中, 所述振荡控制器配置为在所述混合锁相环的所述频率跟踪运行模式期间将跟踪信号设定为第一逻辑电平, 并且在所述混合锁相环的所述相位跟踪运行模式期间将所述跟踪信号设定为第二逻辑电平。

18. 根据权利要求15所述的混合锁相环, 其中, 使用所述模拟组件实施所述混合振荡器。

19. 一种用于运行混合锁相环 (PLL) 的方法, 所述方法包括:

在混合锁相环的频率跟踪运行模式期间:

使用由数字控制环路生成的数字调节字来控制混合振荡器, 其中, 所述数字控制环路包括鉴频器和振荡控制器; 以及

禁用模拟控制环路; 以及

在所述混合锁相环的相位跟踪运行模式期间:

使能所述模拟控制环路以生成控制所述混合振荡器的输出电压, 同时保持向所述混合振荡器输送固定的所述数字调节字, 所述输出电压和所述数字调节字彼此独立地作用于所述混合振荡器,

其中, 所述鉴频器包括参考累加器和可变累加器, 并且配置为比较所述混合锁相环的输入参考信号的第一频率和输出信号的第二频率以提供误差信号,

其中, 所述振荡控制器包括零相位重启生成器, 所述零相位重启生成器配置为当所述混合锁相环进入所述相位跟踪运行模式时, 使所述参考累加器的输出与所述可变累加器的输出之间的频率差为零。

20. 根据权利要求19所述的用于运行混合锁相环的方法, 还包括:

在所述混合锁相环的所述频率跟踪运行模式期间将跟踪信号设定为第一逻辑电平; 以及

在所述混合锁相环的所述相位跟踪运行模式期间将所述跟踪信号设定为第二逻辑电平。

混合锁相环及其运行方法

技术领域

[0001] 本发明的实施例一般地设计半导体器件,更具体地,涉及锁相环电路。

背景技术

[0002] 锁相环 (PLL) 电路是生成输出时钟信号的电子控制电路,该输出时钟信号的相位锁定至输入参考信号的相位。例如,PLL可以用于调整振荡器,从而使得由振荡器生成的信号的频率和相位与输入参考信号的频率和相位匹配。PLL电路通常用于通信装置、计算机和其他电子设备中。模拟PLL电路使用模拟组件来提供锁相结构。这些模拟组件包括鉴相器、压控振荡器 (VCO) 以及VCO输出信号和鉴相器的输入端口之间的反馈路径。通过将输入参考信号连接至鉴相器的另一输入端口,鉴相器的输出可用于调整VCO输出信号的相位和/或频率,直到将该相位和/或频率锁定至输入参考信号。

[0003] 还可以使用所有的数字组件来实施PLL电路。这种PLL电路称为全数字PLL (ADPLL) 电路。类似于其模拟对应物,ADPLL电路使用反馈路径来反馈数字控制振荡器 (DCO) 时钟信号,以基于来自时间-数字转换器 (TDC) 的输出和参考相位信号来生成数字相位误差信号。响应于数字相位误差信号,调整DCO时钟信号的相位。

发明内容

[0004] 根据本发明的一方面,提供了一种混合锁相环 (PLL),包括:数字控制环路,配置为接收混合锁相环的输入参考信号和输出信号,并生成数字调节字;模拟控制环路,配置为接收所述混合锁相环的输入参考信号和输出信号,并生成输出电压;以及混合振荡器,连接至所述数字控制环路和所述模拟控制环路;其中,所述数字控制环路包括振荡控制器,所述振荡控制器配置为:在所述混合锁相环的频率跟踪运行模式期间,使用所述数字调节字控制所述混合振荡器,并且禁用所述模拟控制环路;在所述混合锁相环的相位跟踪运行模式期间,使能所述模拟控制环路以控制所述混合振荡器。

[0005] 根据本发明的另一方面,提供了一种混合锁相环,包括:数字控制环路,使用数字组件来实施,并且配置为在频率跟踪运行模式期间运行;模拟控制环路,使用模拟组件来实施,并且配置为在相位跟踪运行模式期间运行;以及振荡控制器,配置为:接收误差信号;确定所述误差信号的趋势;将所述误差信号的趋势与所述误差信号的先前趋势进行比较;以及根据检测到的所述误差信号的趋势的变化,使能或禁用所述模拟控制环路。

[0006] 根据本发明的又一方面,提供了一种用于运行混合锁相环 (PLL) 的方法,所述方法包括:在混合锁相环的频率跟踪运行模式期间:使用由数字控制环路生成的数字调节字来控制混合振荡器;以及禁用模拟控制环路;以及在所述混合锁相环的相位跟踪运行模式期间:使能所述模拟控制环路以控制所述混合振荡器。

附图说明

[0007] 当结合附图进行阅读时,从以下详细描述可最佳地理解本发明的各个方面。应该

注意,根据工业中的标准实践,各个部件未按比例绘制。实际上,为了清楚的讨论,各种部件的尺寸可以被任意增大或减小。

[0008] 图1是根据本发明的实施例的示例性混合PLL的框图。

[0009] 图2示出根据本发明的实施例的示例性混合PLL的时序图。

[0010] 图3A是根据本发明的实施例的可以通过混合PLL实施的混合振荡器的示例性实例。

[0011] 图3B是根据本发明的实施例的频率布置。

[0012] 图4A是根据本发明的实施例的可以通过混合PLL实施的混合振荡器的另一示例性实施方式。

[0013] 图4B是根据本发明的实施例的可以通过混合PLL实施的电流控制振荡器 (CCO) 的示例性实施方式。

[0014] 图5是根据本发明的实施例的混合PLL的更详细的实施方式。

[0015] 图6示出了根据本发明的一些实施例示出趋势检测的示意图。

[0016] 图7示出根据本发明的实施例的仿真波形。

[0017] 图8是根据本发明的实施例示出示例性运行控制流程的流程图。

[0018] 图9是根据一些实施例的数字控制振荡器 (DCO) 900的框图。

[0019] 图10是根据一些实施例图9所示的DCO 900的振荡器R01的电路图。

[0020] 图11是根据本发明的示例性实施例的示例性ADPLL的框图。

[0021] 图12是根据本发明的实施例的误差信号的趋势图。

[0022] 图13A示出根据本发明的实施例的基于误差信号的趋势变化的跟踪模式中的变化的时序图。

[0023] 图13B示出控制器的示例性操作控制流程的流程图,其中,该控制器检测误差信号的趋势变化并且基于该变化来改变跟踪模式。

[0024] 图14示出根据本发明的实施例的可以用ADPLL实现的控制器的示例性实施例的框图。

[0025] 现在将参考附图描述示例性实施例。在图中,类似的参考标号通常表示相同、功能类似和/或结构类似的元件。

具体实施方式

[0026] 以下公开内容提供了许多用于实现所提供主题的不同特征的不同实施例或实例。下面描述了组件和布置的具体实例以简化本发明。当然,这些仅仅是实例,而不旨在限制本发明。例如,本发明可在各个实例中重复参考标号和/或字符。该重复本身不指示所讨论的各个实施例和/或配置之间的关系。

[0027] 应当注意,在说明书中引用的“一个实施例”、“实施例”、“示例性实施例”、“实例”等表明所描述的实施例可包括特定的部件、结构或特性,但是每个实施例可能没有必要包括这种特定部件、结构或特征。此外,这种短语不一定指的是相同的实施例。此外,当结合实施例描述特定的部件、结构或特性时,无论是否明确描述,在本领域技术人员知识范围内结合其他实施例将实现这种部件、结构或特性。

[0028] 应当理解,本文的措辞或术语是为了描述而不是限制的目的,从而使得相关领域

的技术人员将根据本文中教导来解释本说明书的术语或措辞。

[0029] 除非另有说明,否则如本文所使用的术语“约”表示给定值变化 $\pm 10\%$ 的值。

[0030] 可以使用本发明的锁相环(PLL)(诸如混合锁相环以提供示例)来调整其振荡器,从而使得由振荡器生成的输出信号的频率和/或相位与输入参考信号的频率和/或相位成比例。PLL包括鉴相器和/或鉴频器,该鉴相器和/或鉴频器提供表示输出信号和输入参考信号之间的频率差和/或相位差的误差信号。可以测量该误差信号以确保输出信号的频率和/或相位与参考信号的频率和/或相位成比例。例如,当PLL调整振荡器时,输出信号的频率和/或相位可逐渐变得更接近于输入参考信号的频率和/或相位。当输出信号的频率和/或相位与输入参考信号的频率和/或相位成比例时,PLL称为锁定到输入参考信号上。输出信号的频率和/或相位变得与输入参考信号的频率和/或相位成比例所需的时间可以称为锁定时间。

[0031] 在实施例中,本发明的混合PLL以频率跟踪模式运行,以调整输出信号的频率与输入参考信号的频率成比例,或者以相位跟踪模式运行,以将输出信号的相位调制为与输入参考信号中的任何变化相匹配。通过混合PLL的数字控制环路实施频率跟踪模式。混合PLL的数字控制环路(DCL)可以提供快速跟踪以减少锁定时间。另一方面,通过混合PLL的模拟控制环路实施相位跟踪模式。混合PLL的模拟控制环路(ACL)在稳态下可以提供非常小的量化噪声或没有量化噪声。通过将DCL和ACL组合,混合PLL可以解决模拟PLL(APLL)的压控振荡器(VCO)的大增益的问题,以及由全数字PLL(ADPLL)引起的量化噪声的问题。

[0032] 图1是根据本发明的实施例的示例性混合PLL 100的框图。输入参考信号101表示具有频率 f_{REF} 和相位 ϕ_{REF} 的第一时变信号(诸如正弦波以提供一些实例)。类似地,输出信号151表示具有频率 f_{OUT} 和相位 ϕ_{OUT} 的第二时变信号。这里,第一时变信号的频率 f_{REF} 和相位 ϕ_{REF} 分别称为 f_{REF} 和相位 ϕ_{REF} 。类似地,第二时变信号的频率 f_{OUT} 和相位 ϕ_{OUT} 分别称为 f_{OUT} 和相位 ϕ_{OUT} 。混合PLL 100调整输出信号151,从而使得频率 f_{OUT} 和/或相位 ϕ_{OUT} 与频率 f_{REF} 和/或相位 ϕ_{REF} 成比例。混合PLL 100可以以频率跟踪模式运行,以将频率 f_{OUT} 调整成与频率 f_{REF} 成比例,或者以相位跟踪模式运行,以将相位 ϕ_{OUT} 调整为与相位 ϕ_{REF} 匹配或大致匹配。

[0033] 可以使用鉴频器111、数字环路滤波器113、振荡控制器(又称振荡器控制器)115、反馈分频器131、鉴相鉴频器(PFD)133、电荷泵和模拟滤波器135以及混合振荡器153来实施混合PLL 100。

[0034] 混合PLL 100的组件可以分为三部分:DCL 110、ACL 130和振荡器电路150。DCL 110包括鉴频器111、数字环路滤波器113和振荡控制器115,并且配置为实施混合PLL 100的频率跟踪模式。可以使用数字组件来实施DCL 110的组件。DCL 110配置为在混合PLL的频率跟踪运行模式期间生成控制混合振荡器153的数字信号(数字调节字107)。

[0035] 在一个实施例中,ACL 130包括反馈分频器131、鉴相鉴频器133以及电荷泵和模拟滤波器135,并且配置为实施混合PLL 100的相位跟踪模式。可以使用模拟组件或使用模拟和数字组件来实施ACL 130的组件。例如,可以使用模拟组件来实施ACL 130的电荷泵和滤波器135;并且可以使用模拟和/或数字组件来实施ACL 130的鉴相鉴频器133和反馈分频器131。ACL 130配置为在混合PLL的相位跟踪运行模式期间生成控制混合振荡器153的模拟信号(输出电压121(VCOIN))。

[0036] 在该实施例中,PLL 100的振荡器电路150包括混合振荡器153,并且配置为在频率

跟踪模式下提供离散的频率调节(tunning)并且在相位跟踪模式下提供连续的频率调节。在一个实例中,使用模拟组件来实施混合振荡器153。可以使用模拟组件来实施振荡器电路150的组件。可选地,ACL130可以包括反馈分频器131和鉴相鉴频器133。在该实例中,电荷泵和模拟滤波器135可以包括在具有混合振荡器153的振荡器电路150中。在该实例的一个实施例中,可以使用模拟组件来实施振荡器电路150。

[0037] 鉴频器111接收输入信号101和输出信号151。鉴频器111将输出信号151的频率 f_{OUT} 与输入信号101的频率 f_{REF} 进行比较,以提供误差信号103。在一个实例中,鉴频器111配置为在频率进行比较之前将输出信号151和输入信号101中的至少一个转换为数字信号。鉴频器111提供数字误差信号103。如果误差信号103为零或接近于零,则表示输出信号151的频率 f_{OUT} ,并且正在跟踪输入信号101的频率 f_{REF} 和/或是输入信号101的频率 f_{REF} 的倍数。

[0038] 数字环路滤波器113配置为以DCL模式控制混合PLL 100的带宽。数字环路滤波器113接收误差信号103。误差信号103表示第三时变信号的数字表示。在一个实例中,数字环路滤波器113抑制第三时变信号中的处于其带宽外的高频分量,以提供在其带宽内的第三时变信号的直流(DC)分量或近DC分量的样本作为信号105。

[0039] 振荡控制器115接收来自数字环路滤波器113的信号105和输入参考信号101。振荡控制器115配置为分析信号105和输入参考信号101并生成数字调节字107和跟踪信号109。在混合PLL 100使用DCL 110的频率跟踪模式期间,数字调节字107用于控制混合振荡器153的频率。在一个实例中,振荡控制器115通过将信号105乘以归一化值($NROM_{RO} = f_{REF}/Gain_{RO}$ (增益 $_{RO}$))来生成数字调节字107,以提供工艺影响的消除。在一个实例中,DCL的归一化值的公差可以达到 $\pm 100\%$ 左右。此外,不正确的归一化值可能仅影响跟踪时间,而不影响混合PLL 100的稳定性。振荡控制器115还可以包括重新定时的功能,以避免数字调节字转换时的频率毛刺(glitch)。数字调节字107是混合振荡器153的输入信号,以调节混和振荡器153的频率。混合PLL 100的DCL 110通过调节数字调节字107来实施频率跟踪模式。在一个实例中,数字调节字107可以是5位二进制代码,其可以提供宽频率调节范围。

[0040] 除了生成数字调节字107之外,振荡控制器115控制混合PLL 100的整体配置和运行。振荡控制器115将混合PLL 100配置为使用DCL 110以频率跟踪模式运行。在使用DCL 110的频率跟踪模式中,振荡控制器115通过将跟踪信号109设定为第一逻辑电平(例如,低逻辑电平)来禁用跟踪信号109。混合振荡器153调整输出信号151,以基于接收到的数字调节字107调整频率跟踪模式中的频率 f_{OUT} 。此后,振荡控制器115监控信号105(基于误差信号103创建该信号)以确定切换到相位跟踪模式的条件。一旦振荡控制器115检测到切换条件,则振荡控制器115将混合PLL 100配置为使用DCL 110(例如,使能DCL 110)以相位跟踪模式运行。切换条件表示频率 f_{REF} 足够接近频率 f_{OUT} ,以允许混合振荡器锁定到使用ACL 130运行的相位跟踪模式中的输入参考信号101。

[0041] 在使用ACL 130运行的相位跟踪模式中,振荡控制器115通过将跟踪信号109设定为第二逻辑电平(例如,高逻辑电平)来使能跟踪信号109。混合振荡器153使用ACL 130调整输出信号151以在相位跟踪模式中调整相位 ϕ_{OUT} 。当鉴相鉴频器133的误差信号输出的相位分量最小时,相位 ϕ_{OUT} 足够接近相位 ϕ_{REF} 。在这种情况下,混合振荡器锁定到输入参考信号101上,以便跟踪频率 f_{REF} 和相位 ϕ_{REF} 中的任何变化。

[0042] 根据一个实例,振荡控制器115配置为通过监控信号105(基于误差信号103创建该

信号) 来确定切换条件, 从而确定信号105的趋势, 例如正趋势、平坦趋势和/或负趋势。在2016年4月5日提交的题为“Automatic Detection of Change in PLL Locking Trend”的美国专利申请第15/135,212号中讨论了该趋势检测工艺的实例, 其全部内容结合于此作为参考。正趋势表示信号105的数字值从信号105的先前值增加, 平坦趋势表示信号105的数字值与信号105的先前值大致没有变化, 并且负趋势表示信号105的数字值从信号105的先前值减小。一旦振荡控制器115检测到信号105的趋势的第一变化, 例如从正趋势到平坦趋势或从负趋势到平坦趋势, 振荡控制器115就将混合PLL 100配置为使用ACL 130以相位跟踪模式运行。

[0043] 下文中, 将参照图11-14对趋势检测工艺及其相关应用进行详细描述。

[0044] 下文中, 将对趋势检测工艺及其相关应用进行详细描述。

[0045] 示例性全数字锁相环路 (ADPLL)

[0046] 图11是根据本发明的示例性实施例的示例性ADPLL 1100的框图。数字参考输入信号1150表示具有频率 f_{REF} 和相位 ϕ_{REF} 的第一时变信号 (诸如余弦波或正弦波, 以提供一些实例) 的数字表示。类似地, 数字输出信号1152表示具有频率 f_{OUT} 和相位 ϕ_{OUT} 的第二时变信号的数字表示。在本发明中, 第一时变信号的频率 f_{REF} 和相位 ϕ_{REF} 分别称为频率 f_{REF} 和相位 ϕ_{REF} 。类似地, 第二时变信号的频率 f_{OUT} 和相位 ϕ_{OUT} 分别称为频率 f_{OUT} 和相位 ϕ_{OUT} 。ADPLL 1100调整数字输出信号1152, 从而使得频率 f_{OUT} 和/或相位 ϕ_{OUT} 与频率 f_{REF} 和相位 ϕ_{REF} 成比例。ADPLL 1100可以在频率跟踪运行模式下运行以将频率 f_{OUT} 调整为与频率 f_{REF} 成比例或在相位跟踪运行模式下运行以将相位 ϕ_{OUT} 调整为与相位 ϕ_{REF} 匹配或大致匹配。可以使用鉴相鉴频器 (PFD) 1102、数字环路滤波器1104、数字控制振荡器 (DCO) 1106、时间-数字转换器 (TDC) 1108和控制器1110来实现ADPLL 1100。可以使用数字组件来实现PFD 1102、环路滤波器1104、DCO 1106、TDC 1108和数字组合网络1116从而形成全数字PLL (ADPLL)。

[0047] PFD 1102将频率 f_{OUT} 和频率 f_{REF} 进行比较以提供误差信号1154。误差信号1154包括表示频率 f_{REF} 和频率 f_{OUT} 之间的第一差异的频率分量和表示相位 ϕ_{REF} 和相位 ϕ_{OUT} 之间的第二差异的相位分量。如图11所示, PFD 1102包括DCO累加器1112、参考累加器1114和数字组合网络1116。DCO累加器1112将数字参考输入信号1150和数字输出信号1152进行累加以提供数字输出值1156。参考累加器1114将数字参考输入信号1150和数字数据信号1166 (将在下文中进一步详细地讨论) 进行累加以提供数字参考输入值1158。当ADPLL 1100在频率跟踪运行模式和相位跟踪运行模式下运行时, 数字组合网络1116确定数字输出值1156和数字参考输入值1158之间的差异以提供误差信号1154的频率分量。此外, 当ADPLL 1100在相位跟踪运行模式下运行时, 数字组合网络1116额外地结合相位差异1160 (将在下文中进一步详细地讨论) 以提供误差信号1154的相位分量, 其中, 该相位差异1160表示相位 ϕ_{REF} 和相位 ϕ_{OUT} 之间的第二差异。

[0048] 数字环路滤波器1104响应于误差信号1154提供细数字调节字 (fine digital tuning word) 1162。以与数字参考输入信号1150和/或数字输出信号1152类似的方式, 误差信号1154表示第三时变信号的数字表示。数字环路滤波器1104抑制第三时变信号中的在其带宽外的高频分量以提在供其带宽内的第三时变信号的直流 (DC) 分量、或接近DC分量的样本作为细数字调节字1162。

[0049] DCO 1106根据细数字调节字1162和粗调节字1164来调整频率 f_{OUT} 和相位 ϕ_{OUT} 。粗

调节字1164粗调频率 f_{OUT} 以在ADPLL 1100的锁定范围内。ADPLL 1100的锁定范围表示与频率 f_{REF} 充分接近的频率 f_{OUT} 的范围,从而使得可以使用细数字调节字1162将ADPLL 1100锁定到数字参考输入信号1150上。可以通过DCO 1106来使用细数字调节字1162以将频率 f_{OUT} 和相位 ϕ_{OUT} 调整为与频率 f_{REF} 和相位 ϕ_{REF} 中的任何变化相匹配。

[0050] TDC 1108确定数字参考输入信号1150和数字输出信号1152的各种时序特性,以提供表示相位 ϕ_{REF} 和相位 ϕ_{OUT} 之间的第二差异的相位差1160。例如,TDC 1108确定数字参考输入信号1150的第一开始时间和/或数字参考输入信号1150的第一停止时间。TDC类似地确定数字输出信号1152的第二开始时间和/或数字输出信号1152的第二停止时间。此后,TDC将第一开始时间和第二开始时间和/或第一停止时间和第二停止时间进行比较,以确定相位差1160。在频率跟踪模式中,可以通过将TDC使能信号1166设置为第一逻辑电平(诸如逻辑0,以提供实例)而禁用TDC 1108,和/或在相位跟踪模式中,可以通过将TDC使能信号1166设置为第二逻辑电平(诸如逻辑1,以提供实例),而使能TDC 1108。

[0051] 控制器1110控制ADPLL 1100的整体配置和运行。控制器1110将ADPLL 1100配置为在频率跟踪运行模式下运行。在频率跟踪运行模式下,控制器1110通过将TDC使能信号1166设置为第一逻辑电平来禁用TDC 1108。DCO 1106调整数字输出信号1152以调整频率跟踪模式中的频率 f_{OUT} 。此后,控制器1110监控误差信号1154以确定误差信号1154的趋势(例如正趋势、平坦趋势和/或负趋势)。正趋势表示误差信号1154的数字值从误差信号1154的先前值增加,平坦趋势表示误差信号1154的数字值从误差信号1154的先前值大致不变,并且负趋势表示误差信号1154的数字值从误差信号1154的先前值减小。一旦控制器1110检测到误差信号的趋势中的第一变化(例如,从正趋势到平坦趋势、从负趋势到平坦趋势),控制器1110将ADPLL 1100配置为在相位跟踪运行模式下运行。误差信号1154的趋势中的第一变化指示频率 f_{REF} 充分接近频率 f_{OUT} ,以允许在相位跟踪运行模式下将DCO 1106锁定到参考输入信号1150上。

[0052] 在相位跟踪运行模式下,控制器1110通过将TDC使能信号1166设置为第二逻辑电平来使能TDC 1108。DCO 1106调整数字输出信号1152以调整相位跟踪模式下的相位 ϕ_{OUT} 。当误差信号1154的相位分量最小时,相位 ϕ_{OUT} 充分接近相位 ϕ_{REF} 。在这种情况下,将DCO 1106锁定到参考输入信号1150上以与频率 f_{REF} 和相位 ϕ_{REF} 的任何变化相匹配。此后,控制器1110继续监控误差信号1154以确定趋势。一旦控制器1110检测到误差信号的趋势中的第二变化(例如,从平坦趋势到正趋势或从平坦趋势到负趋势),则控制器1110将ADPLL 1100配置为在频率跟踪运行模式下运行。误差信号1154的趋势中的第二变化指示频率 f_{REF} 不再充分接近频率 f_{OUT} ,以不允许将DCO 1106锁定到参考输入信号1150上。

[0053] 此外,控制器1110提供粗调节字1164以粗略地控制DCO 1106的频率。通常,控制器1110可以实施校准程序以确定与期望的频率 f_{OUT} 相对应的粗调节字1164。例如,控制器1110可以通过使用搜索算法(诸如二分搜索树算法、递归算法、斯特恩-布罗科特(Stern-Brocot)算法和/或在不背离本发明的精神和范围的情况下对于相关领域的技术人员来说将是显而易见的任何其他合适的搜索)使粗调节字1164的不同组合循环,以产生期望的频率 f_{OUT} 。

[0054] 此外,控制器1110提供数字数据信号1166,其中,该数字数据信号1166表示具有频率 f_{DATA} 的第四时变信号的数字表示。频率 f_{DATA} 近似等于频率 f_{OUT} 。在示例性实施例中,数字数

据信号1166表示数字输出信号1152上的将由ADPLL 1100调制的信息。当在不使用数字分频器对频率 f_{OUT} 分频的情况下频率 f_{OUT} 是频率 f_{REF} 的整数倍时,这允许将ADPLL 1100锁定到数字参考输入信号1150上。

[0055] 示例性PLL跟踪模式

[0056] 图12是根据本发明的实施例的误差信号的趋势图。如上所述,控制器1110监控误差信号1154以确定误差信号1154的趋势(例如正趋势、平坦趋势和/或负趋势)。当频率 f_{OUT} 和频率 f_{REF} 汇聚(converge)时,误差信号1154减小,以及当频率 f_{OUT} 和频率 f_{REF} 偏离时,误差信号1154增加。如图12所示,例如,当频率 f_{OUT} 与频率 f_{REF} 汇聚时,误差信号1154可以具有正趋势1202。例如,当频率 f_{OUT} 从频率 f_{REF} 偏离时,误差信号1154可以具有负趋势1204。例如,当频率 f_{OUT} 与频率 f_{REF} 近似成比例时,误差信号1154可以具有平坦趋势1208。根据本发明的实施例,当ADPLL 1100检测到趋势的变化(例如,从正趋势1202到平坦趋势1208)时,控制器1110可以启动跟踪模式的变化。

[0057] ADPLL的控制器的示例性操作

[0058] 图13A示出根据本发明的实施例的基于误差信号的趋势的变化的跟踪模式中的变化的时序图。如上所述,控制器1110检测到误差信号1154的趋势变化(例如,从平坦趋势1208到正趋势1202或平坦趋势1208到负趋势1204),并且基于该变化将跟踪模式从频率跟踪模式改变为相位跟踪模式。

[0059] 图13B示出控制器1110的示例性操作控制流程的流程图,其中,该控制器1110检测误差信号的趋势变化并且基于该变化来改变跟踪模式。控制器1110不限于该操作控制流程。相反,对相关领域的普通技术人员来说将是显而易见的,其他操作控制流程在本发明的范围和精神内。

[0060] 如图13B的步骤1302所示,操作控制流程监控误差信号1154。在示例性实施例中,操作控制流收集误差信号1154的一个或多个样本(诸如图13A所示的三个样本D1至D3,以提供实例)。

[0061] 如图13B的步骤1304所示,为了确定误差信号1154的趋势,操作控制流程通过从步骤1302中收集的一个或多个样本确定误差信号1154的趋势。如图13A所示,从步骤1302收集的一个或多个样本增加表示频率 f_{OUT} 正在与频率 f_{REF} 汇聚,从而指示正趋势1202。

[0062] 如图13B的步骤1306所示,操作控制流程继续监控误差信号1154。在示例性实施例中,操作控制流收集误差信号1154的一个或多个额外的样本(诸如图13A所示的样本 D_{N-1} 和 D_N ,以提供实例)。此后,操作控制流程将收集的一个或多个额外的样本与来自步骤1304的误差信号1154的趋势进行比较。当收集的一个或多个额外的样本与来自步骤1304的误差信号1154的初始趋势不同时,操作控制流程确定误差信号1154的趋势已经改变。例如,如图13A所示,误差信号1154的趋势是由与三个样本 D_1 至 D_3 相对应的“正”参考标号指示的正趋势1202。在该实例中,操作控制流程收集样本 D_{N-1} 并将该样本与正趋势1202进行比较。因为样品 D_{N-1} 继续正趋势1202,即大于三个样本 D_1 至 D_3 中的最后一个,则没有检测到误差信号1154的趋势变化。操作控制流程保持在步骤1306中以收集样本 D_N ,并将该样本与正趋势1202进行比较。由于如与样本 D_N 相对应的“减”参考标号所指示的,样本 D_N 不继续正趋势1202,所以操作控制流程检测到误差信号1154的趋势变化并进行至步骤1308。样本 D_N 小于样本 D_{N-1} 表示频率 f_{OUT} 从频率 f_{REF} 偏离。误差信号1154从正趋势1202趋向于负趋势1204和/或平坦趋势

1208。

[0063] 如图13B的步骤1308所示,运行的控制流程响应于在步骤1306中检测到的误差信号1154的趋势变化而将ADPLL 1100的运行模式从频率跟踪运行模式切换至相位跟踪运行模式或从相位跟踪运行模式切换至频率跟踪运行模式。此外,操作控制流程提供控制信号(诸如TDC使能信号1166,以提供一个实例)以使能或禁用TDC 1108。其后,操作控制流程返回到步骤1306以继续监控误差信号1154从而监控误差信号1154的趋势的其他变化。

[0064] 可以在ADPLL中实现的示例性控制器

[0065] 图14示出根据本发明的实施例的可以用ADPLL实现的控制器的示例性实施例的框图。控制器1400配置ADPLL(诸如ADPLL 1100,以提供实例)以在频率跟踪运行模式下或在相位跟踪运行模式下运行。响应于检测到的误差信号1154的趋势变化,控制器1400可以配置ADPLL在频率跟踪运行模式或相位跟踪运行模式之间切换。控制器1400包括时钟发生器1402、趋势检测器1404和趋势变化检测器1406。控制器1400可以表示控制器1100的示例性实施例。

[0066] 时钟发生器1402基于数字参考输入信号1150和误差信号1154来确定趋势时钟信号1450。趋势时钟信号1450与趋势检测器1404和趋势变化检测器1406一起使用以捕获误差信号1154。在示例性实施例中,时钟发生器1402监控误差信号1154,并且当误差信号1154响应于频率 f_{OUT} 和/或相位 ϕ_{OUT} 的调整而改变时,在逻辑值之间切换趋势时钟信号1450。例如,当误差信号1154处于第一数字值时,时钟发生器1402使趋势时钟信号1450处于第一逻辑电平。时钟发生器1402将趋势时钟信号1450保持在第一逻辑电平,直到将误差信号1154改变为不同于第一数字值的第二数字值,由此时钟发生器1402将趋势时钟信号1450从第一逻辑电平切换至第二逻辑电平。在另一示例性实施例中,趋势时钟信号1450的逻辑电平的这种变化发生在数字参考输入信号1150的第一时变信号的上升沿或下降沿期间。

[0067] 趋势检测器1404根据趋势时钟信号1450收集误差信号1154的一个或多个样本(诸如三个样本D1至D3,以提供实例),以提供趋势指标1452。趋势指标1452指示收集的误差信号1154的一个或多个样本是否具有正趋势、平坦趋势和/或负趋势。

[0068] 趋势变化检测器1406将趋势指标1452与先前的趋势指标进行比较,以确定误差信号1154的趋势是否已改变。当趋势指标1452与先前的趋势指标不同时,操作控制流程确定误差信号1154的趋势已经改变。响应于这个差异,趋势变化检测器1406提供诸如TDC使能信号1166的控制信号以启动跟踪模式的变化(例如从频率跟踪运行模式到相位跟踪运行模式)。

[0069] 类似地,当混合PLL 100配置为使用ACL 130以相位跟踪模式运行时,振荡控制器115配置为监控误差信号103以确定误差信号的趋势是否发生第二变化。趋势的第二个变化可以包括从平坦趋势向正趋势或从平坦趋势向负趋势的变化。趋势的第二变化可以表示输出信号151的频率不再足够接近输入参考信号101的频率。如果振荡控制器115检测到误差信号103的趋势的第二变化,则振荡控制器115将混合PLL 100配置为使用DCL 110再次以频率跟踪模式运行。

[0070] 根据一些实施例,ACL 130包括反馈分频器131、鉴相鉴频器133以及电荷泵和模拟滤波器135。在混合PLL 100使用ACL 130进入相位跟踪模式之前,将跟踪信号109设定为第一逻辑电平(例如,低逻辑电平),并将输出电压121(VCOIN)设定为固定电压(例如,VDD/2)。

当振荡控制器115通过将跟踪信号109设定为第二逻辑电平(例如,高逻辑电平)来使能跟踪信号109时,混合PLL 100使用ACL130开始以相位跟踪模式运行。

[0071] 反馈分频器131是由输出信号151驱动的同步高速分频器。反馈分频器131接收输出信号151并生成反馈信号123。鉴相鉴频器133接收反馈信号123和输入参考信号101。鉴相鉴频器133配置为检测反馈信号123和输入参考信号101之间的相位差(和/或频率差)。鉴相鉴频器133生成具有窄脉冲宽度(例如,约40ps)的两个输出信号(UP信号125和DN信号127)。将脉冲信号UP信号125和DN信号127输入到电荷泵和模拟滤波器135。尽管图1描述了鉴相鉴频器133,但是应当注意,还可以使用其他鉴相器/比较器。

[0072] 电荷泵和模拟滤波器135可以包括电荷泵和环路滤波器。电荷泵和模拟滤波器135的电荷泵将UP信号125和DN信号127转换为相应的UP/DN电流。电荷泵和模拟滤波器135的模拟滤波器将电荷泵的UP/DN电流输出转换成输出电压121(VCOIN)。将输出电压121(VCOIN)输入到混合振荡器153。如上所述,在使用混合PLL 100的DCL 110的频率跟踪模式期间,将跟踪信号109(其输入至电荷泵和模拟滤波器135)设定为第一逻辑电平(例如,低逻辑电平),并且因此将输出电压121(VCOIN)设定为固定电压(例如,VDD/2)。当混合PLL 100使用ACL 130以相位跟踪模式开始运行时,将跟踪信号109设定为第二逻辑电平(例如,高逻辑电平),并且输出电压121(VCOIN)用于相位跟踪。在使用ACL 130的相位跟踪模式期间,冻结(frozen,又称固定)数字调节字107。

[0073] 混合振荡器153配置为接收数字调节字107和输出电压121(VCOIN)并生成输出信号151。如上所述,在使用DCL 110的频率跟踪模式期间使用数字调节字107(例如,32位温度计码(thermometer code))。使用由DCL 110生成的数字调节字107,混合振荡器153将输出信号151的频率 f_{OUT} 调整到与输入参考信号101的频率 f_{REF} 足够接近或比调节之前更接近输入参考信号的频率 f_{REF} 的范围内。另一方面,在使用ACL 130的相位跟踪模式期间使用输出电压121(VCOIN)。在一个实例中,输出电压121(VCOIN)是在约0.2V或0.3V至VDD(例如,核心电源电压)的调节范围内的连续电压。混合振荡器153根据由ACL 130生成的输出电压121(VCOIN)微调输出信号151的频率 f_{OUT} ,并且调整输出信号151的相位 ϕ_{OUT} ,以跟踪输入参考信号的频率 f_{REF} 和相位 ϕ_{REF} 。

[0074] 图2示出根据本发明的一些实施例的混合PLL 100的时序图。曲线图200示出输出信号151的频率 f_{OUT} 与时间的关系。如曲线图200所示,在曲线图200的频率跟踪模式中,混合PLL 100使用DCL 110来跟踪输入参考信号101的频率 f_{REF} 。在曲线图200的相位跟踪模式中,混合PLL 100使用ACL 130来跟踪输入参考信号101的相位 ϕ_{REF} 。相位跟踪模式还包括微调输出信号151的频率 f_{OUT} ,从而使得混合PLL 100跟踪输入参考信号101的频率 f_{REF} 和相位 ϕ_{REF} 。

[0075] 曲线图210示出数字调节字107与时间的关系。在曲线图210的频率跟踪模式期间,基于输出信号151的频率 f_{OUT} 与输入参考信号101的频率 f_{REF} 之间的差值,通过DCL 110来调整数字调节字107。在频率跟踪模式期间,在曲线图200中示出输出信号151的频率 f_{OUT} ,接着在曲线图210中示出数字调节字107。当满足切换条件(在频率跟踪运行模式和相位跟踪运行模式之间切换)时,混合PLL 100使用ACL 130切换到相位跟踪模式。在曲线图210的相位跟踪模式期间,数字调节字107是固定的。

[0076] 曲线图220示出输出电压121(VCOIN)与时间的关系。在频率跟踪运行模式期间,禁

用电荷泵和模拟滤波器135。因此,输出电压121 (VCOIN) 保持在固定电压处。在一个示例性实施例中,固定电压可以是VDD的一半(例如,0.38伏)。然而,本发明的实施例不限于该值。当混合PLL 100从使用DCL 110的频率跟踪模式切换到使用ACL 130的相位跟踪模式时,使能ACL 130以及电荷泵和模拟滤波器135。因此,基于输出信号151的相位 ϕ_{OUT} 和输入参考信号101的相位 ϕ_{REF} 之间的差异,通过ACL 130调整输出电压121 (VCOIN)。在相位跟踪运行模式期间,模拟控制环路的输出电压 (VCOIN 121) 跟踪输入参考信号的相位。

[0077] 曲线图230示出跟踪信号109与时间的关系。在频率跟踪运行模式中,通过将跟踪信号109设定为第一逻辑电平(例如,低逻辑电平)而禁用跟踪信号109。在使用ACL 130的相位跟踪模式中,振荡控制器115通过将跟踪信号109设定为第二逻辑电平(例如,高逻辑电平)来使能跟踪信号109。曲线图240示出当混合PLL 100锁定到输入参考信号上时的锁定时间。当输出信号的频率和/或相位与输入参考信号的频率和/或相位成比例时发生锁定。

[0078] 图3A示出根据本发明的实施例的可以用混合PLL 100实施的混合振荡器的示例性实例。在一个实例中,图3A的混合振荡器300可以是图1的混合振荡器153的实例。可以使用数字调节库 (DTB) 301、模拟调节库 (ATB) 303、电流镜305和电流控制振荡器307来实施混合振荡器300。

[0079] 数字调节库301包括一个或多个电流源和一个或多个开关。数字调节库301的每个电流源串联地连接至开关,从而构成数字调节库301的一个数字调节位。数字调节位彼此并联连接。数字调节库301中的每个数字调节位的开关由数字调节字来控制。数字调节字可以包括图1的数字调节字107。数字调节库301可以配置为提供宽频率调节范围。根据一个实例,数字调节库301的频率调节范围可以使用5位二进制码32分成32个级(steps)。例如,2.4GHz的频率范围可以分为32级,每级具有75MHz的步长(step size)。应当注意,还可以使用其他频率范围和其他数量的级。根据一个实例,数字调节字107可以是控制数字调节库301的温度计码。温度计码可以表示一个自然数N,其中N个1后跟零(如果自然数被理解为非负整数)或N-1个1后跟零(如果自然数被理解为严格的正整数)。在该实例中,数字库310的电流源的数量可以等于频率范围中的级数(number steps)。

[0080] 可以由诸如(但不限于)n沟道MOSFET的金属氧化物半导体场效应晶体管(MOSFET)来实施模拟调节库303。在一个实例中,模拟调节库303的晶体管具有接收图1的模拟信号输出电压121 (VCOIN)的栅极端子。在该实例中,模拟调节库303的晶体管的源极端子可以连接至低电压(诸如接地)并且还连接至数字调节库301。模拟调节库303的晶体管的漏极端子可以连接至电流镜305并且还连接至数字调节库301。模拟调节库303配置为在混合PLL 100使用ACL 130的相位跟踪模式期间运行,并且配置为将输出电压121 (VCOIN)转换为输出电流。模拟调节库303向混合PLL100提供连续且微调的调节机制。在一个实例中(如相对于图3B更详细地讨论的),模拟调节库303为0.25伏调节电压提供750MHz的调节范围。ACL 130和模拟调节库303实施混合PLL 100的相位跟踪模式,并且因此如在ADPLL中通常看到的,在混合PLL 100的稳态运行中引入非常少量的量化噪声或没有引入量化噪声。注意,所示出的模拟调节库303示出为实例,并且还可以使用其他模拟调节库电路。

[0081] 混合振荡器300还包括电流镜305。一方面,电流镜305连接至数字调节库301和模拟调节库303。另一方面,电流镜305连接至电流控制振荡器(CCO) 307。电流镜305配置为结合数字调节库301和模拟调节库303的电流组合并驱动CCO 307。在非限制性实例中,电流镜

305可以包括两个p沟道MOSFET 309和311。在该实例中,晶体管309和311的源极端子连接至VDD。晶体管309的漏极和栅极端子彼此连接并且还连接至数字调节库301和模拟调节库303(例如,模拟调节库303的晶体管的漏极)。晶体管309和311的栅极端子彼此连接,并且晶体管311的漏极端子连接至CC0 307。应当注意,图3A中的电流镜305的实施方式是示例性实施方式并且还可以使用其他实施方式(例如,有源电流镜、高电源抑制比(PSRR)有源电流镜、大摆幅电流镜、威尔逊电流镜等)。

[0082] 混合振荡器300还包括电流控制振荡器(CCO) 307。CCO 307可以包括环形振荡器,并且可以使用单端或差分多级来实施。尽管CCO 307示出为具有五级的单端环形振荡器,但是本发明的实施例不限于该实例,并且可以使用其他CCO。CCO 307连接至电流镜305。电流镜305配置为通过控制提供给CCO 307的电流量来控制CCO以生成输出信号151。通常,CCO 307的频率将随着电流镜305所提供的电流的增加而增加。当混合PLL 100使用DCL 110以频率跟踪模式运行时,数字调节字107控制数字调节库301,其中,数字调节库301转而通过电流镜305来控制CCO 307。当混合PLL 100使用ACL 130以相位跟踪模式运行时,输出电压121(VCOIN)控制模拟调节库303,其中,模拟调节库303转而通过电流镜305来控制CCO 307。

[0083] 图3B示出根据本发明的实施例的频率布置340。图3B的频率布置340示出由图3A的数字调节库301覆盖的频率范围342和由图3A的模拟调节库303覆盖的频率范围344。应当注意,频率布置340是示例性布置,并且可以使用任何其他频率布置。

[0084] 在图3B的示例性布置中,数字调节库301可以具有2.4GHz的频率范围。在该实例中,由模拟调节库的频率范围除以常数(例如,在该实例中为10)来确定数字调节库的步长。该实例中的常数10是模拟调节库的频率范围与数字调节库的步长的覆盖比率(covering ratio)。换言之,模拟调节库的频率范围覆盖了数字调节库的步长的10倍。在图3B的实例中,将数字调节库的频率范围2.4GHz分为32级(例如,输入到混合振荡器153的温度计码)。因此,数字调节库的频率范围中的每级都是75MHz步长。数字调节库的频率范围内的每级对应于模拟调节库的频率范围的一小部分。考虑到上述讨论的常数10,模拟调节库的频率范围为750MHz。假定模拟调节库的0.25伏的电压范围(0.2伏至0.45伏),模拟调节库的VCO增益将为3GHz/V。

[0085] 图3B的频率布置可以总结为三个方程式。第一个方程式是模拟调节库的频率范围等于VCO的增益乘以电压范围。第二个方程式是数字调节库的步长等于模拟调节库的频率范围除以常数(例如,上述实例中,例如,覆盖比率为10)。第三个方程式是数字调节库的级数等于数字调节库的频率范围除以数字调节库的步长。在一个实例中,例如,VCO的增益、电压范围和数字调节库的频率范围是从设计规范得到的已知值。因此,可以使用以上所讨论的等式来计算模拟调节库的频率范围、数字调节库的步长以及数字调节库的级数。

[0086] 图4A是根据本发明的实施例的可以用混合PLL 100实施的混合振荡器的另一示例性实例。在一个实例中,图4A的混合振荡器400可以是图1的混合振荡器153的实施方式。可以使用数字调节库(DTB) 401、模拟调节库(ATB) 403、有源电流镜405和电流控制振荡器(CCO) 407来实施混合振荡器400。混合振荡器400的数字调节库401、模拟调节库403和电流控制振荡器407类似于图3A的混合振荡器300的数字调节库301、模拟调节库303和电流控制振荡器307,因此,不单独讨论。

[0087] 使用有源电流镜405进一步实施图4A的混合振荡器400。通过有源电流镜405替换

图3A的混合振荡器300的电流镜305。在一个实施例中,有源电流镜405可以包括两个p沟道MOSFET、放大器和电阻-电容电路(RC电路)。根据一个实例,使用混合振荡器400可以增强混合PLL的电源抑制比(PSRR)。

[0088] 图4B示出根据本发明的实施例的可以用混合PLL 100实施的电流控制振荡器(CCO)的示例性实施方式。在一个实例中,使用图4B的实例来实施图3A的混合振荡器300的CCO 307和/或图4A的混合振荡器400的CCO407。图4B示出由低功率振荡器核心431和高性能振荡器核心433组合的多核心CCO 430。低功率振荡器核心431和高性能振荡器核心433之间的一个区别在于环形单元中的每个器件的沟道长度。环形单元可以由三态反相器配置,以确保当振荡器核心禁用时可以完全关闭振荡器核心。在一个实例中,低功率振荡器核心431中的每个反相器的沟道长度可以是18nm。在该实例中,高性能振荡器核心433中每个反相器的沟道长度可以是80nm。在2014年9月26日提交的名称为“Digitally Controlled Oscillator”的美国专利申请公布号2016-0072514中讨论了多核心CCO的另一实例,其全部内容结合于此作为参考。应当注意,图4B的多核心CCO 430是CCO的示例性实施方式,并且还可以使用其他实施方式。

[0089] 下文中,将参照附图9-10对其进行详细描述。

[0090] 图9是根据一些实施例的数字控制振荡器(DCO) 900的框图。参考图9,DCO 900包括振荡器R01和R02以及开关SW1、SW2、SW3、SW4和SW5。开关的数量仅是示例性的,并且本发明不限于此。在一些实施例中,DCO 900还包括耦合到振荡器R01的输出端子 n_{OUT} 的两个反相器iv。

[0091] 振荡器R01在其端子 n_A 至 n_E 处连接到开关SW1-SW5。此外,振荡器R01在使能端子 n_{EN} 处接收功率检测信号PD,并且在输出端子 n_{OUT} 处输出振荡器信号CKV。功率检测信号PD用于指示例如ADPLL上电或DCO 900上电。响应于功率检测信号PD,DCO 900输出振荡器信号CKV。在一些实施例中,振荡器R01包括环形振荡器。

[0092] 振荡器R02在其端子 n_A 至 n_E 处连接到开关SW1-SW5。此外,振荡器R02在使能端子 n_{EN} 处接收受控信号CS。在一些实施例中,振荡器R02包括环形振荡器。

[0093] 开关SW1耦合在振荡器R01和振荡器R02的端子 n_A 之间。开关SW2耦合在振荡器R01和振荡器R02的端子 n_B 之间。开关SW3耦合在振荡器R01和振荡器R02的端子 n_C 之间。开关SW4耦合在振荡器R01和振荡器R02的端子 n_D 之间。开关SW5耦合在振荡器R01和振荡器R02的端子 n_E 之间。开关SW1-SW5中的每一个包括用于接收受控信号CS的控制端子Tc。在一些实施例中,开关SW1-SW5包括传输门。

[0094] 在操作中,响应于受控信号CS选择性地使能振荡器R02,并且响应于受控信号CS选择性地导通开关SW1-SW5。在低功率应用中,振荡器R02响应于受控信号CS的第一状态不使能,例如逻辑低状态。此外,开关SW1-SW5响应于受控信号CS的第一状态不导通。在低相位噪声应用中,振荡器R02响应于受控信号CS的第二状态(例如逻辑高状态)使能。此外,开关SW1-SW5响应于受控信号CS的第二状态而导通。

[0095] 使用两个振荡器R01和R02,DCO 900为用户提供了在低功率和低相位噪声应用之间进行选择的选项。在低功耗应用中,DCO 900消耗相对较低的功耗。相反,在低相位噪声应用中,DCO 900以相对低的噪声相位产生振荡器信号CKV。

[0096] 图10是根据一些实施例图9所示的DCO 900的振荡器R01的电路图。参考图10,振荡

器R01包括但不限于阶段A至E的五五个阶段。每个级包括延迟单元。结果,振荡器R01包括五个延迟单元DC1-DC5。延迟单元DC1-DC5中的每个包括两个输入和一个输出。在本实施例中,延迟单元DC1~DC5串联连接成环状配置。因此,延迟单元DC1包括耦合到使能端子 n_{EN} 的输入和耦合到延迟单元DC5的输出的另一个输入,以及耦合到端子 n_A 和延迟单元DC2的输入的输入。

[0097] 延迟单元DC2包括耦合到使能端子 n_{EN} 的输入,耦合到端子 n_A 和延迟单元DC1的输出的另一个输入,以及耦合到端子 n_B 的输出。

[0098] 类似地,延迟单元DC3包括耦合到使能端子 n_{EN} 的输入端,耦合到端子 n_B 和延迟单元DC2的输出端的另一个输入端,以及耦合到端子 n_C 的输出端。

[0099] 类似地,延迟单元DC4包括耦合到使能端子 n_{EN} 的输入端,耦合到端子 n_C 和延迟单元DC3的输出的另一个输入端,以及耦合到端子 n_D 的输出端。

[0100] 延迟单元DC5包括耦合到使能端子 n_{EN} 的输入,耦合到端子 n_D 和延迟单元DC4的输出的另一个输入,以及耦合到端子 n_E 和输出端子 n_{OUT} 的输出。

[0101] 此外,级A-E中的每一个包括电容器 C_{L1} 。在一些实施例中,电容器 C_{L1} 表示具有线电容的寄生电容器。作为延迟单元DC1的示例,电容器 C_{L1} 的一个端子耦合到参考地,并且电容器 C_{L1} 的另一端耦合到端子 n_A 处的延迟单元DC1的输出。在一些实施例中,阶段A-E处的电容器 C_{L1} 具有基本相同的电容。

[0102] 尽管图10中未示出,但是例如,除了振荡器R02的每个延迟单元的输入端接收受控信号CS而不是功率检测信号PD之外,图9中的振荡器R02的电路结构类似于振荡器R01。类似地,振荡器R02也包括五级A-E,每级包括如图10所示的电容器 C_{L1} 。图5是根据本发明的示例性实施例的示例性混合PLL 500的框图。图5示出诸如混合PLL 100的混合PLL的更详细的实施方式。可以使用鉴频器511、数字环路滤波器513、振荡控制器515、反馈分频器531、鉴相鉴频器533、电荷泵和模拟滤波器535以及混合振荡器553来实施混合PLL 500。

[0103] 如图5所示,鉴频器511包括参考累加器540、可变累加器541、求和元件542、质量监控器545和分频器546。分频器546接收输入参考信号501和频率控制代码547,其中,频率控制代码547是输出信号551的期望频率除以输入参考信号501的速率的比率。参考累加器540接收分频器546的输出,并生成参考信号 R_r ,其中,参考信号 R_r 是频率控制代码547在输入参考信号501的有效边沿(active edge)处的累加。

[0104] 可变累加器541接收分频器546的输出和输出信号551。可变累加器541递增关于输出信号551的每个有效边沿的计数,并生成可变信号 R_v 。求和元件542确定参考信号 R_r 和可变信号 R_v 之间的差以确定误差信号503。总之,鉴频器511配置为将输入参考信号501和输出信号551之间的差转换为数字代码(误差信号503)。

[0105] 将误差信号503提供给数字环路滤波器513。数字环路滤波器513根据误差信号503控制归一化调节字NTW 505。数字环路滤波器513包括用于衰减较高频率的不期望的杂散和相位噪声的低通滤波器。例如,数字环路滤波器513通过 2^n 来按比例缩小误差信号503以生成归一化调节字NTW 505。在一个实例中,归一化调节字NTW 505可以是具有符号(signed)的2的补码(complement)的二进制信号。

[0106] 使用检测器561、解码器562、跟踪趋势检测器563、跟踪信号生成器564、零相位重启(ZPR)生成器565和系统复位生成器566来实施振荡控制器515。检测器561配置为接收归

一化调节字505并将归一化调节字505转换为振荡器调节代码0TW 567。例如,检测器561通过将归一化调节字NTW 505与归一化值相乘来将归一化调节字NTW 505归一化为振荡器调节代码0TW 567。解码器562配置为接收0TW 567并将0TW 567转换为数字调节字507(诸如由混合振荡器553识别的温度计码)。

[0107] 除了生成数字调节字507之外,0TW 567还可用于检测跟踪趋势。在一个实例中,跟踪趋势检测器563配置为接收0TW 567,并且配置为确定何时应当进行频率跟踪模式和相位跟踪模式之间的切换。如上所述并且在下面进行更详细地描述,跟踪模式检测可以包括来自中间方法、趋势检测方法等的跟踪。如果跟踪趋势检测器563确定混合PLL 500使用DCL 110以频率跟踪模式运行,则跟踪趋势检测器563触发到达跟踪信号生成器564的信号568,以将跟踪信号509设定在第一逻辑电平(例如,低逻辑电平)处。通过反相器将跟踪信号509提供给电荷泵和模拟滤波器535,并且更具体地,提供给分压器571。当跟踪信号509处于第一逻辑电平(例如,低逻辑电平)时,使能分压器571,并且通过分压器571将电荷泵573和模拟环路滤波器572的输出电压设定为固定电压。

[0108] 如果跟踪趋势检测器563确定混合PLL 500使用ACL 130以相位跟踪模式运行,则跟踪趋势检测器563触发到达跟踪信号生成器的信号568,以将跟踪信号509设定在第二逻辑电平(例如,高逻辑电平)处。当跟踪信号509处于第二逻辑电平(例如,高逻辑电平)时,禁用分压器571以释放VCOIN 521。此外,跟踪信号509输入到检测器561。当跟踪信号509处于第二逻辑电平(例如,高逻辑电平)时,检测器561固定0TW 567。因此,混合PLL 500将使用ACL 130以相位跟踪模式运行。在相位跟踪模式期间,混合PLL 500部分使用鉴相鉴频器533和分频器531以模拟PLL运行。在一个实例中,分频器531可以包括反馈分频器581和输出分频器582。

[0109] 在使用DCL 110和混合振荡器553实施运行混合PLL 500的频率跟踪模式期间,鉴频器511将输入参考信号501和输出信号551之间的差值转换为误差信号503。数字环路滤波器513根据误差信号503控制归一化调节字NTW 505。由于跟踪信号509处于第一逻辑电平(例如,低逻辑电平),使能检测器561以将归一化调节字NTW 505转换为振荡器调节代码0TW 567。此外,解码器562配置为接收0TW 567并将0TW 567转换成数字调节字507。数字调节字507用于控制混合振荡器553以跟踪输入参考信号501的频率。

[0110] 根据一些实施例,振荡控制器515的ZPR生成器565配置为当混合PLL 500从频率跟踪运行模式进入相位跟踪运行模式时,将脉冲发送至参考累加器540,以用于将参考累加器540的输出与可变累加器的输出对准。在一个实例中,由ZPR生成器565发送的脉冲的脉冲宽度约为输入参考信号501的一个周期。根据一些实施例,系统复位生成器566配置为确定混合PLL 500是否需要重新进行频率跟踪。系统复位生成器566配置为检查例如来自鉴相鉴频器533的LD信号。如果LD信号从高逻辑电平进入低逻辑电平,则意味着混合PLL 500需要重新进行频率跟踪。因此,系统复位生成器566配置为向混合PLL中的每个块发送信号(在一个实例中,rstn_acc/rstn_sys信号具有的脉冲宽度约为输入参考信号501的一个周期)。系统复位生成器566上的“en_auto_rst”的输入引脚可以禁用或使能此功能。

[0111] 振荡控制器515,并且更具体地,跟踪趋势检测器563和跟踪信号生成器564配置为跟踪趋势、确定趋势的变化、并且改变跟踪信号509的逻辑电平。当跟踪信号509变为第二逻辑电平(例如,高逻辑电平)时,将禁用检测器561,并且混合PLL 500将使用ACL 130来跟踪

输入参考信号的相位。在相位跟踪模式中,跟踪信号509禁用分压器571以释放VCOIN 521。在相位跟踪运行模式期间,ACL 130和混合振荡器553可以以模拟PLL运行。输出信号551(来自混合振荡器553的输出)馈送到反馈分频器531的分频器581。反馈分频器531的输出(输出信号551除以值)馈送到鉴相鉴频器533。鉴相鉴频器533配置为检测反馈信号(反馈分频器581的输出)和输入参考信号501之间的相位差(和/或频率差)。鉴相鉴频器533生成两个输出信号-UP信号和DN信号。将脉冲信号UP信号和DN信号输入到电荷泵573。电荷泵573将脉冲信号UP信号和DN信号转换为UP/DN电流。模拟滤波器572将电荷泵573的UP/DN电流输出转换为输出电压521(VCOIN)。将输出电压521(VCOIN)输入到混合振荡器553。

[0112] 传统上,模拟滤波器可占据PLL的大部分面积,并且可以由振荡器的增益和PLL的带宽控制模拟滤波器的面积。与单功率模拟PLL相比(在一个实例中,该面积的变化约为47%),使用双功率模拟PLL可以减小PLL的尺寸。与双功率模拟PLL相比,本发明的实施例的混合PLL可以减小PLL的面积。在一个实例中,与双功率模拟PLL相比,该面积的变化约为40%并且与单功率模拟PLL相比,该面积的变化约为70%。本发明的实施例的混合PLL中的这种面积的减小至少部分地归因于振荡器的增益的减小(由于模拟控制环路的频率范围的减小)。换言之,本发明的实施例的混合PLL将宽频率范围(例如,2.4GHz)划分为例如32个更小的频率范围。由于模拟控制环路所使用的频率范围较小,所以振荡器的增益也会减小,从而导致混合PLL的面积减少。

[0113] 图6示出了根据本发明的一些实施例的示出趋势检测的图。在一个实例中,可以使用图600和趋势过程来描述混合PLL 100和/或500的锁定过程。在另一实例中,可以使用图610和620来描述混合PLL 100和/或500的锁定过程。

[0114] 在基于图600的锁定过程中,混合PLL 100和/或500从混合PLL 100和/或500的频率范围的最低频率(f_{bottom})开始锁定过程,其中,数字调节字为零。混合PLL 100和/或500逐级增加频率,直到混合PLL 100和/或500达到从频率跟踪模式切换到相位跟踪模式的标准。可以基于上述趋势机制来确定该标准。该锁定过程600可以使用如上所述的趋势检测工艺并且还可以使用在2016年4月5日提交的题为“Automatic Detection of Change in PLL Locking Trend”的美国专利申请第15/135,212号中的趋势检测工艺,其全部内容结合于此作为参考并且下文中还相对于图620进行总结。

[0115] 根据另一实例,在基于图610的锁定过程中,混合PLL 100和/或500从PLL的频率范围的中间频率(例如,中间数字调节字)开始锁定过程。作为比较,图600示出对于参考频率为3GHz,跟踪时间是11个参考周期,以及对于参考频率为1.5GHz,跟踪时间是4个参考周期。另一方面,图610示出对于参考频率为3GHz,跟踪时间是4个参考周期,以及对于参考频率为1.5GHz,跟踪时间为3个参考周期。

[0116] 图620示出结合图610(例如,从中间跟踪)的示例性趋势检测过程。在该实例中,图1的振荡控制器115通过分析信号105(其从误差信号103获得)来监控误差信号103以确定误差信号103的趋势(例如正趋势、平坦趋势和/或负趋势)。当频率 f_{OUT} 和频率 f_{REF} 收敛(converge)时,误差信号103减小,并且当频率 f_{OUT} 和频率 f_{REF} 发散(diverge)时,误差信号103增加。如图620所示,例如,随着频率 f_{OUT} 收敛于频率 f_{REF} ,误差信号103可以具有正的趋势。如图620所示,例如,随着频率 f_{OUT} 从频率 f_{REF} 发散,误差信号103可以具有负的趋势。例如,当频率 f_{OUT} 与频率 f_{REF} 近似成比例时,误差信号103可以具有平坦的趋势。根据本发明的

实施例,当混合PLL 100和/或500检测到趋势中的变化(例如,从正的趋势到平坦趋势)时,振荡控制器115可以开始从使用DCL 110的频率跟踪模式到使用ACL 130的相位跟踪模式的跟踪模式的变化。

[0117] 图7示出根据本发明的实施例的仿真波形。图701示出输入到图1的混合振荡器153的输出电压121 (VC0IN)。当混合PLL 100和/或500以使用数字控制环路的频率跟踪模式运行(如图7所示的范围705)时,输出电压121 (VC0IN)是固定的。当混合PLL 100和/或500以使用模拟控制环路的相位跟踪模式运行(如图7所示的范围707)时,输出电压121 (VC0IN)控制混合振荡器153。在该实例中,如图701所示,混合PLL 100和/或500在约60个参考周期(例如,1.2 μ s)之后锁定到输入参考信号。

[0118] 图703示出图1的输出信号151的频率。混合PLL 100和/或500在范围705内使用数字控制环路的频率跟踪模式运行,需要约0.2 μ s。混合PLL 100和/或500在范围707内使用模拟控制环路的相位跟踪模式运行,需要约1 μ s。本实例中的锁定频率为2.9923GHz。

[0119] 图710示出ADPLL、模拟PLL和本发明的混合PLL 100和/或500之间的锁定时间的比较。如柱形711所示,它需要约900个参考周期将模拟PLL锁定到输入参考信号的频率和/或相位。柱形713示出需要约290个参考周期来对ADPLL进行锁定。对于本发明的实施例的混合PLL 100和/或500,柱形715示出约60个参考周期足以进行锁定。

[0120] 图8是示出根据本发明的实施例的振荡控制器115的示例性运行控制流程的流程图。可以由包括硬件(例如,电路、专用逻辑、可编程逻辑、微代码等)、软件(例如,在处理器件上执行的指令)或它们的组合的处理逻辑来实施图8的方法800。应当理解,实施本文提供的公开内容可能不需要所有步骤。此外,本领域普通技术人员将理解,可以同时实施或者以与图8中所示的不同顺序实施一些步骤。

[0121] 将参照图1进行描述方法800。然而,方法800不限于该示例性实施例。此外,振荡控制器115的运行不限于该运行控制流程,并且其他运行控制流程在本发明的范围和精神内。

[0122] 在该示例性方法中,混合PLL 100和/或500从PLL的频率范围的中间频率开始锁定过程。在步骤801处,振荡控制器115确定用于锁定过程的频率范围内的中间频率。在步骤803处,振荡控制器115(并且更具体地,例如,跟踪趋势检测器563)通过分析信号105监控误差信号103。如上所述,由经过数字环路滤波器113的误差信号103来获得信号105。监控误差信号103可以包括收集信号105的一个或多个样本。

[0123] 在步骤805处,振荡控制器115(并且更具体地,例如,跟踪趋势检测器563)基于从要确定误差信号103的趋势的信号105所收集的一个或多个样本来确定误差信号103的趋势。在步骤807处,振荡控制器115继续监控误差信号103。例如,振荡控制器115收集信号105的一个或多个附加的样本,并确定附加样本的误差信号103的趋势。振荡控制器115(并且更具体地,例如,跟踪趋势检测器563)将新趋势与初始趋势进行比较,以确定误差信号103的趋势是否已改变。方法800保持在步骤805处,直到振荡控制器115(并且更具体地,例如,跟踪趋势检测器563)检测到误差信号103的趋势的变化。当检测到变化时,该方法移动至步骤809。

[0124] 在步骤809处,振荡控制器115可以基于检测到的误差信号103的趋势变化在数字控制环路110和模拟控制环路130之间切换。例如,振荡控制器115配置为使混合PLL 100停止使用DCL 110(禁用DCL 110或DCL 110的至少部分),并且配置为使混合PLL 100使用ACL

130 (使能ACL 130)。混合振荡器153将使用用于混合PLL 100的相位跟踪运行模式的ACL 130。

[0125] 类似地,振荡控制器115可以配置为使混合PLL 100停止使用ACL 130 (禁用ACL 130) 并且配置为使混合PLL 100使用DCL 110 (使能DCL 110或DCL 110的至少部分)。混合振荡器153将使用用于混合PLL 100的频率跟踪运行模式的DCL 110。例如,使用由DCL 110生成的数字调节字107和/或507来控制混合振荡器153。运行控制流程可以返回到807,以继续监控误差信号103,从而用于误差信号103的趋势中的其他变化。

[0126] 前面的具体描述公开了一种混合PLL,该混合PLL包括数字控制环路,其接收输入参考信号和混合PLL的输出信号并生成数字调节字。混合PLL还包括接收输入参考信号和混合PLL的输出信号并生成输出电压的模拟控制环路。混合PLL还包括连接至数字控制环路和模拟控制环路的混合振荡器。数字控制环路包括振荡控制器。振荡控制器在混合PLL的频率跟踪运行模式期间,使用数字调节字控制混合振荡器,并禁用模拟控制环路。振荡控制器在混合PLL的相位跟踪运行模式期间,使能模拟控制环路以控制混合振荡器。

[0127] 在实施例中,所述数字控制环路还包括:鉴频器,配置为比较所述混合锁相环的输入参考信号的第一频率和输出信号的第二频率以提供误差信号。

[0128] 在实施例中,所述模拟控制环路包括:鉴相器,配置为比较输入参考信号的第一相位和第二时变信号的第二相位以提供误差信号,其中,所述第二时变信号由与所述混合锁相环的输出信号相关联的信号表示。

[0129] 在实施例中,所述混合振荡器包括:数字调节库,连接至所述数字控制环路并且配置为接收所述数字调节字;模拟调节库,连接至所述模拟控制环路并且配置为接收所述输出电压;电流镜,连接至所述数字调节库和所述模拟调节库;以及电流控制振荡器,连接至所述电流镜。

[0130] 在实施例中,所述电流镜包括有源电流镜。

[0131] 在实施例中,所述数字调节库包括多个电流源,其中,每个电流源与开关串联连接,并且所述开关由所述数字调节字控制。

[0132] 在实施例中,在所述频率跟踪运行模式期间,将所述模拟控制环路的所述输出电压设定为固定电压;以及在所述相位跟踪运行模式期间,所述模拟控制环路的所述输出电压跟踪所述输入参考信号的相位。

[0133] 在实施例中,所述振荡控制器配置为在所述混合锁相环的所述频率跟踪运行模式期间将跟踪信号设定为第一逻辑电平,并且在所述混合锁相环的所述相位跟踪运行模式期间将所述跟踪信号设定为第二逻辑电平。

[0134] 在实施例中,所述振荡控制器包括:检测器,配置为接收误差信号并生成振荡器调节代码;以及跟踪趋势检测器,配置为:接收所述振荡器调节代码;检测在所述频率跟踪运行模式和所述相位跟踪运行模式之间进行切换的条件;以及当检测到所述条件时,生成输出信号。

[0135] 在实施例中,所述振荡控制器还包括:跟踪信号生成器,配置为:接收所述跟踪趋势检测器的输出信号;以及基于所述跟踪趋势检测器的输出信号生成跟踪信号,其中,所述跟踪信号生成器在所述混合锁相环的所述频率跟踪运行模式期间将所述跟踪信号设定为第一逻辑电平,并且所述跟踪信号生成器在所述混合锁相环的所述相位跟踪运行模式期间

将所述跟踪信号设定为第二逻辑电平。

[0136] 在实施例中,所述模拟控制环路配置为接收所述跟踪信号,并且配置为当将所述跟踪信号设定为所述第一逻辑电平时将所述输出电压设定为固定值。

[0137] 在实施例中,使用数字组件实施所述数字控制环路。

[0138] 在实施例中,使用模拟组件实施所述模拟控制环路。

[0139] 在实施例中,使用模拟组件实施所述混合振荡器。

[0140] 前面的具体描述还公开了一种混合PLL,该混合PLL包括使用数字组件实施的并且在频率跟踪模式期间运行的数字控制环路。混合PLL还包括使用模拟组件实施的并且在相位跟踪模式期间运行的模拟控制环路。混合PLL还包括振荡控制器。振荡控制器接收误差信号,确定误差信号的趋势,并将误差信号的趋势与误差信号的先前趋势进行比较。振荡控制器根据检测到误差信号的趋势的变化,进一步使能或禁用模拟控制环路。

[0141] 在实施例中,所述趋势包括:正趋势,表示所述误差信号的值从所述误差信号的先前值增加;负趋势,表示所述误差信号的值从所述误差信号的先前值减少;平坦趋势,表示所述误差信号的值与所述误差信号的先前值不变。

[0142] 在实施例中,所述振荡控制器配置为在所述混合锁相环的所述频率跟踪运行模式期间将跟踪信号设定为第一逻辑电平,并且在所述混合锁相环的所述相位跟踪运行模式期间将所述跟踪信号设定为第二逻辑电平。

[0143] 在实施例中,混合锁相环还包括:混合振荡器,连接至所述数字控制环路和所述模拟控制环路,其中,使用所述模拟组件实施所述混合振荡器。

[0144] 前面的具体描述还公开了一种用于运行混合锁相环(PLL)的方法。该方法包括在混合PLL的频率跟踪运行模式期间,使用由数字控制环路生成的数字调节字来控制混合振荡器,并禁用模拟控制环路。该方法还包括在混合PLL的相位跟踪运行模式期间,使能模拟控制环路以控制混合振荡器。

[0145] 在实施例中,用于运行混合锁相环的方法还包括:在所述混合锁相环的所述频率跟踪运行模式期间将跟踪信号设定为第一逻辑电平;以及在所述混合锁相环的所述相位跟踪运行模式期间将所述跟踪信号设定为第二逻辑电平。

[0146] 本发明的实施例的混合PLL结合了数字PLL和模拟PLL的优势。换言之,本发明的实施例的混合PLL将数字控制环路的快速跟踪和振荡器增益减小与模拟控制环路的连续调节机制和没有量化噪声相结合。此外,本发明的实施例的混合PLL的面积可以小于传统的PLL。此外,本发明的实施例的混合PLL可以改善由例如电源的噪声所引起的毛刺。本发明的实施例的混合PLL还可以放置在芯片上的任何地方,而没有专用电源。因此,本发明的实施例的混合PLL还可以认为是可以以低功耗模式和/或高性能模式下运行的任何位置的PLL。

[0147] 上面概述了若干实施例的特征,使得本领域技术人员可以更好地理解本发明的各方面。本领域技术人员应该理解,他们可以容易地使用本发明作为基础来设计或修改用于实施与在此所介绍实施例相同的目的和/或实现相同优势的其他工艺和结构。本领域技术人员也应该意识到,这种等同构造并不背离本发明的精神和范围,并且在不背离本发明的精神和范围的情况下,在此他们可以做出多种变化、替换以及改变。

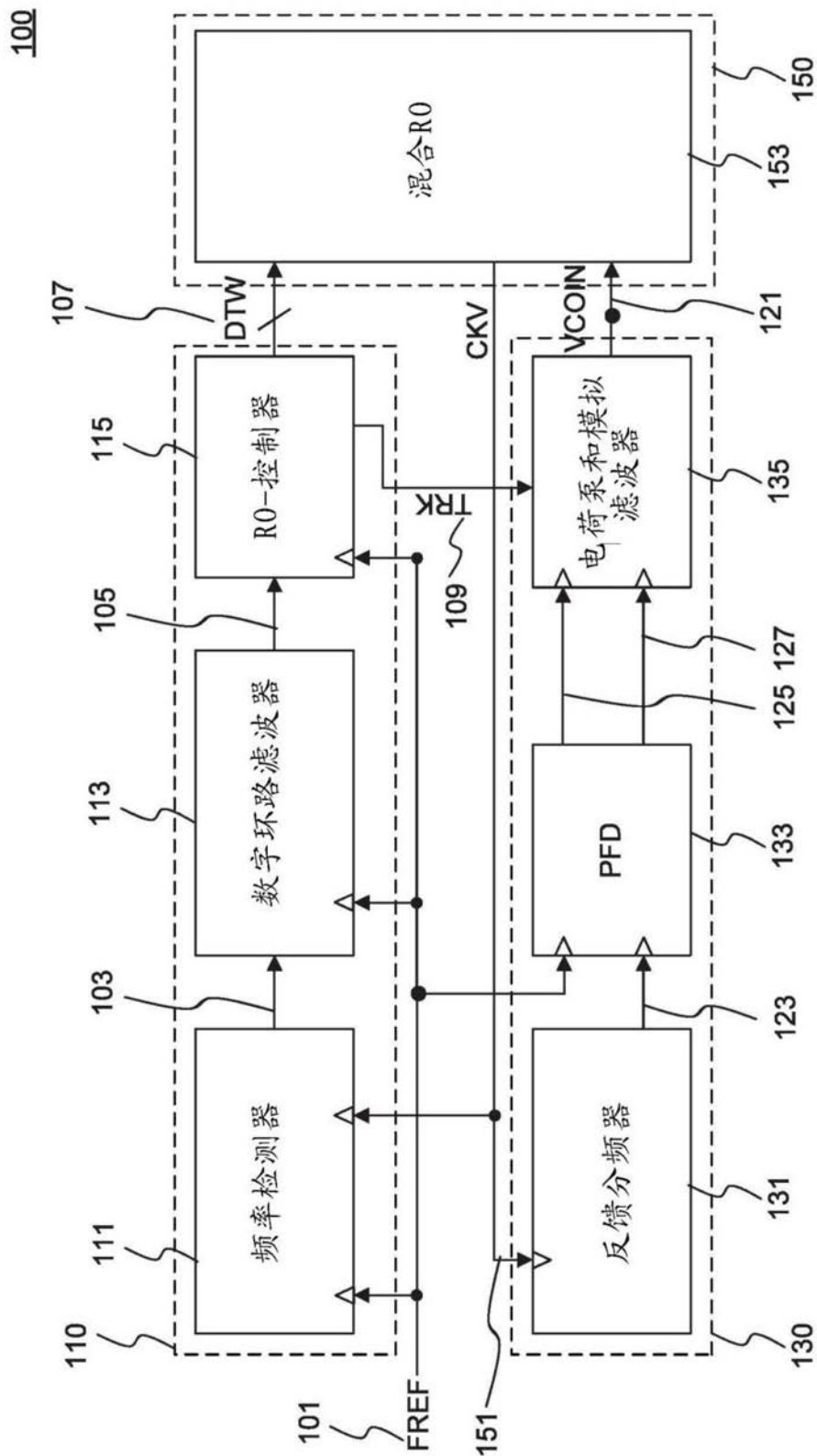


图1

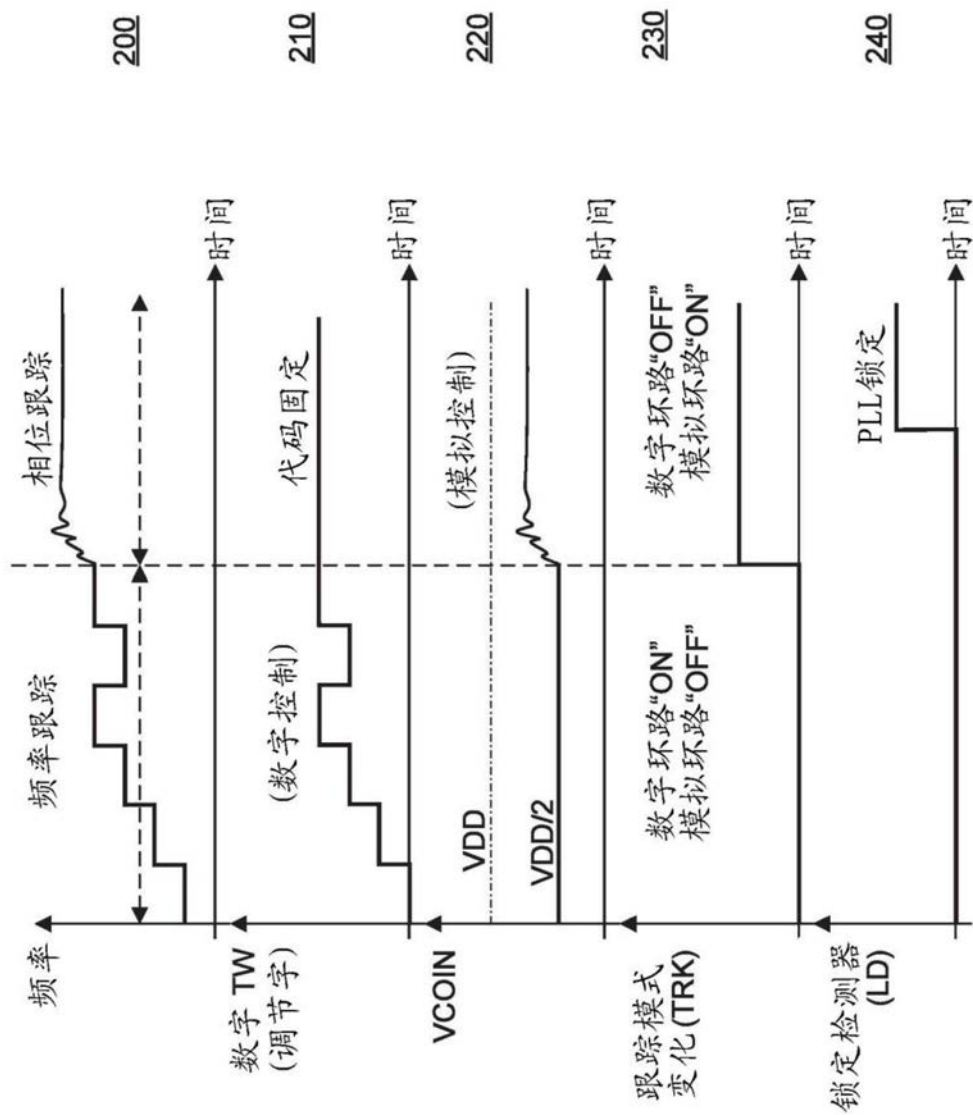


图2

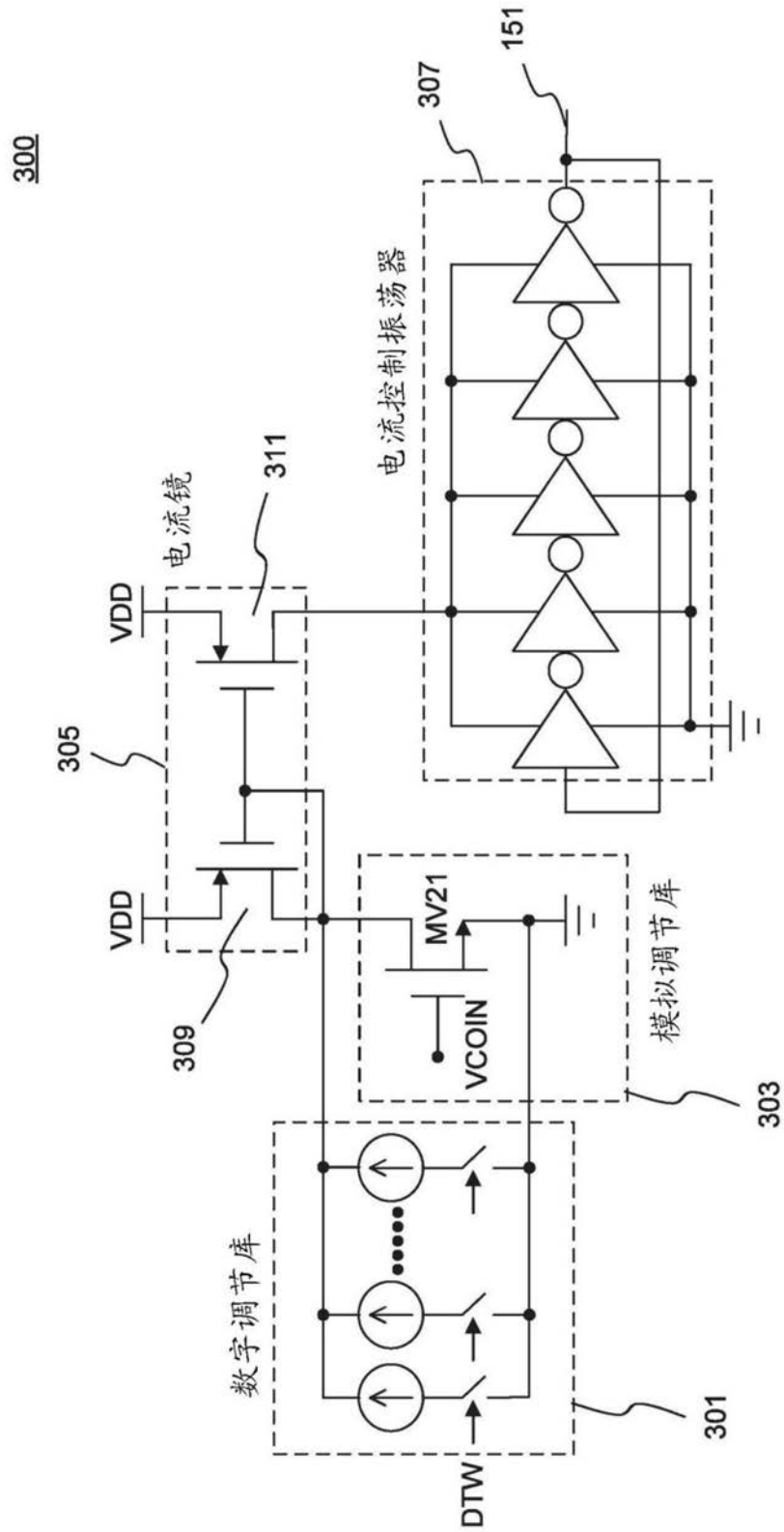


图3A

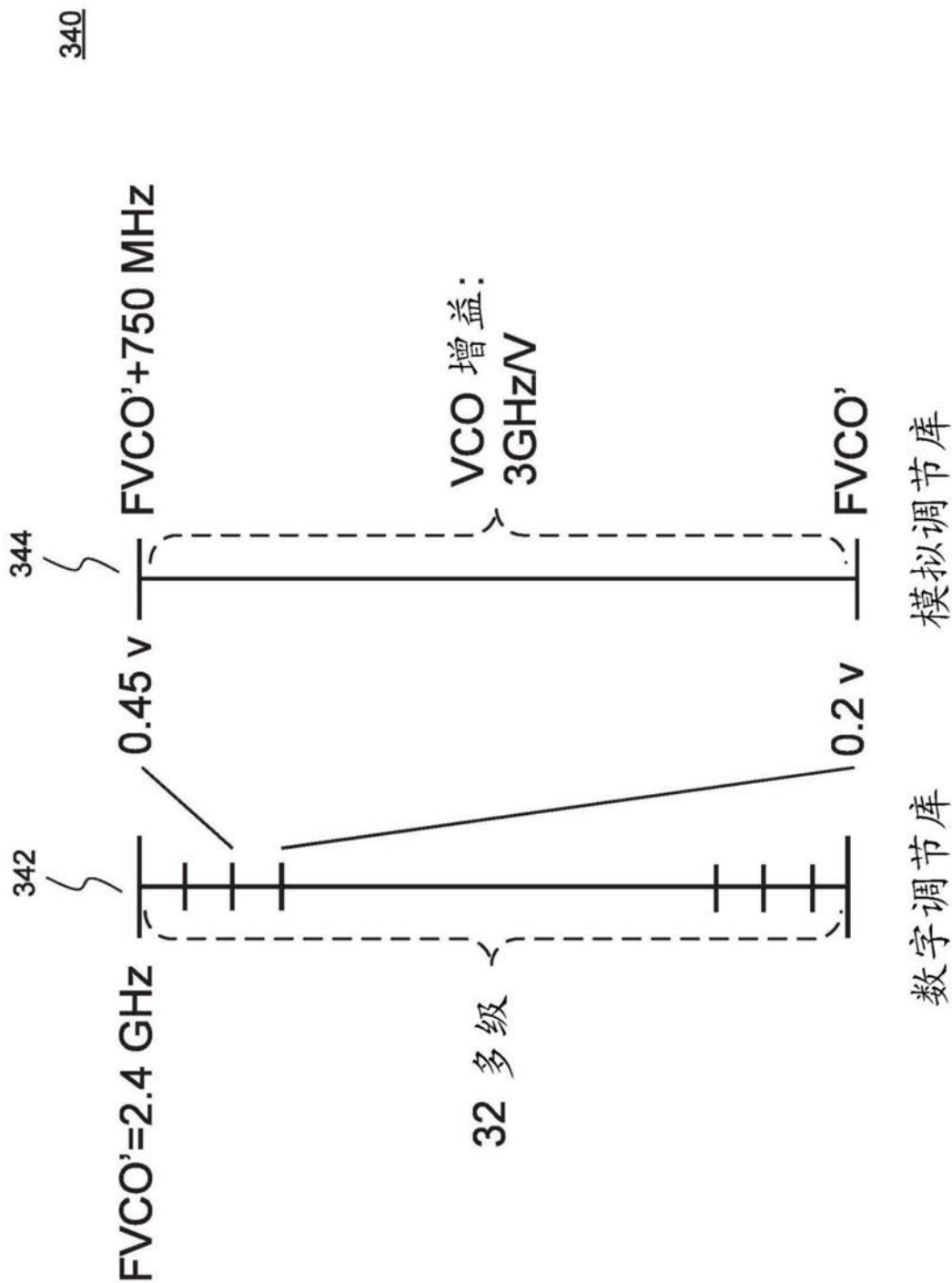


图3B

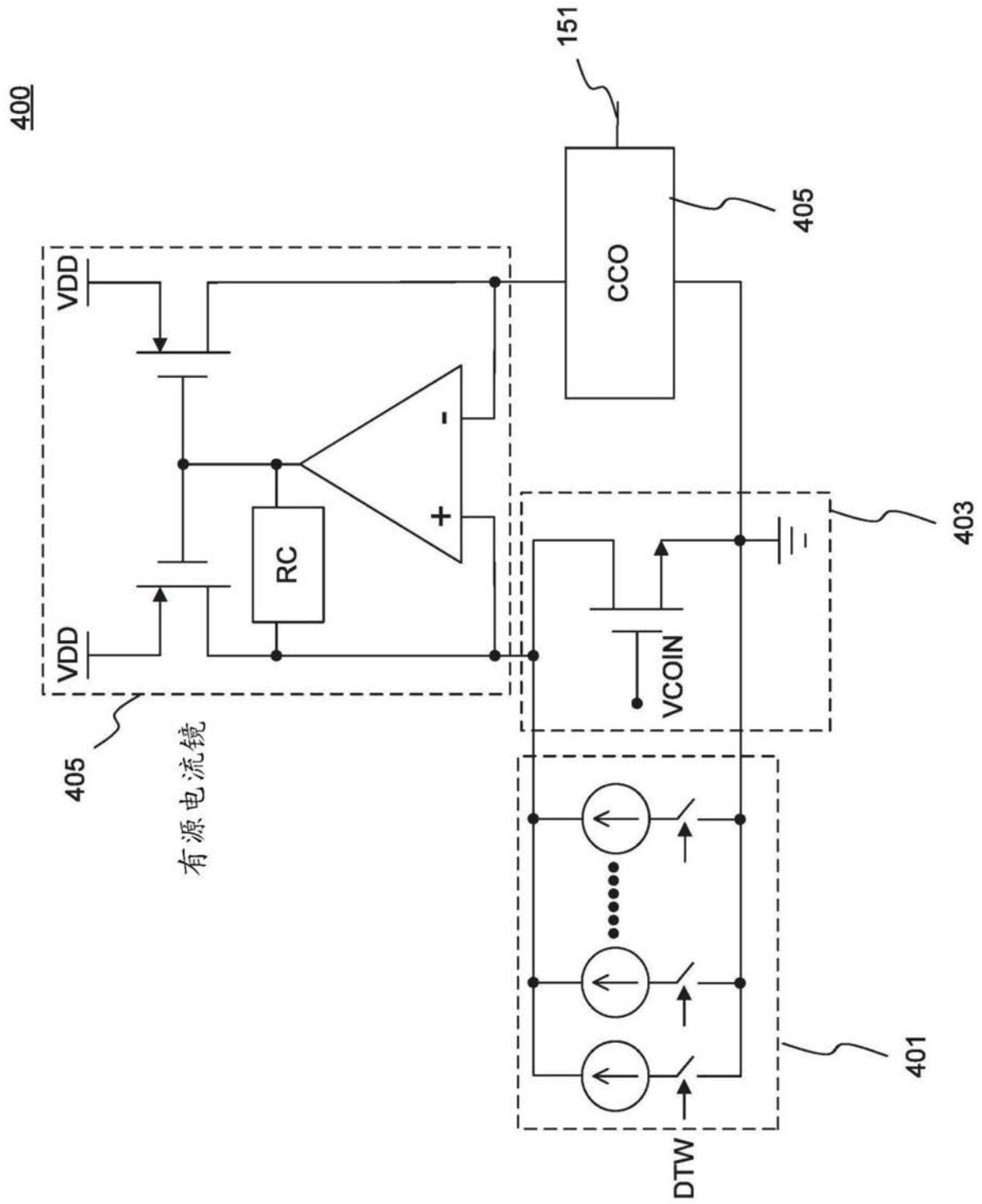


图4A

430

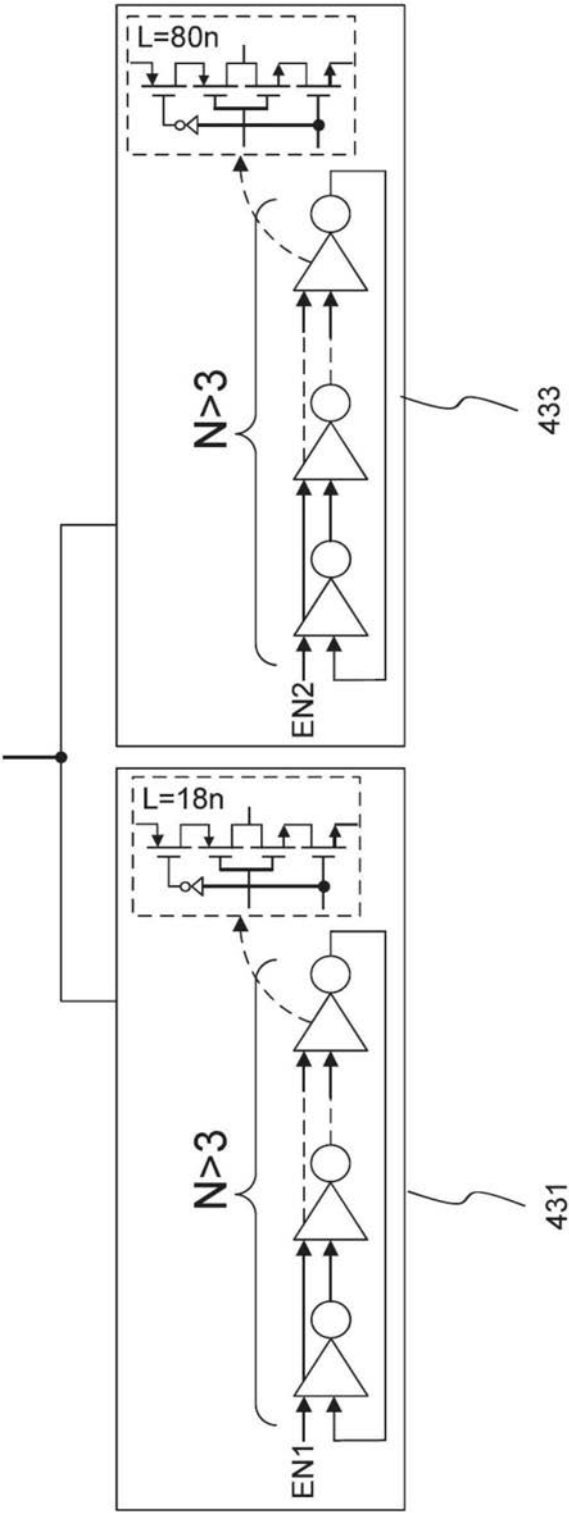


图4B

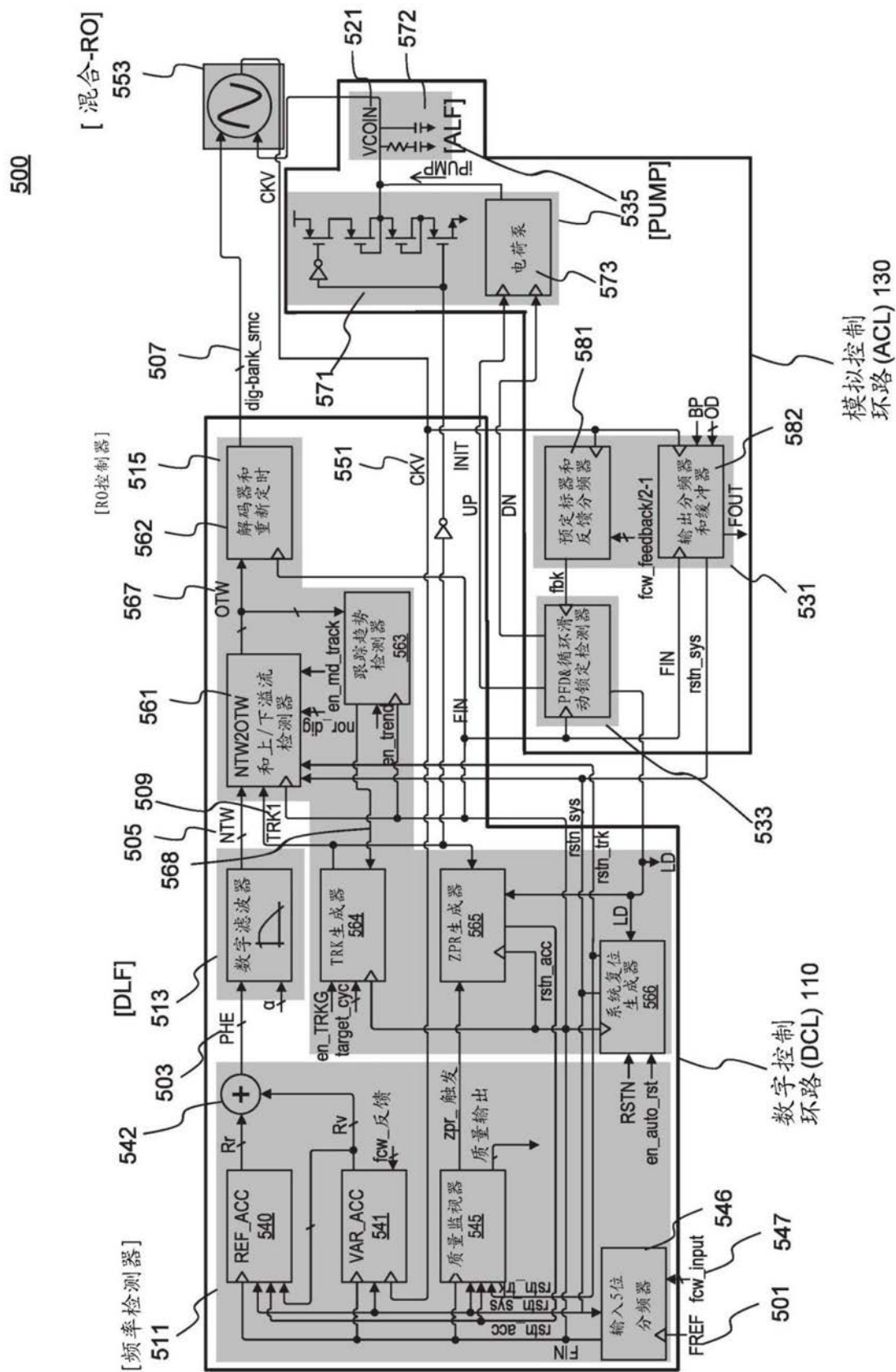


图5

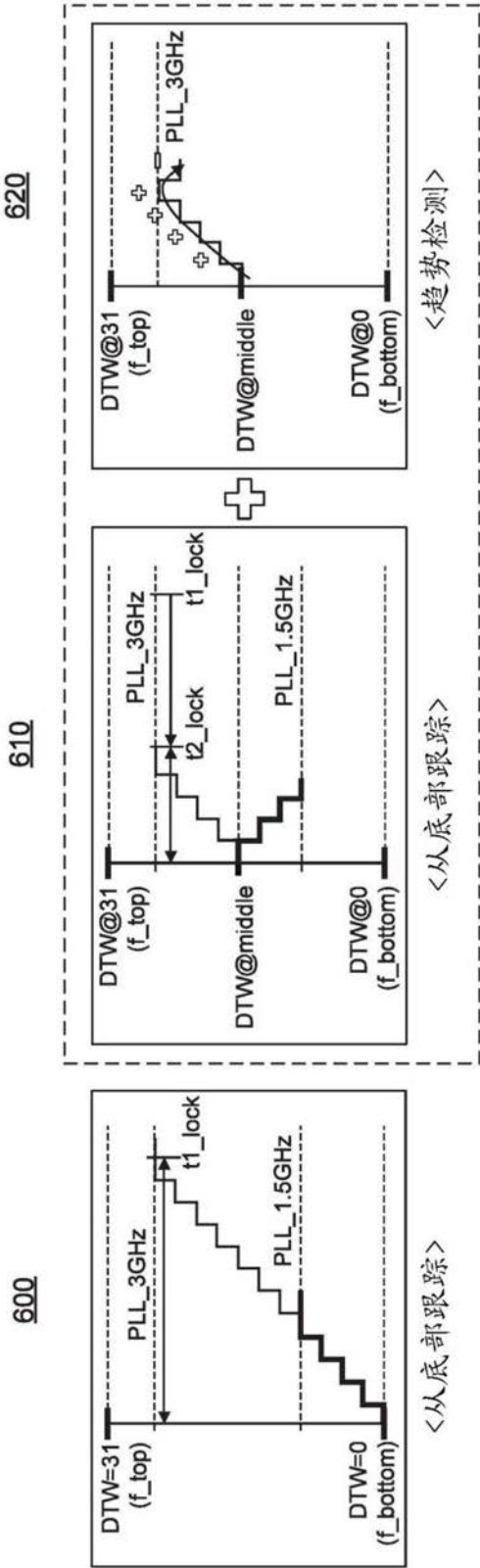


图6

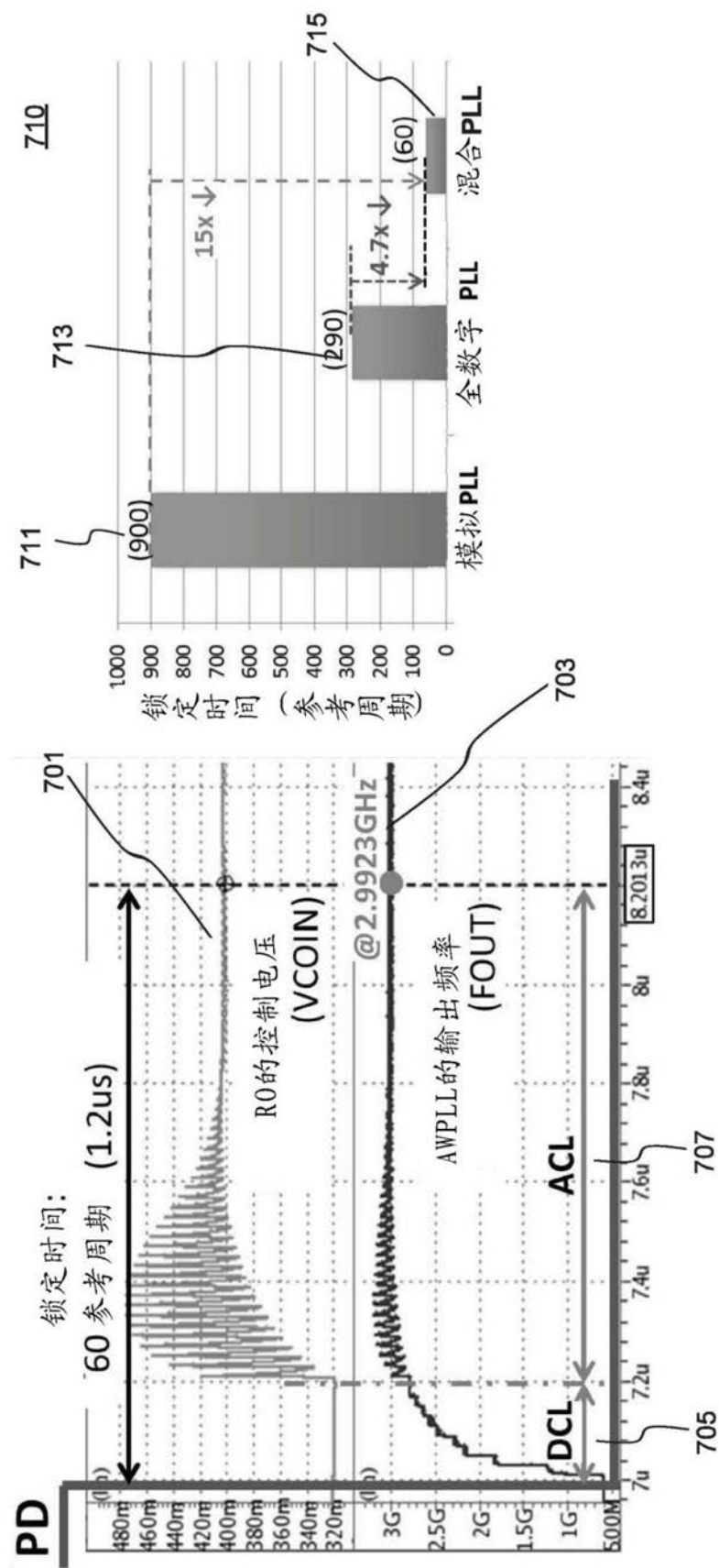


图7

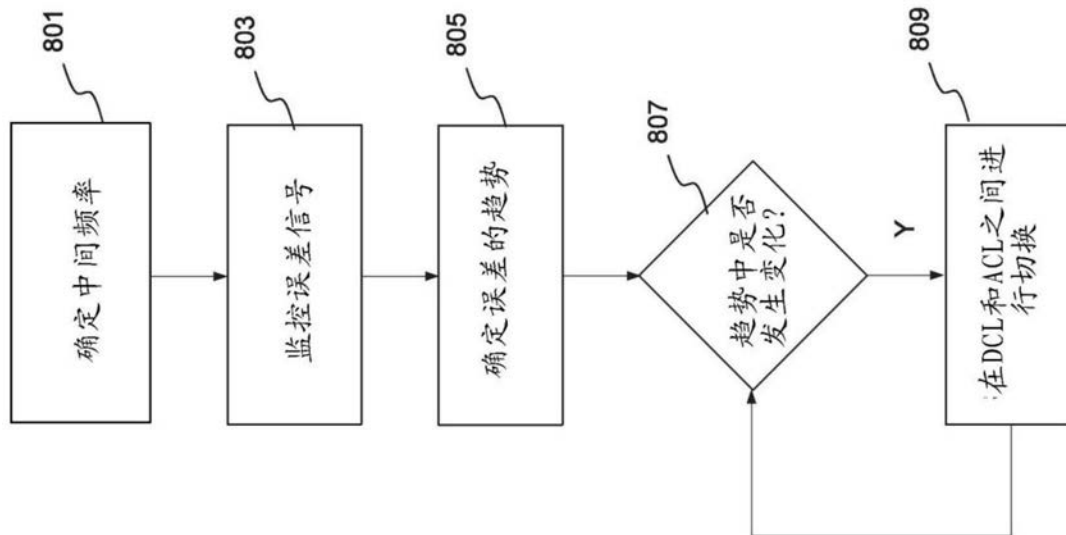


图8

900

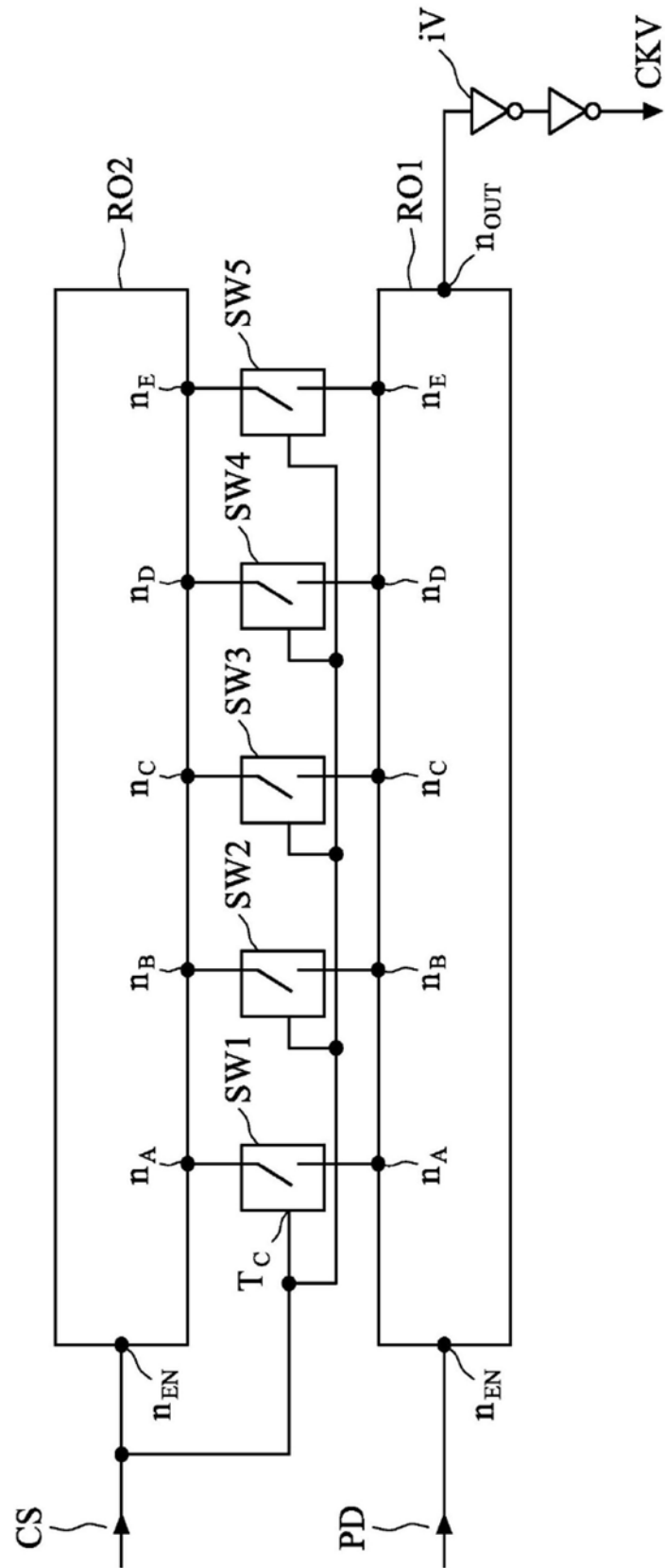


图9

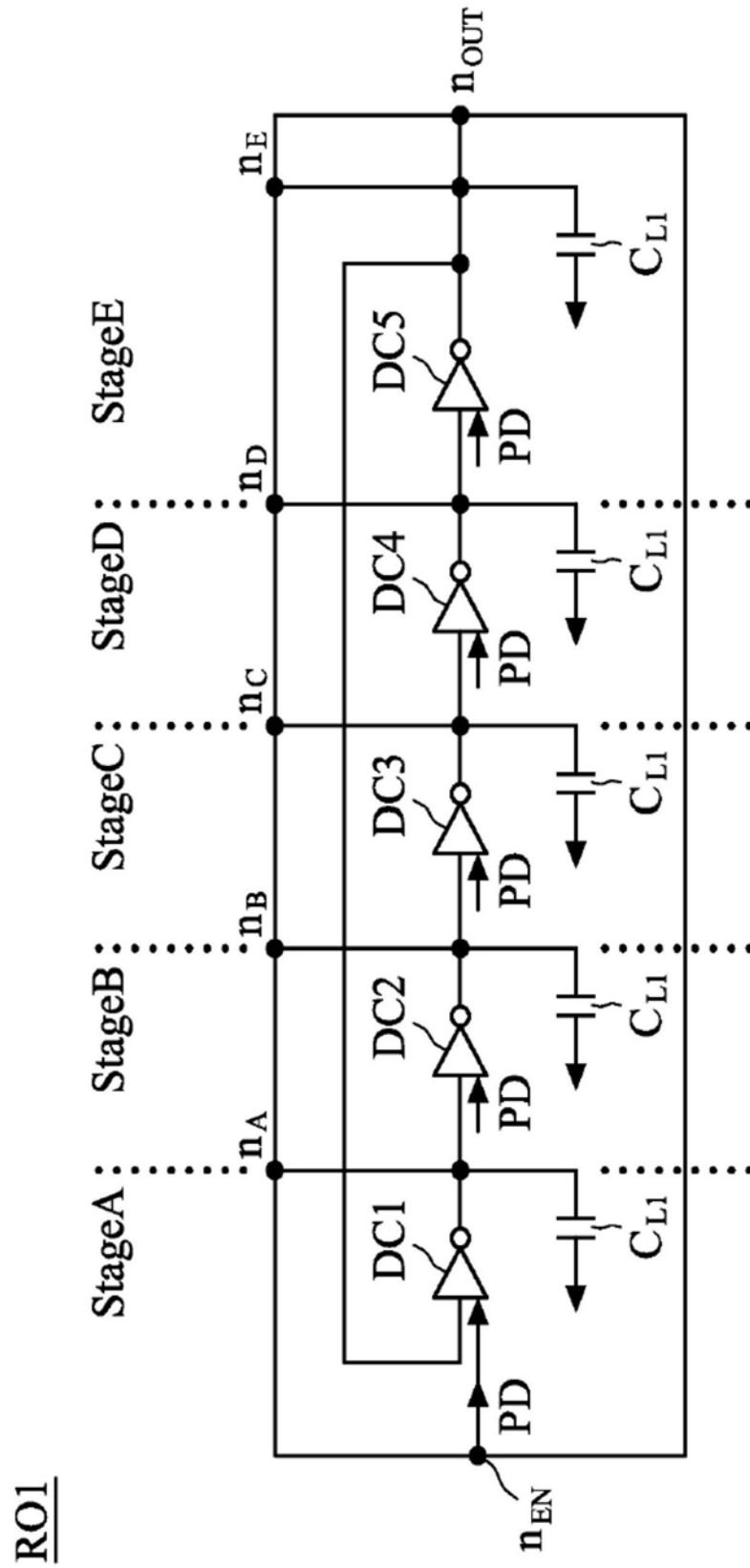


图10

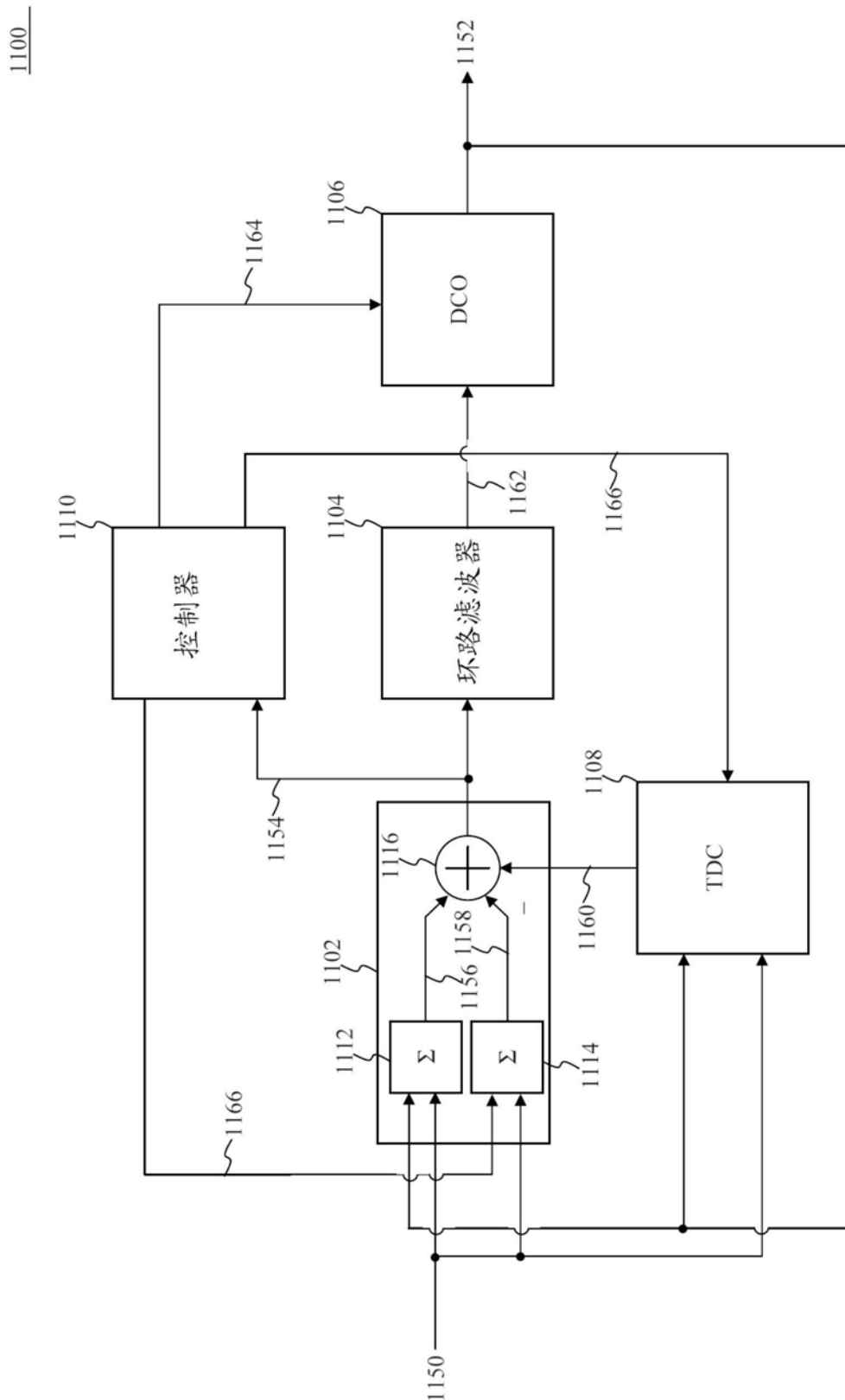


图11

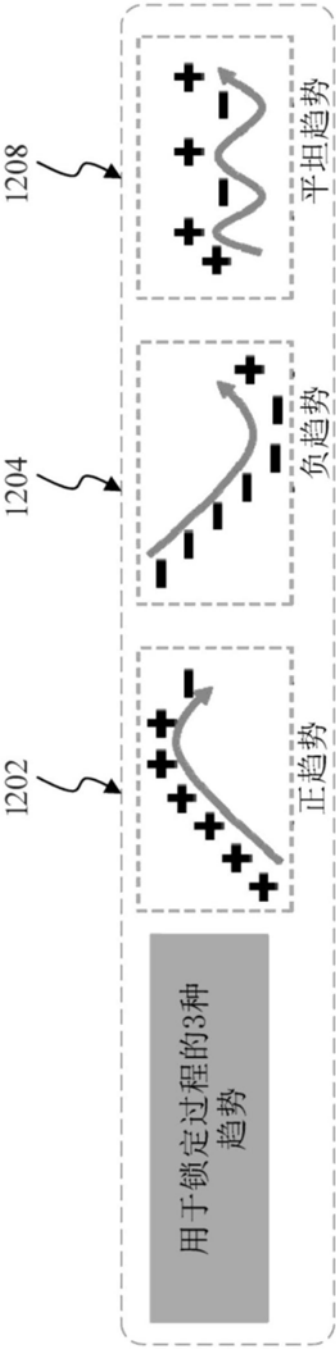


图12

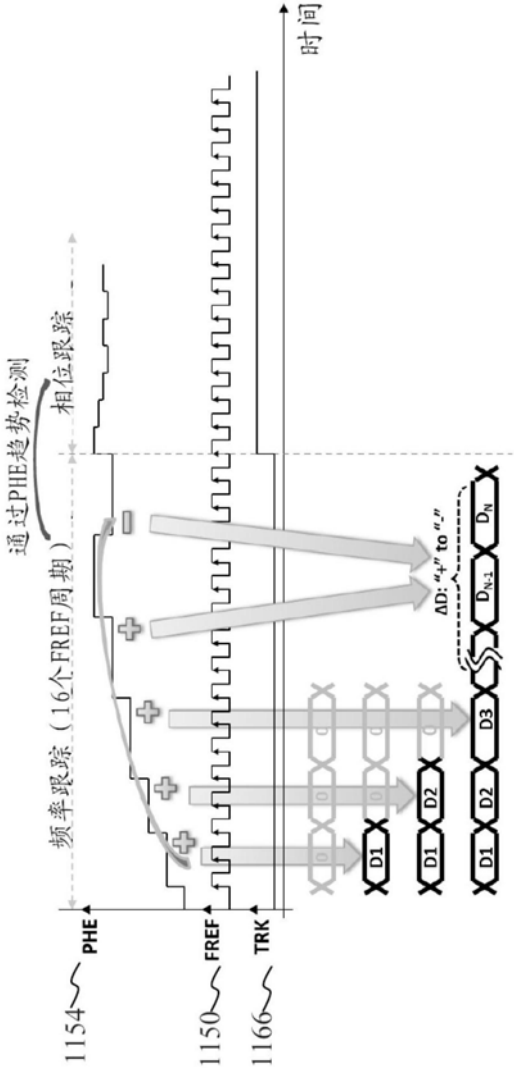


图13A

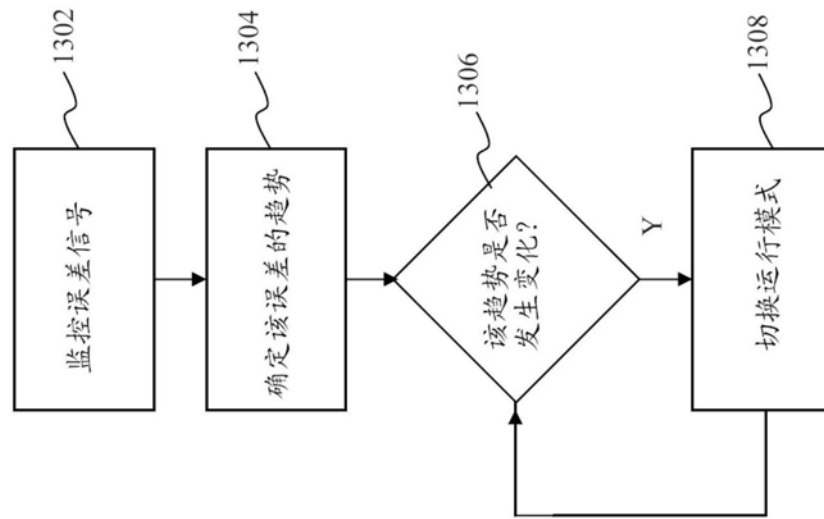


图13B

1400

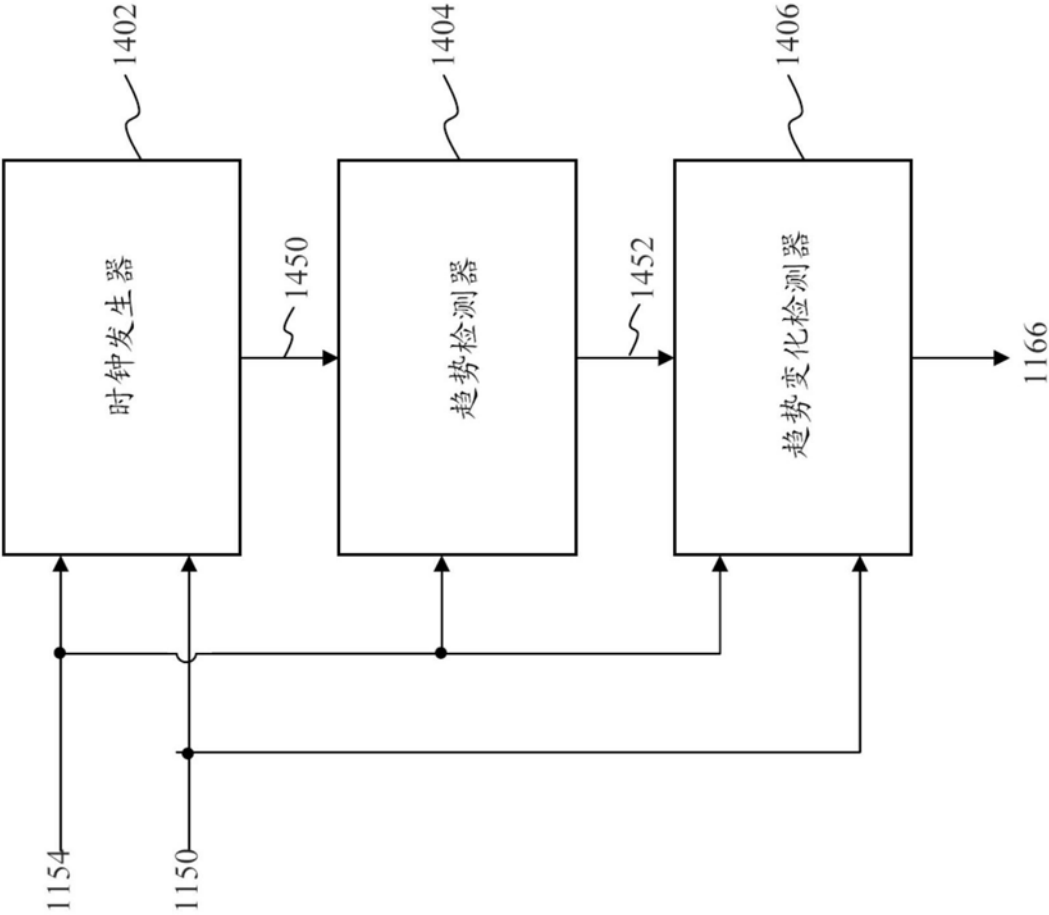


图14