



FEDERÁLNÍ ÚŘAD  
PRO VYNÁLEZY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

266 687

(11)

(13) B1

(51) Int. Cl.<sup>4</sup>  
G 06 K 13/00,  
G 06 K 13/10

(21) PV 6508-87.X

(22) Přihlášeno 09 09 87

(40) Zveřejněno 12 05 89

(45) Vydáno 3.12.1990

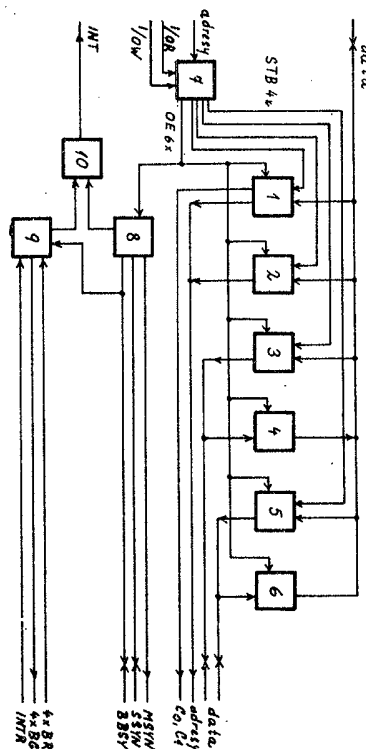
(75)  
Autor vynálezu

MALÁT VLADISLAV RNDr. CSc., PODĚBRADY,  
KUBÍK PETR ing.,  
ZÁRUBA MARTIN ing. CSc., PRAHA

(54)

Zapojení pro řízení systému CAMAC mikropočítačem  
na bázi mikroprocesoru 8080A

(57) Zapojení slouží jako styková jednotka zapojení mezi řadič rámu systému CAMAC a mikropočítač. Jako mikropočítač, tak řadič a také zapojení jsou vyrobeny s tuzemských součástek. Zapojení lze využít pro měření školních úloh, nenáročných na paměť a rychlost řídicího počítače, nebo při použití zapojení jako záložního systému.



266 687

Vynález se týká zapojení pro řízení systému CAMAC mikropočítačem na bázi mikroprocesoru 8080A za pomoci řadiče NL 2106.

V zemích RVHP se často k řízení systému CAMAC (Computer Aided Measurement and Control) užívá některý ze systému malých elektronických počítačů. Jako řadič je při tom užíván typ Tesla NL 2106. Pro některá školní měření, pro měření nenáročná na rychlost a paměť počítače, nebo při použití jako záložní je tento způsob ekonomicky náročný, dostatečně nevyužitý a při prudkém technickém rozvoji navíc rychle zaostává.

Výše uvedené nedostatky odstraňuje zapojení pro řízení systému CAMAC mikropočítačem na bázi mikroprocesoru 8080A, jehož podstata spočívá v tom, že první výstup dekodéru adres je připojen jednak na první vstupy prvního, druhého, třetího a pátého střadače informace, jednak na první vstupy jednosměrných budičů a jednak na první vstup generátoru signálu. Druhý až pátý výstup STB dekodéru adres je připojen na jednotlivé druhé vstupy střadačů informace. Vstup adres, vstup I/OR a vstup I/OW dekodéru adres je připojen na první, druhý a třetí výstup mikropočítače. První výstup prvního střadače informace je připojen na vstup C0, C1 řadiče a druhý výstup prvního střadače informace a první výstup druhého střadače informace jsou připojeny na vstup adresy řadiče. První výstup třetího střadače informace je připojen jednak na druhý vstup jednosměrného prvního budiče a jednak na druhou svorku data řadiče. První výstup čtvrtého střadače je připojen jednak na druhý vstup jednosměrného budiče a jednak na první

svorku data řadiče. První výstupy prvního a druhého jednosměrného budiče jsou připojeny jednak na třetí vstupy prvního až čtvrtého střadače informace a jednak na druhou svorku data mikropočítače. První vstup mikropočítače je připojen na výstup INT obvodu logického součtu, jehož první vstup je připojen na první výstup generátoru signálu, druhý až čtvrtý výstup generátoru signálu je připojen jednotlivě na vstup MSYN, svorku SSYN a svorku BBSY řadiče. Dále je čtvrtý výstup generátoru signálu připojen na první vstup arbitru, jehož druhý a třetí vstup je jednotlivě připojen na výstup BR a výstup INTR řadiče, při čemž vstup BG řadiče je připojen na druhý výstup arbitru.

Výhody zapojení pro řízení systému CAMAC mikropočítačem na bázi mikroprocesoru 8080A spočívají v jeho jednoduchosti, ekonomické nenáročnosti a komplexním využití pro případ jednoduchých školních měření, či použití systému jako záložního. Také nelze pominout, že zapojení podle vynálezu je z tuzemských součástek.

Vynález bude blíže popsán na příkladu provedení, znázorněného na připojených výkresech. Na obr.1 je znázorněno blokové schema systému řízení za použití zapojení pro řízení systému CAMAC mikropočítačem na bázi mikroprocesoru 8080A podle vynálezu a na obr.2 je znázorněno vlastní blokové schema zapojení pro řízení systému CAMAC mikropočítačem na bázi mikroprocesoru 8080A.

První výstup dekodéru 7 adres je připojen jednak na první vstupy střadačů 1,2,3,5 informace, jednak na první vstupy jednosměrných budičů 4,6 a jednak na první vstup generátoru 8 signálu. Druhý až pátý výstup STB dekodéru 7 adres je připojen na jednotlivé druhé vstupy prvního až čtvrtého střadače 1,2,3,5 informace, přitom vstup adres, vstup I/OR a vstup I/OW dekodéru 7 adres je připojen na první, druhý a třetí výstup mikropočítače. První výstup prvního střadače 1 informace je připojen na vstup C0,C1 řadiče, druhý výstup prvního střadače 1 informace a první výstup druhého střadače 2 informace jsou připojeny na vstup adresy řadiče. První výstup třetího střadače 3 informace je připojen jednak na druhý vstup prvního jednosměrného budiče 4 a jednak na druhou svorku data řadiče. První výstup čtvrtého střadače 5 informace je připojen jednak na druhý vstup druhého jednosměrného budiče 6

a jednak na první svorku data řadiče. První výstupy prvního a druhého jednosměrného budiče 4,6 jsou připojeny jednak na třetí vstupy prvního a čtvrtého střadače 1,2,3,5 informace a jednak na druhou svorku data mikropočítače, přičemž první vstup mikropočítače je připojen na výstup INT obvodu 10 logického součtu, jehož první vstup je připojen na první výstup generátoru 8 signálu. Druhý, třetí a čtvrtý výstup generátoru 8 signálu je připojen jednotlivě na vstup MSYN, svorku SSYN a svorku BBSY řadiče a dále je čtvrtý výstup generátoru 8 signálu připojen na první vstup arbitru 9, jehož druhý a třetí vstup je připojen jednotlivě na výstup BR a výstup INTR řadiče, přičemž vstup BG řadiče je připojen na druhý výstup arbitru 9.

Na obr.1 jsou jednotlivé jednotky 11 systému CAMAC připojeny na vstupy řadiče 12, jehož výstup je přes blok 14 řízení, který je předmětem vynálezu, připojen k mikropočítači 15 na bázi mikroprocesoru 8080A.

V konkrétním případě zapojení pro řízení systému CAMAC mikropočítačem na bázi mikroprocesoru 8080A bylo použito mikropočítače tuzemské výroby typu PMD 85 a připojení na jeho aplikační konektor. Jako řadič byl použit tuzemský typ Tesla NL 2106. Adresové a datové signály řadiče jsou po osmibitové datové sběrnici mikropočítače přivedeny do zapojení podle vynálezu, přičemž rozlišení, zda se jedná o adresy či data, vstup nebo výstup, se provádí dekodováním signálů adresové sběrnice mikropočítače v dekodéru 7 adres. Protože adresová a datová sběrnice řadiče NL 2106 jsou více než osmibitové, je nutno adresy i data řadiče skládat ze dvou osmibitových polovin, což je také řízeno dekodérem 7 adres. Místo dvou bitů nižší poloviny adres jsou přenášeny kontrolní signály C0,C1, udávající o jaký typ přenosu půjde. Z dekodéru 7 jsou také odvozeny signály BBSY (bus busy) a MSYN (master synchronization), pomocí kterých je řízen řadič. Signál SSYN (slave synchronization) je na vstup zapojení podle vynálezu přiváděn a pak slouží ke generaci výstupního signálu INT obvodu 10 logického součtu, nebo je na výstupu zapojení podle vynálezu, a to když přenáší přerušovací

vektor. Ke zpracování žádosti o přerušení řízení slouží vstup INTR (interrupt request) arbitru 9, který zpracovává žádosti od až čtyř ráků o různé priority, po jejichž vyhodnocení vysílá příslušný signál BG (bus granted) vybranému ráku. Žádost o přerušení z určitého ráku je prováděna vstupem BR (bus request) arbitru 9. Osmibitové střadače 1,2,3,5 informace jsou připojeny prvními vstupy k řadiči NL 2106 signálem OE (output enable) z výstupu dekodéru 7 adres. Obvod 10 logického součtu ovládá přerušovací systém mikropočítače. Osmibitové jednosměrné budiče 4,6 mají své vstupy připojeny k řadiči NL 2106 signálem OE z dekodéru 7 adres.

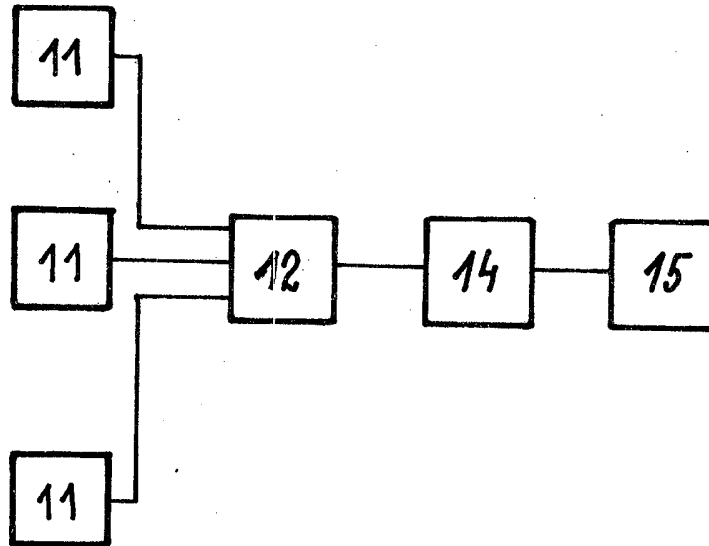
Zapojení podle vynálezu je možno použít v počítačové technice při nahrazování větších počítačů mikropočítačem na bázi mikroprocesoru 8080A pro řízení systémů CAMAC, obzvláště pro školní úlohy nebo jako záložní prostředek.

## PŘEDMĚT VYNÁLEZU

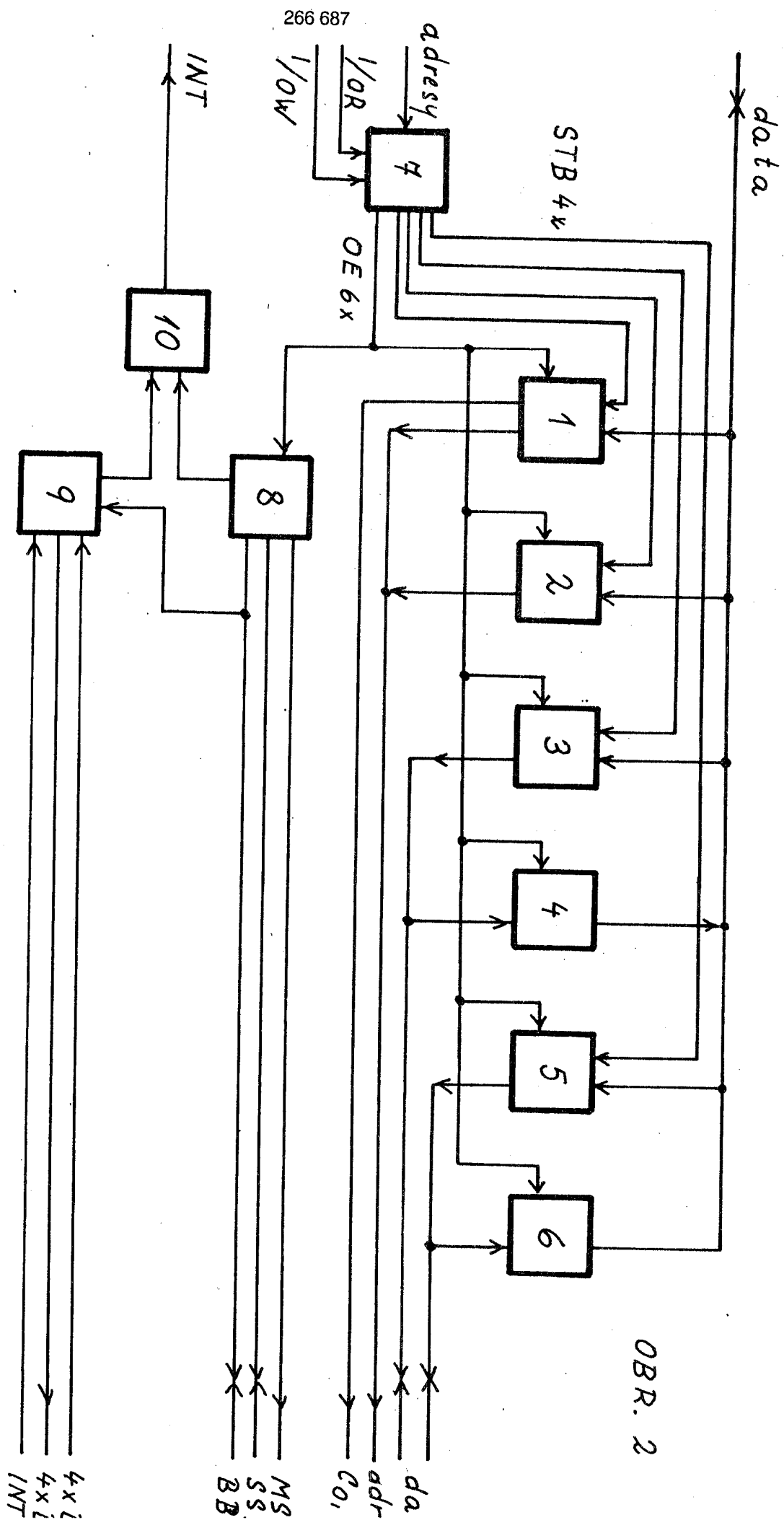
266 687

Zapojení pro řízení systému CAMAC mikropočítačem na bázi mikroprocesoru 8080A, vyznačující se tím, že první výstup dekodéru (7) adres je připojen jednak na první vstupy prvního, druhého, třetího a čtvrtého střadače (1,2,3,5) informace, jednak na první vstupy prvního a druhého jednosměrného budiče (4,6) a jednak na první vstup generátoru (8) signálu, přičemž druhý až pátý výstup (STB) dekodéru (7) adres je připojen na jednotlivé druhé vstupy prvního, druhého, třetího a čtvrtého střadače (1,2,3,5) informace, vstup adres, vstup (I/OR) a vstup (I/OW) dekodéru (7) adres je připojen na první, druhý a třetí výstup mikropočítače, dále první výstup prvního střadače (1) informace je připojen na vstup (C0,C1) řadiče, druhý výstup prvního střadače (1) informace a první výstup druhého střadače (2) informace jsou připojeny na vstup adresy řadiče, první výstup třetího střadače (3) informace je připojen jednak na druhý vstup prvního jednosměrného budiče (4) a jednak na druhou svorku data řadiče, první výstup čtvrtého střadače (5) informace je připojen jednak na druhý vstup druhého jednosměrného budiče (6) a jednak na první svorku data řadiče, dále první výstupy prvního a druhého jednosměrného budiče (4,6) jsou připojeny jednak na třetí vstupy prvního, druhého, třetího a čtvrtého střadače (1,2,3,5) informace a jednak na druhou svorku data mikropočítače, přičemž první vstup mikropočítače je připojen na výstup (INT) obvodu (10) logického součtu, jehož první vstup je připojen na první výstup generátoru (8) signálu, druhý, třetí a čtvrtý výstup generátoru (8) signálu je připojen jednotlivě na vstup (MSYN), svorku (SSYN) a svorku (BBSY) řadiče a dále je čtvrtý výstup generátoru (8) signálu připojen na vstup arbitru (9), jehož druhý a třetí vstup je připojen jednotlivě na výstup (BR) a výstup (INTR) řadiče, přičemž vstup (BG) řadiče je připojen na druhý výstup arbitru (9).

**2 výkresy**



OBR. 1



Vytiskly Moravské tiskářské závody,  
středisko 100, Studentská tř.5, OLOMOUČ