



(12) 发明专利

(10) 授权公告号 CN 103226981 B

(45) 授权公告日 2015. 09. 16

(21) 申请号 201310122415. 1

CN 102956213 A, 2013. 03. 06,

(22) 申请日 2013. 04. 10

CN 202838909 U, 2013. 03. 27,

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
专利权人 鄂尔多斯市源盛光电有限责
任公司

US 2011/0221736 A1, 2011. 09. 15,

CN 102629444 A, 2012. 08. 08,

审查员 耿翠萍

(72) 发明人 李付强 李成 安星俊

(74) 专利代理机构 北京同达信恒知识产权代理
有限公司 11291

代理人 黄志华

(51) Int. Cl.

G11C 19/28(2006. 01)

G09G 3/36(2006. 01)

(56) 对比文件

CN 102956213 A, 2013. 03. 06,

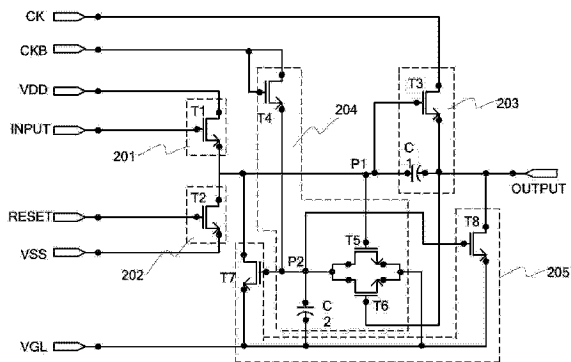
权利要求书2页 说明书6页 附图4页

(54) 发明名称

一种移位寄存器单元及栅极驱动电路

(57) 摘要

本发明提供了一种移位寄存器单元及栅极驱动电路,用以降低噪声干扰,提高移位寄存器的稳定性,同时减小移位寄存器单元的尺寸。所述移位寄存器单元包括:响应于输入信号,将第一电压信号提供给输出端子的输入模块;用于响应于复位信号,将第二电压信号提供给输入模块中作为输入模块输出端的第一节点的复位模块;响应于第一节点的电压,将第一时钟信号提供给输出端子的输出模块;用响应于第二时钟信号、将第二时钟信号提供给第二节点,并响应于第一节点或输出端子的电压,将电源负电压提供给第二节点的下拉控制模块;响应于第二节点的电压,将电源负电压提供给第一节点和输出端子的下拉模块。



1. 一种移位寄存器单元,其特征在于,所述移位寄存器单元包括输入模块、复位模块、输出模块、下拉控制模块和下拉模块,其中,

所述输入模块,分别连接输入信号端、第一电压信号端、输出端子,用于响应于输入信号端输入的信号,将第一电压信号端输入的第一电压信号提供给输出端子;

所述复位模块,分别连接复位信号端、第二电压信号端、第一节点,用于响应复位信号端输出的复位信号,将第二电压信号端输入的第二电压信号提供给第一节点,所述第一节点为所述复位模块与所述输入模块的连接点;

所述输出模块,分别连接第一节点、第一时钟信号端和输出端子,用于响应于第一节点的电压,将第一时钟信号端输入的第一时钟信号提供给输出端子;

所述下拉控制模块,分别连接第一节点、第二节点、第二时钟信号端、输出端子和电源负电压端,用于响应于第二时钟信号端输入的第二时钟信号,将第二时钟信号提供给所述下拉控制模块的第二节点;以及响应于第一节点的电压或响应于输出端子的电压,将电源负电压端输入的电源负电压提供给第二节点,所述第二节点为所述下拉控制模块与所述下拉模块的连接点;

所述下拉模块,分别连接第一节点、第二节点、电源负电压端和输出端子,用于响应于第二节点的电压,将电源负电压端输入的电源负电压提供给第一节点和输出端子;

其中,所述下拉控制模块包括:

第四薄膜晶体管,所述第四薄膜晶体管的栅极和漏极同时连接第二时钟信号端,所述第四薄膜晶体管的源极连接所述第二节点;

第五薄膜晶体管,所述第五薄膜晶体管的栅极连接第一节点,所述第五薄膜晶体管的源极连接电源负电压,所述第五薄膜晶体管的漏极连接第一节点;

第六薄膜晶体管,所述第六薄膜晶体管的栅极连接输出端子,所述第六薄膜晶体管的漏极连接第二节点,所述第六薄膜晶体管的源极连接电源负电压。

2. 如权利要求 1 所述移位寄存器单元,其特征在于,所述输入模块包括:

第一薄膜晶体管,所述第一薄膜晶体管的栅极连接输入信号端,所述第一薄膜晶体管的漏极连接第一电压信号,所述第一薄膜晶体管的源极连接第一节点。

3. 如权利要求 1 所述移位寄存器单元,其特征在于,所述复位模块包括:

第二薄膜晶体管,所述第二薄膜晶体管的栅极连接复位信号端,所述第二薄膜晶体管的漏极连接第一节点,所述第二薄膜晶体管的源极连接第二电压信号。

4. 如权利要求 1 所述移位寄存器单元,其特征在于,所述输出模块包括:

第三薄膜晶体管,所述第三薄膜晶体管的栅极连接第一节点,所述第三薄膜晶体管的漏极连接第一时钟信号端,所述第三薄膜晶体管的栅极连接第一节点,所述第三薄膜晶体管的源极连接输出端子;

第一电容,连接在所述第一节点和所述输出端子之间。

5. 如权利要求 1 所述移位寄存器单元,其特征在于,所述下拉控制模块还包括:

第二电容,连接在所述第二节点和电源负电压之间。

6. 如权利要求 1 所述移位寄存器单元,其特征在于,所述下拉模块包括:

第七薄膜晶体管,所述第七薄膜晶体管的栅极连接第二节点,所述第七薄膜晶体管的源极连接电源负电压,所述第七薄膜晶体管的漏极连接第一节点;

第八薄膜晶体管,所述第八薄膜晶体管的栅极连接第二节点,所述第八薄膜晶体管的漏极连接输出端子,所述第八薄膜晶体管的源极连接电源负电压。

7. 如权利要求 1~6 任一权利要求所述移位寄存器单元,其特征在于,所有薄膜晶体管均为 N 型薄膜晶体管。

8. 一种栅极驱动电路,包括级联的各级移位寄存器单元,其中,第一级移位寄存器单元的输入信号端连接起始信号端,第一级移位寄存器单元的复位信号端连接第二级移位寄存器单元的输出端子;最后一级移位寄存器单元的输入信号端连接前一级移位寄存器单元的输出端子,最后一级移位寄存器单元的复位信号端连接起始信号端;

除第一级和最后一级移位寄存器单元外,其余各级移位寄存器单元的输入信号端连接上一级移位寄存器单元的输出端子,复位信号端连接下一级移位寄存器单元的输出端子;

其特征在于,所有级联的移位寄存器单元均为如权利要求 1~7 任一权利要求所述的移位寄存器单元。

一种移位寄存器单元及栅极驱动电路

技术领域

[0001] 本发明涉及通信技术领域,尤其涉及一种移位寄存器单元及栅极驱动电路。

背景技术

[0002] 薄膜晶体管液晶显示器(TFT-LCD)驱动器主要包括栅极驱动器和数据驱动器,其中,栅极驱动器将输入的时钟信号通过移位寄存器单元转换后加在液晶显示面板的栅线上,栅极驱动电路可以与TFT形成具有相同工艺并与TFT一起同时形成在LCD面板上。栅极驱动电路包括具有多级的移位寄存器单元,每级均连接到相应的栅极线以输出栅极驱动信号。栅极驱动电路的各级彼此相连,起始信号输入至各级中的第一级并顺序的将栅极驱动信号输出至栅极线,其中前级的输入端连接到上一级的输出端,并且下一级的输出端连接到前级的控制端。

[0003] 在LCD面板设置上述结构的栅极驱动电路,其每一级移位寄存器单元包括如图1所示的结构。图1所示的移位寄存器单元,包括10个薄膜晶体管和1个电容,用于实现移位寄存器单元的输出和复位功能。然而,栅极驱动电路中各交流时钟信号的变化,会导致电路中产生干扰噪声,影响信号的输出及移位寄存器单元的稳定性;同时,较多的薄膜晶体管需要较大的布线空间,使得整个移位寄存器单元的尺寸较大,进而导致液晶显示器的体积较大。

发明内容

[0004] 本发明实施例提供了一种移位寄存器单元及栅极驱动电路,用以抑制由于交流时钟信号的变化导致的干扰噪声,采用直流拉低模式,能够有效提高移位寄存器单元的稳定性,同时减小移位寄存器单元的尺寸。

[0005] 本发明实施例提供的一种移位寄存器单元,所述移位寄存器单元包括输入模块、复位模块、输出模块、下拉控制模块和下拉模块,其中,

[0006] 所述输入模块,分别连接输入信号端、第一电压信号端、输出端子,用于响应于输入信号端输入的信号,将第一电压信号端输入的第一电压信号提供给输出端子;

[0007] 所述复位模块,分别连接复位信号端、第二电压信号端、第一节点,用于响应复位信号端输出的复位信号,将第二电压信号端输入的第二电压信号提供给第一节点,所述第一节点为所述复位模块与所述输入模块的连接点;

[0008] 所述输出模块,分别连接第一节点、第一时钟信号端和输出端子,用于响应于第一节点的电压,将第一时钟信号端输入的第一时钟信号提供给输出端子;

[0009] 所述下拉控制模块,分别连接第一节点、第二节点、第二时钟信号端、输出端子和电源负电压端,用于响应于第二时钟信号端输入的第二时钟信号,将第二时钟信号提供给所述下拉控制模块的第二节点;以及响应于第一节点的电压或响应于输出端子的电压,将电源负电压端输入的电源负电压提供给第二节点,所述第二节点为所述下拉控制模块与所述下拉模块的连接点;

[0010] 所述下拉模块,分别连接第一节点、第二节点、电源负电压端和输出端子,用于响应于第二节点的电压,将电源负电压端输入的电源负电压提供给第一节点和输出端子。

[0011] 本发明实施例提供了一种栅极驱动电路,包括级联的各级移位寄存器单元,其中,第一级移位寄存器单元的输入信号端连接起始信号端,第一级移位寄存器单元的复位信号端连接第二级移位寄存器单元的输出端子;最后一级移位寄存器单元的输入信号端连接前一级移位寄存器单元的输出端子,最后一级移位寄存器单元的复位信号端连接起始信号端;

[0012] 除第一级和最后一级移位寄存器单元外,其余各级移位寄存器单元的输入信号端连接上一级移位寄存器单元的输出端子,复位信号端连接下一级移位寄存器单元的输出端子;

[0013] 所有级联的移位寄存器单元均为所述的移位寄存器单元。

[0014] 本发明实施例提供了一种移位寄存器单元和栅极驱动电路,所述移位寄存器单元包括:输入模块、复位模块、输出模块、下拉控制模块和下拉模块,其中,所述输入模块连接输入信号端,用于响应于输入信号,将第一电压信号提供给输出端子;所述复位模块连接复位信号端,用于响应于复位信号,将第二电压信号提供给输入模块中作为输入模块输出端的第一节点;所述输出模块用于响应于第一节点的电压,将第一时钟信号提供给输出端子;所述下拉控制模块用于响应于第二时钟信号,将第二时钟信号提供给所述下拉控制模块的第二节点,用于响应于第一节点的电压,将电源负电压提供给第二节点,以及响应于输出端子的电压,将电源负电压提供给第二节点;所述下拉模块用于响应于第二节点的电压,将电源负电压提供给第一节点和输出端子,该移位寄存器单元通过使用较少数目的薄膜晶体管,实现了移位寄存器单元的信号传输功能和降噪功能,抑制了由元件自身的阈值电压的漂移和相邻元件的干扰造成的输出错误,进一步提升了移位寄存器的输出特性及晶体管的使用寿命;同时,由于使用的薄膜晶体管数模相对较少,节省了布线空间,有利于减小移位寄存器单元的尺寸,从而可以减小整个液晶显示器的体积。

附图说明

[0015] 图 1 为现有技术中移位寄存器单元结构示意图;

[0016] 图 2 为本发明实施例一提供的一种移位寄存器单元的结构示意图;

[0017] 图 3 为本发明实施例二提供的一种移位寄存器单元的结构示意图;

[0018] 图 4 为本发明实施例三提供的一种栅极驱动电路的结构示意图;

[0019] 图 5 为本发明实施例四提供的一种移位寄存器单元的各信号端的时序信号图;

[0020] 图 6 为不同的栅极驱动电路中第二节点的时序信号图。

具体实施方式

[0021] 本发明实施例提供了一种移位寄存器单元及栅极驱动电路,用以抑制由于交流时钟信号的变化导致的干扰噪声,采用直流拉低模式,能够有效提高移位寄存器单元的稳定性,同时减小移位寄存器单元的尺寸。

[0022] 下面结合附图,对本发明进行说明。

[0023] 本发明实施例一提供了一种移位寄存器单元,其结构如图 2 所示,从图 2 中可以看

出,所述寄存器包括:输入模块 201、复位模块 202、输出模块 203、下拉控制模块 204 和下拉模块 205;

[0024] 所述输入模块 201,分别连接输入信号端、第一电压信号端、输出端子,用于响应于输入信号端输入的信号,将第一电压信号端输入的第一电压信号提供给输出端子;

[0025] 所述复位模块 202,分别连接复位信号端、第二电压信号端、第一节点,用于响应复位信号端输出的复位信号,将第二电压信号端输入的第二电压信号提供给第一节点,所述第一节点为所述复位模块 202 与所述输入模块 201 的连接点;

[0026] 所述输出模块 203,分别连接第一节点、第一时钟信号端和输出端子,用于响应于第一节点的电压,将第一时钟信号端输入的第一时钟信号提供给输出端子;

[0027] 所述下拉控制模块 204,分别连接第一节点、第二节点、第二时钟信号端、输出端子和电源负电压端,用于响应于第二时钟信号端输入的第二时钟信号,将第二时钟信号提供给所述下拉控制模块的第二节点;以及响应于第一节点的电压或响应于输出端子的电压,将电源负电压端输入的电源负电压提供给第二节点,所述第二节点为所述下拉控制模块 204 与所述下拉模块 205 的连接点;

[0028] 所述下拉模块 205,分别连接第一节点、第二节点、电源负电压端和输出端子,用于响应于第二节点的电压,将电源负电压端输入的电源负电压提供给第一节点和输出端子。

[0029] 下面结合具体实施例,对本发明进行详细说明。需要说明的是,本实施例中是为了更好的解释本发明,但不限制本发明。

[0030] 如图 2 中所示的移位寄存器单元,包括:输入模块 201、复位模块 202、输出模块 203、下拉控制模块 204 和下拉模块 205;

[0031] 具体的,所述输入模块 201,包括:

[0032] 第一薄膜晶体管 T1,其栅极连接输入信号端 INPUT,漏极连接第一电压信号,源极连接第一节点 P1。

[0033] 所述复位模块 202,包括:

[0034] 第二薄膜晶体管 T2,其栅极连接复位信号端 RESET,漏极极连接第一节点 P1,源极连接第二电压信号。

[0035] 所述输出模块 203,包括:

[0036] 第三薄膜晶体管 T3,其栅极连接第一节点 P1,漏极连接第一时钟信号端 CK,栅极连接第一节点 P1,源极连接输出端子 OUTPUT;

[0037] 第一电容 C1,所述第一电容 C1 的第一端连接第一节点 P1,第二端连接输出端子 OUTPUT。

[0038] 所述下拉控制模块 204,包括:

[0039] 第四薄膜晶体管 T4,其栅极和漏极同时连接第二时钟信号端 CKB,源极连接第二节点 P2;

[0040] 第五薄膜晶体管 T5,其栅极连接第一节点 P1,源极连接电源负电压 VGL,漏极连接第一节点 P1;

[0041] 第六薄膜晶体管 T6,其栅极连接输出端子 OUTPUT,漏极连接第二节点 P2,源极连接电源负电压 VGL。

[0042] 所述下拉模块 205,包括:

[0043] 第七薄膜晶体管 T7,其栅极连接第二节点 P2,源极连接电源负电压 VGL,漏极连接第一节点 P1;

[0044] 第八薄膜晶体管 T8,其栅极连接第二节点 P2,漏极连接输出端子 OUTPUT,源极连接电源负电压 VGL。

[0045] 较佳地,上述所有薄膜晶体管均为 N 型薄膜晶体管 TFT。同时,上述所有薄膜晶体管同时为多晶硅薄膜晶体管,或同时为非晶硅薄膜晶体管。

[0046] 上述移位寄存器单元中,采用对第一节点 P1 和第二节点 P2 直流拉低或拉高方法,抑制了由元件自身的阈值电压的漂移和相邻元件的干扰造成的输出错误,解决了现有技术中噪声过大的问题;同时,由于上述移位寄存器单元中使用的薄膜晶体管较少,节省了布线空间,有利于减小移位寄存器单元的尺寸,从而可以减小整个液晶显示器的体积。

[0047] 本发明实施例二提供了一种移位寄存器单元,其结构如图 3 所示,从图 3 中可以看出,所述移位寄存器单元也包括:输入模块 201、复位模块 202、输出模块 203、下拉控制模块 204 和下拉模块 205,与图 2 所示的移位寄存器单元不同之处在于:

[0048] 图 3 所示的移位寄存器单元中,下拉控制模块 204 中还包括第二电容 C2,所述第二电容 C2 连接在第二节点 P2 和电源负电压 VGL 之间,用于在输出端子 OUTPUT 输出之后保持高电位;如果没有第二电容 C2,如图 2 所示的移位寄存器单元,依靠薄膜晶体管的寄生电容也可以维持高电位,但是,由于第五薄膜晶体管 T5 和第六薄膜晶体管 T6 中存在漏电流会导致第二节点 P2 放电,从而产生噪声,对信号的输出会造成一定的影响,而在电路中设置第二电容 C2 后,由于有 C1 可以在 OUTPUT 输出之后保持高电位,因此第二电容 C2 的存在可以大大降低了第二节点 P2 的噪声。

[0049] 上述移位寄存器单元级联形成阵列基板栅极驱动电路,本发明实施例三提供了一种栅极驱动电路,所述栅极驱动电路包括级联的各级移位寄存器单元,其中,第一级移位寄存器单元的输入信号端连接起始信号端,第一级移位寄存器单元的复位信号端连接第二级移位寄存器单元的输出端子;最后一级移位寄存器单元的输入信号端连接前一级移位寄存器单元的输出端子,最后一级移位寄存器单元的复位信号端连接起始信号端;

[0050] 除第一级和最后一级移位寄存器单元外,其余各级移位寄存器单元的输入信号端连接上一级移位寄存器单元的输出端子,复位信号端连接下一级移位寄存器单元的输出端子;

[0051] 所有上述级联的移位寄存器单元均为图 2 所示的移位寄存器单元或图 3 所示的移位寄存器单元。

[0052] 具体地,该阵列基板栅极驱动电路包括 N 级,N 为栅线数量,参见图 4,起始信号 STV 作为输入信号输入到第一级移位寄存器单元,并且顺序的将栅极驱动信号输出至栅极线,第 n 级的输入信号由第 n-1 级的输出信号提供,其中 $n < N$ 。

[0053] 图 5 为的各信号端的时序图,下面结合图 5 对本发明实施例提供的阵列基板栅极驱动电路中的第 n ($n < N$, N 为阵列基板栅极电路的级数)级移位寄存器单元的工作方法进行说明,其中,所有移位寄存器单元为图 2 所示的移位寄存器单元,所有 TFT 均为高电平导通,低电平截止。

[0054] 当所述栅极驱动电路正向扫描时,所述第一电压信号为高电平信号 VDD,第二电压信号为低电平信号 VSS:

[0055] 第一阶段 S1, 第一时钟信号 CK 为低电平, 第二时钟信号 CKB 为高电平, 作为输入信号的前级输出信号 OUTPUT (n-1) 为高电平, 复位信号 OUTPUT (n+1) 为低电平; 高电平的输入信号 OUTPUT (n-1) 使得晶体管 T1 导通, 第一电压信号并对第一节点 P1 充电, 使得第一节点 P1 为高电平, 此时第三薄膜晶体管 T3 栅极开关打开, OUTPUT (n) 输出低电压;

[0056] 同时, 高电平的第二时钟信号 CKB 使得第四薄膜晶体管 T4 导通, 并通过所述晶体管 T4 对第二节点 P2 充电, 但是, 由于响应于第一节点 P1 的电压的第五薄膜晶体管 T5 也处于导通状态, 第二节点 P2 会通过所述第五薄膜晶体管 T5 进行放电, 此时第二节点 P2 为低电平。

[0057] 第二阶段 S2: 第一时钟信号 CK 为高电平, 第二时钟信号 CKB 为低电平, 输入信号 OUTPUT (n-1) 为低电平, 复位信号 OUTPUT (n+1) 为低电平;

[0058] 由于 P1 为高电位, T3 处于打开状态, 同时 CK 为高电平, 由于第一电容 C1 的自举作用, 第一节点 P1 的电压继续升高, T3 继续打开, 第一节点 P1 进一步拉高, OUTPUT (n) 输出高电平;

[0059] 同时, 响应于输出端子的电压的第六薄膜晶体管 T6 也被打开, 第五薄膜晶体管 T5 和第六薄膜晶体管 T6 同时对第二节点 P2 放电, 此时第二节点 P2 的电压进一步降低, 响应于第二节点 P2 电压的第七薄膜晶体管 T7 和第八薄膜晶体管 T8 截止。

[0060] 第三阶段 S3, 第一时钟信号 CK 为低电平, 第二时钟信号 CKB 为高电平, 作为输入信号的前级输出信号 OUTPUT (n-1) 为低电平, 复位信号 OUTPUT (n+1) 为高电平; 第二薄膜晶体管 T2 导通, 并向第一节点 P1 提供第二电压信号 VSS, 第一节点 P1 迅速降为低电平, 响应于第一节点电压的第三薄膜晶体管 T3 和第五薄膜晶体管 T5 截止; 第二节点 P2 为第二时钟信号提供的高电平, 此时第七薄膜晶体管 T7 和第八薄膜晶体管 T8 导通, 对第一电容的两端进行放电, 即对输出端 OUTPUT (n) 进行快速放电使得输出为低电平, 此时第六薄膜晶体管 T6 截止, 实现复位功能。

[0061] 当所述栅极驱动电路反向扫描时, 所述第一电压信号为低电平信号 VSS, 第二电压信号为高电平信号 VDD, INPUT 端作为复位信号端, RESET 端作为输入信号端;

[0062] 最后一级移位寄存器单元的输入信号端连接起始信号端, 最后一级移位寄存器单元的复位信号端连接前一级移位寄存器单元的输出端子。

[0063] 除第一级和最后一级移位寄存器单元外, 第 n 级移位寄存器单元的输入信号端连接第 n+1 级移位寄存器单元的输出端子, 同时, 第 n 级移位寄存器单元的复位信号端连接第 n-1 级移位寄存器单元的输出端子。

[0064] 反向扫描时, 其工作原理和上述正向扫描的工作原理相同, 故此处不再赘述。

[0065] 当所述栅极驱动电路中的移位寄存器单元为图 3 所示的移位寄存器单元时, 其工作原理与由图 2 所示的移位寄存器单元所组成的栅极驱动电路的工作原理相同。参见图 6, 图 6 中 P2 (2) 表示由图 2 所示的移位寄存器单元所组成的栅极驱动电路工作时第二节点的时序图, P2 (3) 表示由图 3 所示的移位寄存器单元所组成的栅极驱动电路工作时第二节点的时序图。从图 6 中可以看出, 由于图 3 所示的移位寄存器单元中设置有第二电容 C2, 所述第二电容 C2 能够保持第二节点 P2 的高电位, 可以减少因第五薄膜晶体管 T5 和第六薄膜晶体管 T6 中存在的漏电流的影响, 降低第二节点的噪声, 因此, 加入 C2 后, 第二节点 P2 的高电平电位更稳定, 进一步提高了移位寄存器单元的稳定性。

[0066] 综上所述,本发明实施例提供了一种移位寄存器单元和栅极驱动电路,所述移位寄存器单元包括:输入模块、复位模块、输出模块、下拉控制模块和下拉模块,其中,所述输入模块连接输入信号端,用于响应于输入信号,将第一电压信号提供给输出端子;所述复位模块连接复位信号端,用于响应于复位信号,将第二电压信号提供给输入模块中作为输入模块输出端的第一节点;所述输出模块用于响应于第一节点的电压,将第一时钟信号提供给输出端子;所述下拉控制模块用于响应于第二时钟信号,将第二时钟信号提供给所述下拉控制单元的第二节点,以及响应于第一节点的电压或输出端子的电压,将电源负电压提供给第二节点;所述下拉模块用于响应于第二节点的电压,将电源负电压提供给第一节点和输出端子,该移位寄存器单元通过使用较少的薄膜晶体管,采用直流拉低模式,用以抑制由于交流时钟信号的变化导致的干扰噪声,实现了移位寄存器单元的信号传输功能和降噪功能;同时,由于使用的薄膜晶体管数模相对较少,节省了布线空间,有利于减小移位寄存器单元的尺寸,从而可以减小整个液晶显示器的体积。

[0067] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

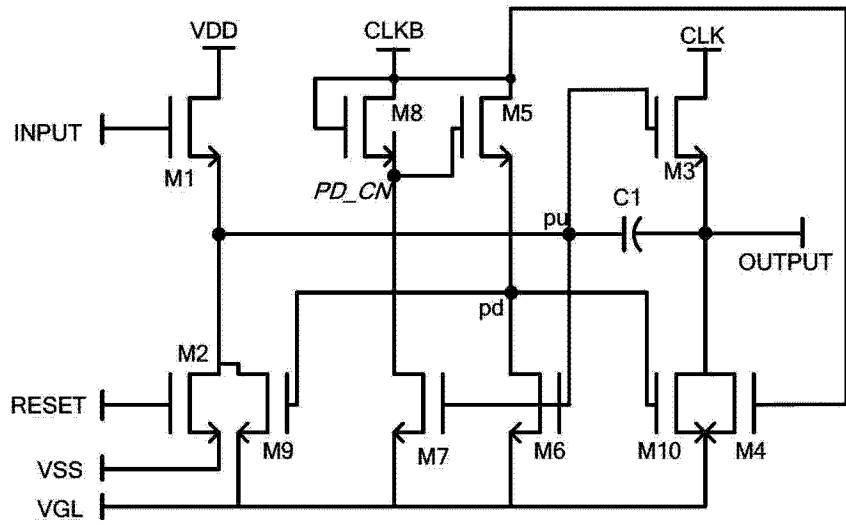


图 1

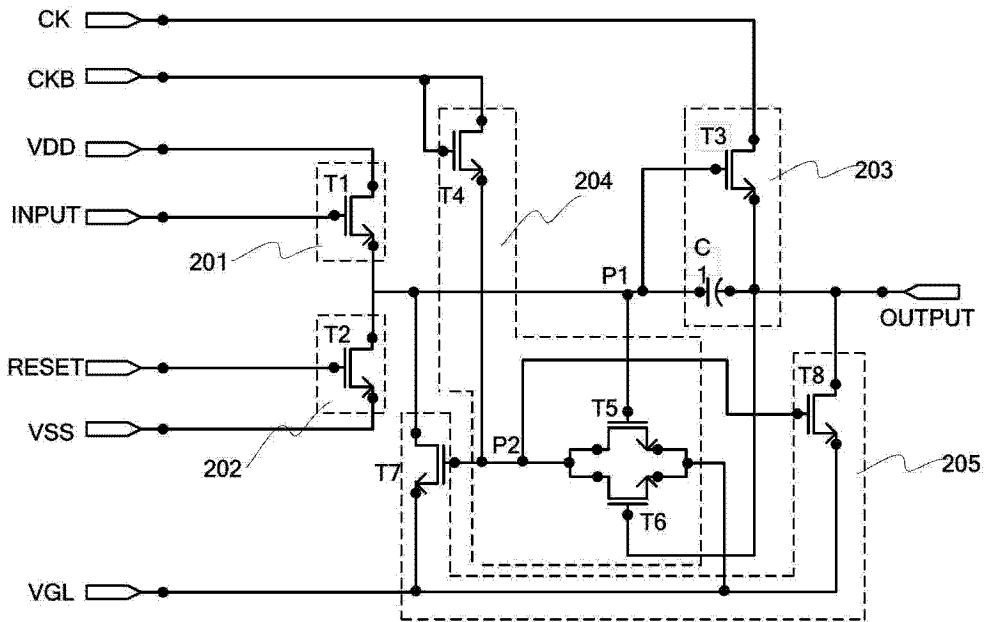


图 2

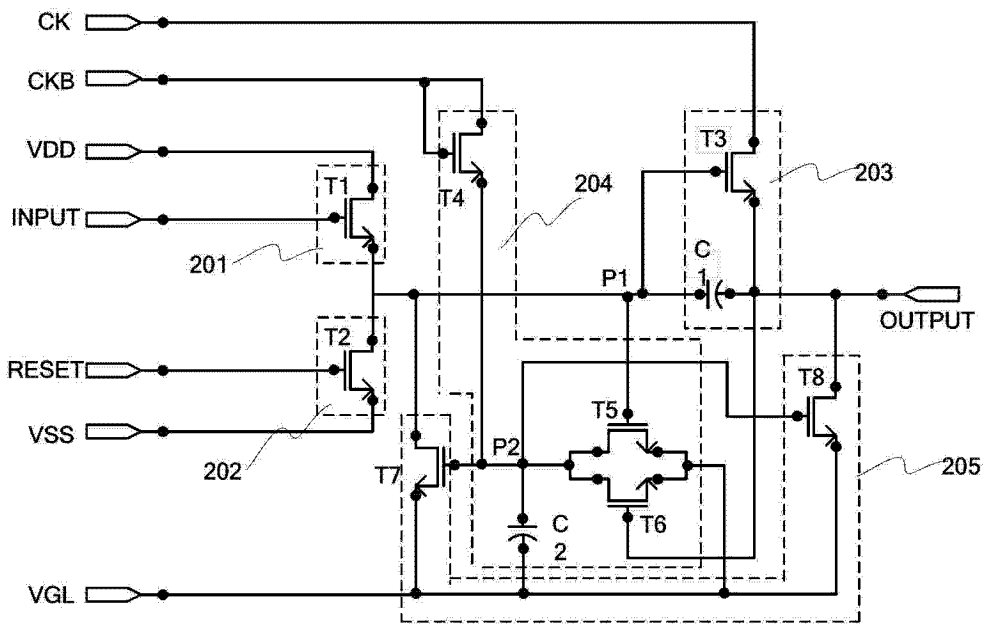


图 3

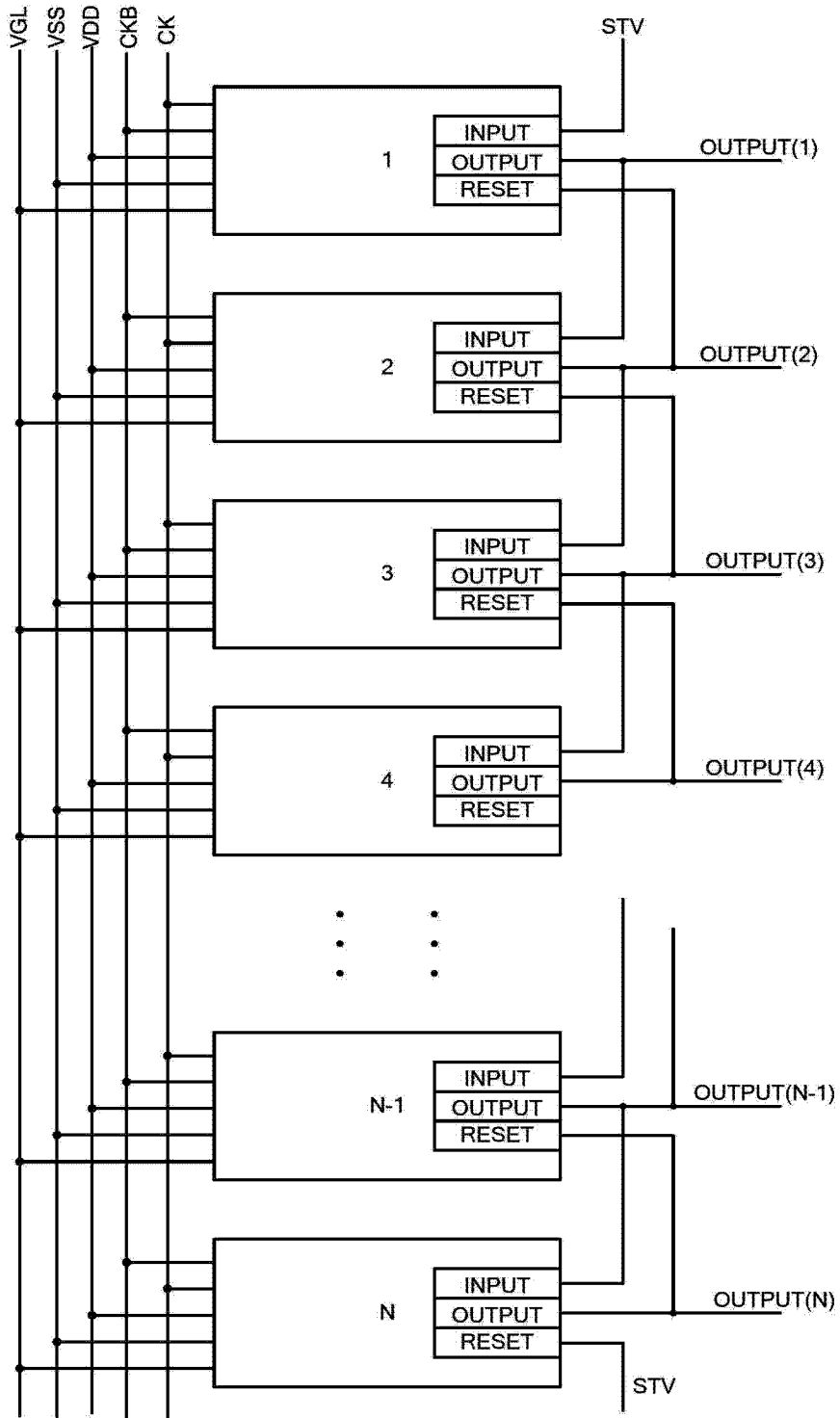


图 4

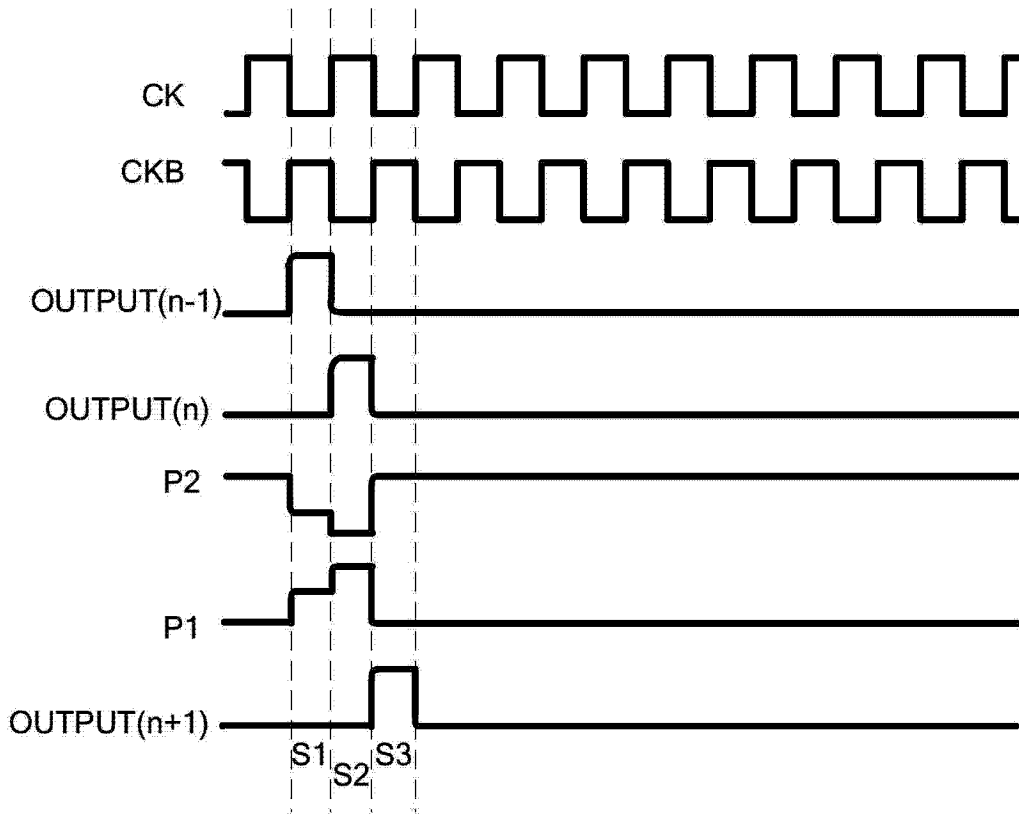


图 5

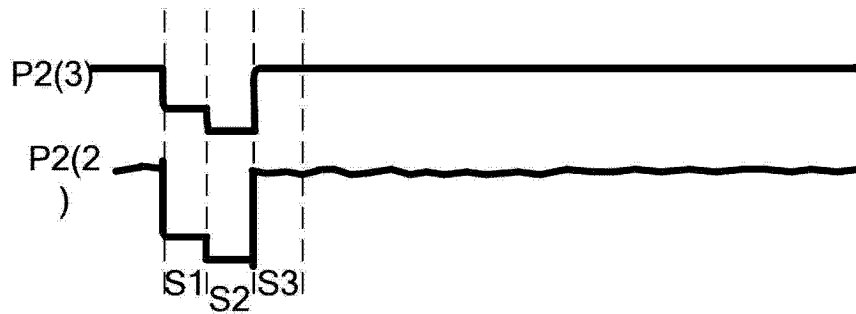


图 6