(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3641790号

(P3641790)

(45)発行日　平成17年4月27日(2005.4.27)　(24)登録日　平成17年2月4日(2005.2.4)

(51)Int.Cl.[7]	F I	
G11B 5/027	G11B	5/027　502A
H01L 21/822	H03K	17/62　B
H01L 27/04	H01L	27/04　B
H03K 17/62		

請求項の数 1　(全 8 頁)

(21)出願番号　特願平6-297438
(22)出願日　平成6年11月30日(1994.11.30)
(65)公開番号　特開平8-161703
(43)公開日　平成8年6月21日(1996.6.21)
審査請求日　平成12年9月20日(2000.9.20)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100085811
弁理士　大日方　富雄
(72)発明者　廣瀬　豪
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内
(72)発明者　長屋　裕士
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内
(72)発明者　橋本　崇
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内

最終頁に続く

(54)【発明の名称】磁気ヘッド駆動回路

(57)【特許請求の範囲】

【請求項１】

磁気ヘッドに接続される読み出し用増幅回路および書き込み用増幅回路と、上記読み出し用増幅回路および書き込み用増幅回路に供給される基準電圧を発生する電流駆動型のバンドギャップリファランス回路と、制御信号に応じて上記バンドギャップリファランス回路の駆動電流を供給または遮断する電流スイッチ回路とを備えた磁気ヘッド駆動回路であって、

上記電流スイッチ回路は、上記制御信号に応じて切り換えられる差動トランジスタ対およびこの差動トランジスタ対の共通エミッタに接続されて該差動トランジスタ対に電流を流す定電流用ＮＰＮトランジスタからなるカレントスイッチ回路と、上記制御信号に応じてオン・オフされる飽和型スイッチトランジスタと、該飽和型スイッチトランジスタと直列に接続され上記定電流用ＮＰＮトランジスタのベース電圧を形成する抵抗分圧回路と、この抵抗分圧回路のうち少なくとも上記ベース電圧の出力ノードを含む一部分と並列に接続されこの部分の電圧をクランプするダイオードと、上記カレントスイッチ回路を構成する一方の差動トランジスタのコレクタ側に接続されたカレントミラー回路とにより構成され、

前記制御信号がオンを表すレベルにされることで、上記飽和型スイッチトランジスタが飽和状態になって上記抵抗分圧回路に電流が流れ、該抵抗分圧回路からベース電圧が出力されて上記定電流用ＮＰＮトランジスタがオンし、それにより、上記カレントスイッチ回路の一方の差動トランジスタに電流が流れ、この電流が上記カレントミラー回路に写され

て上記バンドギャップリファランス回路の駆動電流として供給されるとともに、上記ダイオードにより上記抵抗分圧回路の一部分の電圧がクランプされることで上記定電流用ＮＰＮトランジスタのベース電圧が一定となって上記バンドギャップリファランス回路に供給される駆動電流の電源電圧依存性が消される一方、

前記制御信号がオフを表すレベルにされることで、上記飽和型スイッチトランジスタがオフして上記抵抗分圧回路の電流が遮断され、該抵抗分圧回路で所定のベース電圧が生成されずに上記定電流用ＮＰＮトランジスタがオフし、それにより、上記カレントスイッチ回路および上記カレントミラー回路に電流が流れずに上記バンドギャップリファランス回路への駆動電流の供給が断たれるように構成されていることを特徴とする磁気ヘッド駆動回路。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、半導体集積回路技術さらには基準電圧発生回路を内蔵したＩＣ（半導体集積回路）の低消費電力化に適用して有効な技術に関し、例えば磁気ヘッドを駆動するリード・ライトＩＣおよびこれに内蔵されるバンドギャップリファランス回路に利用して有効な技術に関する。

【０００２】

【従来の技術】

従来、磁気ヘッドを駆動するリード・ライトＩＣには、リードアンプやライトアンプと呼ばれる増幅回路とこれらの回路に供給される基準電圧を発生するバンドギャップリファランス回路と呼ばれる基準電圧発生回路が設けられている。周知のように、バンドギャップリファランス回路はシリコンのバンドギャップに等しい定電圧を発生するもので、温度によらず一定の基準電圧が得られるという利点がある。

【０００３】

【発明が解決しようとする課題】

ところで、上記リード・ライトＩＣは磁気記憶装置を備えたシステムに使用され、磁気記録データの読み出しまたは書き込みを行なうときに動作されるものであり、常時動作状態にされるものではない。そのため、リード・ライトＩＣには、読み出しを行なうリードモードと、書き込みを行なうライトモードの他に、読み出しも書き込みも行なわないアイドルモードがある。

【０００４】

ところが、従来のリード・ライトＩＣにあっては、アイドルモードにおいてもバンドギャップリファランス回路が動作状態にされているため、必要以上に消費電力が多いという欠点を備えていた。

【０００５】

この発明の目的は、消費電力の少ないリード・ライトＩＣを提供することにある。

【０００６】

この発明の他の目的は、電流オン、オフ機能を有しかつ電源電圧依存性のない基準電圧発生回路を提供することにある。

【０００７】

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

【０００８】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【０００９】

すなわち、本発明は、電流駆動型のバンドギャップリファランス回路を使用するとともに、制御信号によってバンドギャップリファランス回路に供給する電流を流したり遮断した

りすることができる電流スイッチ回路を設けるようにしたものである。
【００１０】
また、上記電流スイッチ回路は、上記制御信号に応じて切り換えられる差動トランジスタ対およびこの差動トランジスタ対に接続された電流用トランジスタからなるカレントスイッチ回路と、上記制御信号に応じてオン、オフされる飽和型スイッチトランジスタと、該飽和型スイッチトランジスタと直列に接続され上記定電流用トランジスタのベース電圧を形成する抵抗分圧回路と、この抵抗分圧回路のうち少なくとも上記ベース電圧の出力ノードを含む一部分と並列に接続されこの部分の電圧をクランプするダイオードと、上記カレントスイッチ回路を構成する一方の差動トランジスタのコレクタ側に接続されたカレントミラー回路とにより構成され、該カレントミラー回路に流れる電流が上記バンドギャップリファランス回路の駆動電流として供給されるようにする。
【００１１】
【作用】
上記した手段によれば、アイドルモード時にはバンドギャップリファランス回路に供給される電流を遮断することにより、リード・ライトＩＣの消費電力を大幅に低減させることができる。
【００１２】
また、電流スイッチ回路を上記のように構成することにより、電源電圧依存性のない電流をバンドギャップリファランス回路に供給できるようになり、これによって、発生される基準電圧も電源電圧依存性を有しないようにすることができる。
【００１３】
【実施例】
以下、本発明の好適な実施例を図面に基づいて説明する。
【００１４】
図１に本発明に係る基準電圧発生回路の一実施例が示されている。この実施例の基準電圧発生回路１０は、バンドギャップリファランス回路１１とこのバンドギャップリファランス回路１１に供給する駆動電流Ｉｏｎを流したり遮断したりする（以下、オン、オフ制御と称する）電流スイッチ回路１２とからなる。上記バンドギャップリファランス回路１１は、回路全体の温度係数が零になるように抵抗の値が設定されており、電流Ｉｏｎが供給されると動作状態となって、温度によらず一定の基準電圧Ｖｒｅｆ（約１．２Ｖ）を発生するとともに、電流Ｉｏｎが遮断されると回路の消費電力が零となる。このとき、出力電圧は接地電位（０Ｖ）になる。
【００１５】
なお、特に制限されないが、この実施例のバンドギャップリファランス回路は、発生された基準電圧Ｖｒｅｆを受ける回路（差動アンプの定電流用バイポーラトランジスタ）との関係で、Ｖｒｅｆよりもダイオード１段分下がったレベルで一定になるように温度補償されている。
【００１６】
上記電流スイッチ回路１２は、外部から供給されるリード・ライトＩＣの選択信号ＣＳのような制御信号によってオン、オフされるように構成されている。具体的には、上記制御信号（ＣＳ）が、電源電圧Ｖｃｃ（５Ｖ）と接地点ＧＮＤとの間に抵抗Ｒ１，Ｒ２と共に直列に接続されたＰＮＰ入力トランジスタＱｐ１のベースに入力されるとともに、ショットキーダイオードＺＤを介してカレントスイッチを構成する差動トランジスタ対Ｑｎ１，Ｑｎ２の一方Ｑｎ１のベースに入力されるように構成されている。特に制限されないが、上記ＰＮＰ入力トランジスタＱｐ１のエミッタと上記差動トランジスタＱｎ１のベースとの間には、ダイオードＤ３が接続されている。
【００１７】
上記差動トランジスタ対Ｑｎ１，Ｑｎ２の共通エミッタと接地点との間には定電流用ＮＰＮトランジスタＱｎ３とそのエミッタ抵抗Ｒ４とが直列形態で接続されている。また、差動トランジスタＱｎ２のコレクタと電源電圧Ｖｃｃとの間には抵抗Ｒ８とＰＮＰトランジ

スタＱｐ２が直列に接続されている。このＰＮＰトランジスタＱｐ２のベース側には、Ｑｐ２と共にカレントミラー回路を構成するＰＮＰ型のトランジスタＱｐ３が接続されている。このトランジスタＱｐ３は、そのエミッタと電源電圧Ｖｃｃとの間に抵抗Ｒ９が、またそのコレクタと接地点との間には抵抗Ｒ１１およびダイオードＤ４，Ｄ５が直列に接続されている。

【００１８】

また、カレントミラー回路を構成する上記トランジスタＱｐ２，Ｑｐ３の共通ベースと電源電圧Ｖｃｃとの間には抵抗Ｒ１０が、またそれらの共通ベースには、そのベースが上記トランジスタＱｐ２のコレクタに接続されそのコレクタが接地点ＧＮＤに接続されたＰＮＰトランジスタＱｐ４のエミッタが接続されている。

【００１９】

さらに、電源電圧Ｖｃｃと接地点ＧＮＤとの間には、上記抵抗Ｒ１とＲ２の接続ノードＮ１に抵抗Ｒ３を介してベースが接続されたＰＮＰトランジスタＱｐ５と抵抗Ｒ７，Ｒ５，Ｒ６が直列に接続され、抵抗Ｒ７とＲ５の接続ノードＮ２の電位が上記差動トランジスタＱｎ２のベースに印加され、上記抵抗Ｒ５とＲ６の接続ノードＮ３の電位が上記定電流用トランジスタＱｎ３のベースに印加されている。また、上記抵抗Ｒ５，Ｒ６と並列に、ノードＮ２と接地点ＧＮＤとの間には、ノードＮ２の電位を接地点よりもダイオードの順方向電圧２段分高い電位に固定するためのクランプ用ダイオードＤ１，Ｄ２が接続されている。

【００２０】

なお、入力トランジスタＱｐ１のベースと差動トランジスタＱｎ２のベースとの間に接続されたショットキーダイオードＺＤはＣＳ端子の入力電流を抑制するためのもの、また入力トランジスタＱｐ１のエミッタと差動トランジスタＱｎ２のベースとの間に接続されたダイオードＤ３はトランジスタＱｎ１にベース電流を供給するためのものである。

【００２１】

次に、上記電流スイッチ回路１２の動作について説明する。

【００２２】

制御信号ＣＳがロウレベルになると、ＰＮＰトランジスタＱｐ１がオン状態にされ、抵抗Ｒ１，Ｒ２に電流が流れる。これによって、ノードＮ１に抵抗Ｒ３を介してベースが接続されたトランジスタＱｐ５がオンする。このときトランジスタＱｐ５のベースから電流が引き抜かれてＱｐ５が飽和状態になるように抵抗Ｒ１，Ｒ２，Ｒ３の抵抗値が設定されている。その結果、トランジスタＱｐ５のコレクタが非常に低インピーダンスとなり、抵抗Ｒ７，Ｒ５，Ｒ６に電流が流れ、ノードＮ３にベースが接続された定電流トランジスタＱｎ３がオンしてカレントスイッチを構成する差動トランジスタ対Ｑｎ１，Ｑｎ２に所定の電流が流されるるようになる。しかも、トランジスタＱｐ５が飽和状態になっているためそのコレクタ電圧が電源電圧Ｖｃｃとほぼ同一の５Ｖのような安定した電圧になるとともに、ノードＮ２と接地点ＧＮＤとの間にクランプ用ダイオードＤ１，Ｄ２が接続されているため、ノードＮ２，Ｎ３の電位が一定になり、定電流トランジスタＱｎ３のベース電圧が一定にされる。

【００２３】

このように、飽和型スイッチとして動作するトランジスタＱｐ５を設けたことにより、定電流トランジスタＱｎ３のベースに安定な電圧が供給され、カレントスイッチ回路を構成するトランジスタＱｐ２，Ｑｐ３に流れる電流が電源電圧依存性を有しないすなわち電源電圧Ｖｃｃが変動しても電流が変動しない特性を有するようになる。さらに、制御信号ＣＳがロウレベルのときトランジスタＱｐ５が飽和するように構成されているため、その飽和度を大きく設定しておくことにより制御信号ＣＳのロウレベルが変動しても出力される電流Ｉｏｎが変動しないようにすることができる。

【００２４】

また、制御信号ＣＳがロウレベルになると、カレントスイッチを構成するトランジスタＱｎ１がオフされ、Ｑｎ２に電流が流される。これによって、カレントミラー回路を構成す

るトランジスタＱｐ２，Ｑｐ３に電流が流れるようになる。ここで、トランジスタＱｐ３に流れる電流の大きさは、抵抗Ｒ８，Ｒ９の比によって決まるので、予め抵抗Ｒ８，Ｒ９の値を所定の比になるように設定しておくことによって、Ｑｐ３に所望の大きさの電流を流すことができる。

【００２５】

このトランジスタＱｐ３のコレクタ電流がバンドギャップリファランス回路１１の駆動電流Ｉｏｎとして供給され、この電流が供給されるとバンドギャップリファランス回路１１が活性化される。しかも、この駆動電流Ｉｏｎは電源電圧依存性を有しないため、バンドギャップリファランス回路１１によって発生される基準電圧Ｖｒｅｆも電源電圧依存性を持たないようになる。

【００２６】

なお、上記駆動電流供給用のトランジスタＱｐ３がオンされたときに流されるコレクタ電流の大部分が上記駆動電流Ｉｏｎとなるように、抵抗Ｒ１１は比較的大きな抵抗値を有するように設計されている。

【００２７】

一方、制御信号ＣＳがハイレベルになると、トランジスタＱｐ１がオフされて抵抗Ｒ１，Ｒ２に流れる電流さらには飽和型スイッチトランジスタＱｐ５，抵抗Ｒ７，Ｒ５，Ｒ６に流れる電流が遮断されるため、駆動電流供給用のトランジスタＱｐ３をオフしてバンドギャップリファランス回路１１に供給される電流Ｉｏｎを遮断することができる。

【００２８】

このように、本実施例の基準電圧発生回路によれば、電流スイッチ回路１２によって外部制御信号ＣＳに応じてバンドギャップリファランス回路１１の駆動電流Ｉｏｎをオン、オフすることができるとともに、電流スイッチ回路１２自身の電流も外部制御信号ＣＳに応じてオン、オフすることができる。その結果、基準電圧発生回路を備えかつ非動作状態であるアイドルモードを有するリード・ライトＩＣのような装置の消費電力を大幅に低減することができる。

【００２９】

図２には、本発明に係る基準電圧発生回路を適用して好適なリード・ライトＩＣの構成例が示されている。特に制限されないがこの実施例のリード・ライトＩＣ２０は、複数の磁気ヘッドをＭＨ１，ＭＨ２，……ＭＨｎを駆動できるように複数のリード・ライト回路２１－１，２１－２，……２１－ｎを備えている。各リード・ライト回路は、リードアンプＲ－ＡＭＰとライトアンプＷ－ＡＭＰとからなり、これらのアンプがそれぞれ一つの磁気ヘッドに共通に接続されている。

【００３０】

また、各リード・ライト回路２１－１，２１－２，……２１－ｎのリードアンプＲ－ＡＭＰは読み出し信号増幅用の増幅回路２２に、またライトアンプＷ－ＡＭＰはライトデータをラッチするフリップフロップ２３にそれぞれ共通に接続されている。

【００３１】

上記増幅回路２２で増幅された読み出し信号は図示しない波形整形回路およびピーク検出回路を介してマイクロコンピュータのような上位装置に送られる。なお、２４はリード・ライトＩＣ１０全体の制御信号や各リードライト回路を選択する信号を形成するコントローラ、２５は断線や短絡等の異常を検出する異常検出回路、１０は各リード・ライト回路のリードアンプやライトアンプの定電流用トランジスタのベース等に共通に供給される基準電圧を発生する本発明に係る基準電圧発生回路である。

【００３２】

以上説明したように、上記実施例は、電流駆動型のバンドギャップリファランス回路を使用するとともに、制御信号によってバンドギャップリファランス回路に供給する電流を流したり遮断したりすることができる電流スイッチ回路を設けるようにしたので、アイドルモード時にはバンドギャップリファランス回路に供給される電流を遮断することにより、基準電圧発生回路を内蔵したリード・ライトＩＣ等の半導体集積回路の消費電力を大幅に

低減させることができるという効果がある。

【００３３】

また、上記電流スイッチ回路は、上記制御信号に応じて切り換えられる差動トランジスタ対およびこの差動トランジスタ対に接続された定電流用トランジスタからなるカレントスイッチ回路と、上記制御信号に応じてオン、オフされる飽和型スイッチトランジスタと、該飽和型スイッチトランジスタと直列に接続され上記定電流用トランジスタのベース電圧を形成する抵抗分圧回路と、上記カレントスイッチ回路を構成する一方の差動トランジスタのコレクタ側に接続されたカレントミラー回路とにより構成され、該カレントミラー回路に流れる電流が上記バンドギャップリファランス回路の駆動電流として供給されるようにしたので、電源電圧依存性のない電流をバンドギャップリファランス回路に供給できるようになり、これによって、発生される基準電圧も電源電圧依存性を有しないようにすることができる。しかも、バンドギャップリファランス回路は温度補償されているため、発生される基準電圧は温度変動にかかわらず一定になるという効果がある。

【００３４】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図１に示されているバンドギャップリファランス回路１１は一例であって、公知の任意のバンドギャップリファランス回路で置き換えることができることは言うまでもない。

【００３５】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である磁気ヘッドのリード・ライトＩＣに内蔵される基準電圧発生回路に適用した場合について説明したが、本発明はそれに限定されるものでなく、バンドギャップリファランス回路からなる基準電圧発生回路を備えた半導体集積回路一般に利用することができる。

【００３６】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【００３７】

すなわち、基準電圧発生回路を有するリード・ライトＩＣの消費電力を大幅に低減させることができる。また、発生される基準電圧が電源電圧の変動の影響を受けないとともに、温度変化にも影響されないようにすることができる。

【図面の簡単な説明】

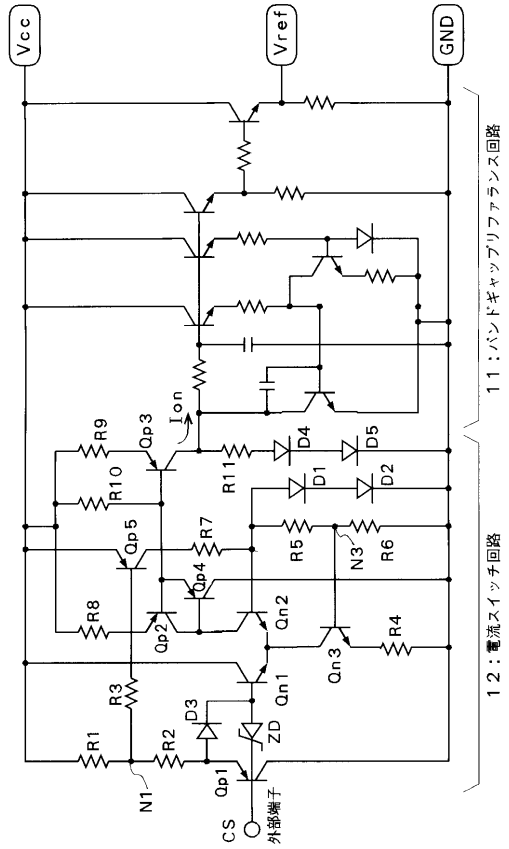
【図１】本発明に係る電流スイッチ回路を備えた基準電圧発生回路の一実施例を示す回路図である。

【図２】本発明に係る基準電圧発生回路を適用して好適なリード・ライトＩＣの構成例を示すブロック図ある。

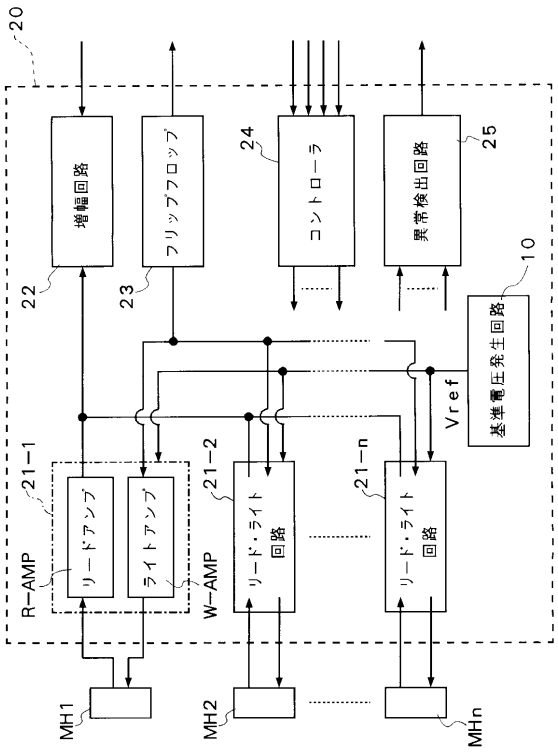
【符号の説明】

１１　バンドギャップリファランス回路
１２　電流スイッチ回路
ＣＳ　制御信号
Ｉｏｎ　駆動電流
Ｖｒｅｆ　発生される基準電圧
ＭＨ１～ＭＨｎ　磁気ヘッド

【図１】


Vcc
Vref
GND
11：バンドギャップリファランス回路
12：電流スイッチ回路
Ion
Qp3
R9
R10
R11
D4
D5
D1
D2
Qp5
R7
R5
N3
R6
Qp4
Qp2
Qn2
R8
R4
Qn3
Qn1
R3
D3
ZD
R1
R2
Qp1
N1
CS
外部端子

【図２】


20
増幅回路
フリップフロップ
コントローラ
異常検出回路
基準電圧発生回路
10
22
23
24
25
Vref
21−1
R−AMP
リードアンプ
ライトアンプ
21−2
W−AMP
リード・ライト回路
21−n
リード・ライト回路
MH1
MH2
MHn

フロントページの続き

(72)発明者　吉永　眞樹
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内
(72)発明者　畑中　紀明
神奈川県小田原市国府津２８８０番地　株式会社日立製作所　ストレージシステム事業部内

審査官　富澤　哲生

(56)参考文献　実開昭５７－０１００２５（ＪＰ，Ｕ）
特開平０２－３０４６０６（ＪＰ，Ａ）
特表平０５－５０５４７７（ＪＰ，Ａ）
実開平０２－０３５３０７（ＪＰ，Ｕ）
実開平０１－１８１１０７（ＪＰ，Ｕ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11B　5/027
G11B　5/09