

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2020年1月2日(02.01.2020)



(10) 国際公開番号

**WO 2020/004067 A1**

(51) 国際特許分類:

*H01L 29/78* (2006.01) *H01L 29/12* (2006.01)  
*H01L 21/28* (2006.01) *H01L 29/417* (2006.01)  
*H01L 21/336* (2006.01)

(21) 国際出願番号: PCT/JP2019/023555

(22) 国際出願日: 2019年6月13日(13.06.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2018-119591 2018年6月25日(25.06.2018) JP

(71) 出願人: 住友電気工業株式会社  
(**SUMITOMO ELECTRIC INDUSTRIES, LTD.**)  
[JP/JP]; 〒5410041 大阪府大阪市中央区北浜  
四丁目5番33号 Osaka (JP).

(72) 発明者: 堀井 拓 (**HORII, Taku**); 〒5410041 大  
阪府大阪市中央区北浜四丁目5番33  
号 住友電気工業株式会社内 Osaka (JP). 日  
吉 透 (**HIYOSHI, Toru**); 〒5410041 大阪府大

阪市中央区北浜四丁目5番33号 住友電  
気工業株式会社内 Osaka (JP).

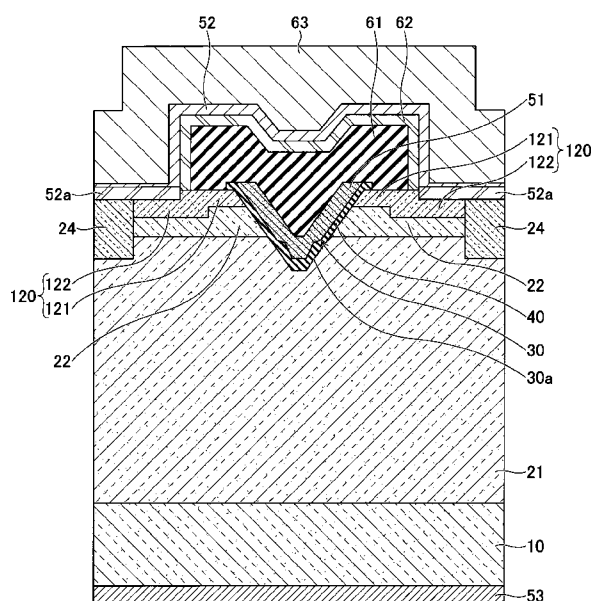
(74) 代理人: 伊東 忠重, 外(**ITO, Tadashige et al.**);  
〒1000005 東京都千代田区丸の内二丁目1  
番1号 丸の内 M Y P L A Z A (明治安  
田生命ビル) 16階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,  
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,  
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,  
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,  
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,  
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE

(54) 発明の名称: 炭化珪素半導体装置

[図13]



(57) Abstract: This silicon carbide semiconductor device is a vertical transistor that has: a first layer 21 of a silicon carbide semiconductor of a first electroconduction type; a second layer 22 of a silicon carbide semiconductor of a second electroconduction type on the first layer 21, the second electroconduction type being different from the first electroconduction type; a third layer 120 of a silicon carbide semiconductor of the first electroconduction type on the second layer 22; and a groove 30 having a side wall 30a on a portion of the third layer 120, the second layer 22, and the first layer 21. The third layer 120 has a first region 121 facing the side wall 30a of the groove 30, and a second region 122 set further apart from the side wall 30a of the groove 30 than the first region 121. The second region 122 and the first region 121 are continuous, and the second region 122 is provided to a greater depth than the first region 121 toward the first layer 21 from the front surface side of the third layer 130.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

---

(57) 要約: 炭化珪素半導体装置は、第1導電型の炭化珪素半導体の第1層21と、第1層21の上の第1導電型とは異なる第2導電型の炭化珪素半導体の第2層22と、第2層22の上の第1導電型の炭化珪素半導体の第3層120と、第3層120、第2層22、第1層21の一部に側壁30aを有する溝30と、を有する縦型トランジスタであって、第3層120は、溝30の側壁30aに面した第1の領域121と、第1の領域121よりも、溝30の側壁30aより離れた第2の領域122と、を有し、第2の領域122と第1の領域121は連続しており、第2の領域122は、第1の領域121よりも、第3層130の表面側から第1層21に向かって深くまで設けられている。

## 明 細 書

発明の名称：炭化珪素半導体装置

### 技術分野

[0001] 本開示は、炭化珪素半導体装置に関するものである。

[0002] 本出願は、2018年6月25日出願の日本特許出願第2018-119591号に基づく優先権を主張し、前記日本特許出願に記載された全ての記載内容を援用するものである。

### 背景技術

[0003] 炭化珪素は、従来から半導体装置に幅広く用いられている珪素に比べてバンドギャップが広いことから、高耐圧の半導体装置等に用いられている。このような炭化珪素を用いた半導体装置では、耐圧等の観点より、基板の第1の面にソース電極、第2の面にドレイン電極が形成されているいわゆる縦型トランジスタがある。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2012-216701号公報

### 発明の概要

[0005] 本実施形態の一観点によれば、第1導電型の炭化珪素半導体の第1層と、第1層の上の第1導電型とは異なる第2導電型の炭化珪素半導体の第2層と、第2層の上の第1導電型の炭化珪素半導体の第3層と、第3層、第2層、第1層の一部に側壁を有する溝と、を有する縦型トランジスタである。また、第3層は、溝の側壁に面した第1の領域と、第1の領域よりも、溝の側壁より離れた第2の領域と、を有し、第2の領域と第1の領域は連続しており、第2の領域は、第1の領域よりも、第3層の表面側から第1層に向かって深くまで設けられている。

### 図面の簡単な説明

[0006] [図1]図1は炭化珪素半導体装置の構造図である。

- [図2]図2は炭化珪素半導体装置における不純物濃度の説明図である。
- [図3]図3は炭化珪素半導体装置の製造方法の工程図(1)である。
- [図4]図4は炭化珪素半導体装置の製造方法の工程図(2)である。
- [図5]図5は炭化珪素半導体装置の製造方法の工程図(3)である。
- [図6]図6は炭化珪素半導体装置の製造方法の工程図(4)である。
- [図7]図7は炭化珪素半導体装置の製造方法の工程図(5)である。
- [図8]図8は炭化珪素半導体装置の製造方法の工程図(6)である。
- [図9]図9は炭化珪素半導体装置の製造方法の工程図(7)である。
- [図10]図10は炭化珪素半導体装置の製造方法の工程図(8)である。
- [図11]図11は炭化珪素半導体装置の製造方法の工程図(9)である。
- [図12]図12は他の炭化珪素半導体装置の構造図である。
- [図13]図13は本開示の実施形態の炭化珪素半導体装置の構造図である。
- [図14]図14は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(1)である。
- [図15]図15は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(2)である。
- [図16]図16は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(3)である。
- [図17]図17は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(4)である。
- [図18]図18は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(5)である。
- [図19]図19は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(6)である。
- [図20]図20は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(7)である。
- [図21]図21は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図(8)である。

[図22]図 2 2 は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図 ( 9 ) である。

[図23]図 2 3 は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図 ( 1 0 ) である。

[図24]図 2 4 は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図 ( 1 1 ) である。

[図25]図 2 5 は本開示の実施形態の炭化珪素半導体装置の製造方法の工程図 ( 1 2 ) である。

[図26]図 2 6 は本開示の実施形態の炭化珪素半導体装置における不純物濃度の説明図 ( 1 ) である。

[図27]図 2 7 は本開示の実施形態の炭化珪素半導体装置における不純物濃度の説明図 ( 2 ) である。

### 発明を実施するための形態

[0007] 縦型トランジスタでは、ソース電極におけるコンタクト抵抗を低くするため、ソース電極は、 $n$ 型となる不純物元素が高い濃度でドーピングされている $n$ 領域に接触するように形成されている。しかしながら、製造プロセスの都合上、 $n$ 領域が表面より一部除去されると、ソース電極と接触する部分における不純物元素の濃度が低くなる場合があり、このような場合には、ソース電極とのコンタクト抵抗が高くなり、大電流を流すことができない。

[0008] このため、ソース電極と接触する部分における不純物元素の濃度が高く、大電流を流すことのできる炭化珪素半導体装置が求められる。

[0009] 本開示によれば、炭化珪素半導体装置において、ソース電極と接触する部分における不純物元素の濃度が高く、大電流を流すことが可能となる。

[0010] 実施するための形態について、以下に説明する。

[0011] [本開示の実施形態の説明]

最初に本開示の実施態様を列記して説明する。以下の説明では、同一または対応する要素には同一の符号を付し、それらについて同じ説明は繰り返さない。また本明細書の結晶学的記載においては、個別方位を  $[\ ]$ 、集合方位

を<>、個別面を（）、集合面を{}でそれぞれ示している。ここで結晶学上の指数が負であることは、通常、数字の上に”－”（バー）を付すことによって表現されるが、本明細書では数字の前に負の符号を付すことによって結晶学上の負の指数を表現している。また、本開示のエピタキシャル成長は、ホモエピタキシャル成長である。

[0012]   〔１〕   本開示の一態様に係る半導体装置は、第１導電型の炭化珪素半導体の第１層と、前記第１層の上の前記第１導電型とは異なる第２導電型の炭化珪素半導体の第２層と、前記第２層の上の前記第１導電型の炭化珪素半導体の第３層と、前記第３層、前記第２層、前記第１層の一部に側壁を有する溝と、を有する縦型トランジスタであって、前記第３層は、前記溝の側壁に面した第１の領域と、前記第１の領域よりも、前記溝の側壁より離れた第２の領域と、を有し、前記第２の領域と前記第１の領域は連続しており、前記第２の領域は、前記第１の領域よりも、前記第３層の表面側から前記第１層に向かって深くまで設けられている。

[0013]   縦型トランジスタとなる炭化珪素半導体装置を製造する際、ソース電極と接触する領域の炭化珪素半導体層が表面より除去され、実際にソース電極と接触する領域の不純物濃度が低くなり、コンタクト抵抗が高くなるため、流すことのできる電流が低くなる。これを解決する方法として、ソース電極と接する不純物元素がドーピングされている領域を厚くすれば、ソース電極とのコンタクト抵抗は低くすることが可能である。しかしながら、ソース電極と接する不純物元素がドーピングされている領域を厚くすると、炭化珪素半導体装置の全体的大幅な設計変更を余儀なくされるため、容易に行うことはできない。

[0014]   これらを踏まえ、本願発明者は、不純物元素がドーピングされている領域のうち、ソース電極と接する領域を他の領域よりも深く形成することに想到した。これにより、縦型の炭化珪素半導体装置の全体的大幅な設計変更をしなくとも、ソース電極と炭化珪素半導体層とのコンタクト抵抗を低くすることができ、大電流を流すことが可能となる。

- [0015]     〔２〕     前記第３層の前記第２の領域に接するソース電極を有する。
- [0016]     〔３〕     前記第１層は炭化珪素基板の第１の面に形成されているものであって、前記溝の内部には、絶縁膜が設けられており、前記絶縁膜の上には、ゲート電極が設けられており、前記炭化珪素基板の前記第１の面とは反対の第２の面には、ドレイン電極が設けられている。
- [0017]     〔４〕     前記ソース電極は、N i を含むものである。
- [0018]     〔５〕     前記ソース電極は、Al、Ti 及びSi を含むものである。
- [0019]     〔６〕     前記第２の領域は、前記第１の領域よりも、前記第３層の表面から前記第１層に向かって0.1  $\mu$ m以上深くまで設けられている。
- [0020]     〔７〕     第１導電型の炭化珪素半導体の第１層と、前記第１層の上の前記第１導電型とは異なる第２導電型の炭化珪素半導体の第２層と、前記第２層の上の前記第１導電型の炭化珪素半導体の第３層と、前記第３層、前記第２層、前記第１層の一部に側壁を有する溝と、を有する縦型トランジスタであって、前記第３層は、前記溝の側壁に面した第１の領域と、前記第１の領域よりも、前記溝の側壁より離れた第２の領域と、を有し、前記第２の領域と前記第１の領域は連続しており、前記第２の領域は、前記第１の領域よりも、前記第３層の表面側から前記第１層に向かって深くまで設けられており、前記第３層の前記第２の領域に接するソース電極を有し、前記第１層は炭化珪素基板の第１の面に形成されているものであって、前記溝の内部には、絶縁膜が設けられており、前記絶縁膜の上には、ゲート電極が設けられており、前記炭化珪素基板の前記第１の面とは反対の第２の面には、ドレイン電極が設けられており、前記ソース電極は、N i を含むものであり、前記第２の領域は、前記第１の領域よりも、前記第３層の表面から前記第１層に向かって0.1  $\mu$ m以上深くまで設けられている。
- [0021]     〔本開示の実施形態の詳細〕
- 以下、本開示の一実施形態（以下「本実施形態」と記す）について詳細に説明するが、本実施形態はこれらに限定されるものではない。
- [0022]     最初に、いわゆる縦型トランジスタとなる炭化珪素半導体装置において、

ソース電極と接触する領域の炭化珪素半導体層の不純物濃度が低下することについて、図1に基づき説明する。尚、以下に示す図面では、便宜上、炭化珪素半導体装置を形成している各々の層の膜厚や幅等は実際とは異なっている。

[0023] 図1に示される縦型トランジスタとなる半導体装置は、炭化珪素単結晶基板10の第1の面10aの上に、第1のn型層21、p型層22、第2のn型層23が順に形成されている。また、第2のn型層23、p型層22、第1のn型層21を除去することにより溝30が形成されている。溝30は、断面がV字状に形成されており、溝30の側壁30aには、第2のn型層23、p型層22、第1のn型層21の一部が露出している。溝30の側壁30aは、ゲート絶縁膜40に覆われており、溝30の内部のゲート絶縁膜40の上には、ゲート電極51が形成されている。

[0024] また、溝30より離れた領域には、p型となる不純物元素をイオン注入することにより、不純物濃度の高い高濃度p型領域24が形成されている。ゲート電極51の上には、ゲート電極51の全体を覆うように層間絶縁膜61が形成されており、層間絶縁膜61を覆うバリアメタル層62が形成されている。バリアメタル層62、第2のn型層23及び高濃度p型領域24の一部の上には、Ni膜によりソース電極52が形成されている。ソース電極52と、Siを含む炭化珪素半導体層である第2のn型層23及び高濃度p型領域24の一部と接触している部分は、熱処理をすることにより、NiとSiとが合金化され、NiSi合金層52aが形成される。このように形成されるNiSi合金層52aにより、ソース電極52と炭化珪素半導体層の第2のn型層23とのコンタクト抵抗を低くすることができる。尚、炭化珪素単結晶基板10の第1の面10aとは反対の第2の面10bには、ドレイン電極53が形成されており、ソース電極52の上には、Al（アルミニウム）によりソース配線層63が形成されている。

[0025] 第1のn型層21は、n型となる不純物元素が比較的低い濃度でドーパされている層でありn型ドリフト層である。p型層22は、pとなる不純物元

素がドーピングされているp型ボディ層である。第2のn型層23は、第1のn型層21よりも、n型となる不純物元素が高い濃度でドーピングされているn型層である。

[0026] 図1に示される縦型の半導体装置では、ゲート電極51に所定の電圧が印加されると、p型層22のゲート絶縁膜40の近傍の領域にチャネルが形成され、第1のn型層21と第2のn型層23との間が導通する。これにより、ソース電極52とドレイン電極53との間に電流が流れ、半導体装置がオンになる。尚、ゲート電極51に所定の電圧が印加されていない場合には、p型層22にはチャネルは形成されず、ソース電極52とドレイン電極53との間には電流は流れないためオフ状態となる。

[0027] 図1に示される縦型の炭化珪素半導体装置は、炭化珪素単結晶基板10の第1の面10aに炭化珪素エピタキシャル層が形成されている炭化珪素エピタキシャル基板が用いられている。炭化珪素エピタキシャル層にはn型となる不純物元素がドーピングされている。この炭化珪素エピタキシャル層の表面より、p型となる不純物元素としてAlをイオン注入することによりp型層22が形成され、n型となる不純物元素としてP（リン）をイオン注入することにより第2のn型層23が形成される。炭化珪素エピタキシャル層のイオン注入では、イオン注入される不純物元素のイオンの加速電圧等を変化させることにより、不純物元素のイオンがイオン注入される深さを変えることができる。このようにして、炭化珪素エピタキシャル層の表面側に第2のn型層23を形成し、第2のn型層23よりも深い領域にp型層22が形成される。また、高濃度p型領域24は、炭化珪素エピタキシャル層の表面より、p型となる不純物元素としてAlをイオン注入することにより形成されている。炭化珪素エピタキシャル層において、不純物元素がイオン注入されたp型層22、第2のn型層23、高濃度p型領域24を除く領域が、第1のn型層21となる。

[0028] 具体的には、図2に示されるように、炭化珪素エピタキシャル層の表面より深さが約0.42  $\mu\text{m}$ までPをイオン注入することにより第2のn型層2

3が形成されている。また、深さが約0.42  $\mu\text{m}$ から約0.83  $\mu\text{m}$ までAlをイオン注入することによりp型層22が形成されている。図2は、炭化珪素エピタキシャル層の表面からの深さとイオン注入される不純物元素の濃度との関係を示す。第2のn型層23は、イオン注入により形成されるため、表面から深さが約0.42  $\mu\text{m}$ までの領域が均一な不純物濃度となるように形成することは極めて困難である。従って、図2に示されるように、深さが0.05  $\mu\text{m}$ から0.3  $\mu\text{m}$ までの領域の不純物元素の濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上となるが、0.3  $\mu\text{m}$ よりも深い領域では、深くなるに伴い徐々に不純物濃度が低下する。尚、p型層22についても同様に、深さ方向に均一な濃度で形成することは極めて困難である。

[0029] ところで、炭化珪素半導体装置は、上記のような不純物元素がイオン注入された炭化珪素エピタキシャル基板を加工することにより作製されるが、作製の工程においては、炭化珪素エピタキシャル層の表面が一部除去される場合がある。具体的には、炭化珪素エピタキシャル層の表面に酸化膜を形成する工程、成膜された層間絶縁膜61やバリアメタル層62を除去し、第2のn型層23の表面を露出させる工程、NiSi合金層52aを形成する工程において、一部除去される。このように、炭化珪素エピタキシャル層の表面が一部除去されると、第2のn型層23が薄くなり、不純物元素の濃度の低い領域が露出し、ソース電極52とのコンタクト抵抗が高くなるため大電流を流すことができなくなる。

[0030] より詳細に、炭化珪素半導体装置の製造工程について、図3～図11に基づき説明する。尚、図3～図11は、便宜上、一部形状等が図1とは一部異なっている。

[0031] 炭化珪素半導体装置は、最初に、図3に示すように、炭化珪素単結晶基板10の上に形成された炭化珪素エピタキシャル層11の表面11aより、Alをイオン注入することにより、p型層22を形成し、Pをイオン注入することにより第2のn型層23を形成する。具体的には、炭化珪素エピタキシャル基板の炭化珪素エピタキシャル層11の表面11aに、不図示の注入ス

ルー膜を成膜した後、不純物元素のイオン注入を行う。注入スルー膜は酸化シリコンやポリシリコンにより形成されており、不純物元素のイオン注入が終了した後は、エッチングにより除去する。図2は、このようにイオン注入された状態の炭化珪素エピタキシャル層11の表面11aからの深さと、不純物濃度との関係を示す。

[0032] 第2のn型層23は、n型となる不純物元素であるPのイオン注入により、炭化珪素エピタキシャル層11の表面11aから約 $0.42\mu\text{m}$ の深さまで形成される。従って、n型となる不純物元素の濃度が $1 \times 10^{19} \text{cm}^{-3}$ 以上となる領域は、表面11aからの深さが、約 $0.04\mu\text{m}$ から約 $0.25\mu\text{m}$ までの領域であり、この領域よりも浅くても深くても、n型となる不純物元素の濃度は低くなる。よって、炭化珪素エピタキシャル層11の表面11aからの深さが約 $0.25\mu\text{m}$ 以上となる領域では、深くなるに伴いn型となる不純物元素の濃度は徐々に低くなる。尚、第2のn型層23においては、p型となる不純物元素もドーピングされているが、p型となる不純物元素よりもn型となる不純物元素の濃度が極めて高いためn型となる。

[0033] また、p型層22は、p型となる不純物元素となるAlのイオン注入により、炭化珪素エピタキシャル層11の表面11aより、深さが約 $0.42\mu\text{m}$ から約 $0.83\mu\text{m}$ までの領域に形成される。このため、深さが約 $0.54\mu\text{m}$ の近傍の領域では、p型となる不純物元素の濃度は $5 \times 10^{17} \text{cm}^{-3}$ 以上となるが、この領域よりも、浅くても深くても、p型となる不純物元素の濃度は低くなる。尚、炭化珪素エピタキシャル層11は、n型となる不純物元素であるPが約 $1 \times 10^{16} \text{cm}^{-3}$ の濃度でドーピングされている。よって、炭化珪素エピタキシャル層11において、イオン注入により形成された第2のn型層23、及び、p型層22を除く領域が、第1のn型層21となる。

[0034] 次に、図4に示すように、第2のn型層23が形成されている面より、炭化珪素エピタキシャル層を一部除去することにより溝30を形成し、溝30の側壁30aにおいて、第2のn型層23、p型層22、第1のn型層21の一部を露出させる。この後、図5に示すように、溝30の内部に、ゲート

絶縁膜 40 を形成し、更に、ゲート絶縁膜 40 の上にゲート電極 51 を形成する。以上までの工程における注入スルー膜の形成及び除去、ゲート絶縁膜 40 の形成等の工程により、図 2 の L1 に示されるように、第 2 の n 型層 23 は厚さが約 0.15  $\mu\text{m}$  失われる。

[0035] 次に、図 6 に示すように、ゲート電極 51 及び第 2 の n 型層 23 の上の全面に、酸化シリコン膜を成膜することにより層間絶縁膜 61 を形成する。

[0036] 次に、図 7 に示すように、第 2 の n 型層 23 の上のソース電極 52 が形成される領域の層間絶縁膜 61 を除去する。具体的には、層間絶縁膜 61 の上にフォトリソを塗布した後、露光装置による露光、現像を行うことにより、第 2 の n 型層 23 の上のソース電極 52 が形成される領域に開口を有する不図示のレジストパターンを形成する。この後、レジストパターンの形成されていない領域の層間絶縁膜 61 を RIE (Reactive Ion Etching) 等のドライエッチングにより除去し、第 2 の n 型層 23 を露出させる。この際、層間絶縁膜 61 を除去し、第 2 の n 型層 23 を露出させた直後に、エッチングをストップすることは極めて困難であり、また、エッチングのバラツキ等もあるため、第 2 の n 型層 23 の一部はオーバーエッチングにより除去される。

[0037] 次に、図 8 に示すように、層間絶縁膜 61 及び第 2 の n 型層 23 の上の全面に、窒化チタン膜を成膜することによりバリアメタル層 62 を形成する。

[0038] 次に、図 9 に示すように、第 2 の n 型層 23 の上のソース電極 52 が形成される領域のバリアメタル層 62 を除去する。具体的には、バリアメタル層 62 の上にフォトリソを塗布した後、露光装置による露光、現像を行うことにより、第 2 の n 型層 23 の上のソース電極 52 が形成される領域に開口を有する不図示のレジストパターンを形成する。この後、レジストパターンの形成されていない領域のバリアメタル層 62 を RIE 等のドライエッチングにより除去し、第 2 の n 型層 23 を露出させる。この際、バリアメタル層 62 を除去し、第 2 の n 型層 23 を露出させた直後に、エッチングをストップすることは極めて困難であり、また、エッチングのバラツキ等もあるた

め、第2のn型層23の一部はオーバーエッチングにより除去される。

[0039] 従って、層間絶縁膜61を形成する工程、及び、バリアメタル層62を形成する工程における第2のn型層23のオーバーエッチングにより、図2のL2に示されるように、第2のn型層23は、厚さが約0.1  $\mu\text{m}$ 失われる。

[0040] 次に、図10に示すように、バリアメタル層62及び第2のn型層23の上に、ニッケル(Ni)膜を成膜し、ソース電極52を形成する。

[0041] 次に、図11に示すように、熱処理を行うことにより、第2のn型層23のSiと、第2のn型層23の上のソース電極52を形成しているNi膜とを合金化し、NiSi合金層52aを形成する。尚、NiSi合金層52aはNiSi合金となっているが、ソース電極52の一部である。

[0042] この工程は、NiSi合金層52aを形成する際に、炭化珪素半導体におけるSiが用いられるため、図2のL3に示されるように、第2のn型層23は厚さが約0.05  $\mu\text{m}$ 失われる。

[0043] 以上より、図1に示す構造の炭化珪素半導体装置を製造する際には、第2のn型層23は、表面11aより、L1、L2、L3の和となる約0.3  $\mu\text{m}$ 失われる。このため、ソース電極52と接する第2のn型層23の不純物元素の濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ よりも低い $6 \times 10^{18} \sim 7 \times 10^{18} \text{ cm}^{-3}$ となる。このように、ソース電極52と接する第2のn型層23の不純物元素の濃度が低いと、NiSi合金層52aとのコンタクト抵抗が高くなるため、大電流を流すことができない。

[0044] このため、図12に示す構造の半導体装置のように、第2のn型層23の厚さを厚くすれば、上記のような問題を解決することが可能である。しかしながら、この場合、溝30の深さ等にも影響を与え、様々な設計変更をすることを余儀なくされるため、実用的ではない。

[0045] (炭化珪素半導体装置)

次に、本実施形態における縦型トランジスタとなる炭化珪素半導体装置について説明する。本実施形態における炭化珪素半導体装置は、図13に示さ

れるように、炭化珪素単結晶基板 10 の第 1 の面 10 a の上に、第 1 の n 型層 21、p 型層 22、第 2 の n 型層 120 が順に積層されて形成されている。第 2 の n 型層 120 は、溝 30 に接する第 1 の領域 121 と、溝 30 から第 1 の領域 121 よりも離れた第 2 の領域 122 とにより形成されており、後述するように、第 2 の領域 122 は、第 1 の領域 121 よりも、第 2 の n 型層 120 の表面から第 1 の n 型層 21 に向かって 0.1  $\mu\text{m}$  以上深くまで形成されている。これにより、ソース電極 52 と接する第 2 の n 型層 120 の不純物元素の濃度が低くなることを防ぎ、ソース電極 52 とのコンタクト抵抗が高くなることを抑制し、大電流を流すことが可能となる。

[0046] 第 2 の n 型層 120 は、第 1 の n 型層 21 よりも、n 型となる不純物元素が高い濃度でドーピングされている n 型層である。本実施形態における炭化珪素半導体装置では、ゲート電極 51 に所定の電圧が印加されると、p 型層 22 のゲート絶縁膜 40 の近傍の領域にチャネルが形成され、第 1 の n 型層 21 と第 2 の n 型層 120 との間が導通する。これにより、ソース電極 52 とドレイン電極 53 との間に電流が流れ、半導体装置がオンになる。尚、ゲート電極 51 に所定の電圧が印加されていない場合には、p 型層 22 にはチャネルは形成されず、ソース電極 52 とドレイン電極 53 との間には電流は流れないため、オフ状態となる。尚、本願においては、第 1 の n 型層 21 を第 1 層、p 型層 22 を第 2 層、第 2 の n 型層 120 を第 3 層と記載する場合がある。

[0047] 尚、炭化珪素単結晶基板 10 は、所定の結晶面からオフ角  $\theta$  だけ傾斜した主面を有するものである。所定の結晶面は、(0001) 面または (000-1) 面が好ましい。炭化珪素単結晶基板 10 における炭化珪素のポリタイプは 4H である。4H のポリタイプの炭化珪素は、電子移動度、絶縁破壊電界強度等が、他のポリタイプよりも優れているからである。炭化珪素単結晶基板 10 の径は、150 mm 以上（たとえば 6 インチ以上）である。径が大きい程、半導体装置の製造コスト削減に有利であるからである。炭化珪素単結晶基板 10 は、主面が {0001} 面に対し、 $\langle 11-20 \rangle$  方位に  $4^\circ$

のオフ角 $\theta$ で傾斜している。本実施形態においては、オフ角 $\theta$ は、 $0^\circ$ を越え、 $6^\circ$ 以下であってもよい。また、本実施形態における炭化珪素半導体装置は、ソース電極52は、Ni膜に代えて、TiAlSi膜により形成してもよい。

[0048] (炭化珪素半導体装置の製造方法)

次に、本実施形態における炭化珪素半導体装置の製造工程について、図14から図25に基づき説明する。尚、図14～図25は、便宜上、一部形状等が図13とは異なっている。

[0049] 最初に、図14に示すように、炭化珪素単結晶基板10の上に形成された炭化珪素エピタキシャル層11の表面11aに、注入スルー膜171を成膜し、注入スルー膜171を介し、p型となる不純物元素としてAlをイオン注入する。これにより、p型層22を形成するためのp型領域22aを形成する。p型領域22aは、炭化珪素エピタキシャル層11の表面11aより深さが $0.9\mu\text{m}$ の領域まで、Alをイオン注入することにより形成される。このように形成されるp型領域22aでは、炭化珪素エピタキシャル層11の表面11aより深さが約 $0.6\mu\text{m}$ の領域のAlの濃度が $4 \times 10^{17} \text{cm}^{-3}$ 以上となる。これにより、炭化珪素エピタキシャル層11において、p型領域22a以外の領域が、第1のn型層21となる。注入スルー膜171は、CVDや熱酸化膜により形成されており、例えば、膜厚が $0.01 \sim 0.3\mu\text{m}$ の酸化シリコンやポリシリコンにより形成されている。

[0050] 次に、図15に示すように、注入スルー膜171を介し、n型となる不純物元素としてPをイオン注入することにより、第2のn型層の上部120aを形成する。第2のn型層の上部120aは、炭化珪素エピタキシャル層11の表面11aより深さが $0.42\mu\text{m}$ までがn型となるように、Pをイオン注入することにより形成する。これにより、炭化珪素エピタキシャル層11の表面11aより深さが $0.04\mu\text{m}$ から $0.25\mu\text{m}$ までのn型となる不純物元素の濃度が $1 \times 10^{19} \text{cm}^{-3}$ 以上となる第2のn型層の上部120aが形成される。尚、第2のn型層の上部120aが形成される領域には、

p型となる不純物元素としてA Iがイオン注入されているが、イオン注入されたn型となる不純物元素であるPの方が濃度が高いためn型となる。本願においては、n型となる不純物元素の濃度とは、n型の不純物元素よりp型の不純物元素を相殺した濃度であり、p型となる不純物元素の濃度とは、p型の不純物元素よりn型の不純物元素を相殺した濃度である。

[0051] 次に、図16に示すように、第2のn型層120の第2の領域122が形成される領域に開口部172aを有する注入マスク172を形成し、注入スルー膜171を介し、Pをイオン注入することにより、第2のn型層の下部120bを形成する。注入マスク172はCVDにより、膜厚が例えば1～3 $\mu$ mの酸化シリコン等により形成されており、注入スルー膜171の上に、酸化シリコン膜を成膜し、成膜された酸化シリコン膜の上に、フォトレジストを塗布し、露光装置による露光、現像を行う。これにより、後述する第2のn型層120の第2の領域122が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、レジストパターンの開口部における酸化シリコン膜をRIE等により除去することにより、開口部172aを有する注入マスク172を形成し、不図示のレジストパターンは、有機溶剤等により除去する。この後、注入スルー膜171を介し、n型となる不純物元素としてPをイオン注入することにより、第2のn型層の下部120bを形成する。第2のn型層の下部120bは、炭化珪素エピタキシャル層11の表面11aより深さが0.54 $\mu$ mまでがn型となるように、Pをイオン注入することにより形成する。尚、第2のn型層の下部120bが形成される領域には、p型となる不純物元素としてA Iがイオン注入されているが、イオン注入されたn型となる不純物元素であるPの方が濃度が高いためn型となる。これにより、炭化珪素エピタキシャル層11の表面11aより深さが0.04 $\mu$ mから0.34 $\mu$ mまでのPの濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上となる第2のn型層の下部120bが形成される。

[0052] 次に、図17に示すように、注入マスク172及び注入スルー膜171をドライエッチングまたはウェットエッチングにより除去する。以上の工程に

より、第2のn型層の上部120aのみが形成されている第1の領域121と、第2のn型層の上部120a及び第2のn型層の下部120bとが形成されている第2の領域122とを有する第2のn型層120が形成される。尚、p型領域22aのうち、p型が維持されている領域がp型層22となり、炭化珪素エピタキシャル層11において、第2のn型層120及びp型層22を除く領域が第1のn型層21となる。

[0053] 図26は、第2のn型層120の第1の領域121における表面からの深さと不純物濃度との関係を示し、図27は、第2のn型層120の第2の領域122における表面からの深さと不純物濃度との関係を示す。図26及び図27に示されるように、第2のn型層120は、第1の領域121では炭化珪素エピタキシャル層11の表面11aより、深さが0.42 $\mu$ mまで形成されており、第2の領域122では深さが0.54 $\mu$ mまで形成されている。従って、第2の領域122は、第1の領域121よりも、第2のn型層120の表面から第1のn型層21に向かって0.1 $\mu$ m以上深くまで形成されている。

[0054] 次に、図18に示すように、第2のn型層120が形成されている面より、炭化珪素エピタキシャル層を一部除去することにより溝30を形成する。これにより、溝30の側壁30aには、第2のn型層120の第1の領域121、p型層22、第1のn型層21の一部が露出する。具体的には、第2のn型層120の上に、CVDにより酸化シリコン膜を成膜し、成膜された酸化シリコン膜の上に、フォトリソを塗布し、露光装置による露光、現像を行うことにより、溝30に対応した領域に開口部を有するレジストパターンを形成する。この後、レジストパターンの開口部において露出している酸化シリコン膜をRIE等により除去することにより、酸化シリコンにより溝30を形成するための不図示の酸化シリコンマスクを形成する。この後、この酸化シリコンマスクにおいて露出している炭化珪素半導体層をRIE等により除去し、熱エッチングを行うことにより、溝30を形成する。この後、酸化シリコンマスクはウェットエッチングにより除去する。この後、図1

9に示すように、溝30の内部に、熱酸化によりゲート絶縁膜40を形成し、更に、ゲート絶縁膜40の上にCVDによりゲート電極51を形成する。

[0055] 以上までの工程により、注入スルー膜171の形成、注入スルー膜171の除去、ゲート絶縁膜40の形成等の工程により、図26及び図27のL11に示されるように、第2のn型層120は厚さが約0.15 $\mu$ m失われる。

[0056] 次に、図20に示すように、ゲート電極51及び第2のn型層120の上の全面に、CVDにより酸化シリコン膜を成膜することにより、層間絶縁膜61を形成する。

[0057] 次に、図21に示すように、第2のn型層120の第2の領域122の上のソース電極52が形成される領域の層間絶縁膜61を除去する。具体的には、層間絶縁膜61の上にフォトリソを塗布した後、露光装置による露光、現像を行うことにより、第2のn型層120の上のソース電極52が形成される領域に開口を有する不図示のレジストパターンを形成する。この後、レジストパターンの形成されていない領域の層間絶縁膜61をRIE等のドライエッチングにより除去し、第2のn型層120を露出させる。この際、層間絶縁膜61を除去し、第2のn型層120を露出させた直後に、エッチングをストップすることは極めて困難であり、また、エッチングのバラツキ等もあるため、第2のn型層120の一部はオーバーエッチングにより除去されてしまう。

[0058] 次に、図22に示すように、層間絶縁膜61及び第2のn型層120の上の全面に、スパッタリングにより窒化チタン膜を成膜することによりバリアメタル層62を形成する。

[0059] 次に、図23に示すように、第2のn型層120の第2の領域122の上のソース電極52が形成される領域のバリアメタル層62を除去する。具体的には、バリアメタル層62の上にフォトリソを塗布した後、露光装置による露光、現像を行うことにより、第2のn型層120の上のソース電極52が形成される領域に開口を有する不図示のレジストパターンを形成する。

。この後、レジストパターンの形成されていない領域のバリアメタル層62をRIE等のドライエッチングにより除去し、第2のn型層120を露出させる。この際、バリアメタル層62を除去し、第2のn型層120を露出させた直後に、エッチングをストップすることは極めて困難であり、また、エッチングのバラツキ等もあるため、第2のn型層120の一部はオーバーエッチングにより除去されてしまう。

[0060] 従って、層間絶縁膜61を形成する工程、及び、バリアメタル層62を形成する工程における第2のn型層120のオーバーエッチングにより、図27のL12に示されるように、第2の領域122の第2のn型層120は厚さが約0.1  $\mu\text{m}$ 失われる。尚、この際、第1の領域121の第2のn型層120は、失われることはない。

[0061] 次に、図24に示すように、バリアメタル層62及び第2のn型層120の上に、ニッケル(Ni)膜を成膜し、ソース電極52を形成する。

[0062] 次に、図25に示すように、温度約1000℃で熱処理を行うことにより、第2のn型層120のSiと、第2のn型層120の上のソース電極52を形成しているNi膜とが合金化し、NiSi合金層52aが形成される。

[0063] このNiSi合金層52aを形成する工程において、NiSi合金層52aを形成するため、図27のL13に示されるように、第2の領域122の第2のn型層120は、厚さが約0.1  $\mu\text{m}$ 失われる。尚、この際、第1の領域121の第2のn型層120は、失われることはない。

[0064] 以上より、本実施形態における炭化珪素半導体装置を製造する際には、第2のn型層120は、第2の領域122において、表面より、L11、L12、L13の和となる約0.3  $\mu\text{m}$ 失われる。しかしながら、図27に示されるように、ソース電極52と接する第2の領域122における第2のn型層120の不純物元素の濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上である。従って、本実施形態においては、ソース電極52と接する第2のn型層120の不純物元素の濃度が高いため、ソース電極52とのコンタクト抵抗が低くなり、大電流を流すことが可能となる。

[0065] この後、ソース電極52の上に、A1によりソース配線層63を形成する。これにより、図13に示すように、本実施形態における炭化珪素半導体装置を製造することができる。

[0066] 以上、実施形態について詳述したが、特定の実施形態に限定されるものではなく、請求の範囲に記載された範囲内において、種々の変形及び変更が可能である。

### 符号の説明

|        |      |              |
|--------|------|--------------|
| [0067] | 10   | 炭化珪素単結晶基板    |
|        | 10a  | 第1の面         |
|        | 10b  | 第2の面         |
|        | 11   | 炭化珪素エピタキシャル層 |
|        | 11a  | 表面           |
|        | 21   | 第1のn型層       |
|        | 22   | p型層          |
|        | 23   | 第2のn型層       |
|        | 24   | 高濃度p型領域      |
|        | 30   | 溝            |
|        | 30a  | 側壁           |
|        | 40   | ゲート絶縁膜       |
|        | 51   | ゲート電極        |
|        | 52   | ソース電極        |
|        | 52a  | NiSi合金層      |
|        | 53   | ドレイン電極       |
|        | 61   | 層間絶縁膜        |
|        | 62   | バリアメタル層      |
|        | 120  | 第2のn型層       |
|        | 120a | 第2のn型層の上部    |
|        | 120b | 第2のn型層の下部    |

1 2 1 第 1 の領域

1 2 2 第 2 の領域

## 請求の範囲

- [請求項1] 第1導電型の炭化珪素半導体の第1層と、  
前記第1層の上の前記第1導電型とは異なる第2導電型の炭化珪素半導体の第2層と、  
前記第2層の上の前記第1導電型の炭化珪素半導体の第3層と、  
前記第3層、前記第2層、前記第1層の一部に側壁を有する溝と、  
を有する縦型トランジスタであって、  
前記第3層は、前記溝の側壁に面した第1の領域と、前記第1の領域よりも、前記溝の側壁より離れた第2の領域と、を有し、  
前記第2の領域と前記第1の領域は連続しており、  
前記第2の領域は、前記第1の領域よりも、前記第3層の表面側から前記第1層に向かって深くまで設けられている炭化珪素半導体装置。
- [請求項2] 前記第3層の前記第2の領域に接するソース電極を有する請求項1に記載の炭化珪素半導体装置。
- [請求項3] 前記第1層は炭化珪素基板の第1の面に形成されているものであって、  
前記溝の内部には、絶縁膜が設けられており、  
前記絶縁膜の上には、ゲート電極が設けられており、  
前記炭化珪素基板の前記第1の面とは反対の第2の面には、ドレイン電極が設けられている請求項2に記載の炭化珪素半導体装置。
- [請求項4] 前記ソース電極は、Niを含むものである請求項2または3に記載の炭化珪素半導体装置。
- [請求項5] 前記ソース電極は、Al、Ti及びSiを含むものである請求項2または3に記載の炭化珪素半導体装置。
- [請求項6] 前記第2の領域は、前記第1の領域よりも、前記第3層の表面から前記第1層に向かって0.1  $\mu\text{m}$ 以上深くまで設けられている請求項1から5のいずれかに記載の炭化珪素半導体装置。

## [請求項7]

第1導電型の炭化珪素半導体の第1層と、

前記第1層の上の前記第1導電型とは異なる第2導電型の炭化珪素半導体の第2層と、

前記第2層の上の前記第1導電型の炭化珪素半導体の第3層と、

前記第3層、前記第2層、前記第1層の一部に側壁を有する溝と、  
を有する縦型トランジスタであって、

前記第3層は、前記溝の側壁に面した第1の領域と、前記第1の領域よりも、前記溝の側壁より離れた第2の領域と、を有し、

前記第2の領域と前記第1の領域は連続しており、

前記第2の領域は、前記第1の領域よりも、前記第3層の表面側から前記第1層に向かって深くまで設けられており、

前記第3層の前記第2の領域に接するソース電極を有し、

前記第1層は炭化珪素基板の第1の面に形成されているものであって、

前記溝の内部には、絶縁膜が設けられており、

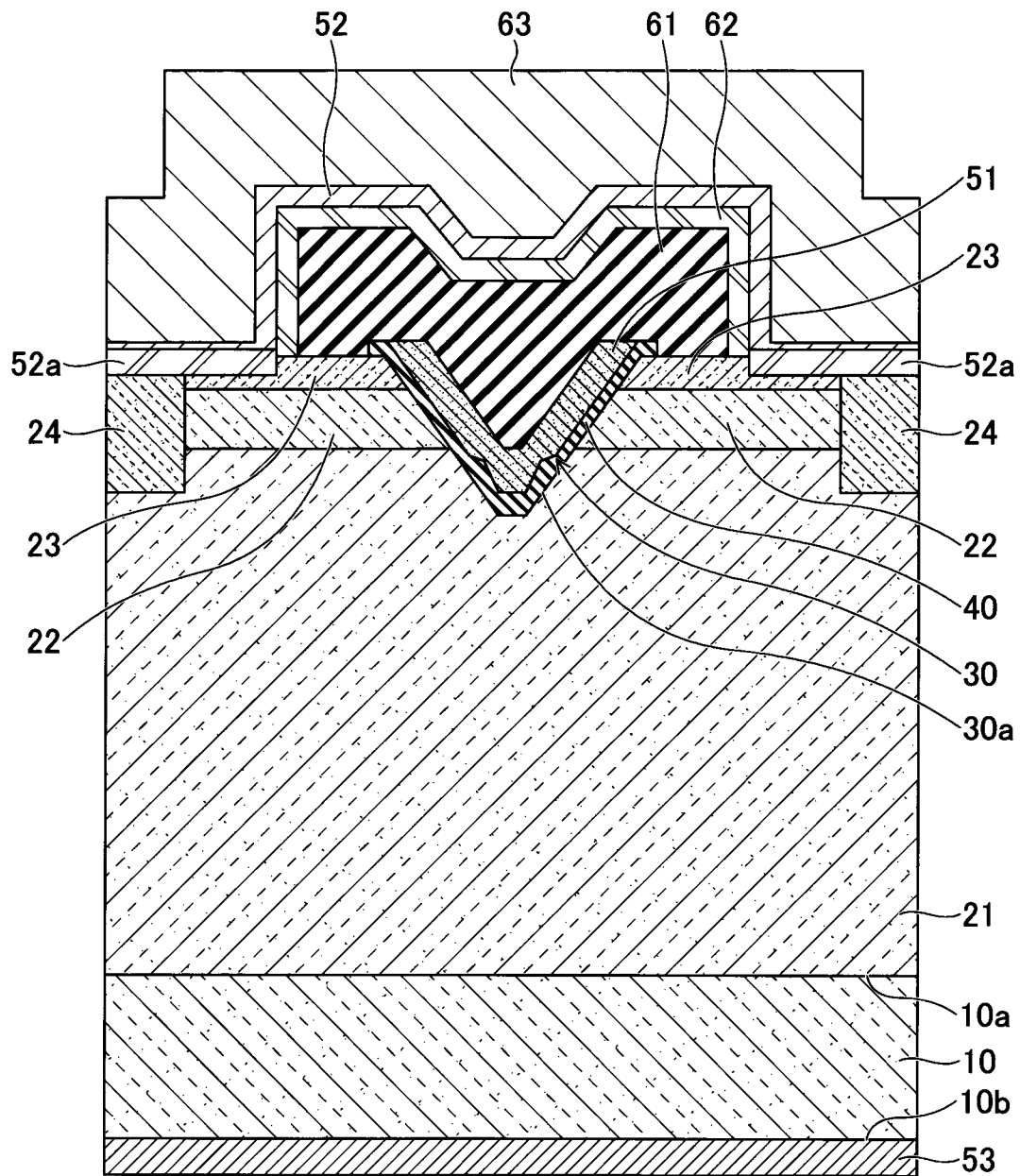
前記絶縁膜の上には、ゲート電極が設けられており、

前記炭化珪素基板の前記第1の面とは反対の第2の面には、ドレイン電極が設けられており、

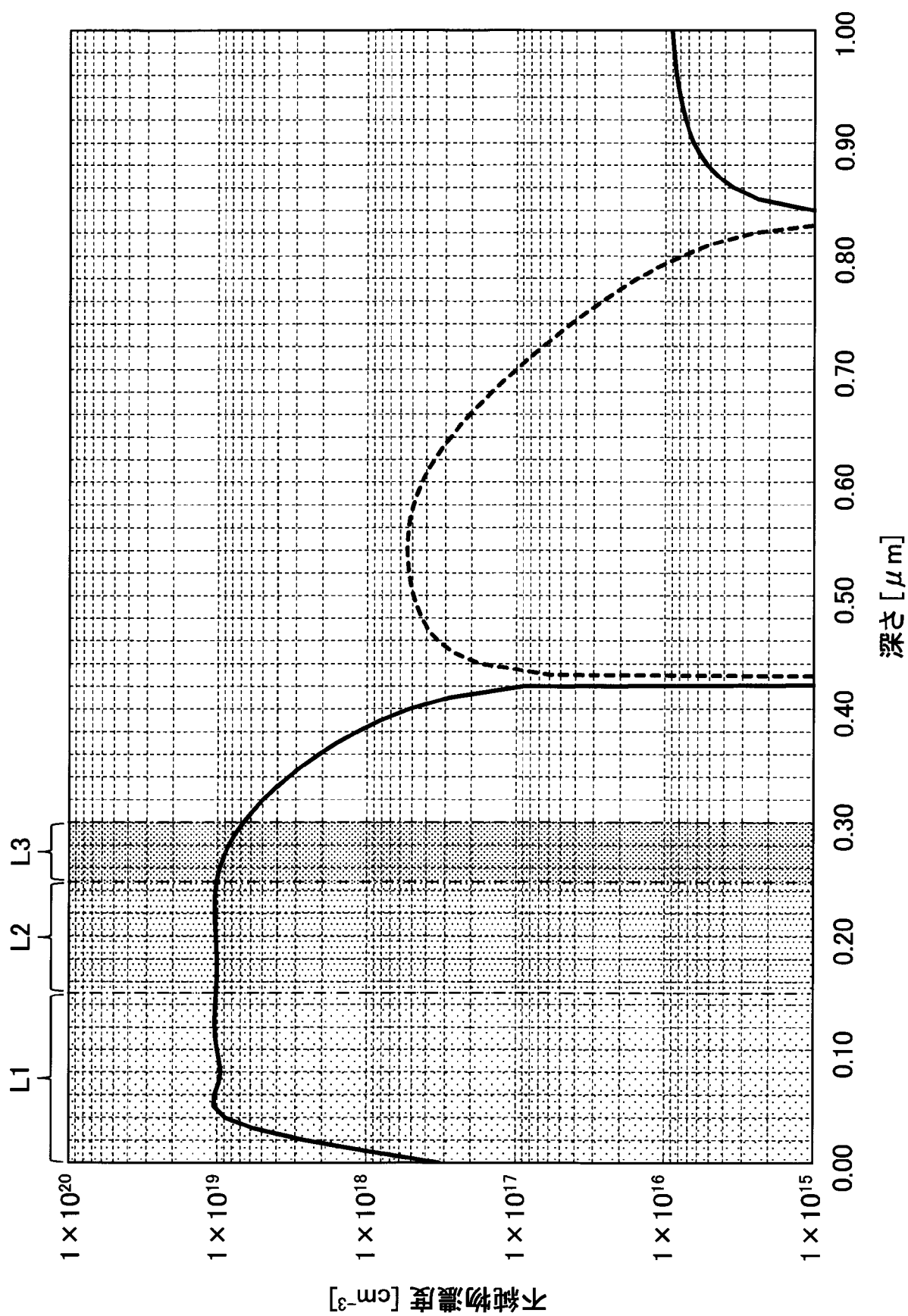
前記ソース電極は、N<sub>i</sub>を含むものであり、

前記第2の領域は、前記第1の領域よりも、前記第3層の表面から前記第1層に向かって0.1 μm以上深くまで設けられている炭化珪素半導体装置。

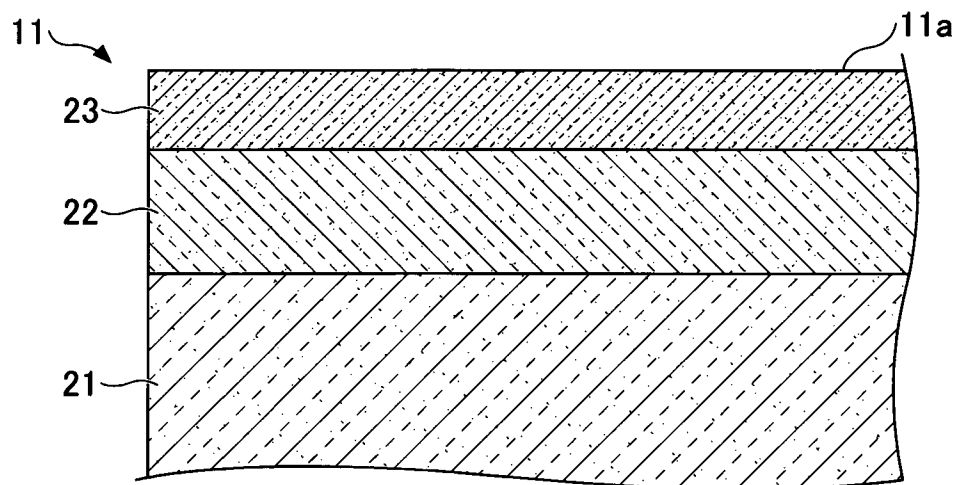
[図1]



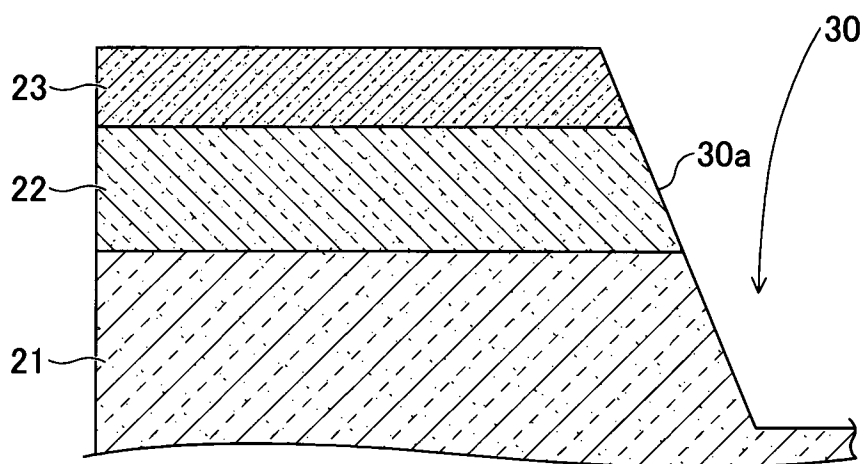
[図2]



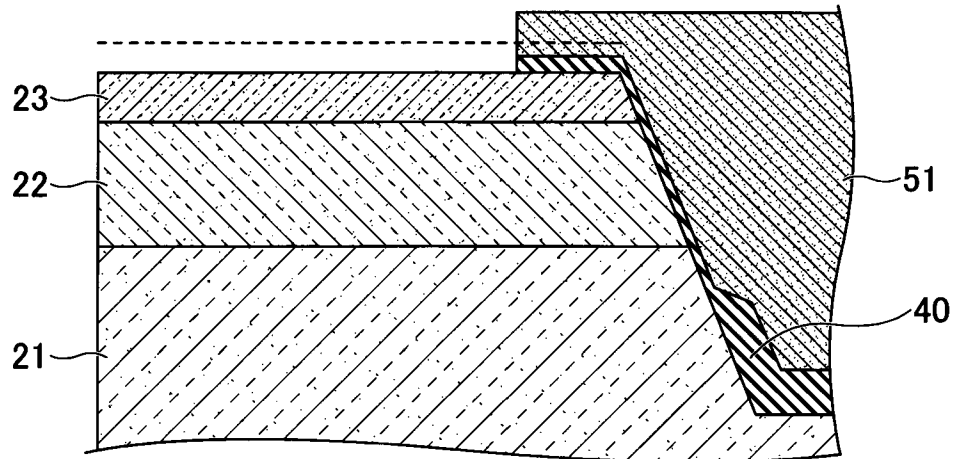
[図3]



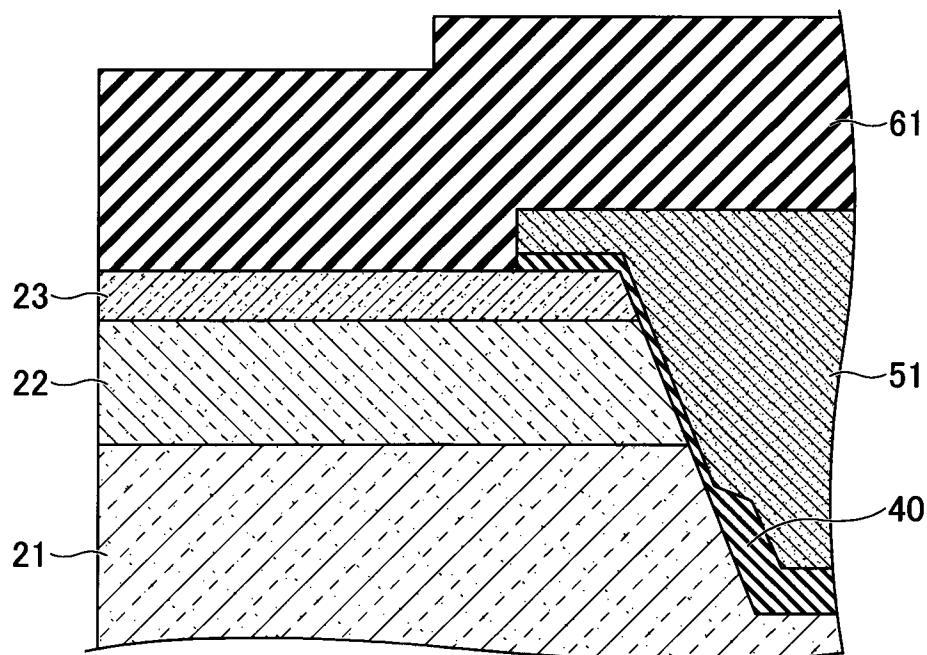
[図4]



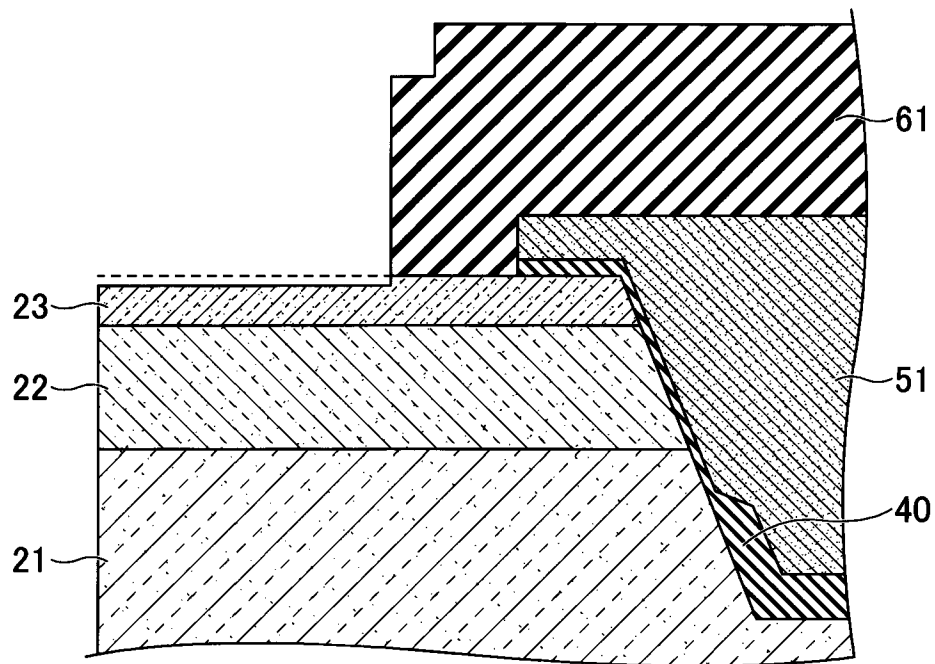
[図5]



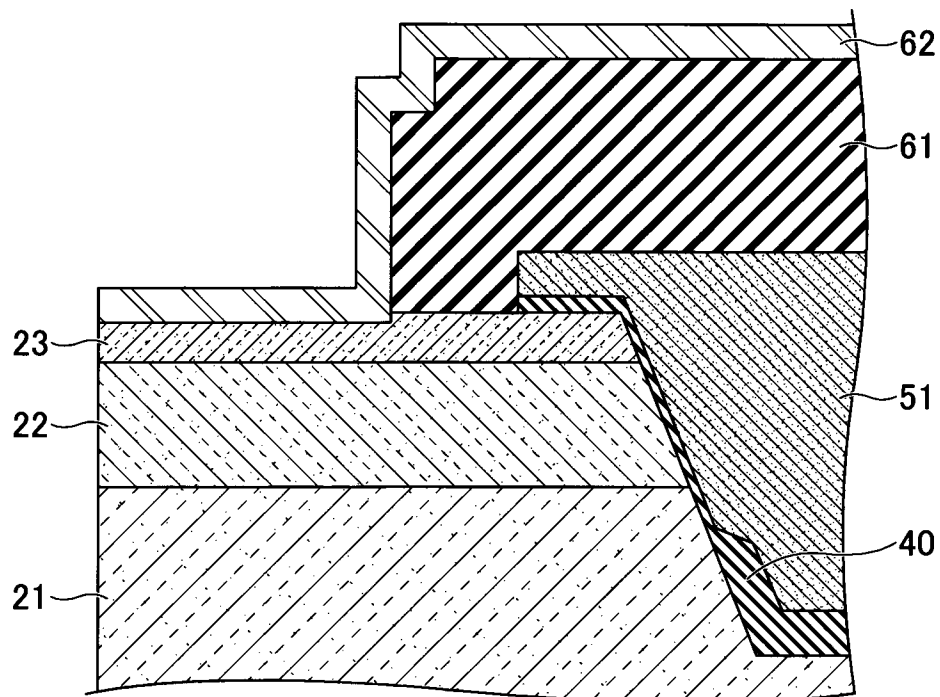
[図6]



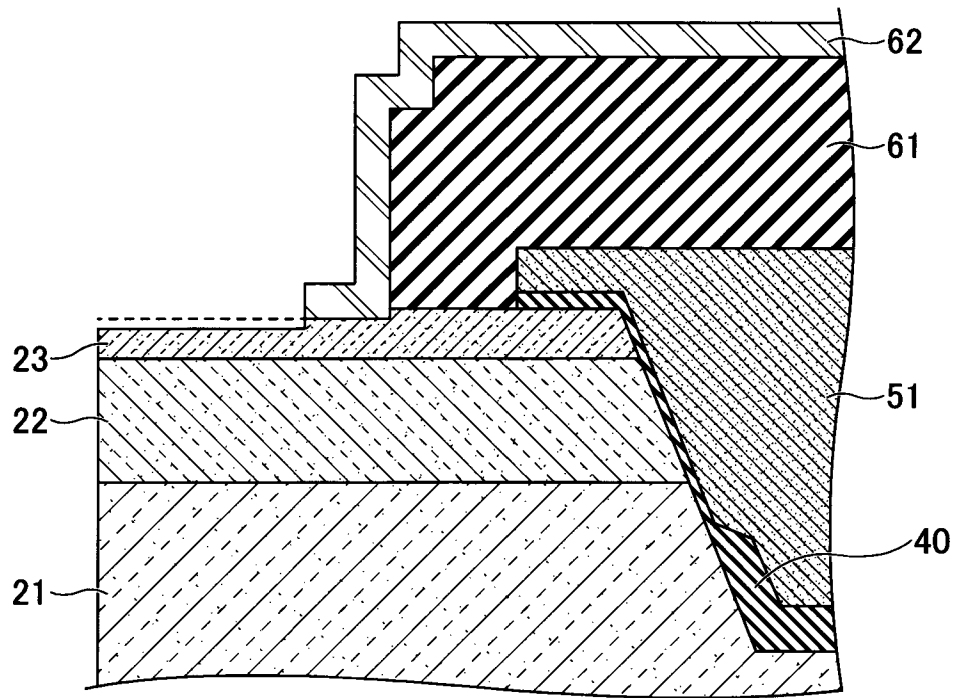
[図7]



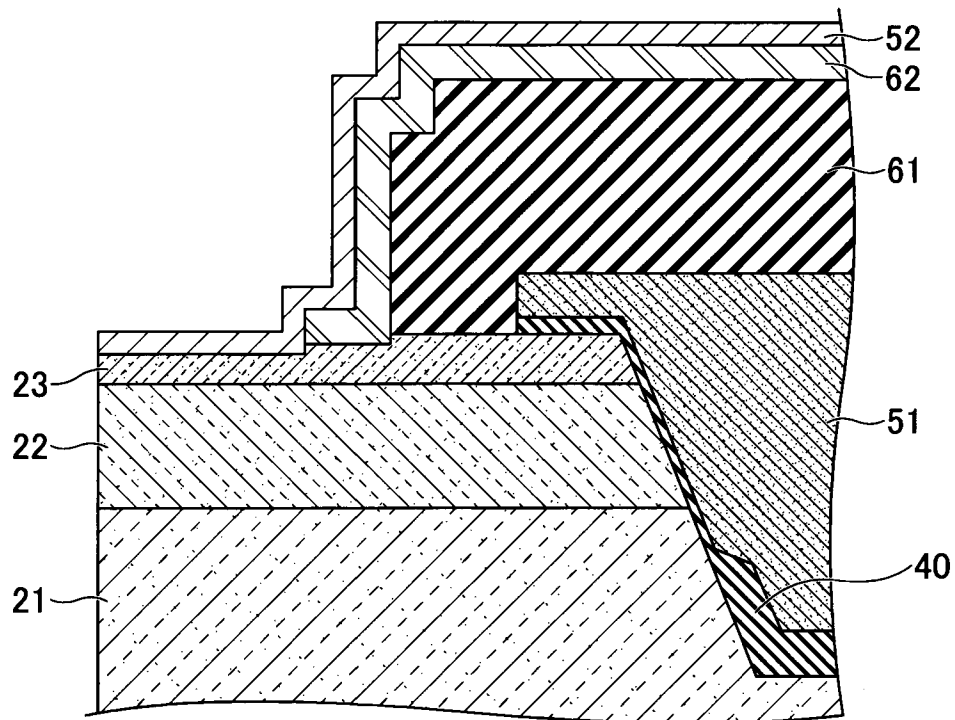
[図8]



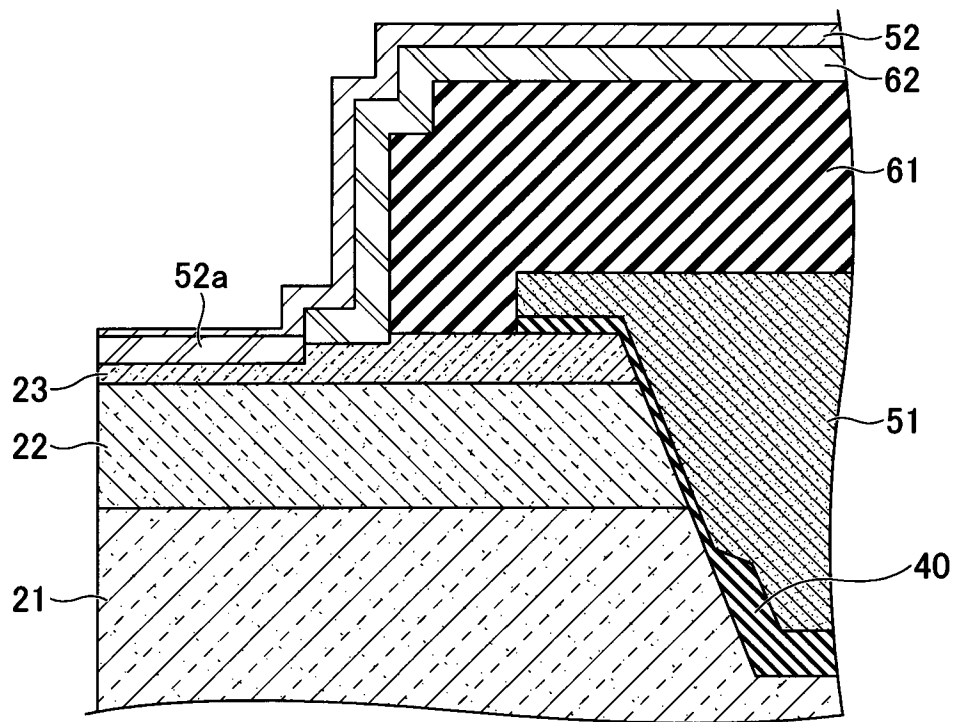
[図9]



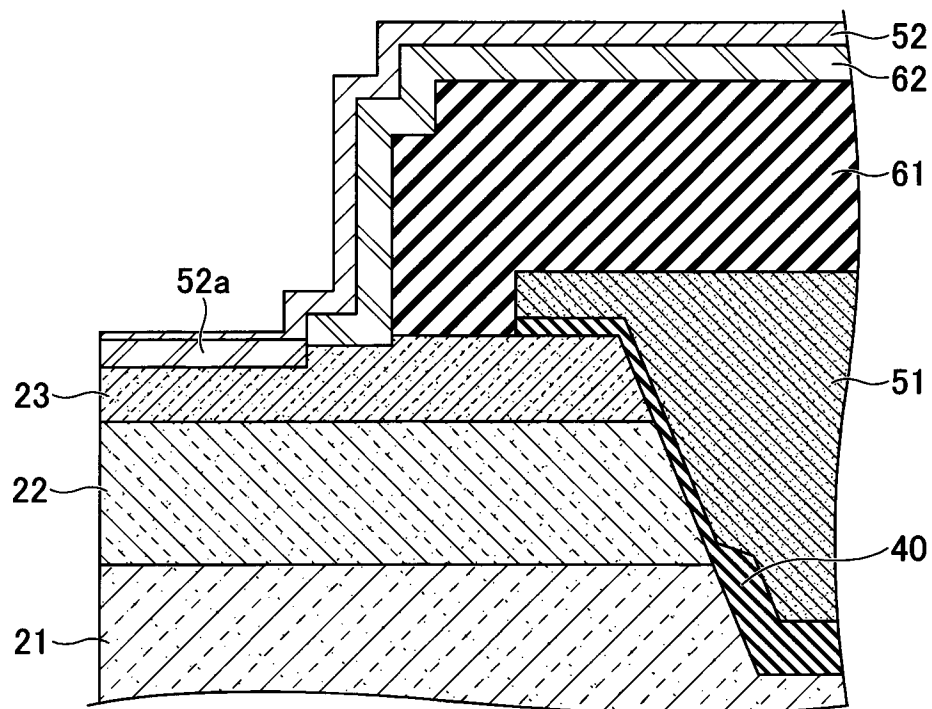
[図10]



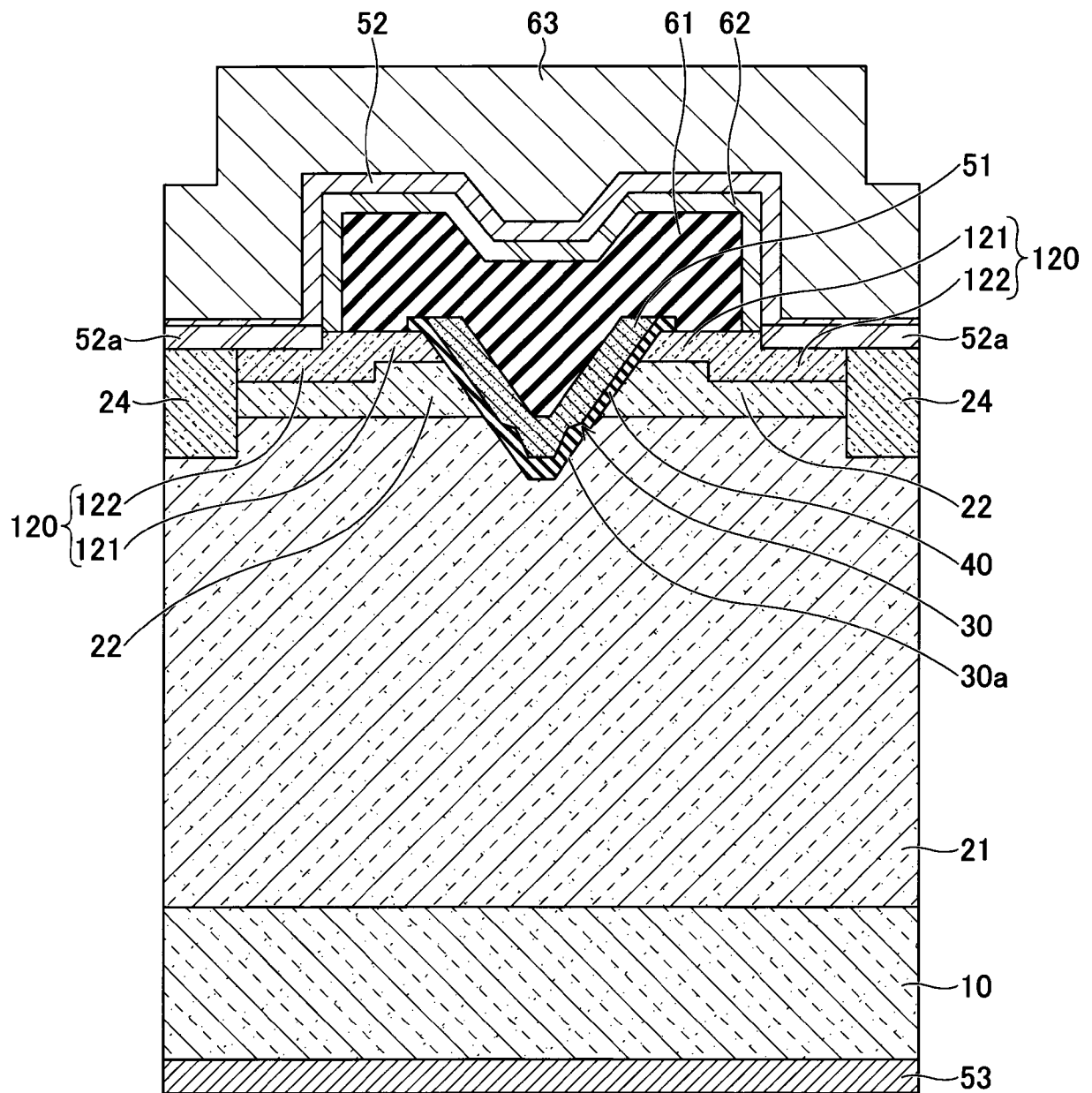
[図11]



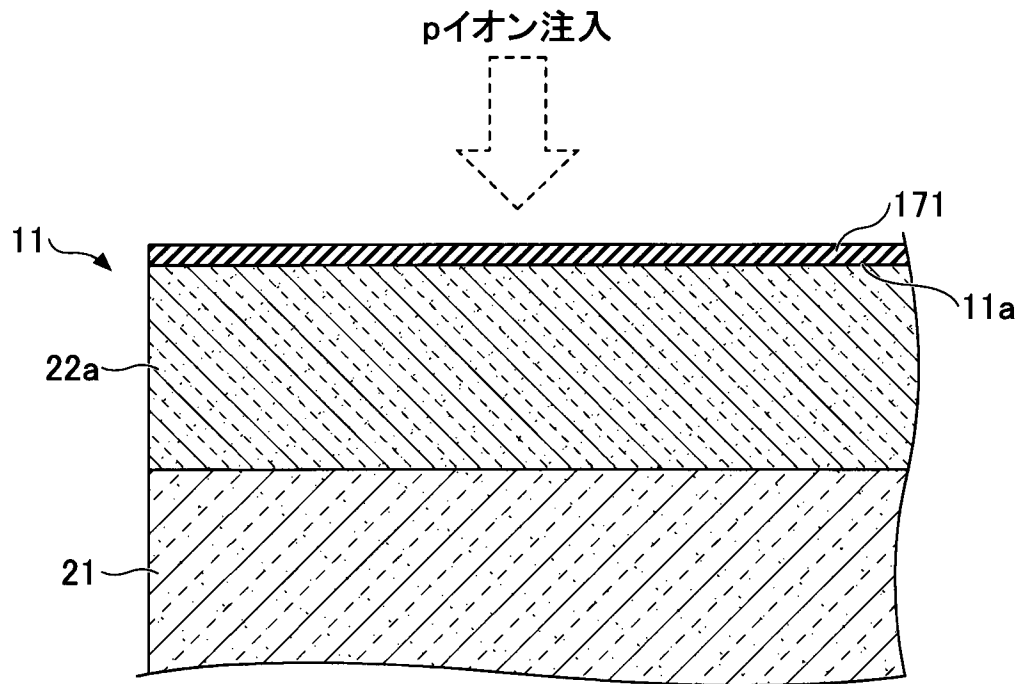
[図12]



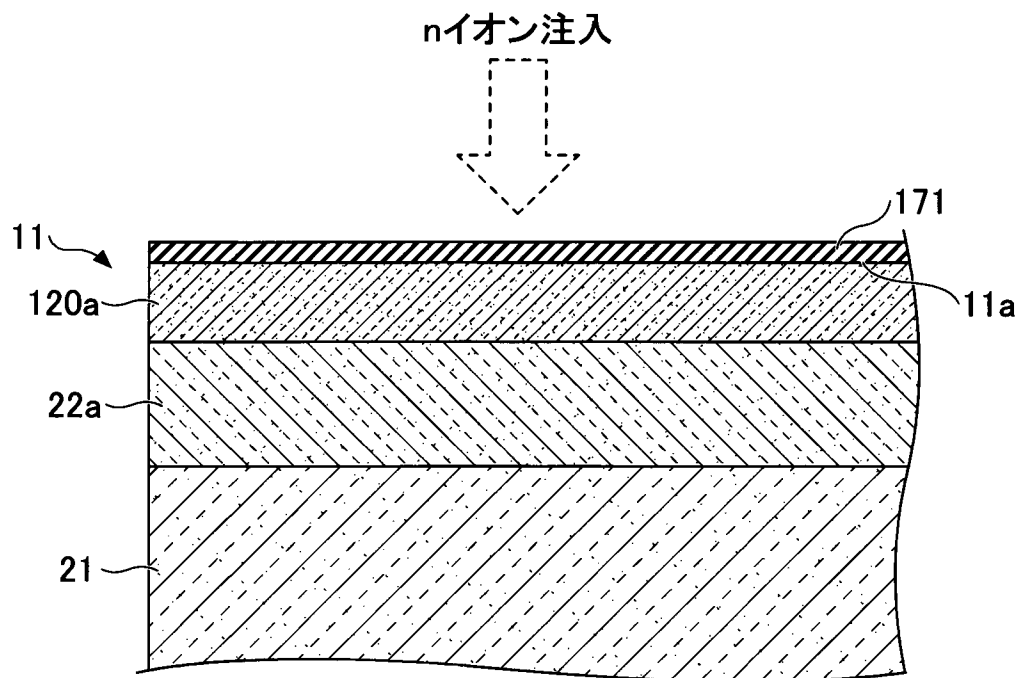
[図13]



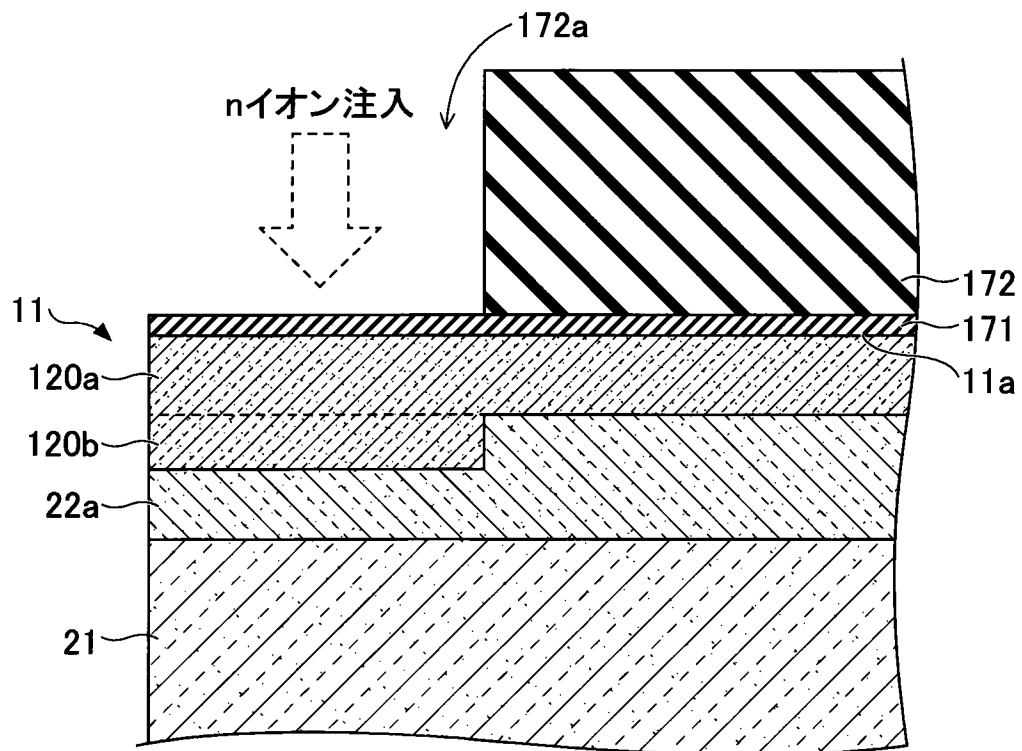
[図14]



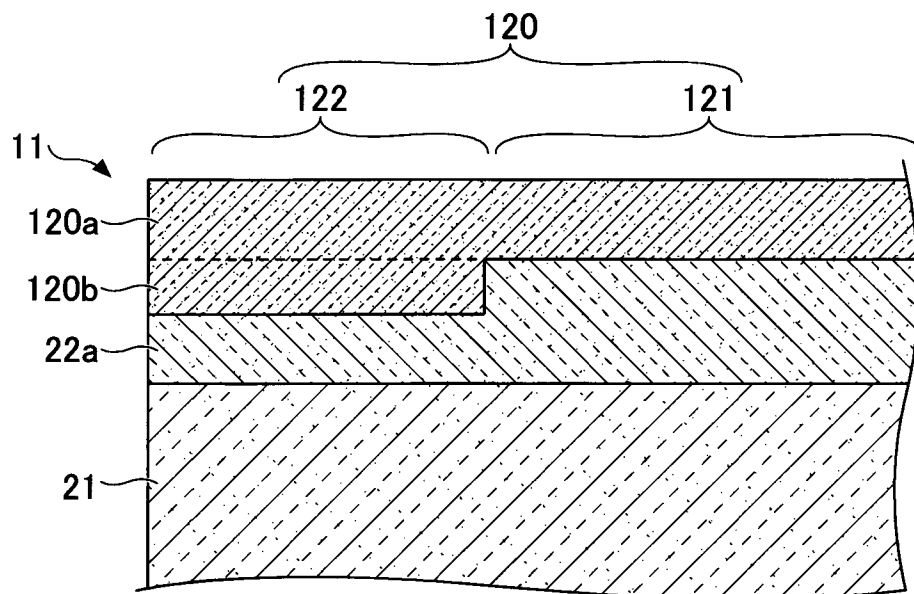
[図15]



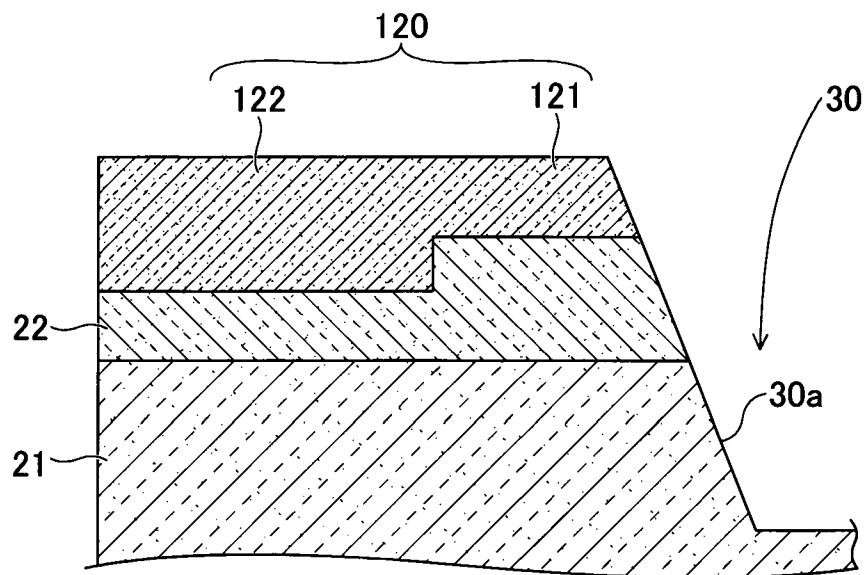
[図16]



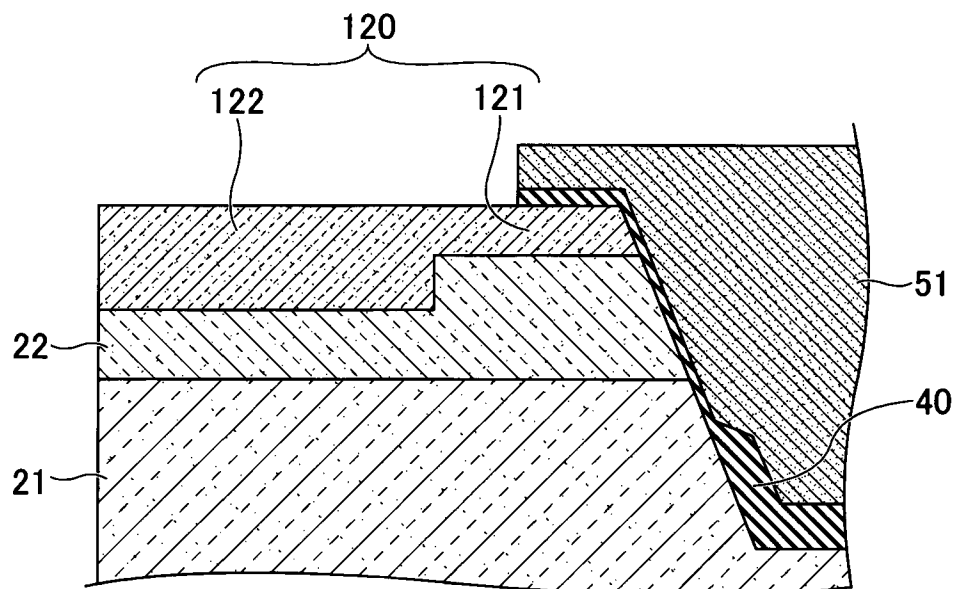
[図17]



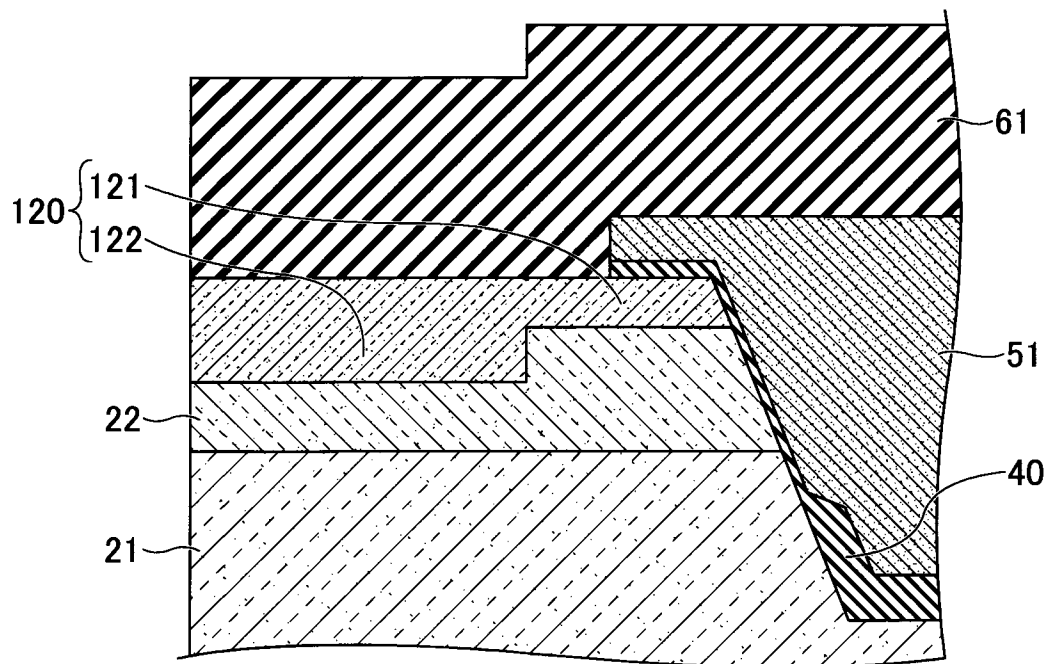
[図18]



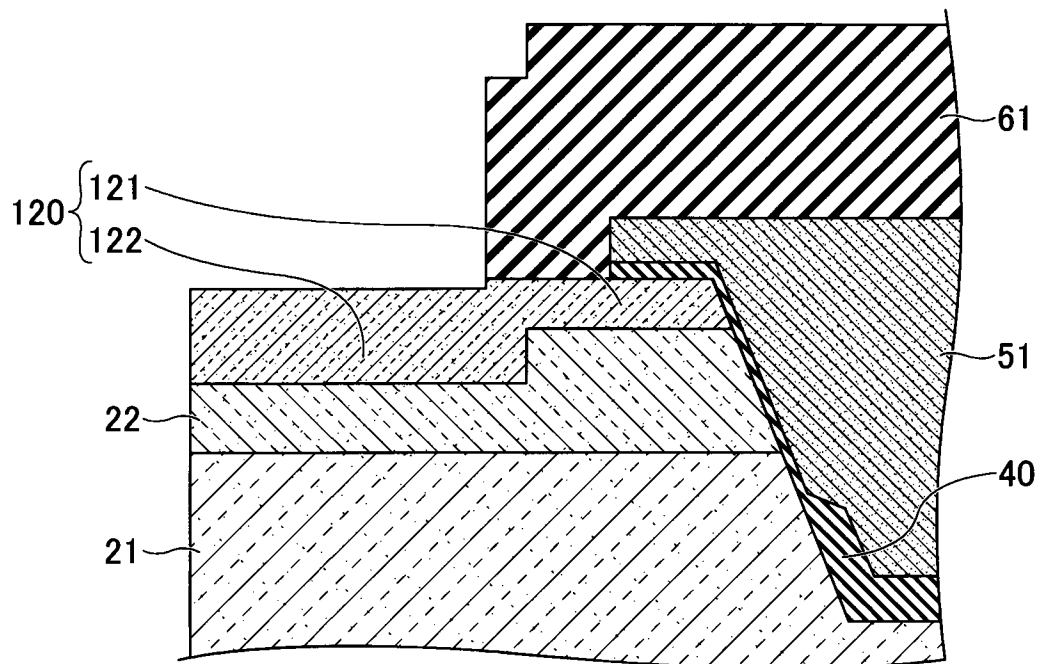
[図19]



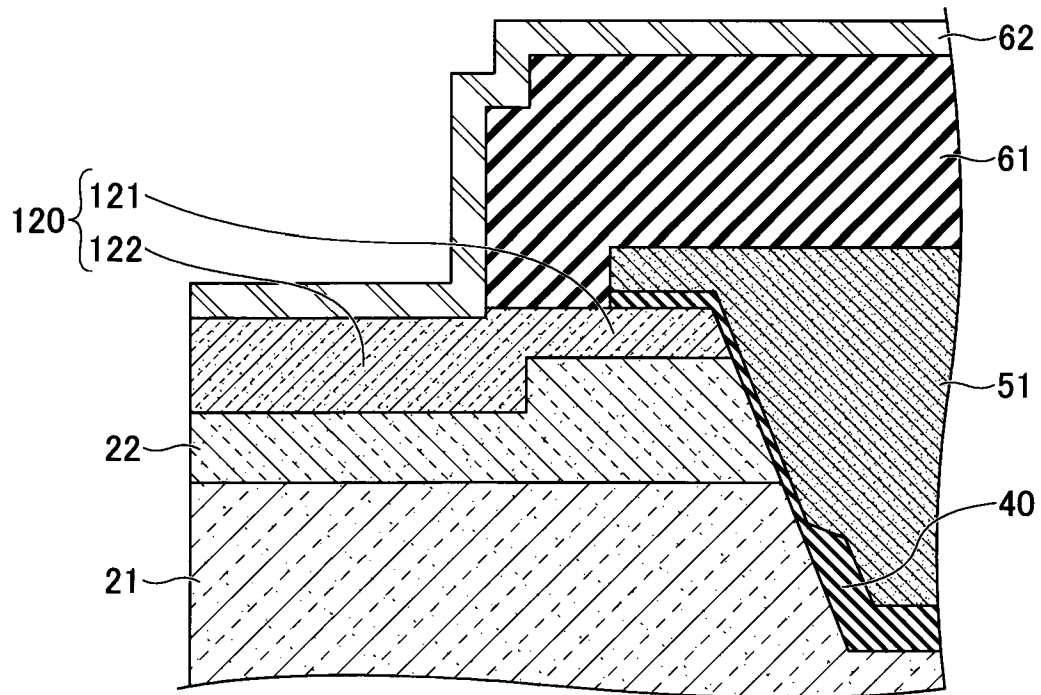
[図20]



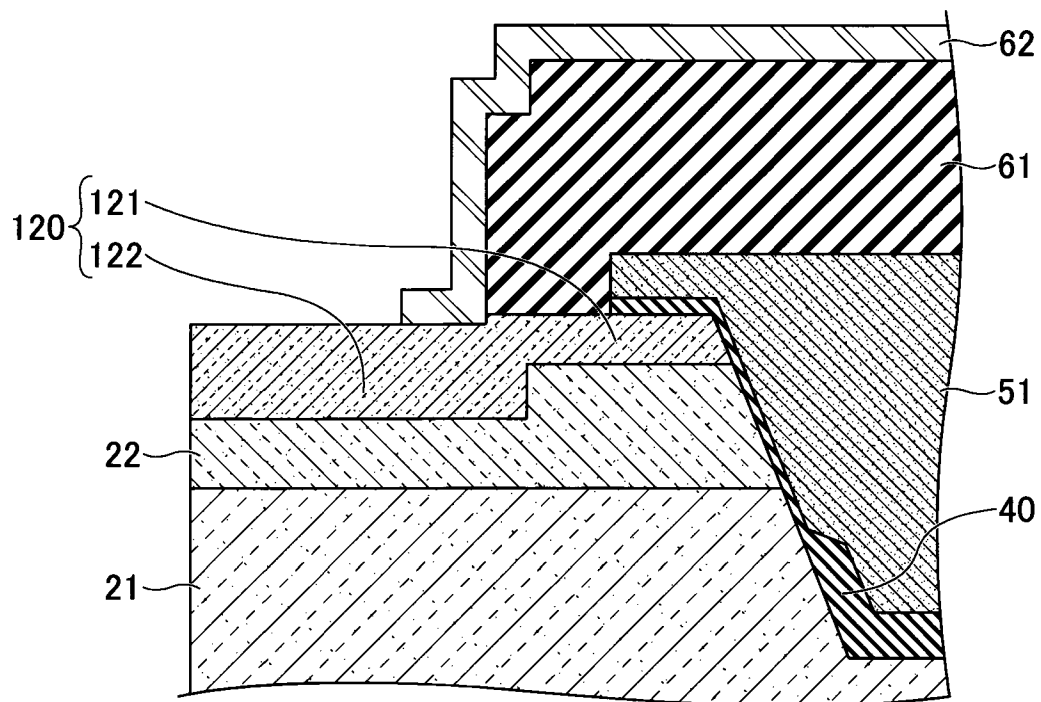
[図21]



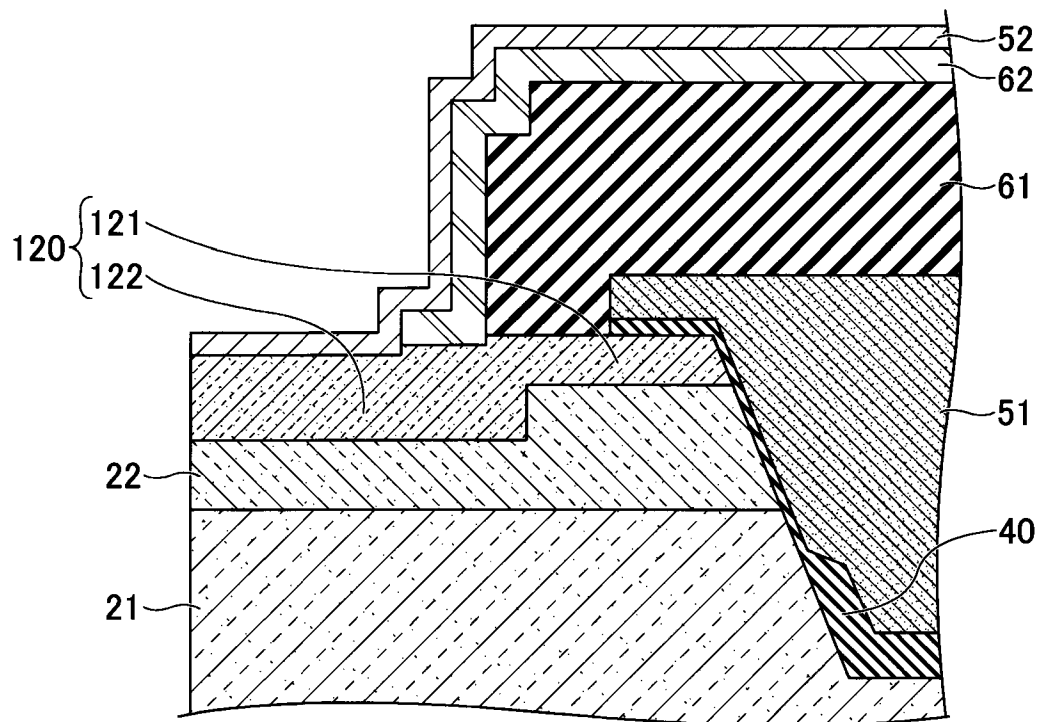
[図22]



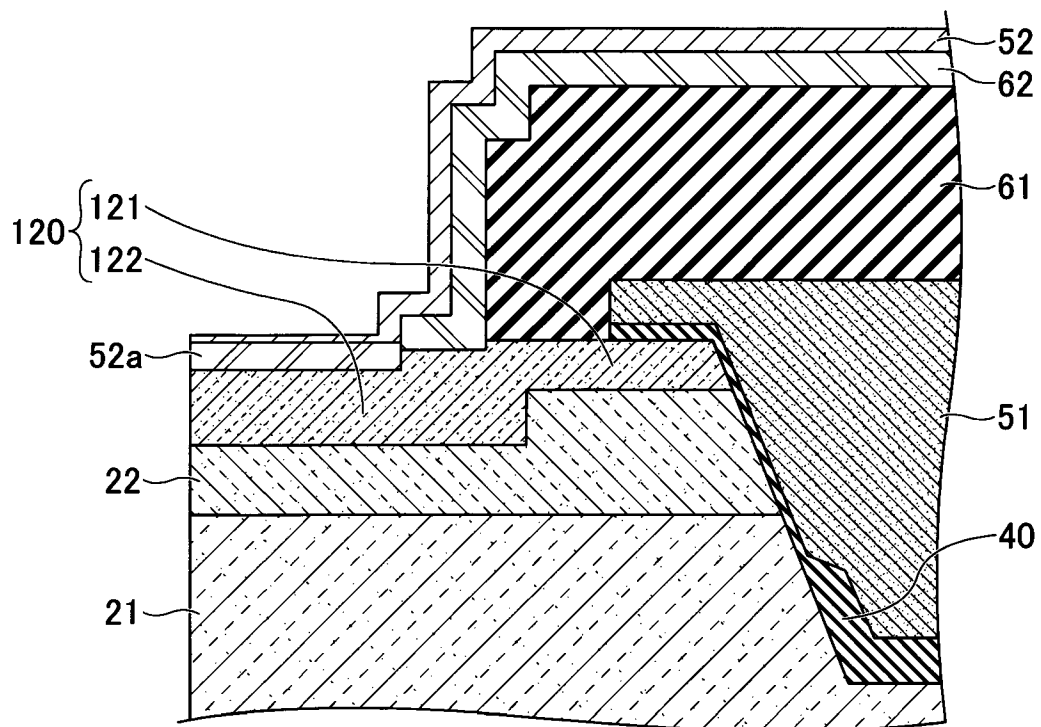
[図23]



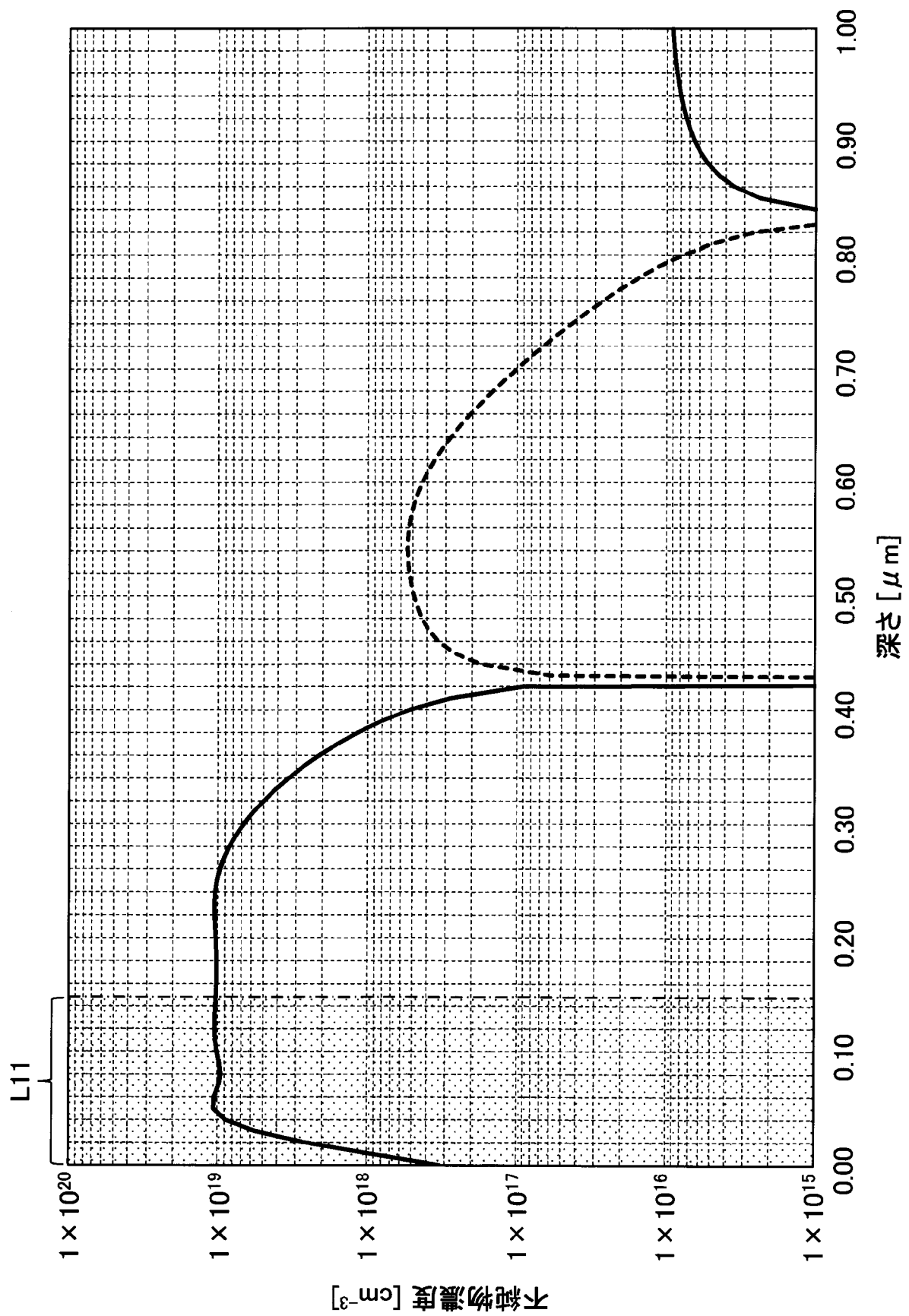
[図24]



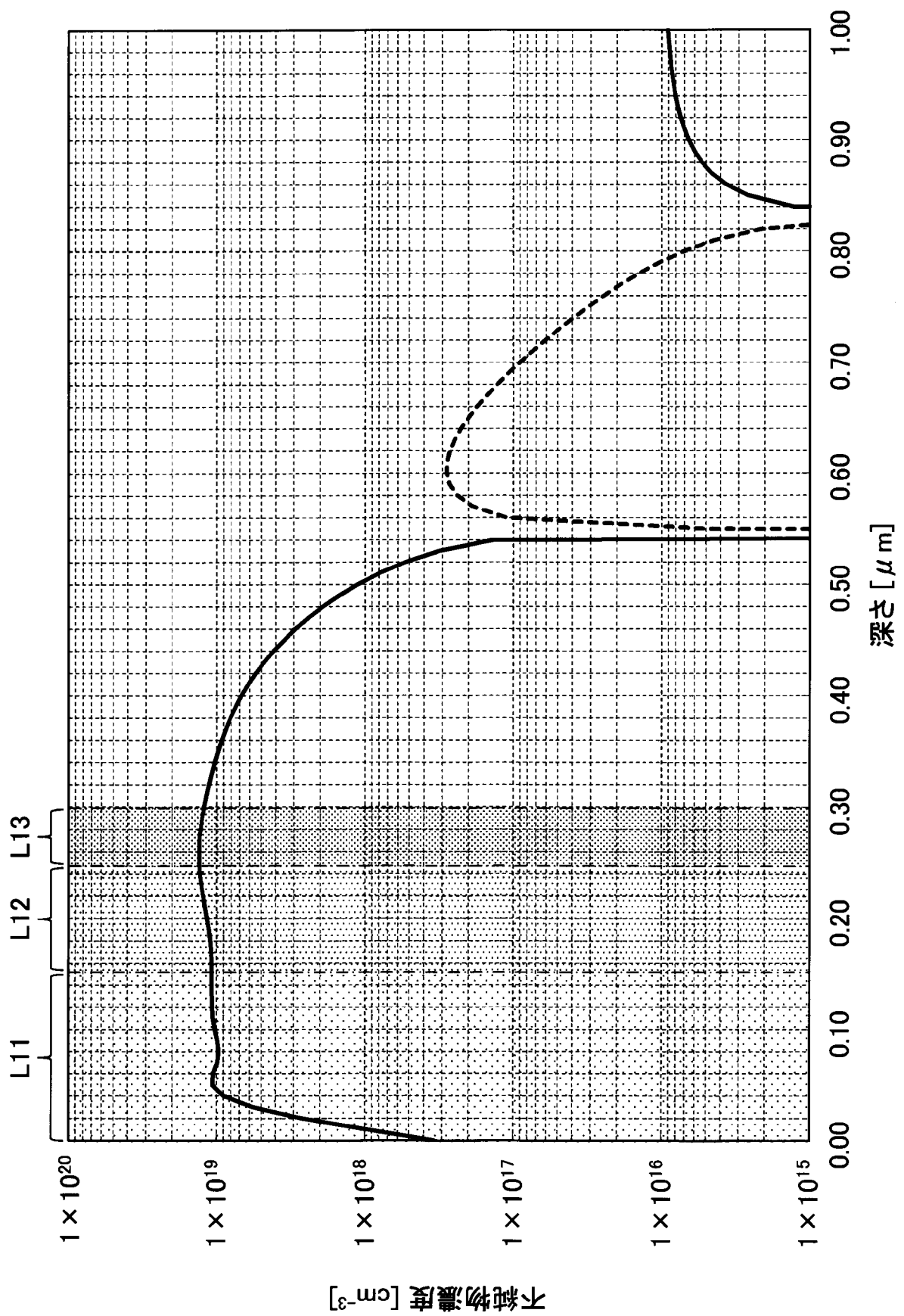
[図25]



[図26]



[図27]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/023555

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/78 (2006.01) i, H01L21/28 (2006.01) i, H01L21/336 (2006.01) i,  
H01L29/12 (2006.01) i, H01L29/417 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/78, H01L21/28, H01L21/336, H01L29/12, H01L29/417

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                                                          |           |
|----------------------------------------------------------|-----------|
| Published examined utility model applications of Japan   | 1922-1996 |
| Published unexamined utility model applications of Japan | 1971-2019 |
| Registered utility model specifications of Japan         | 1996-2019 |
| Published registered utility model applications of Japan | 1994-2019 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                               | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X         | WO 2017/169777 A1 (MITSUBISHI ELECTRIC CORP.) 05 October 2017, paragraphs [0014]-[0030], [0049]-[0052], [0093]-[0105], fig. 19-26 (Family: none) | 1-7                   |
| X         | JP 11-163341 A (DENSO CORP.) 18 June 1999, paragraphs [0020]-[0024], fig. 1 & US 6262439 B1, page 4, line 13 to page 5, line 16, fig. 1          | 1-3, 5-6              |

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
27 August 2019 (27.08.2019)

Date of mailing of the international search report  
03 September 2019 (03.09.2019)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i, H01L29/417(2006.01)i

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/78, H01L21/28, H01L21/336, H01L29/12, H01L29/417

## 最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2019年 |
| 日本国実用新案登録公報 | 1996-2019年 |
| 日本国登録実用新案公報 | 1994-2019年 |

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                             | 関連する<br>請求項の番号 |
|-----------------|---------------------------------------------------------------------------------------------------------------|----------------|
| X               | WO 2017/169777 A1 (三菱電機株式会社) 2017.10.05,<br>段落 0014-0030, 段落 0049-0052, 段落 0093-0105, 図 19-図 26<br>(ファミリーなし)  | 1-7            |
| X               | JP 11-163341 A (株式会社デンソー) 1999.06.18,<br>段落 0020-0024, 図 1<br>& US 6262439 B1, 第 4 頁第 13 行目-第 5 頁第 16 行目, 図 1 | 1-3, 5-6       |

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

27.08.2019

国際調査報告の発送日

03.09.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

柴垣 宙央

5 F

7895

電話番号 03-3581-1101 内線 3516